PEŁNOMOCNIK RZĄDU DO SPRAW ELEKTRONICZNEJ TECHNIKI OBLICZENIOWEJ

BIBLIOTEKA POLITECHNIKA ŚLĄSKA
P. 2229/68

Prace Instytutu Maszyn Matematycznych

ROK X ZESZYT 2

Warszawa 1968

INSTYTUT MASZYN MATEMATYCZNYCH

E R R A T A

"PRACE IMM" , Zeszyt 2, rok X, Warszawa 1968

str. wiersz	jest	powinno być
6	strona 6	strona 7
7 .	strona 7	strona 6
18 /główka tabeli, 4 kolumna/	i	α_i
22_4, 33_1	$\ldots+q_{m-1}(1-2a_{2m+2})(1-2a_{2m+1})$	$\ldots+q_{m-1}\left[1+4\left(a_{2m}a_{2m+1}-\right.\right.$ $\left.\left.+a_{2m}a_{2m+2}+a_{2m+1}a_{2m+2}-a_{2m+1}\right)\right]$
22_3, 34^2	$\ldots+q_{m-1}\left(a_{2m}-a_{2m}a_{2m+1}+\right.$	$\ldots+q_{m-1}\left(a_{2m+1}-a_{2m}a_{2m+1}+\right.$
23_3	$\ldots=\overline{a_{2m+2}}\wedge\left(a_{2m}\equiv q_{m-1}\right)$	$\ldots=\overline{a_{2m+2}}\wedge\left(\overline{a_{2m+1}}\wedge a_{2m}\wedge\right.$ $\wedge q_{m-1}\vee a_{2m+1}\wedge\overline{a_{2m}}\wedge\left.\overline{q_{m-1}}\right)$
23_2	$\ldots=a_{2m+2}\wedge\left(a_{2m}\equiv q_{m-1}\right)$	$\ldots=a_{2m+2}\wedge\left(\overline{a_{2m+1}}\wedge a_{2m}\wedge\right.$ $\wedge q_{m-1}\vee a_{2m+1}\wedge\overline{a_{2m}}\wedge\left.\overline{q_{m-1}}\right)$
114^9, 142^{13}	W	w
127_{13}	$H-H_0$	$I-I_0$
131_1	[4]	[9]
134_1	$dV_2\ \ldots=f\ T$	$dV_z\ \ldots=f(T)$
135^{10}, 13	S	s
137_3	w punkcie 3	w punkcie 4
138^4	dV_2	dV_z

PEŁNOMOCNIK RZĄDU D/S ELEKTRONICZNEJ TECHNIKI OBLICZENIOWEJ

P R A C E

Instytutu Maszyn Matematycznych

Rok X Zeszyt 2

Warszawa 1968

INSTYTUT MASZYN MATEMATYCZNYCH

DZIAŁOWY OŚRODEK INTE

Copyright © 1968 - by Instytut Maszyn Matematycznych
Poland
Wszelkie prawa zastrzeżone

Komitet Redakcyjny

Bartłomiej GŁOWACKI, Jerzy GRADOWSKI /redaktor naczelny/, Andrzej KOJEMSKI, Włodzimierz MARDAL /z-ca redaktora/, Jan RELUGA

Sekretarz redakcji: Romana NITKOWSKA

Adres redakcji: Warszawa, ul. Koszykowa 79, tel. 28-37-29.

W.D.N - Zam. 719/0/68. Nakł. 480 egz.

POLITECHNIKA ŚLĄSKA

Od redakcji

Począwszy od roku 1968 wydawnictwo Instytutu Maszyn Matematycznych pn. "PRACE Instytutu Maszyn Matematycznych", obejmujące publikacje naukowe i badawcze pracowników Instytutu w zakresie projektowania i budowy elektronicznych maszyn cyfrowych oraz systemów przetwarzania informacji, będzie się ukazywało w formie zeszytów.

Artykuły zamieszczane w "PRACACH IMM" będą dotyczyły nowych rozwiązań w dziedzinie organizacji, konstrukcji, technologii, metod kontroli i systemów programowania maszyn cyfrowych oraz ich zastosowań.

Dotychczasowe serie "PRAC IMM": "A", "B", "C" i "Sprawozdania" nie będą kontynuowane.

"PRACE IMM" można, jak dotychczas, nabywać za pośrednictwem Ośrodka Rozpowszechniania Wydawnictw Naukowych PAN /Wzorcownia/, Warszawa, Pałac Kultury i Nauki oraz w Domach Książki /księgarnie techniczne/.

Editor's Note

Since 1968 the publication of the Institute of Mathematical Machines, entitled "PRACE Instytutu Maszyn Matematycznych", will be issued in parts.

The articles will discuss new solutions of digital computers in the fields of organization, construction, technology methods of control and system programming, as well as their applications.

Former series of "PRACE IMM" "A", "B", "C" and "Reports" will be not continued.

"PRACE IMM" are available by the agency of "ARS POLONA", Krakowskie Przedmieście 7, Warszawa.

S P I S T R E Ś C I Z E S Z Y T U 2

C O N T E N T S I S S U E 2

1. Głowacki B., Waligórska P., Ziemkiewicz A.

   Metody przyspieszonego mnożenia w binarnych systemach cyfrowych 5

   Methods of the high-speed multiplication in binary number systems. /Summary/

2. Kojemski A., Kowalewska M., Świątkowski Z.

   Кремниевые логические схемы S-50 35

   Krzemowe układy logiczne S-50 /Streszczenie/

   Silicon logic circuits S-50 /Summary/

3. Modrzejewski A.

   Wybrane zagadnienia z techniki krzemowej diody planarnej 69

   Some problems of silicon planar diode technology. /Summary/

4. Dańda J., Klauznicer Z., Sikorski A.

   Badania niezawodności ferrytowej pamięci operacyjnej PAO-5..... 79

   Reliability problems of the ferrite core memory type PAO-5. /Summary/

5. Ryżko J., Sikorski A.

   Selekcja rdzeni ferrytowych do pamięci z wybieraniem liniowym PAO-5 99

   Ferrite core testing for PAO-5 storage with linear selection. /Summary/

6. Autorzy artykułów zamieszczonych w zeszycie 2 "PRAC IMM". 143

7. Wykaz projektów wynalazczych zgłoszonych do ochrony patentowej w kraju i zagranicą oraz uzyskanych przez Instytut Maszyn Matematycznych patentów w okresie od 1.10.1967 do 31.03.1968 r. 146

PRACE IMM
Zeszyt 2
© 1968.07

511.124.681.3.042

METODY PRZYSPIESZONEGO MNOŻENIA W BINARNYCH SYSTEMACH LICZBOWYCH

Pelagia WALIGÓRSKA
Bartłomiej GŁOWACKI
Andrzej ZIEMKIEWICZ

Pracę złożono 9.I.1968 r.

Podano definicję przekształcenia kodu binarnego mnożnika odpowiadającego tzw. ulepszonej metodzie mnożenia z przesuwaniem o grupy zer i jedynek [1], [2], [3] oraz oszacowanie przeciętnej liczby dodawań i odejmowań przy mnożeniu tą metodą. Przedstawiono nowe łatwe w realizacji metody o identycznej liczbie dodawań i odejmowań. Udowodniono pełną przydatność podanych metod dla mnożenia liczb w systemach binarnych o przedstawieniach: a/ znak-wartość bezwzględna, b/ za pomocą uzupełnienia dwójkowego,

S P I S T R E Ś C I

1. WSTĘP 5
2. MNOŻENIE LICZB DODATNICH 7
2.1. Ulepszona metoda mnożenia liczb z przesuwaniem o grupy zer i jedynek 7
2.2. Mnożenie z przesuwaniem o jeden bit 14
2.3. Mnożenie z przesuwaniem o dwa bity 20
3. MNOŻENIE LICZB W SYSTEMIE UZUPEŁNIENIOWYM 24
4. ZAKOŃCZENIE 31
Literatura 31
Summary 32

1. WSTĘP

Większość problemów obliczeniowych wymaga mnożenia liczb. Ogólne zasady wykonania mnożenia w maszynach cyfrowych są bardzo proste. Mnożenie liczb składa się z ciągu dodawań i przesunięć, których liczba i kolejność określona jest przez bity mnożnika.

Przy ustalonym czasie działania sumatora i ustalonym czasie wykonywania przesunięć przyspieszenie mnożenia można uzyskać przez wbudowanie w układ kilku sumatorów lub zmniejszenie ilości działań wykonywanych w sumatorze. Zwiększenie liczby sumatorów jest metodą kosztowną. Znacznie bardziej efektywna jest metoda druga, polegająca na przekształceniu kodu mnożnika w kod pozwalający na zmniejszenie liczby działań wykonywanych w sumatorze.

Niech mnożnik będzie liczbą przedstawioną w kodzie binarnym:

$$a = \sum_{i=0}^{n-1} a_i \, 2^{i-n} ,$$

gdzie $a_i \in \{0,1\}$,

którą będziemy traktować jako liczbę o rozwinięciu nieskończonym:

$$a = \sum_{i=-\infty}^{+\infty} a_i \, 2^{i-n} \qquad /1/$$

gdzie:

$a_i \in \{0,1\}$ dla $0 \leqslant i < n$

$a_i = 0$ dla $i < 0$ oraz $i \geqslant n$

Zdefiniujemy przekształcenie kodu /1/ mnożnika odpowiadające ulepszonej metodzie z przesuwaniem o grupy zer i jedynek [1], [2], [3] w kod:

$$a = \sum_{i=-\infty}^{+\infty} \alpha_i \, 2^{i-n} \qquad /2a/$$

gdzie:

$$\alpha_i \in \{-1,0,1\}$$

Jeśli istnieje taki wskaźnik i, że $(a_{i+1}, a_i) = (1,1)$, to tworzymy skończony ciąg wskaźników $\{i_k\}$:

$$k = 0,1, \ldots, 2L + 1$$

Szybkość wykonywania mnożenia ma duży wpływ na moc obliczeniową maszyny, szacuje się bowiem, że w przeciętnych programach ilość operacji mnożenia stanowi 7 - 10% [4].

W [1], [2], [3] przedstawiono /za pomocą opisu słownego i na przykładach/ tzw. ulepszoną metodę mnożenia z przesuwaniem o grupy zer i jedynek, odznaczającą się tym, że ciąg operacji dodawania i odejmowania odpowiadający operacji mnożenia jest najkrótszy. Realizacja tej metody jest jednak mało ekonomiczna ze względu na znaczną rozbudowę układu mnożącego [2], [3].

W pracy podano definicję przekształcenia kodu binarnego mnożnika, na którym oparta jest ta metoda. Podano dokładne oszacowanie przeciętnej liczby dodawań i odejmowań.

Wychodząc z ww definicji przekształcenia kodu mnożnika podano nową metodę mnożenia z przesuwaniem o 1 bit odznaczającą się identyczną jak w poprzedniej metodzie ilością dodawań i odejmowań oraz bardzo prostą realizacją.

Poprzez modyfikację tej metody uzyskano nową metodę z przesuwaniem o 2 bity o identycznej jak poprzednio liczbie dodawań i odejmowań, wymagającą tylko nieznacznej rozbudowy układu mnożącego przy prawie dwukrotnym wzroście szybkości mnożenia.

W pracy wykazano pełną przydatność podanych metod dla maszyn cyfrowych liczących w systemie uzupełnieniowym *). Udowodniono ponadto, że stosowanie tych metod pozwala na uniknięcie kroków korekcyjnych dla iloczynu, wykonywanych zwykle w tym systemie. Należy zauważyć, że podane metody mogą być również stosowane do szybkiego mnożenia za pomocą sumatorów z wydzielaniem przeniesień [5].

2. MNOŻENIE LICZB DODATNICH

2.1. Ulepszona metoda mnożenia liczb z przesuwaniem o grupy zer i jedynek

Podstawowym czynnikiem ograniczającym szybkość mnożenia jest czas niezbędny do wykonania kolejnych dodawań.

*) Systemem uzupełnieniowym nazywać będziemy system liczbowy binarny o przedstawieniu za pomocą uzupełnienia dwójkowego.

gdzie L jest pewną liczbą zależną od rozwinięcia /1/, w następujący sposób:

$$i_0 = \min \left\{ i : \left(a_{i+1}, a_i \right) = (1,1) \right\}$$

$$i_1 = \min \left\{ i : \left(a_{i+1}, a_i \right) = (0,0),\ i > i_0 \right\}$$

$$\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots$$

$$i_{2l} = \min \left\{ i : \left(a_{i+1}, a_i \right) = (1,1),\ i > i_{2l-1} \right\}$$

$$i_{2l+1} = \min \left\{ i : \left(a_{i+1}, a_i \right) = (0,0),\ i > i_{2l} \right\}$$

$$\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots$$

gdzie $l = 1,2, \dots, L$, zaś L równa się największemu l, dla którego iteracja ta daje się wykonać.

Niech

$$J = \bigcup_{l=0}^{L} I_l$$

gdzie

$$I_l = \left\{ i : i_{2l} < i < i_{2l+1},\ l = 0,1, \dots, L \right\}$$

oraz:

$$P = \left\{ i : i = i_{2l},\ l = 0,1, \dots, L \right\}$$

$$N = \left\{ i : i = i_{2l+1},\ l = 0,1, \dots, L \right\}$$

Z definicji ciągu $\left\{ i_k \right\}$ wynika, że $a_{i_{2l+1}} = 0$, zatem z tożsamości:

$$\sum_{p=i_{2l}}^{i_{2l+1}-1} a_p 2^p + \sum_{p=i_{2l}}^{i_{2l+1}-1} \bar{a}_p 2^p = 2^{i_{2l+1}} - 2^{i_{2l}}$$

gdzie $\bar{a}_p$ jest negacją a_p, otrzymujemy:

$$\sum_{p=i_{2l}}^{i_{2l+1}} a_p 2^p = \sum_{p=i_{2l}}^{i_{2l+1}-1} a_p 2^p = 2^{i_{2l+1}} + \sum_{p=i_{2l}}^{i_{2l+1}-1} \left(-\bar{a}_p \right) 2^p - 2^{i_{2l}} \qquad /3/$$

Dla dowolnej liczby a zachodzi zależność:

$$a = \sum_{i \notin J \cup P \cup N} a_i \, 2^{i-n} + \sum_{l=0}^{L} \sum_{p=i_{2l}}^{i_{2l+1}-1} a_p \, 2^{p-n}$$

ponadto $\bar{a}_{i_{2l}} = 0$ z definicji ciągu $\{i_k\}$, zatem stosując tożsamość /3/ otrzymujemy:

$$a = \sum_{i \notin J \cup P \cup N} a_i \, 2^{i-n} + \sum_{l=0}^{L} \left[2^{i_{2l+1}} + \sum_{p=i_{2l}+1}^{i_{2l+1}-1} (-\bar{a}_p) 2^{p-n} - 2^{i_{2l}} \right]$$

Przedstawienie /1/ jest zatem równoważne przedstawieniu:

$$a = \sum_{-\infty}^{+\infty} \alpha_i \, 2^{i-n}$$

gdzie

$$\alpha_i = \begin{cases} a_i & \text{dla} \quad i \notin J \cup P \cup N \\ -\bar{a}_i = a_i - 1 & \text{dla} \quad i \in J \\ -1 = a_i - 2 & \text{dla} \quad i \in P \\ 1 = a_i + 1 & \text{dla} \quad i \in N \end{cases} \qquad /2b/$$

W szczególnym przypadku jeśli nie istnieje taki wskaźnik i, że $(a_{i+1}, a_i) = (1,1)$, to $J \cup N \cup P$ jest zbiorem pustym, wówczas $\alpha_i = a_i$ dla każdego i.

Rozważmy metodę mnożenia, w której mnożnik zostaje przekształcony do postaci opisanej wzorami /2b/. Załóżmy, że budowa urządzenia realizującego tę metodę pozwala na przesuwanie o dowolną ilość pozycji w jednym kroku. Wówczas:

cyfrze $\alpha_i = 1$ odpowiada dodanie mnożnej i przesunięcie iloczynu częściowego o odpowiednią liczbę pozycji

cyfrze $\alpha_1 = -1$ odpowiada odjęcie mnożnej i przesunięcie iloczynu częściowego.

Oszacujemy efektywność tej metody obliczając średnią liczbę dodawań i odejmowań, a więc przy założonej realizacji przeciętną ilość kroków niezbędnych do pomnożenia dwóch liczb n-bitowych.

Oznaczmy przez N_n^k liczbę k-bitowych ciągów jednakowych cyfr /np. samych jedynek/ w 2^n różnych ciągach n-bitowych.

Można zauważyć, że zachodzi następująca zależność rekurencyjna:

$$N_n^k = \begin{cases} 1 & \text{gdy} \quad n = k \\ 2^{n-(k+1)} + \sum_{i=k}^{n-1} N_1^k & \text{gdy} \quad n > k \end{cases}$$

Zależność tę ilustruje przykładowo poniższa tabela:

0	0	0	0	a_3
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
b_1 1	0	0	0	a_2
1	0	0	1	
1	0	1	0	
1	0	1	1	
b_2 1	1	0	0	a_1
1	1	0	1	
b_3 1	1	1	0	
1	1	1	1	

Tabela podzielona jest linią przerywaną na dwie części. Ilość ciągów k-bitowych w prawej części jest równa sumie ilości tych ciągów w częściach a_i, dla których $i \geq k$. Liczba tych ciągów w częś-

ciach a_i równa jest ich ilości w liczbach i-bitowych i w zależności rekurencyjnej wyraża się składnikami N_i^k.

Lewa część tabeli zawiera dokładnie tyle ciągów k-bitowych, ile znajduje się w części b_i, dla której i=k i w zależności rekurencyjnej reprezentowana jest przez składnik $2^{n-(k+1)}$.

Pokażemy, że z powyższej zależności rekurencyjnej wynika wzór:

$$N_n^k = \begin{cases} 1 & \text{dla} \quad n = k \\ (n-k+3) \cdot 2^{n-(k+2)} & \text{dla} \quad n > k \end{cases} \qquad /4/$$

Dowód przeprowadzimy indukcyjnie względem n.

Dla n=k+1 wzór jest słuszny, ponieważ:

$$N_{k+1}^k = 2$$

Załóżmy, że wzór /4/ jest prawdziwy dla wszystkich i, gdzie $k < i < n$.

$$N_n^k = 2^{n-(k+1)} + \sum_{i=k}^{n-1} N_i^k =$$

$$= 2^{n-(k+1)} + N_{n-1}^k + \sum_{i=k}^{n-2} N_i^k = 2^{n-(k+1)} - 2^{n-(k+2)} + N_{n-1}^k + 2^{n-(k+2)} +$$

$$+ \sum_{i=k}^{n-2} N_i^k = 2^{n-(k+2)} + 2\, N_{n-1}^k$$

Stosując założenie indukcyjne do N_{n-1}^k otrzymujemy:

$$N_n^k = 2^{n-(k+2)} + 2(n-1-k+3)\, 2^{n-1-(k+2)} =$$

$$= (n-k+3) 2^{n-(k+2)}$$

co należało udowodnić.

Oszacujemy na początku przeciętną ilość dodawań i odejmowań dla prostej metody mnożenia z przesuwaniem o grupy zer i jedynek. Metoda ta wymaga jednej operacji dodawania dla każdej pojedynczej jedynki oraz dwie operacje – dodawania i odejmowania – dla każdego ciągu jedynek o długości $k \geqslant 2$.

Przeciętna ilość pojedynczych jedynek w liczbie n-bitowej wynosi $2^{-n} N_n^1$, zaś przeciętna liczba ciągów jedynek o długości $k \geqslant 2$ $2^{-n} \sum_{k=2}^{n} N_n^k$.

Stąd przeciętna ilość dodawań i odejmowań dla liczby n-bitowej równa jest:

$$i_n = 2^{-n} N_n^1 + 2 \cdot 2^{-n} \sum_{k=2}^{n} N_n^k$$

Po podstawieniu wyrażenia na N_n^k otrzymujemy:

$$i_n = \frac{1}{8} \left(3n + 2\right)$$

Obliczymy następnie zmniejszenie liczby dodawań i odejmowań dla ulepszonej metody mnożenia odpowiadającej zależnościom /2b/. Metoda ta daje zmniejszenie ilości operacji o 1 w każdym przypadku wystąpienia jednego lub więcej pojedynczych zer pomiędzy dwoma ciągami jedynek o długości $k \geqslant 2$, czyli w każdym przypadku wystąpienia w dowolnym miejscu liczby jednego z ciągów postaci:

$$\begin{array}{ccccccccccccccccccc}
 & & & & & & & & & \cdot & \cdot & \cdot & \cdot & 1 & 1 & 0 & 1 & 1 & \cdot & \cdot & \cdot & \cdot \\
 & & & & & & & \cdot & \cdot & \cdot & \cdot & 1 & 1 & 0 & 1 & 0 & 1 & 1 & \cdot & \cdot & \cdot & \cdot \\
 & & & & & & & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\
1 & 1 & 0 & 1 & 0 & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & 1 & 0 & 1 & 0 & 1 & 1 & \cdot & \cdot & \cdot & \cdot
\end{array} \qquad /5/$$

$\underbrace{\qquad}_{\text{pozycja } i+2E\left(\frac{n-i-1}{2}\right)}$ $\qquad$ $\underbrace{\qquad}_{\text{pozycja } i}$

Ilość pojedynczych zer w 2^n różnych liczbach n-bitowych wynosi $N_n^1 = (n-2)2^{n-3}$, ilość pojedynczych zer na pozycjach skrajnych 0 i $(n-1)$ równa jest $2 \cdot 2^{n-2}$.

Na każdą z pozostałych pozycji przypada zatem:

$$z_n = \frac{(n+2)2^{n-3} - 2^{n-1}}{n-2} = 2^{n-3} \qquad \text{pojedynczych zer}$$

Wynika stąd, że każdej i-tej pozycji $\left(1 < i < n-2\right)$ odpowiada C_n ciągów postaci /5/, gdzie:

$$c_n = z_n \cdot 2^{-1}\left[2^{-1} + 2^{-3} + 2^{-5} + \ldots + 2^{-2E\left(\frac{n-i-1}{2}\right)-1}\right] =$$

$$= 2^{n-3} \sum_{k=1}^{E\left(\frac{n-i-1}{2}\right)} 2^{-2k}$$

Oczywiście dla zer występujących na pozycjach 0, 1, $(n-2)$, $(n-1)$ nie może nastąpić zmniejszenie liczby operacji.

Ogólna ilość zaoszczędzonych operacji dla 2^n liczb $(n > 4)$ wynosi zatem:

$$P_n = 2^{n-3} \sum_{i=2}^{n-3} \sum_{k=1}^{E\left(\frac{n-i-1}{2}\right)} 2^{-2k}$$

a przeciętna ilość zaoszczędzonych operacji dla jednej liczby równa jest:

$$p_n = 2^{-3} \sum_{i=2}^{n-3} \sum_{k=1}^{E\left(\frac{n-i-1}{2}\right)} 2^{-2k} \qquad (n > 4)$$

Po obliczeniu wartości sum:

$$p_n \approx \begin{cases} 0 & \text{gdy } n \leq 4 \\ \frac{1}{24}\left(n - \frac{14}{3} + \frac{1}{3} \cdot 2^{5-n}\right) & \text{gdy } n=2l,\ l=3,4,5,\ldots \\ \frac{1}{24}\left(n - \frac{83}{12} + \frac{5}{3} \cdot 2^{3-n}\right) & \text{gdy } n=2l-1,\ l=3,4,5,\ldots \end{cases}$$

Przeciętna ilość operacji dodawania i odejmowania przy mnożeniu liczb n-bitowych dla ulepszonej metody wyraża się wzorem:

$$i_n^* = \frac{1}{8}(3n+2) - p_n$$

Po podstawieniu wyrażenia na p_n otrzymujemy ostatecznie:

$$i_n^* \simeq \begin{cases} \frac{3}{8}n + \frac{1}{4} & \text{gdy} \quad n \leq 4 \\ \frac{1}{3}n + \frac{4}{9} & \text{gdy} \quad n = 2l, \quad l = 3,4,5, \ldots \\ \frac{1}{3}n + \frac{155}{288} & \text{gdy} \quad n = 2l-1, \quad l = 3,4,5, \ldots \end{cases}$$

Poniższa tabela podaje przeciętną ilość dodawań i odejmowań dla niektóryoh długości liczb:

n	16	24	32	48	56	64
i_n^*	5,75	8,45	11,15	16,45	19,15	21,85

2.2. Mnożenie z przesuwaniem o jeden bit

Opisana powyżej metoda była przedstawiona w [1], [2], [3]. Umożliwia ona szybkie mnożenie, ale znacznie rozbudowane sterowanie i układ przesunięć [2], [3] powodują, że jest ona bardzo kosztowna w realizacji.

Poniżej przedstawimy nową metodę mnożenia z przesuwaniem o jeden bit równoważną poprzedniej pod względem ilości dodawań i odejmowań.

Niech $\chi_A(x)$ oznacza funkcję charakterystyczną zbioru A, to znaczy:

$$\chi_A(x) = \begin{cases} 0 & \text{dla} \quad x \notin A \\ 1 & \text{dla} \quad x \in A \end{cases}$$

Ponieważ zbiory J, P i N są rozłączne, zależność /2b/ możemy zapisać w równoważnej postaci:

$$a = \sum_{i=-\infty}^{+\infty} \alpha_i \, 2^{i-n}$$

gdzie

$$\alpha_i = a_i - \chi_J(i) - 2\,\chi_P(i) + \chi_N(i) \qquad /2c/$$

Niech $\{\beta_i\}$ będzie ciągiem cyfr β_i należących do zbioru $\{-1,0,1\}$, wyznaczonych z równań:

$$\begin{cases} a_i + p_{i-1} = \beta_i + 2\,p_i, & \text{gdzie} \\ p_i = a_{i+1}\,a_i + p_{i-1}(a_{i+1} - a_i)^2 & \text{dla} \quad i \geqslant 0, \quad \text{zaś} \\ p_i = 0 & \text{dla} \quad i < 0 \\ p_i \in \{0,1\} & \text{dla} \quad i \geqslant 0 \end{cases} \qquad /6/$$

Pokażemy teraz, że cyfry α_i oraz β_i wyznaczone z zależności /2c/ i /6/ są identyczne.

Lemat: Dla p_i określonego wzorami /6/ zachodzi:

$$p_i = \chi_{J \cup P}(i)$$

Dowód przeprowadzimy indukcyjnie, korzystając z następujących wniosków wynikających z definicji ciągu $\{i_k\}$ oraz zbiorów J, P oraz N:

a/ $i_0 \geqslant 0$, stąd $i \notin J \cup P \cup N$ dla $i < 0$

b/ jeśli $i \in J \cup P$, to $(a_{i+1}, a_i) \neq (0,0)$

c/ jeśli $i \notin J \cup P$, to $(a_{i+1}, a_i) \neq (1,1)$

Na podstawie /6/:

$$p_0 = a_1 \cdot a_0$$

Jeśli $i = 0$ oraz $i \in J \cup P$, to $i \in P$ i wówczas $p_0 = 1$.

Jeśli $i = 0$ oraz $i \notin J \cup P$, to z wniosku /a/ $i \notin J \cup P \cup N$.

Wówczas na podstawie wniosku /c/:

$$(a_1, a_0) \neq (1,1)$$

czyli

$$p_0 = 0$$

Dla $i = 0$ teza jest więc prawdziwa. Załóżmy, że teza zachodzi dla dowolnego $i : 0 < i \leq m-1$.

Mogą zachodzić dwa przypadki:

1/ $(m-1) \in J \cup P$, a wówczas z definicji zbioru J:

$$m \in J \cup N$$

Na mocy założenia indukcyjnego $p_{m-1} = 1$, zatem przekształcając /6/:

$$p_m = a_{m+1} + a_m - a_{m+1} \cdot a_m$$

Jeśli $m \notin J \cup P$, to $m \in N$ i wówczas $p_m = 0$.

Jeśli $m \in J \cup P$, to $m \in J$ i wówczas na podstawie wniosku /b/: $p_m = 1$.

2/ $(m-1) \notin J \cup P$ wówczas $m \notin J \cup N$, z założenia indukcyjnego:

$$p_m = a_{m+1} \cdot a_m$$

Jeśli $m \notin J \cup P$, to na podstawie wniosku /c/:

$$p_m = 0$$

Jeśli $m \in J \cup P$, to $m \in P$ i wówczas:

$$(a_{m+1}, a_m) = (1,1)$$

zatem:

$$p_m = 1,$$

co dowodzi prawdziwości tezy dla każdego $i \geq 0$.

Jeśli $i < 0$, to na podstawie /6/: $p_i = 0$ oraz na podstawie wniosku /a/ $i \notin J \cup P \cup N$.

Twierdzenie 1

Dla α_i określonych wzorami /2o/ i β_i określonych wzorami /6/ zachodzi: $\alpha_i = \beta_i$ dla każdego i

Dowód:

Ponieważ

$$\alpha_i = a_i - \chi_J(i) - 2\chi_P(i) + \chi_N(i)$$

oraz

$$\beta_i = a_i + p_{i-1} - 2\,p_i$$

wystarczy zatem pokazać, że:

$$p_{i-1} - 2p_i = -\chi_J(i) - 2\chi_P(i) + \chi_N(i)$$

dla każdego i

Zależność

$$(i-1) \in J \cup P$$

jest równoważna zależności:

$$i \in J \cup N$$

zatem:

$$p_{i-1} - 2p_i = \chi_{J\cup P}(i-1) - 2\chi_{J\cup P}(i) =$$

$$= \chi_{J\cup N}(i) - 2\chi_{J\cup P}(i) =$$

$$= \chi_N(i) - 2\chi_P(i) - \chi_J(i)$$

co dowodzi prawdziwości tezy.

Z twierdzenia 1 wynikają zależności:

$$a = \sum_{i=0}^{n} \alpha_i\, 2^{i-n}$$

gdzie

$$\alpha_i = \beta_i = a_i \left(1 - 2a_{i+1}\right) + p_{i-1}\left(1 - 2a_i\right)\left(1 - 2a_{i+1}\right) \qquad /7/$$

oraz p_i jest określone wzorami /6/.

Na podstawie /6/ i /7/ można przyporządkować cyfrom a_i cyfry α_i oraz p_i w sposób następujący:

a_{i+1}	a_i	p_{i-1}	1	p_i
0	0	0	0	0
0	1	0	1	0
1	0	0	0	0
1	1	0	-1	1
0	0	1	1	0
0	1	1	0	1
1	0	1	-1	1
1	1	1	0	1

Jeśli opisane przekształoenie zastosujemy do kodu mnożnika, to przypadki, dla których zachodzi dodanie lub odjęcie mnożnej i przesunięoie iloczynu częściowego, lub też samo przesunięcie iloczynu częściowego, można na podstawie powyższej tabeli określić następującymi funkcjami:

$$\begin{aligned} \text{DODANIE} &= \overline{a_{i+1}} \wedge \left(a_i \dot{-} p_{i-1}\right) \\ \text{ODJĘCIE} &= a_{i+1} \wedge \left(a_i \dot{-} p_{i-1}\right) \\ \text{PRZESUNIĘCIE} &= a_i \equiv p_{i-1} \end{aligned} \qquad /8/$$

gdzie

$$p_i = a_{i+1} \wedge a_i \vee p_{i-1} \wedge \left(a_{i+1} \dot{-} a_i\right)$$

$$\left(a \equiv b\right) \equiv \left(\overline{a \dot{-} b}\right) \equiv a \wedge b \vee \bar{a} \wedge \bar{b}$$

Realizacja odejmowania mnożnej przedstawionej w systemie znak-wartość bezwzględna wymaga wydłużenia sumatora, co równocześnie wydłuża czas mnożenia. Trudności tych można uniknąć stosując system uzupełnieniowy dla liczb ujemnych w czasie wykonywania mnoże-

nia. Odejmowanie mnożnej realizuje się wówczas przez dodanie uzupełnienia mnożnej do liczby jeden. Iloczyn częściowy otrzymany w wyniku takiego działania jest przedstawiony w postaci uzupełnienia do liczby jeden. Przesuwanie iloczynu częściowego wykonywane jest zgodnie z prawami arytmetyki uzupełnieniowej.

Pokażemy, że dla rozróżnienia postaci iloczynu częściowego nie potrzeba wprowadzać dodatkowego bitu "znaku". Wynika to z następującego twierdzenia:

Twierdzenie 2.

Jeśli mnożna b jest różna od zera oraz mnożnik a ma postać /7/, to iloczyn częściowy jest ujemny wtedy i tylko wtedy, gdy ostatnią wykonywaną operacją arytmetyczną /nie licząc przesunięć/ było odejmowanie mnożnej.

Dowód:

Niech mnożnik będzie przedstawiony w postaci:

$$a = \sum_{i=0}^{n} \alpha_i \, 2^{i-n}$$

gdzie

$$\alpha_i \in \{-1, 0, 1\}$$

Oznaczmy przez I_k iloczyn częściowy po wykonaniu k-tego kroku mnożenia:

$$I_k = b \cdot \sum_{i=0}^{k-1} \alpha_i \cdot 2^{i-n}$$

Oznaczmy:

$$m = \max \{i : \alpha_i \neq 0, \; 0 \leq i \leq k\}$$

Zachodzi oczywiście:

$$I_k = b \cdot \sum_{i=0}^{k-1} \alpha_i \, 2^{i-n} = b \cdot 2^{-n} \left(\alpha_m \cdot 2^m + \sum_{i=0}^{m-1} \alpha_i \, 2^i \right)$$

Ponieważ $b > 0$, wystarczy wykazać, że

$$\left| \alpha_m \, 2^m \right| > \left| \sum_{i=0}^{m-1} \alpha_i \, 2^i \right|$$

Ale:

$$\left| \sum_{i=0}^{m-1} \alpha_i \, 2^i \right| \leqslant \sum_{i=0}^{m-1} \left| \alpha_i \right| 2^i \leqslant \sum_{i=0}^{m-1} 2^i = 2^m - 1 < 2^m = \left| \alpha_m \, 2^m \right|,$$

co dowodzi słuszności tezy.

Na podstawie powyższego twierdzenia można wyciągnąć wniosek, że iloczyn końcowy ma zawsze postać prawidłową, najstarsza bowiem cyfra α_i różna od zera jest zawsze dodatnia.

Przeciętny czas wykonania mnożenia tą metodą można obliczyć ze wzoru:

$$T = i_n^* \, t_D + \left(n - i_n^* + 1 \right) t_p = \left(n+1 \right) t_p + i_n^* \left(t_D - t_p \right)$$

gdzie:

t_D – jest czasem wykonania dodawania lub odejmowania

t_p – jest czasem wykonania przesunięcia o jeden bit

i_n^* – jest przeciętną liczbą dodawań i odejmowań obliczoną w § 2.1.

Skrócenie czasu mnożenia przy tej metodzie zależy od różnicy pomiędzy czasem przesunięcia, a czasem dodania.

Metoda ta pozwala na przyspieszenie mnożenia przy bardzo nieznacznym wzroście kosztów realizacji.

2.3. Mnożenie z przesuwaniem o dwa bity

Dalsze skrócenie czasu wykonywania operacji mnożenia można uzyskać stosując przyspieszone przesuwanie. Opiszemy metodę mnożenia

pozwalającą na przesuwanie iloczynu częściowego o dwa bity w jednym kroku mnożenia, o identycznej jak w poprzednich metodach liczbie operacji dodawania i odejmowania. Uwagi dotyczące odejmowania mnożnej oraz twierdzenie 2 podane w poprzednim paragrafie pozostają w mocy dla niniejszej metody.

Realizacja mnożenia z przesuwaniem o dwa bity wymaga tylko nieznacznej rozbudowy układu, skracając prawie dwukrotnie czas wykonania mnożenia.

Metoda ta wywodzi się z metody podanej w poprzednim paragrafie w oparciu o następujące twierdzenie:

Twierdzenie 3.

Dla dowolnej liczby a o przedstawieniu /7/ zachodzi:

$$\alpha_{i+1} \cdot \alpha_i = 0$$

dla każdego i.

Dowód:

Dla każdego i:

$$a_i^2 = a_i \qquad \text{oraz} \qquad p_i^2 = p_i$$

$$\alpha_i = \left(1 - 2a_{i+1}\right)\left[a_i + p_{i-1}\left(1 - 2a_i\right)\right]$$

$$\alpha_{i+1} = \left(1-2a_{i+2}\right)\left\{a_{i+1}+\left(1-2a_{i+1}\right)\left[a_{i+1}\, a_i+p_{i-1}\left(a_{i+1}+a_i-2a_{i+1}a_i\right)\right]\right\} =$$

$$= \left(1 - 2a_{i+2}\right)\left[a_{i+1}\left(1 - a_i\right) + p_{i-1}\left(a_i - a_{i+1}\right)\right]$$

Zatem:

$$\alpha_i \cdot \alpha_{i+1} = \left(1-2a_{i+2}\right)\left(1-2a_{i+1}\right)\left\{a_{i+1}\, a_i\left(1-a_i\right) + p_{i-1}\left[a_i\left(a_i-a_{i+1}\right) + \right.\right.$$

$$\left.\left. + a_{i+1}\left(1-a_i\right)\left(1 - 2a_i\right) + \left(1-2a_i\right)\left(a_i - a_{i+1}\right)\right]\right\} =$$

$$= \left(1-2a_{i+2}\right)\left(1-2a_{i+1}\right) p_{i-1}\left(a_i-a_i a_{i+1}+a_{i+1}-a_i a_{i+1}-a_i-a_{i+1}+2a_i a_{i+1}\right) =$$

$$= 0$$

co dowodzi słuszności tezy.

Kod liczby a można przekształcić następująco:

$$a = \sum_{i=0}^{n} \alpha_i \, 2^{i-n} = \sum_{m=0}^{M} \left(\alpha_{2m} \, 2^{2m-n} + \alpha_{2m+1} \, 2^{2m+1-n} \right) =$$

$$= \sum_{m=0}^{M} 2^{2m-n} \left(\alpha_{2m} + 2\alpha_{2m+1} \right) = \sum_{m=0}^{M} c_m \cdot 4^{m-M}$$

gdzie:

$$M = E\left(\frac{n}{2}\right) + 1$$

$$c_m = \alpha_{2m} + 2\alpha_{2m+1}$$

Na podstawie twierdzenia 3:

$$c_m \in \{ -2, -1, 0, 1, 2 \}$$

Obliczmy wartość cyfr c_m w zależności od cyfr a_i:

$$c_m = a_{2m}\left(1 - 2a_{2m+1}\right) + p_{2m-1} \left(1 - 2a_{2m}\right)\left(1 - 2a_{2m+1}\right) +$$

$$+ \left(1 - 2a_{2m+2}\right)\left[a_{2m+1} \left(1 - a_{2m}\right) + p_{2m-1} \left(a_{2m} - a_{2m+1}\right)\right]$$

$$p_{2m+1} = a_{2m+1} \, a_{2m+2} + p_{2m} \left(a_{2m+2} - a_{2m+1}\right)^2$$

Oznaczmy:

$$p_{2m+1} = q_m$$

Przekształcając otrzymujemy:

$$\begin{cases} c_m = a_{2m}\left(1 - 4a_{2m+1} + 4a_{2m+1} \, a_{2m+2}\right) + 2a_{2m+1}\left(1 - 2a_{2m+2}\right) + \\ \quad + q_{m-1}\left(1 - 2a_{2m+2}\right)\left(1 - 2a_{2m+1}\right) \\ q_m = a_{2m+1}\left(a_{2m} + a_{2m+2} - a_{2m} \, a_{2m+2}\right) + q_{m-1}\left(a_{2m} - a_{2m} a_{2m+1} + \right. \\ \quad \left. + a_{2m} \, a_{2m+2} - a_{2m+1} \, a_{2m+2}\right) \qquad \text{dla} \quad m \geq 0 \\ q_m = 0 \quad \text{dla} \quad m < 0 \end{cases} \qquad /9/$$

Na podstawie równań /9/ można przyporządkować cyfrom a_m cyfry c_m i wartości q_m w sposób następujący:

a_{2m+2}	a_{2m+1}	a_{2m}	q_{m-1}	c_m	q_m
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	2	0
0	1	1	0	-1	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	-2	1
1	1	1	0	-1	1
0	0	0	1	1	0
0	0	1	1	2	0
0	1	0	1	-1	1
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	-2	1
1	1	0	1	-1	1
1	1	1	1	0	1

Jeśli opisane przekształcenie zastosujemy do kodu mnożnika, to przypadki dla których następuje dodanie lub odjęcie mnożnej i przesunięcie iloczynu częściowego, dodanie lub odjęcie podwojonej mnożnej i przesunięcie iloczynu częściowego lub samo przesunięcie iloczynu częściowego, można na podstawie powyższej tabeli określić funkcjami:

$$\text{DODANIE} = \overline{a_{2m+1}} \wedge \left(a_{2m} \dot{-} q_{m-1}\right)$$

$$\text{ODJĘCIE} = a_{2m+1} \wedge \left(a_{2m} \dot{-} q_{m-1}\right)$$

$$\text{DODANIE PODW.} = \overline{a_{2m+2}} \wedge \left(a_{2m} \equiv q_{m-1}\right)$$

$$\text{ODJĘCIE PODW.} = a_{2m+2} \wedge \left(a_{2m} \equiv q_{m-1}\right)$$

$$\text{PRZESUNIĘCIE} = a_{2m+1} \wedge a_{2m} \wedge q_{m-1} \vee \overline{a_{2m+1}} \wedge \overline{a_{2m}} \wedge \overline{q_{m-1}}$$

$$q_m = a_{2m+1} \wedge \left(a_{2m+2} \vee a_{2m}\right) \vee q_{m-1} \wedge \left(a_{2m+2} \wedge a_{2m+1} \wedge a_{2m}\right)$$

Przeciętny czas wykonania mnożenia tą metodą można obliczyć ze wzoru:

$$T = i_n^* t_D + \left(M - i_n^*\right) t_p = i_n^*\left(t_D - t_p\right) + E\left(\frac{n}{2} + 1\right) t_p$$

Wszystkie podane metody mogą być stosowane dla mnożenia liczb zapisanych w systemie znak - wartość bezwzględna.

Mnożenie wartości bezwzględnych wykonywane jest jedną z tych metod, a znak wyniku ustalony jest zgodnie z algebrą znaków.

3. MNOŻENIE LICZB W SYSTEMIE UZUPEŁNIENIOWYM

W wielu maszynach cyfrowych liczby są przedstawione w systemie uzupełnieniowym.

Przedstawione metody mogą być również stosowane do mnożenia liczb w tym systemie. Są one bardziej efektywne /najmniejsza spośród znanych metod liczba dodawań i odejmowań/ od podobnych metod podanych w [3], [6], [7].

Pokażemy, że stosowanie tych metod nie wymaga wykonywania żadnych kroków korekcyjnych, co oznacza pełną ich przydatność dla tego systemu.

Przedstawienie liczb w systemie uzupełnieniowym polega na przyporządkowaniu liczbie A liczby $\varphi(A)$, określonym następująco:

$$\varphi(A) = \begin{cases} |A| & \text{gdy} \quad A \geqslant 0 \\ 2 - |A| & \text{gdy} \quad A < 0 \end{cases}$$

Przyporządkowanie φ przekształca wzajemnie jednoznacznie przedział $(-1,1)$ na sumę przedziałów $\langle 0,1) \cup (1,2)$.

Każdemu działaniu arytmetycznemu należy przyporządkować jego obraz w zbiorze liczb przedstawionych w systemie uzupełnieniowym, t.zn. działanie spełniające warunek:

$$\varphi(A \square B) = \varphi(A) \triangle \varphi(B) \qquad /10/$$

gdzie "□" oznacza działanie w systemie znak - wartość bezwzględna, a "Δ" działanie na liczbach w systemie uzupełnieniowym.

Dla dalszych rozważań przyjmiemy, że:

$$|A| = a$$

liczba $a \in \langle 0,1)$ ma postać:

$$a = \sum_{i=0}^{n} a_i^+ \, 2^{i-n}, \qquad /11/$$

gdzie

$$a_i^+ \in \{0,1\}$$

liczba $(2-a) \in (1,2)$ ma postać:

$$2 - a = \sum_{i=0}^{n} a_i^- \, 2^{i-n}$$

gdzie

$$a_i^- \in \{0,1\}$$

liczba $x \in (-1,1) \cup (1,2)$ ma postać:

$$x = \sum_{i=0}^{n} x_i \, 2^{i-n}$$

gdzie

$$x_i \in \{-2, -1, 0, 1, 2\}$$

W iloczynie ab oznaczono: a - mnożnik, b - mnożną.

Definicja: "*" oznacza działanie na liczbach określonych równościami /11/ spełniające warunki:

$$\left.\begin{aligned} 2^{-k} * a &= 2^{-k} \, a \\ 2^{-k} * (2-a) &= 2 - 2^{-k} \, a \end{aligned}\right\} \quad \text{dla } 0 \leqslant k \leqslant n$$

$$x * a = \left(\sum_{i=0}^{n} x_i\, 2^{i-n}\right) * a = \sum_{i=0}^{n} x_i\, 2^{i-n} * a = \sum_{i=0}^{n} x_i\, 2^{i-n}\, a = x\, a$$

$$x * (2-a) = \left(\sum_{i=0}^{n} x_i\, 2^{i-n}\right) * (2-a) = \sum_{i=0}^{n} x_i\, 2^{i-n} * (2-a) =$$

$$= \sum_{i=0}^{n} x_i \left(2 - 2^{i-n}\, a\right) \equiv (2 - xa) \pmod 2$$

Z definicji wynikają następujące własności działania "*":

Twierdzenie 4.

Dla liczb $a \in \langle 0,1)$, $b \in \langle 0,1)$, $(2-a) \in (1,2)$ $(2-b) \in (1,2)$ zachodzą równości:

$a * b \equiv (a\, b) \pmod 2$

$a * (2-b) \equiv (2-ab) \pmod 2$

$(2-a) * b \equiv (2b-ab) \pmod 2 \neq \varphi(-ab)$

$(2-a) * (2-b) \equiv (2-2b+ab) \pmod 2 \neq \varphi(ab)$

a więc działanie "*" nie jest obrazem w sensie /10/ mnożenia w zbiorze liczb przedstawionych w systemie uzupełnieniowym.

Liczbę o przedstawieniu /11/ traktować będziemy jako liczbę o rozwinięciu nieskończonym:

$$a = \sum_{i=0}^{n} a_i^+\, 2^{i-n} \equiv \left(\sum_{i=-\infty}^{+\infty} a_i^+\, 2^{i-n}\right) \pmod 2$$

gdzie: $a_i^+ \in \{0,1\}$ dla $0 \leqslant i < n$; $a_i^+ = 0$ dla $i < 0$ oraz $i \geqslant n$

$$2 - a = \sum_{i=0}^{n} a_i^-\, 2^{i-n} \equiv \left(\sum_{i=-\infty}^{\infty} a_i^-\, 2^{i-n}\right) \pmod 2$$

gdzie: $a_i^- \in \{0,1\}$ dla $0 \leqslant i < n$; $a_i^- = 0$ dla $i < 0$

$a_i^- = 1$ dla $i \geqslant n$

Udowodnimy następującą własność kodu opisanego wzorami /7/.

Twierdzenie 5.

Jeśli α_i^+ oraz α_i^- oznaczają i-te cyfry rozwinięć nieskończonych liczb a oraz $(2-a)$ przedstawionych w kodzie opisanym wzorami /7/, to:

$$\alpha_i^- = -\alpha_i^+$$

Dowód:

Niech

$$i_M = \min\{i : a_i = 1\}$$

Wówczas:

$$a_i^- = \begin{cases} a_i^+ = 0 & \text{dla } i < i_M \\ a_i^+ = 1 & \text{dla } i = i_M \\ 1-a_i^+ & \text{dla } i > i_M \end{cases}$$

Dla $i < i_M$ twierdzenie jest oczywiste, gdyż:

$$\alpha_i^- = a_i^- = a_i^+ = \alpha_i^+ = 0$$

Dla $i \geqslant i_M$ dowód przeprowadzimy indukcyjnie.

$$\alpha_{i_M}^+ = 1 - 2\,a_{i_M+1}^+, \quad p_{i_M}^+ = a_{i_M+1}^+$$

$$\alpha_{i_M}^- = 1 - 2\,a_{i_M+1}^- = 1 - 2\left(1 - a_{i_M+1}^+\right) =$$

$$= -\left(1 - 2\,a_{i_M+1}^+\right) = -\alpha_{i_M}^+$$

$$p_{i_M+1}^- = a_{i_M+1}^- = 1 - a_{i_M+1}^+ = 1 - p_{i_M}^+$$

Załóżmy, że

$$\alpha_i^- = -\alpha_i^+$$

oraz

$$p_i^- = 1 - p_i^+$$

dla

$$i_M \leqslant i \leqslant k$$

Pokażemy, że:

$$\alpha_{k+1}^- = -\alpha_{k+1}^+ \; ; \qquad p_{k+1}^- = 1 - p_{k+1}^+$$

Z wzorów /7/:

$$\alpha_{k+1}^+ = \left(1 - 2a_{k+2}^+\right)\left[a_{k+1}^+ + p_k^+\left(1 - 2a_{k+1}^+\right)\right]$$

$$p_{k+1}^+ = a_{k+2}^+ a_{k+1}^+ + p_k^+\left(a_{k+1}^+ - a_{k+2}^+\right)^2$$

$$\alpha_{k+1}^- = \left(1-2a_{k+2}^-\right)\left[a_{k+1}^- + p_k^-\left(1-2a_{k+1}^-\right)\right] =$$

$$= -\left(1-2a_{k+2}^+\right)\left[1-a_{k+1}^+ -1+2a_{k+1}^+ + p_k^+\left(1-2a_{k+1}^+\right)\right] =$$

$$= -\left(1-2a_{k+2}^+\right)\left[a_{k+1}^+ + p_k^+\left(1-2a_{k+1}^+\right)\right] = -\alpha_{k+1}^+$$

$$p_{k+1}^- = a_{k+2}^- a_{k+1}^- + p_k^-\left(a_{k+1}^- - a_{k+2}^-\right)^2 =$$

$$= \left(1-a_{k+2}^+\right)\left(1-a_{k+1}^+\right) + \left(1-p_k^+\right)\left[\left(1-a_{k+1}^+\right) - \left(1-a_{k+2}^+\right)\right]^2 =$$

$$= 1 - \left[a_{k+2}^+ a_{k+1}^+ + p_k^+\left(a_{k+1}^+ - a_{k+2}^+\right)\right] = 1 - p_{k+1}^+$$

co dowodzi słuszności tezy.

Wniosek 1.

$$\sum_{i=0}^{n} \alpha_i^- \, 2^{i-n} = \sum_{i=0}^{n} \left(-\alpha_i^+\right) 2^{i-n} = -\sum_{i=0}^{n} \alpha_i^+ \, 2^{i-n} = -a$$

Niech α oznacza przekształcenie, które przyporządkowuje każdej sumie

$\sum_{i=0}^{n} a_i^+ 2^{i-n}$ sumę $\sum_{i=0}^{n} \alpha_i^+ 2^{i-n}$ oraz każdej sumie $\sum_{i=0}^{n} a_i^- 2^{i-n}$

sumę $\sum_{i=0}^{n} \alpha_i^- 2^{i-n}$, gdzie α_i^+ i α_i^- oznaczają i-te cyfry rozwinięć

nieskończonych liczb a i $(2-a)$.

Na podstawie wniosku 1:

$$\alpha(a) = a$$
$$\alpha(2-a) = -a$$

czyli $$\alpha(x) = \begin{cases} x & \text{dla} \quad x = a \\ x-2 & \text{dla} \quad x = 2-a \end{cases}$$

Stąd wynika:

Wniosek 2.

Przekształcenie α jest przekształceniem odwrotnym do przekształcenia φ czyli $\alpha(x) = \varphi^{-1}(x)$.

Podobnie niech γ oznacza przekształcenie, które przyporządkowuje każdej sumie

$$\sum_{i=0}^{n} a_i^+ 2^{i-n} \quad \text{sumę} \quad \sum_{m=0}^{M} c_m^+ 2^{2(m-M)}$$

oraz każdej sumie

$$\sum_{i=0}^{n} a_i^- 2^{i-n} \quad \text{sumę} \quad \sum_{m=0}^{M} c_m^- 2^{2(m-M)}.$$

Ponieważ $c_m = \alpha_{2m} + 2\alpha_{2m+1}$,

to

$$c_m^- = \alpha_{2m}^- + 2\alpha_{2m+1}^- = -\left(\alpha_{2m}^+ 2\alpha_{2m+1}^+\right) = -c_m^+$$

Stąd $$\gamma(x) = \begin{cases} x & \text{dla} \quad x = a \\ x-2 & \text{dla} \quad x = 2-a \end{cases}$$

co oznacza, że przekształcenie γ jest odwrotne do φ. A więc inaczej:

Wniosek 3.

Przekształcenie $\gamma(x) = \varphi^{-1}(x)$

Definicja:

Niech "Θ" oznacza działanie na liczbach w systemie uzupełnieniowym spełniające warunek:

$$x \,\Theta\, y = \varphi^{-1}(x) * y$$

Twierdzenie 6.

Działanie "Θ" jest obrazem w sensie /10/ mnożenia w zbiorze liczb przedstawionych w systemie uzupełnieniowym.

Dowód:

$$a \,\Theta\, b = \varphi^{-1}(a) * b = a * b \equiv (ab) \pmod 2 = \varphi(ab)$$

$$a \,\Theta\, (2-b) = \varphi^{-1}(a) * (2-b) = a * (2-b) \equiv (2-ab) \pmod 2 = \varphi\left[a(-b)\right]$$

$$(2-a) \,\Theta\, b = \varphi^{-1}(2-a) * b = (-a) * b \equiv (2-ab) \pmod 2 = \varphi\left[(-a)b\right]$$

$$(2-a) \,\Theta\, (2-b) = \varphi^{-1}(2-a) * (2-b) = (-a) * (2-b) \equiv$$

$$\equiv \left[2-(-a)b\right] \pmod 2 \equiv ab \pmod 2 = \varphi\left[(-a)\ (-b)\right]$$

Z twierdzenia 6 oraz wniosków 2 i 3 wynika natychmiast:

Wniosek 4.

Działania "Θ" określone następująco:

$$x \,\Theta\, y = \alpha(x) * y$$

lub $$x \,\Theta\, y = \gamma(x) * y$$

są obrazami w sensie /10/ mnożenia w zbiorze liczb przedstawionych w systemie uzupełnieniowym.

Przykład 1

$2 - a = 1,1001$

$2 - b = 1,1001$

$\gamma(2-a) = 0,\bar{2}1$

Uwaga: W przykładach cyfrą ujemną $-c$ oznaczać będziemy $\bar{c}$.

dodatkowa pozycja wprowadzona ze względu na dodawanie i odejmowanie podwojonej mnożnej

przesunięcie →
$11,1001 = 2-b$
\+
$11,111001 = 2^{-2}*(2-b)$
$00,1110 = -2*(2-b)$
$00,110001 = 2^{-2}*(2-b) - 2*(2-b)$
→
$0,0011\,0001 = \gamma(2-a)*(2-b) = ab$

Przykład 2

$2-a = 1,0010 \quad \gamma(2-a) = \bar{1},02$

$b = 0,1111$

→
$01,1110 = 2b$
→
$00,011110 = 2^{-2}*(2b)$
\+
$00,0001\,1110 = 2^{-2}*(2^{-2}*(2b))$
$11,0001 = 2-b$
$1,0010\,1110 = \gamma(2-a)*b = 2-ab$

4. ZAKOŃCZENIE

Metoda mnożenia liczb podana w paragrafie 2.3 była zastosowana w projekcie arytmometru zrealizowanego na układach podstawowych techniki krzemowej S50 [8].

Literatura

[1] AKUSHSKY A.I., EMELIANOV-YAROSLAVSKY L.B., KLYAMKO E.I., LINSKY V.S., MONOKHOV G.D.: Methods of Speeding-up of the Operation of Digital Computers, UNESCO/NS/ICIP/E.2.5, 1959.

[2] MAC SORLEY O.L.: High-Speed Arithmetic in Binary Computers, Proc. IRE, January 1961:49, 67-91.

[3] FLORES I.: The Logic of Computer Arithmetic, Prentice Hall, Englewood Cliffs, 1963:151-245.

[4] ADAMS C.W.: Grosch's Law Repealed, Datamation 8,July 1962.

[5] ŁUKASZEWICZ L.: Metoda wydzielania przeniesień przy dodawaniu i mnożeniu, Biuletyn ZAM seria P, Warszawa 1958.

[6] BOOTH A.D., BOOTH K.H.V.: Automatic Digital Calculators, Buttenworth, London 1956:45-48.

[7] GENIS J.G., LISIKOV V.T.: Umnoženije na dva razrjada čisel predstavlennych dopolnitelnym kodom, Voprosy techničeskoj kibernetiki, M. Nauka, 1966:125-126.

[8] KOJEMSKI A., KOWALEWSKA M., KULIŃSKA E., ŚWIĄTKOWSKI Z.: Szybkie Tranzystorowe Układy Logiczne S-50 /Opis ogólny/, Prace IMM, Sprawozdania, 1965:1,4.

METHODS OF HIGH-SPEED MULTIPLICATION IN BINARY NUMBER SYSTEMS

Summary

The multiplication methods presented in this paper are based on the improved method of ternary multiplication by shifting over 0's and 1's, given in [1], [2], [3]. The improved method of the multiplication by shifting over 0's and 1's is distinguished from among other known methods because of the smallest number of additions and subtractions performed during the multiplication process. However, the method implementation is little economical because of its increasing hardware.

This paper gives a definition of the transformation of the multiplier binary notation corresponding to the above-mentioned method. This transformation maps the binary representation of the positive number $a = \sum_{i=0}^{n-1} a_i \, 2^{i-n}$, where $a_i \in \{0,1\}$ onto the ternary representation $a = \sum_{i=0}^{n} \alpha_i \, 2^{i-n}$, where $\alpha_i \in \{-1,0,1\}$. This paper presents a proof that

$$\alpha_i = a_i \left(1-2a_{i+1}\right) + p_{i-1} \left(1-2a_i\right) \left(1-2a_{i+1}\right)$$

where $$p_i = a_{i+1} \, a_i + p_{i-1} \left(a_{i+1} - a_i\right)^2 \quad \text{for} \quad i > 0$$

and $$p_o = a_o \, a_1$$

Having these formulae, we easily obtain the new method of multiplication by shifting one place /tabele 1/, in which the number of additions and subtractions is identical with the one in the previous method.

For these methods the average number of additions and subtractions is given as follows

$$i_n^* \simeq \begin{cases} \frac{3}{8} n + \frac{1}{4} & \text{for} \quad n \leq 4 \\ \frac{1}{3} n + \frac{4}{9} & \text{for} \quad n = 2\,1, \quad 1 = 3,4, \ldots \\ \frac{1}{3} n + \frac{155}{288} & \text{for} \quad n = 2\,1-1, \quad 1 = 3,4, \ldots \end{cases}$$

The average time of multiplication by the presented method is

$$T = \left(n+1\right) t_p + i_n^* \left(t_D - t_p\right)$$

where t_D - is the time of addition or subtraction

t_p - the time of shifting one position

i_n^* - the average number of additions and subtractions.

If there are means for doing both addition and subtraction during the multiplication process, this method speeds up multiplication without increase of hardware.

The ternary digits α_i determined by the formulae /A/ have been proved to have the following characteristic:

$$\alpha_{i+1}\alpha_i = 0 \quad \text{for every } i \text{ holds.}$$

Using this characteristic, we can easily obtain the new transformation of binary multiplier notation, which maps the binary representation of positive number $a = \sum_{i=0}^{n-1} a_i\, 2^{i-n}$ onto the representation

$$a = \sum_{m=0}^{M} c_m\, 4^{m-M}, \quad M = E\left(\frac{n}{2}\right) + 1,$$

where $c_m = \alpha_{2m} + 2\alpha_{2m+1} = a_{2m}\left(1-4a_{2m+1} + 4a_{2m+1}\,a_{2m+2}\right) +$

$$+ 2a_{2m+1}\left(1-2a_{2m+2}\right) + q_{m-1}\left(1-2a_{2m+2}\right)\left(1-2a_{2m+1}\right)$$

and where $$q_m = a_{2m+1}\left(a_{2m} + a_{2m+2} - a_{2m}\,a_{2m+2}\right) + q_{m-1}\left(a_{2m} - a_{2m}\,a_{2m+1} + a_{2m}\,a_{2m+2} - a_{2m+1}\,a_{2m+2}\right)$$

for $m > 0$

and $$q_o = a_1\left(a_o + a_2 - a_o\,a_2\right)$$

Having these formulae, we obtain the new method of multiplication by shifting two places /table 2/ with the identical number of additions and subtractions as in the previous methods.

The average time of the multiplication by this method is

$$T = i_n^*\left(t_D - t_p\right) + E\left(\frac{n}{2} + 1\right) t_p$$

It provides an almost twofold increase of the multiplication speed, and requires a slight increase of hardware.

The presented methods have been proved to be easily applicable also to the multiplication of numbers in 2's complement representation. Moreover, it has been proved that the application of these methods allows to avoid the correction of the product, usually carried out by other methods applied in 2's complement representation.

PRACE IMM
Zeszyt 2
© 1968.07

621.382.3:681.325.65

КРЕМНИЕВЫЕ ЛОГИЧЕСКИЕ СХЕМЫ S-50

Анджей КОЕМСКИ
Мария КОВАЛЕВСКА
Збигнев СВИОНТКОВСКИ

Работа поступила 5.07.1967 г.

В работе представлены данные быстродействующих транзисторных логических схем, разработанных IMM /Instytut Maszyn Matematycznych/. Представлена общая характеристика комплекса S-50 и основные эксплуатационные данные. Описаны схемы входящие в состав комплекса

С О Д Е Р Ж А Н И Е

I. ВВЕДЕНИЕ 36
2. ПРИМЕНЕНИЕ ЭПИПЛАНАРНЫХ КРЕМНИЕВЫХ ПОЛУПРОВОДНИКОВ ДЛЯ РЕАЛИЗАЦИИ БЫСТРОДЕЙСТВУЮЩИХ ЛОГИЧЕСКИХ СХЕМ 37
3. РЕШЕНИЕ ЛОГИЧЕСКИХ СХЕМ S-50 39
3.I. Логическая схема НЕ-И 39
3.2. Модификации логической схемы НЕ-И 42
3.3. Триггеры 44
3.4. Схемы задержки 46
4. СПИСОК ЛОГИЧЕСКИХ СХЕМ S-50 47
5. ОСНОВНЫЕ ЭКСПЛУАТАЦИОННЫЕ ДАННЫЕ ЛОГИЧЕСКИХ СХЕМ S-50 . . . 50
5.I. Конструкционные оформление 50
5.2. Эксплуатационные условия 51
5.3. Питающие напряжения 53
5.4. Уровни сигналов 53
5.5. Запас от помех по входу 53
5.6. Принципы соединения схем S-50 работающих в больших системах 54
5.7. Совместная работа со схемами других комплексов 54

6. СОСТАВЛЕНИЕ ЦИФРОВЫХ БЛОКОВ ИЗ СХЕМ S-50 54
7. НАДЕЖНОСТЬ И ЭФФЕКТИВНОСТЬ СИСТЕМНЫХ РЕШЕНИЙ 59
8. ЗАКЛЮЧИТЕЛЬНЫЕ ЗАМЕЧАНИЯ 62
Литература 63
Streszczenie 65
Summary 67

ВВЕДЕНИЕ

Так в Польше, как и в более технически развитых странах существует потребность в системах, обладающих быстродействием свыше 10^5 операций/сек и циклом оперативного запоминающего устройства около 2 мксек, для которых среднее время безотказной работы больше 250 часов [7].

Логические схемы S-50 , разработанные в IMM /Instytut Maszyn Matematycznych/ предназначены именно для таких систем, ибо они обладают большой скоростью переключаиия (типичное время запаздывания схем - 30 нсек) и высокой надежностью. Комплекс этих схем может также применяться в других областях цифровой техники (системы промышленной автоматики, измерительные приборы, электронные телефонные станции).

Большая скорость переключения и надежность схем получена, главным образом, благодаря применению эпипланарных кремниевых полупроводников а также подбору соответственных конфигураций схем.

Схемы S-50 выполнены в статической технике, что повышает универсальность их применения. Они могут работать как в синхронных, так и в асинхронных системах.

2. ПРИМЕНЕНИЕ ЭПИПЛАНАРНЫХ КРЕМНИЕВЫХ ПОЛУПРОВОДНИКОВ ДЛЯ РЕАЛИЗАЦИИ БЫСТРОДЕЙСТВУЮЩИХ ЛОГИЧЕСКИХ СХЕМ

До овладения эпипланарной технологией, в логических схемах повсевместно применялись германиевые транзисторы и диоды, обладающие лучшими, по сравнению с кремниевыми полупроводниковыми приборами, переключательными свойствами (низкие величины напряжений перехода в направлении проводимости, большой коэффициент усиления тока).

Введение фирмой Fairchild эпипланарной технологии, которая практически применима только в случае использования кремния в качестве исходного материала, решило вопрос перехода цифровой техники на кремниевые схемы. Эти новые полупроводниковые приборы обладают не только повышеной надежностью, но также высокой скоростью переключания.

Исходным материалом для производства эпипланарных диодов и транзисторов является монокристаллическая пластинка кремная с низким удельным сопротивлением, покрытая эпитаксиальным слоем. Это тонкий кремниевый слой, обладающий высоким удельным сопротивлением.

Процесс производства эпипланарных элементов состоит в образовании зон типа p или n путем селективной диффузии примесей (бор, фосфор) внутрь эпитаксиального слоя, покрытого слоем окиси кремнин, в котором протравлены соответственные зоны. Окись кремния играет рсль защиты, противодействуя прохождению атомов диффундованных элементов за пределы протравленной зоны. После окончания процессов диффузии вся поверхность полупроводникового элемента покрывается окисью. Это создает естественное предохранение образованных переходов от внешних воздействий.

Возможность точного управления процессами диффузии позволяет получать весьма тонкие слои базы и эмиттера, благодаря чему эпипланарные транзисторы облагают высокой предельной частотой ($f_T \geq 300$ Мгц), низкой величиной постоянной времени накопления ($\tau_s < 25$ нсек) а также относительно большим коэффициентом усиления тока. Дополнительно, эпитексиальный слой уменьшает избыточный заряд и напряжение коллектор-эмиттер при работе в режиме насыщения. Напряжения насыщения этих транзисторов того же порядка как и германиевых транзисторов переключательного типа.

Транзисторам выполненным по этому методу, присуща повышенная однородность, меньшие изменение параметров во времени, меньшие обратные токи и повышенная мощность рассеивания по сравнению с транзисторами, получаемыми другими методами. Это позволяет работать с повышенным уровнем тока, расширить диапазон рабочих температур, а также уменьшает вероятность повреждения транзистора в схеме.

Автоматизация производства эпипланарных полупроводников привела к тому, что цены германиевых и кремниевых полупроводников сопоставимы.

В настоящее время большинство производителей цифровых устройств /IBM Elliott Automation, English Electric Comp., Ferranti, Thelephon - Bell/ опираются на эпипланарных кремниевых полупроводниках так как это увеличивает эффективность системных решений.

В таблице I представлены основные параметры нескольких эпипланарных транзисторов, применяемых в логических схемах.

Параметры транзисторов, применяемых в быстродействующих логических схемах

Таблица I

Тип транзистора	Производитель	Основные параметры					
		$f_{т\ мин}$ (Мгц)	τ_s (ns)	U_{CESAT}(V) для I_c=10 mA	P_c (мватт)	$h_{FE\ мин}$ I_c=10mA U_{CE}=1V	I_{CBO} 150°C U_{CB}= =20mA
2N 914	Sesco Plessey International	300	20	0,25	360	30	15
2N 834	Sesco International	350	25	0,25	300	25	30
2N 2369	Plessey Cosem	500	13	0,25	360	40	30

$f_{тмин}$ – минимальная предельная частота

U_{CESAT} – напряжение насыщения

P_c – мощность рассеяния

h_{FE} – усиление тока для больших сигналов

I_{CBO} – обратный ток коллектора при разомкнутом эмиттере

3. РЕШЕНИЯ ЛОГИЧЕСКИХ СХЕМ S-50

3.1. Логическая схема НЕ-И

В результате проведенного анализа, в качестве основного решения для целого комплекса S-50 принята транзисторно-диодная схема (DTL) типа НЕ-И.

Эта схема, обозначенная S50-I представлена на рис.I.

Здесь эпипланарный транзистор работает в состоянии отсечки или насыщения. В результате, на выходе получаются сигналы в виде уровней напряжения: ~4,5 V отвечающий по договору, логическому значению "I" и~0V , отвечающий логическому значению"0"*.

Работа транзистора в системе общего эмиттера обеспечивает выполнение операции инверсии. Управление транзистором осуществляет входная диодная схема И, которая выполняет операцию логического умножения. В случае подачи на все входы сигналов "I", ток протекающий через сопротивление R_s проходит через двухполюсник (состоящий из диодов D_{F1}, D_{F2} и D_{F3}) смещающий уровень напряжения, к базе транзистора и вводит его в насыщение. Если по крайней мере к одному подан сигнал "0", то ток, протекающий через сопротивление R_s течет главным образом к этому входу, а отрицательный источник поляризации U_p обеспечивает полную отсечку транзистора.

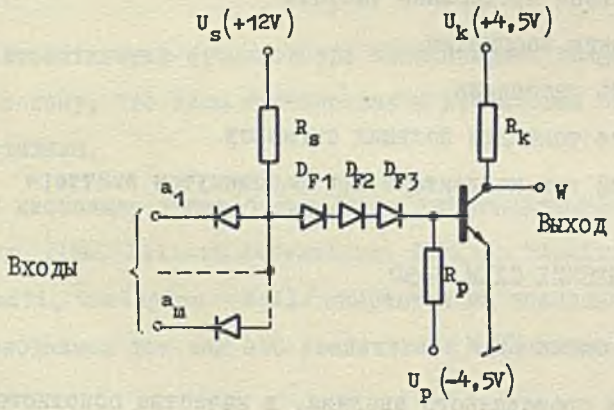


Рис.I. Схема S50-I

* Это определение применяется дальше в настоящей работе

Схема осуществляет функцию НЕ-И

$$W = \overline{a_1 \cdot a_2 \cdots a_m} \qquad (1)$$

где:

W - логические значение выходного сигнала

$a_1, a_2, \ldots, a_m$ - логические значения входных сигналов.

Весьма существенно на свойства схемы повлияло применение диодного смещающего двухполюсника в контуре базы. Благодаря этому система работает с переключением тока, позволяя уменьшить амплитуду изменений уровней входных сигналов, что особенно важно для быстродействующих схем, которые работают при сравнительно больших емкостях соединительных проводов. Также помехоустойчивость решений этого типа больше чем помехоустойчивость систем с "переключением напряжения" (например, в случае двухполюсника RC в контуре базы). Применение трех диодов в смещающем двухполюснике обеспечивает повышение помехоустойчивости входа от уровня ~ 0V.

Средняя величина времени запаздывания* сигнала одной схемы S50-I равна 30 нсек. Типичная теряемая в схеме мощность равна 75 мвт. Другие параметры схемы приведены в таблице 3. Система рассчитана и испытана по методу наихудшего случая. Оптимизации подвергалась величина времени запаздывания сигнала двух каскадно соединенных схем. При этом обеспечении основные функциональные требования относительно: коэффициента разветвления на выходе, количества входов, емкости нагрузки и запаса от помех по входу [2].

---

*Среднее время запаздывания это средняя величина времени запаздывания двух фронтов (переднего и заднего) выходных сигналов, измеряемая относительно соответствующих им фронтов входных сигналов. Эти запаздывания измеряются на высоте фронтов, отвечающих величине порога переключения (2V). Схемы нагружаются половиной допускаемой емкости и половиной максимального выходного тока.

3.2.Модификации логической схемы НЕ-И

Простые модификации вышеописанной схемы **S50-I** позволяют значительно расширить возможности реализации логических функций. Первая из этих модификаций состоит в параллельном соединении нескольких выходов схем **S50-I** согласно схеме, представленной на рис.2.

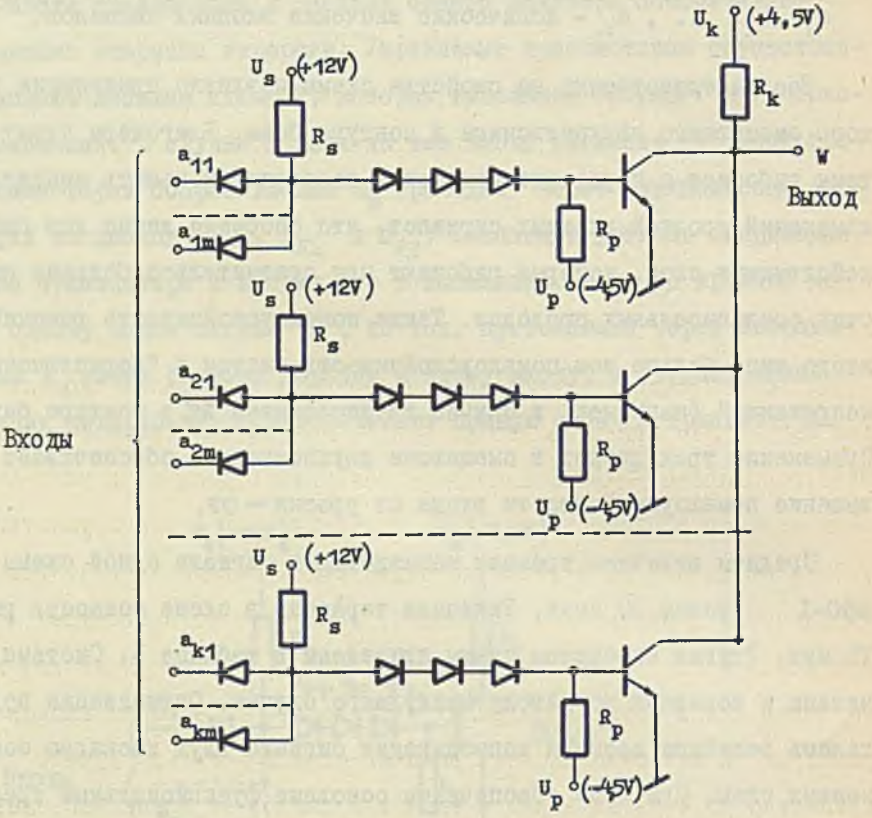


Рис.2. Параллельно соединенные схемы **S50-I**

Такое соединение элементов реализирует функцию НЕ–ИЛИ–И

$$W = \overline{a_{11}\cdot a_{12}\cdots a_{1m}+a_{21}\cdot a_{22}\cdots a_{2m}+ \cdots +a_{k1}\cdot a_{k2}\cdots a_{km}} \qquad (2)$$

Как и в выражении (I), символ a_{ij} обозначает логическое значение входного сигнала. Первый индекс i приписан порядковому номеру схемы И, а второй j– порядковому номеру входа в данной схеме.

При соединении выходов следует оставлять лишь одно коллекторное сопротивление в произвольной из схем **S50–I**. Для того, чтобы такое соединение не сказывалось существенным образом на временных параметрах схем, количество параллельно соединяемых выходов ограничено до 5. Нагрузочная способность состава такая же, как и основной схемы **S50–I**.

Вторая модификация состоит в применении нескольких диодных схем И, как это представлено на рис.3. Полученная таким образом схема обозначена **S50–IB**. Благодаря соединению диодов, в узле А реализируется функция логического сложения. Вся схема осуществляет функцию НЕ–ИЛИ–И, в таком же виде, как и выражение (2), где k – количество диодных схем И. Однако, в отличие от предыдущей модификации, такое решение более экономично и особенно пригодно для использования в сетях управления а также при расширении входов в триггерах. Количество входных диодных схем И в схеме **S50–IB** ограничено до 4 из за влияния емкостей диодов на время запаздывания схемы. Время выключения схемы **S50–IB** такое же как и схемы **S50–I** только тогда, когда перед выключением к базе транзистора

в схеме протекает ток от одной схемы И. Если это условие не соблюдено, время выключения возрастает не более чем на 20 нсек на каждую диодную схему И, снабжающую базу транзистора дополнительным током.

Коэффициент разветвления на выходе схем S50-I и S50-IB равен 5. В некоторых узлах логической сети, особенно при управлении параллельной передачей информации, требуется более высокий коэффициент разветвления на выходе. Для этой цели разработана двухтранзисторная логическая схема НЕ-И, обозначенная S50-M (представлена на рис. 4). Вместо одного диода в двухполюснике смещающим уровень напряжения поставлен транзистор. Благодаря этому, коэффициент разветвления на выходе, определенный для наихудшего случая, равен 13. Дополнительно разработан также усилитель S50-W. Логические свойства его подобные схеме S50-M , но благодаря применению третьего транзистора, включенного в специальный контур ускорения, усилитель может работать при значительно увеличенной емкости нагрузки, доходящей до 1000 пф.

3.3. Триггеры

В состав комплекса схем S-50 входят два типа триггеров. Триггер S50-PA является простой запоминающей схемой с потенциальными входами (типа RS с расширенными возможностями управления на входе), образованной соединением в петлю двух схем S50-IB. Более сложным является триггер S50-PB. Основное запоминающее кольцо этой схемы образовано двумя логическими схемами S50-I входы которых служат для потенциальной установки "I" и установки "0" триггера. Импульсные входы типа RC разработаны так, чтобы обеспечить большой запас от помех по входу. Это получено добавлением схем похожих на S50-IB (рис.5.) на входах цепочек RC . Благодаря этому, емкости

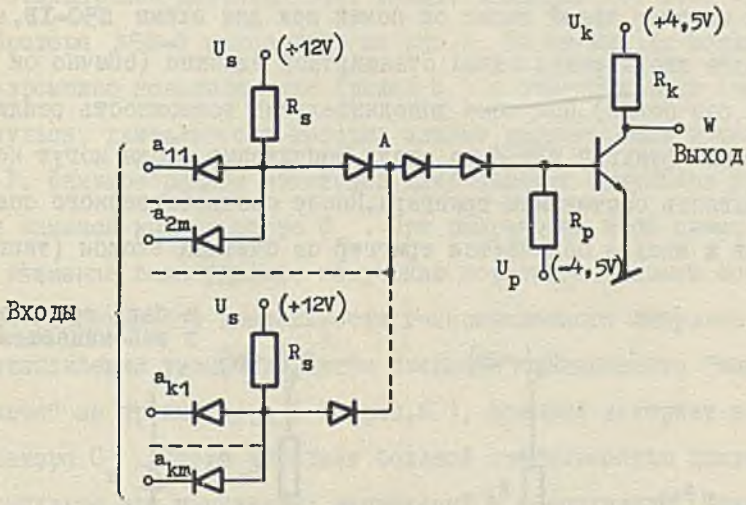


Рис.3. Схема S50-IB

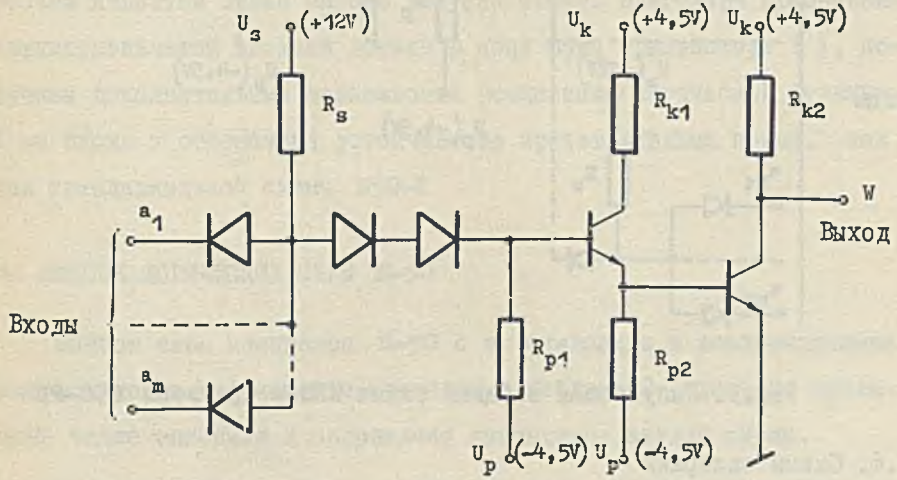


Рис.4. Схема S50-M

не нагружают схем управляющих входами триггера. В таком решении на входах получен такой запас от помех как для схемы S50-IB, а ток импульсного входа равен одной стандартной единице (обычно он в несколько раз более). Получена дополнительная возможность реализации логических функций ИЛИ-И по входу. Импульсные входы могут независимо управлять состоянием триггера. После соответственного соединения выходов и входов получается триггер со счетным входом (типа Т).

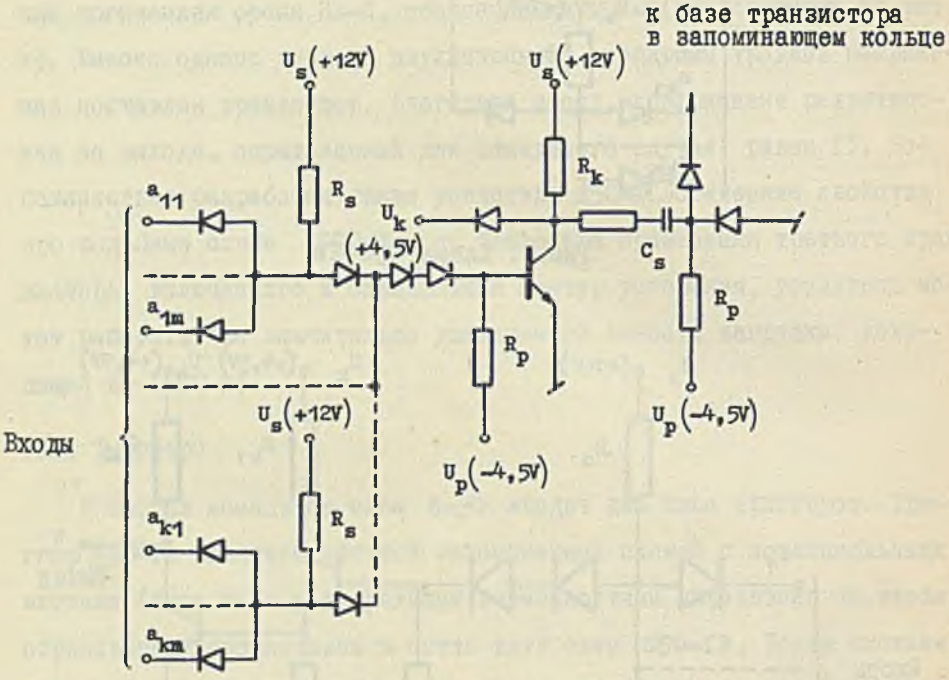


Рис.5. Импульсная входная схема ИЛИ-И триггера S50-PB

3.4. Схемы задержки

В состав комплекса S-50 входят две схемы задержки. После запуска положительным фронтом пускового импульса, на выходе этих схем появляются импульсы определенной длительности (схемы типа одно-

вибратора).

Простой формователь S50-F дает на выходе положительные импульсы стандартной длительности. Больше возможностей дает схема одновибратора S50-O показанная на рис.6. На ее выходе появляются одновременно положительные (выход W) и отрицательные (выход $\overline{W}$) импульсы, длительность которых плавно регулируется потенциометром P. Скачкообразное изменение длительности импульсов производится заменой конденсатора C_m . При разработке этой схемы особенное внимание было уделено получению короткого времени восстановления стабильности длительности генерированного импульса. Время восстановления уменьшено путём введения специального "эмиттерного ключа" на транзисторе T 3 (рис.6.), который ускоряет заряд конденсатора C_m . Схема обладает большой стабильностью длительности импульса при изменениях напряжений и температуры. Изменения падения напряжения на переходе база - эмиттер транзистора T2 компенсируются изменениями падения напряжения на диоде D I. Интересным является также способ запуска схемы. Благодаря применению двухступеньчатой диодной логики в цепи базы транзистора T I, получены дополнительные возможности реализации логической функции И на входе и обеспечена устойчивость против входных помех, как для принципиальной схемы S50-I

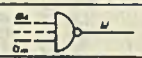
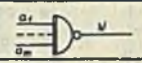
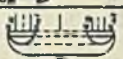
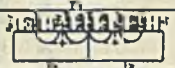
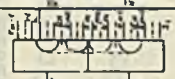
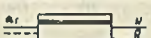
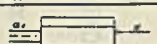
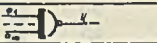
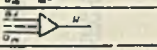
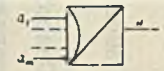
4. СПИСОК ЛОГИЧЕСКИХ СХЕМ S-50

Список схем комплекса S-50 с их символами и реализируемыми ими логическими функциями приведен в таблице 2. Здесь же приведено также описание и определено назначение каждой схемы.

Основные функциональные параметры схем комплекса приведены в таблице 3 (более полные приведены в [5]).

Символы и логические функции схем

Таблица 2

№ позиции	Обозначение схемы	Логический символ	Логическая функция* реализуемая схемой	Описание схемы	Предназначение схемы
I	S50-I		$W = \overline{\prod_{i=1}^{n} a_i}$	Инвертор с одноступенчатой логикой на входе	Элементарные схемы переключающих сетей
2	S50-IB		$W = \sum_{j=1}^{k} (\overline{\prod_{i=1}^{n} a_i})_j$	Инвертор с двухступенчатой логикой на входе	
3	S50-M		$W = \overline{\prod_{i=1}^{n} a_i}$	Инвертор мощности с одноступенчатой логикой на входе	Применение в тех узлах переключающих сетей, которые требуют большой величины коэффициента разветвления на выходе
4	S50-MB		$W = \sum_{j=1}^{k} (\overline{\prod_{i=1}^{n} a_i})_j$	Инвертор мощности с двухступенчатой логикой на входе	
5	S50-PA		$W_{t+1} = [\overline{\prod_{i=1}^{n} S_i} + W_t \overline{\prod_{i=1}^{n} r_i} \cdot \sum_{j=1}^{k} (\prod_{i=1}^{n} a_i)_j]^{**}$	Триггер с диодными схемами И на входе	Реализация регистров и счетчиков управляемых двухфазным тактирующим генератором
6	S50-PB		То же, что и для S50-PA а также позволяет реализовать на импульсных входах функцию ИЛИ-НЕ	Триггер со входами типа RC	Реализация регистров и счетчиков, управляемых однофазным тактирующим генератором
7	S50-O		Реализация логической функции И на входе	Временная задержка регулируемая в пределе 0,1-0,8 мксек	Генерирование импульсов плавно и скачкообразно регулируемой длительности
8	S50-F		Реализация логической функции И на входе	Формирователь стандартных импульсов	Генерирование импульса стандартной длительности
9	S50-W		$W = \overline{\prod_{i=1}^{n} a_i}$	Инвертор мощности с ускоряющим входным контуром	Работа при большой нагрузке и большой емкости монтажа
10	S50-S		Реализация логической функции И на входе	Индикатор световой сигнализации	Сигнализация состояний запоминающих схем
11	S50-G		Реализация логической функции И на входе	Позволяет осуществлять изменение входных уровней напряжения 0 в и + 4,5 в на выходные уровни 0в и -6в	Создание возможности работы схем комплекса S-50 со схемами на основании германиевых транзисторов р - п - р
12	S50-K		Реализация логической функции И на входе при соответствии: "1" ⇒ - 6 в "0" ⇒ 0 в	Позволяет осуществлять изменение входных уровней напряжения 0 в и - 6в на выходные уровни +4,5 в и 0в	Создание возможности работы схем на германиевых транзисторах р - п - р со схемами комплекса S-50

* Символом Π обозначено логическое умножение;
Символом Σ обозначено логическое сложение

** W_t ; W_{t+1} значения логической функции в очередных рабочих тактах

Функциональные параметры схем

Таблица 3

№	Обозначение схемы	Максимальное число входов		Входной ток**	Максимальная нагружаемость***		Допускаемая нагрузочная емкость	Типичное время запаздывания		Ширина генерируемого импульса
		m	k		простой выход	инверсный выход		простой выход	инверсный выход	
I	S50-I	8	-		-	5j	I00 пф	-	30 нсек	-
2	S50-IB	8	4		-	5j	I00 пф	-	30 нсек	-
3	S50-M	8	-		-	I3j	200 пф	-	35 нсек	-
4	S50-MB	8	4		-	I3j	200 пф	-	35 нсек	-
5	S50-PA	8	4	Ij	4j	4j	I00 пф	Типичная частота переключения равна 5 Мгц		-
6	S50-PB	8	4		4j	4j	I00 пф			-
7	S50-O	8	-		4j	5j	I00 пф	30 нсек	60 нсек	0,I-0,2 мксек 0,2-0,4 мксек 0,4-0,8 мксек
8	S50-F	8	-		5j	-	I00 пф	30 нсек	-	I60 ± 50 нсек
9	S50-W	8	-		-	I6j	I000 пф	-	35 нсек	-
I0	S50-S	8	-		50ма***		-	-	-	-
II	S50-G****	8	-		II,5 ма		300 пф	I00 нсек		-
I2	S50-K*****	8	-	макс 2,3 ма	5j		I00 пф	I00 нсек		-

* – количество входов диодной схемы И, ** – количество диодных схем И в схеме И-ИЛИ
** – стандартная единица тока нагрузки, макс 2,7 ма,
*** – Нагрузкой схемы является лампочка I2 в, 50 ма
**** – Уровни выходных напряжений: – 6 в и 0 в,
***** – Уровни входных напряжений: – 6 в и 0 в

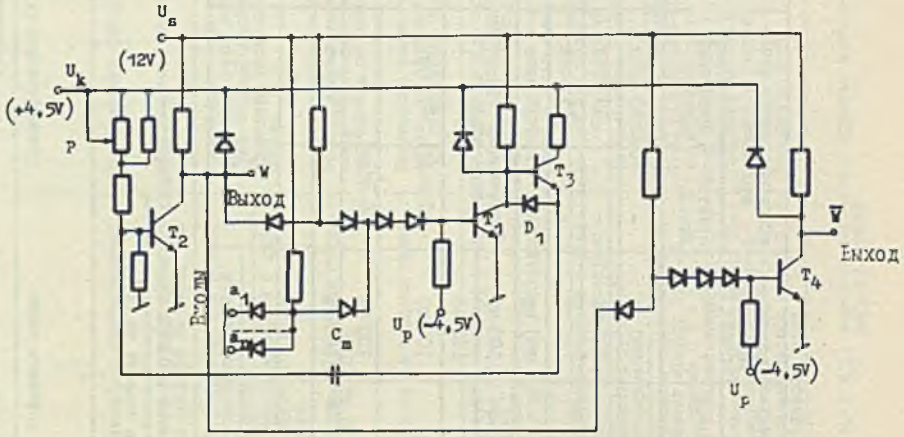


Рис.6. Схема временной задержки S50-0

5. ОСНОВНЫЕ ЭКСПЛУАТАЦИОННЫЕ ДАННЫЕ ЛОГИЧЕСКИХ СХЕМ S-50

5.I. Конструкционное оформление

Применено решение в виде пакетов*. На отдельных пакетах помещены схемы одного типа.

Пластинка пакета размерами I26 x I60 мм выполнена из стеклоэпоксидного ламината односторонне покрытого медной фольгой. Контакты

* Пакетом называется состав логических схем собранный на одной стандартной пластинке

напечатанные на пластинках и разъемах позолочены. На поверхности монтажного поля можно поместить около 100 конструкционных элементов, что соответствует 8-и схемам **S50-I**. Пример конструкционного оформления одного из пакетов комплекса **S-50** показан на рис.7.

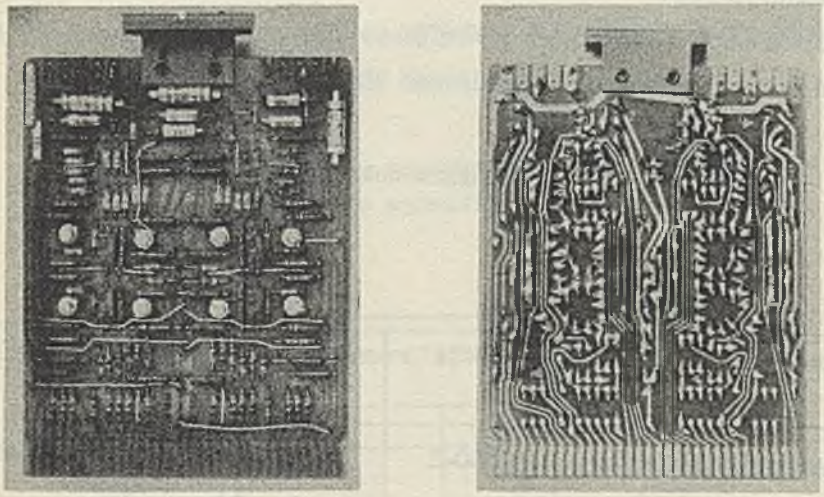


Рис.7. Виды одного из пакетов комплекса **S-50** со стороны монтажа и со стороны печатной схемы

В таблице 4 показано в качестве примера, количество диодных схем И и диодов для нескольких чаще применяемых пакетов комплекса **S-50**.

5.2. Эксплуатационные условия

Пакеты со схемами **S-50** предназначены для работы в стационарных устройствах находящихся в закрытых, некондиционированных помещениях.

Они отвечают следующим условиям [8]:

- максимальная рабочая температура + 70°C,

- минимальная рабочая температура + $0^{o}C$ ($-10^{o}C$ с понижением коэффициента разветвления на выходе на 2 для схем S50-M, S50-MB, S50-W а на I - для остальных схем),
- сопротивление длительному воздействию влажности - относительная влажность 98%,
- вибрационная стойкость* - ускорение 10_g, частота (5 - 600) гц,
- сопротивление ударам - ускорение 40_g.

Примерные данные нескольких пакетов комплекса S-50

Таблица 4

Наименование пакета	KI-II	KM-II	KO-II	KI-2I
Наименование схемы	S50-I	S50-M	S50-O	S50-IB
Количество схем	8	6	3	4
Количество диодных схем И*	I	I	I	2,2
Количество входных диодов в схеме И**	2,2,2,2,2, 3,3,3,	3,3,3, 2,2,2,	4	2

*) во всех схемах, если не указано иначе,

**) во всех диодных схемах И каждой из схем если не указано иначе

* Стойкость исследуется во время работы пакетов в условиях воздействия данного фактора, а сопротивление при отключенных питающих напряжениях

5.3. Питающие напряжения

Логические схемы S-50 требуют трех источников питающих напряжений, с номинальными величинами: + I2 V; + 4,5 V; - 4,5 V*. Допускаемое изменение питающих напряжений на разъемах пакета может равнятся ± 5% от номинальных величин. Средние величины тока потребляемого от отдельных источников питающих напряжений, приходящиеся на один пакет комплекса S-50 приведены в таблице 5.

Примерные данные типичных величин тока потребляемого от источников питания для нескольких пакетов

Таблица 5

Источник питания	Наименование пакета		
	КI-II	КМ-II	КО-II
+ I2 V	37 mA	28 mA	58 mA
+ 4,5 V	3I mA	I20 mA	I08 mA
- 4,5 V	7 mA	38 mA	5 mA

5.4. Уровни сигналов

Уровни сигналов схем S-50 равны:

- верхний уровень - (4,3 - 5,5) V
- нижний уровень - (0,I - 0,4) V

5.5. Запас от помех по входу

Типичные величины запаса от помех по входу схем S-50 (за исключением схемы S50-K управляемой отрицательными сигналами) равны:

* За исключением схемы S50-G

- от верхнего уровня - 2,5 V
- от нижнего уровня - I,5 V

5.6. Принципы соединения схем S-50 работающих в больших системах

Помехоустойчивость и возможность работы схем S-50 при больших емкостях монтажа являются причиной того, что сопряжения схем, даже в случаях густой каблировки,можно осуществлять одним проводом (до 60 см) или же скрученными парами (до I м).

Передача сигналов на большие расстояния (до 5 м) с помощью скрученных пар требует подключения на конце линии сопротивлений уменьшающих отражения.

5.7. Совместная работа с комплексами других схем

В случае похожих уровней сигналов можно осуществлять непосредственную совместную работу схем S-50 с другими комплексами. В других случаях требуется применение специальных схем, обеспечивающих соответствующее изменение уровней напряжения.

К примеру, схемы S-50 могут непосредственно работать с кремниевой системой ММ-I6, разработанной PIT [I] и целым рядом интегральных схем типа DTL и TTL .

Правильную работу схем S-50 со схемами комплекса S-400, производимыми в Опытном отделе IMM, основанными на транзисторах $p-n-p$ [6], обеспечивают схемы S50-G и S50-K входящие в список схем комплекса S-50 (табл.2. табл.3).

6. СОСТАВЛЕНИЕ ЦИФРОВЫХ БЛОКОВ ИЗ СХЕМ S-50

Значительное расширение функциональных возможностей отдельных схем (двухступенчатая диодная логика) позволяет осуществлять

экономную реализацию сложных цифровых систем. Сложные сети, как комбинационные (без запоминания) так и последовательные, можно осуществлять исключительно на основании логических схем, без дополнительных усилительных и сопрягающих элементов.

Основным элементом логических сетей является схема S50-I и функционально равноценная ей схема S50-M обладающая большим коэффициентом разветвления на выходе. Функциональное соответствие дает проектировщику большую свободу при синтезе сети, т.к. в случае превышения допускаемой нагружаемости схемы S50-I можно вместо нее ввести схему S50-M .

Опираясь исключительно на схемах НЕ-И можно строить потенциальные триггеры типа S50-PA . В этом случае регистры и счетчики строятся по методу двух триггеров на бит. Пример этого типа реализации регистра со сдвигом представлен на рис.8.

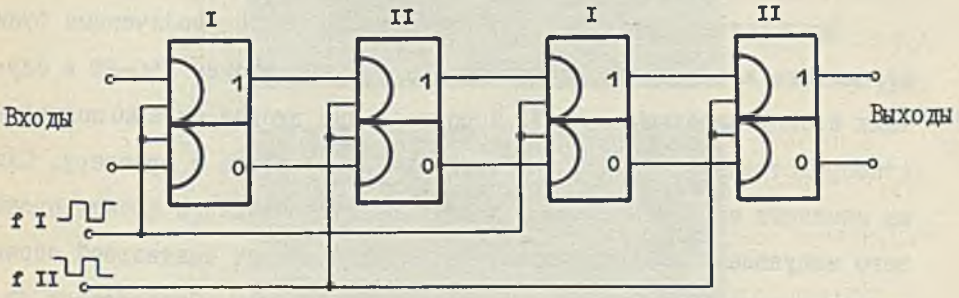


Рис.8. Регистр со сдвигом, осуществленный по методу "два триггера на бит" (две очередные позиции регистра)

Управление регистром нужно осуществлять двумя последовательностями тактирующих импульсов (f_I и f_{II}). Фазовый сдвиг тактирующих импульсов, приложенных к соседним триггерам исключает явление "гон-

ки", состоящее в возможности многократного изменения состояния одного из триггеров во время одного рабочего такта.

Количество последовательностей тактирующих импульсов можно свести к одной за счет усложнения структуры (например регистра). Соединением 6 схем НЕ-И, так как это представлено на рис.9, получается требуемый запоминающий элемент. Система обратных связей, выступающая в схеме, предохраняет от появления "гонки".

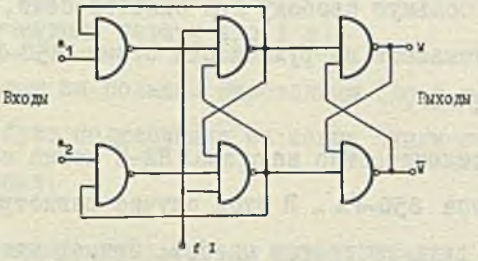


Рис.9. Реализация запоминающего элемента из логических схем НЕ-И

Значительная экономия оборудования, а также увеличенные функциональные возможности достигаются применением схем S50-PB в случаях последовательных сетей. Использование входов типа RC позволяет непосредственно пересылать информацию от триггера к триггеру. Схемы изменяют свое состояние в момент действия заднего фронта пускового импульса. Это освобождает проектировщика от тщательной оценки времени запаздывания сигналов для отдельных схем. Стандартное потребление тока на входе RC не вызывает никаких ограничений при управлении от логических схем комплекса.

Для иллюстрации действия схем этого типа на рис.10 и рис.11 приведены логические схемы, а также осциллограммы напряжений двух вариантов счетчиков. Ними считаются последовательности импульсов, приходящих от тактирующей схемы с частотой повторения 4 Мгц.

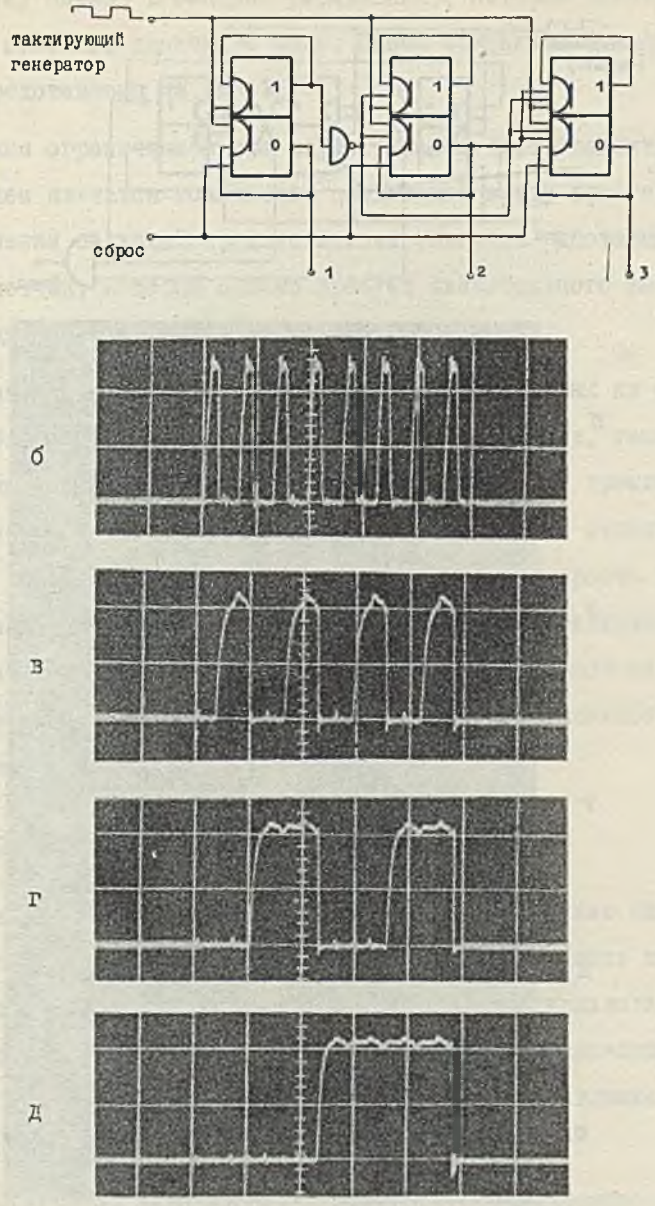
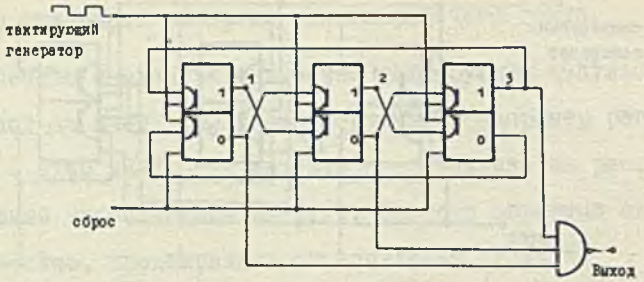
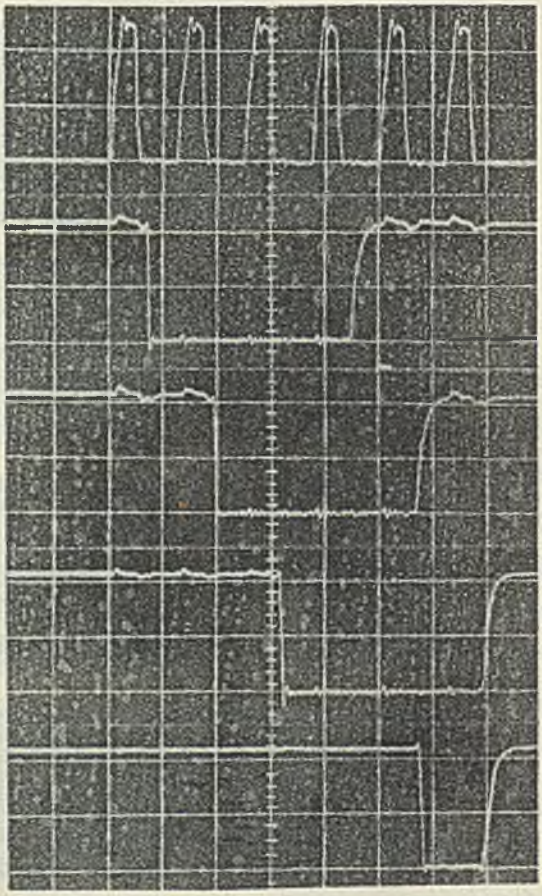


Рис.IO. Параллельный счетчик. Логическая схема (а), импульсы от тактирующего генератора (б) и диаграммы напряжений на выходах I,2,3, очередных триггеров (в,г,д)



а



б

в

г

д

е

Рис.II. Счетчик в коде Грея. Логическая схема (а), импульсы от тактирующего генератора (б) диаграммы напряжений на выходах I,2,3 очередных триггеров (в,г, д), а также диаграмма напряжения на выходе контрольной схемы НЕ-И (е)

На рис.10 представлен параллельный счетчик мод.8 (эквивалентный счетчику циклов в системе управления), который действует на основании простого двоичного кода. Схема считающая в коде Грея (мод.6) представлена на рис.11.

Основным ограничением при осуществлении быстродействующих счетных схем является количество соединений между триггерами. В этом отношении большими преимуществами обладает работающий в коде Грея счетчик, который однако требует значительного количества запоминающих схем.

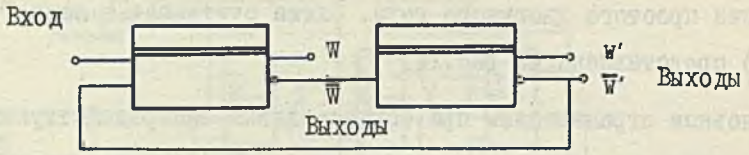
Синхронная работа цифровых блоков, составленных из схем достигается при помощи последовательности импульсов, генерированных схемами S50-0 и S50-F, отличающихся коротким временем восстановления. Соответственным подбором длительности отдельных импульсов в управляющей последовательности можно скорость преобразования информации приблизить к скорости работы асинхронных сетей. Пример реализации на основе схемы S50-0 самого простого тактирующего генератора (с частотой повторения 3 Мгц и скважности около 0,5) показан на рис.12.

7. НАДЕЖНОСТЬ И ЭФФЕКТИВНОСТЬ СИСТЕМНЫХ РЕШЕНИЙ

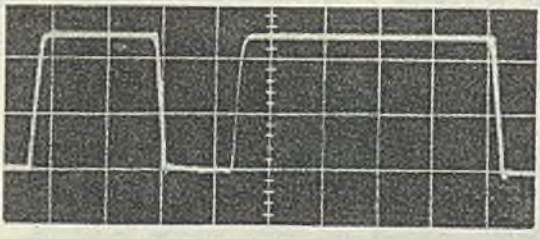
При разработке комплекса S-50 особенное внимание было посвящено обеспечению большой надежности. Решению комплекса присуща высокая степень стандартизации. Это позволяет использовать ограниченный состав конструкционных элементов высокого качества (один тип диода и транзистора, металлизированные сопротивления 0,5 вт а также слюдяные конденсаторы).

Для уменьшения вероятности повреждений параметрического типа (выход параметров схем за пределы допусков), при проектировании

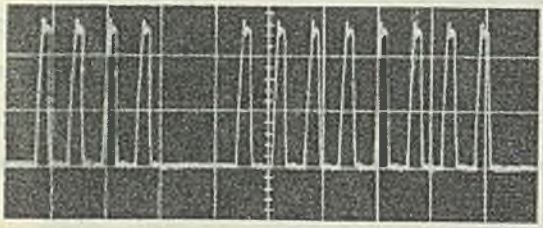
а



б



в



г

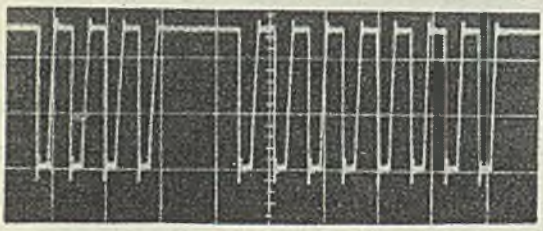


Рис.I2. Тактирующий генератор (4 Мгц). Логическая схема (а), диаграмма напряжений на входе схемы (б) и диаграммы напряжений на выходах W и $\overline{W}$ (в,г)

был использован метод наихудшего случая. Также уровень воздействующих факторов (напряжения, токи, температура) ограничен значительно ниже величин допускаемых для элементов данного типа. Одновременно такой подход позволяет понизить интенсивность катастрофических повреждений (полное повреждение например, короткое замыкание, разрыв). Как упомянуто раньше, существенное значение имело применение эпипланарных транзисторов и диодов. На основании исследований, проводимых фирмой SDS (Scientific Data System) в США, можно привести, что замена германиевых приборов кремниевыми увеличивает надежность схем по крайней мере в три раза [4]. При возрастании температуры это соотношение значительно повышается в пользу кремния (для 80°С оно равно около 8).

Особенное внимание было обращено на вопрос помех, которые являются главным источником ошибок в цифровых сетях. Проблема обеспечения соответствующих запасов от помех рассматривалась при характеристике схем. Принятые решения обладают высокой помехоустойчивостью так со стороны входов, как и проводов питания и заземления. Для увеличения помехоустойчивости исключены непосредственные входы через емкости. Схемы проектированы таким образом, чтобы замыкание входов и выходов до земли не вызывало повреждений.

Одним из показателей целесообразности применения при реализации цифровой системы схем данного типа является достигаемая эффективность - понимаемая как количество информации преобразуемой в единице времени. Сопоставляя величины параметров, определяющих скорость преобразования информации с расходами на покупку и эксплуатацию устройств, можно провести сравнение разных технических реализаций.

Принимая линейную зависимость параметров, определяющих скорость преобразования информации параметров цифровых схем, проведена оценка различных технических реализации, на основе критерия оценки эффективной скорости [3]. Выражение определяющее относительную стоимость эффективной скорости, имеет следующий вид

$$q = \frac{q_1}{q_2} = \frac{\frac{Z_1}{Z_2}}{\frac{K_1}{K_2} \cdot \frac{N_1}{N_2}} \qquad (3)$$

где: q_1 и q_2 – стоимость эффективной скорости

N_1 и N_2 – эффективная скорость преобразования информации в устройстве

K_1 и K_2 – коэффициент (результирующий) надежности работы

Z_1 и Z_2 – эффективная стоимость устройства

Индексы I и 2 приписаны сравниваемым реализациям. Сравнение проведено для двух комплексов, разработанных в IMM : S-400 [6] и S-50 .

В результате проведенных вычислений и оценок получено [3]

$$\frac{N_1}{N_2} = 4{,}6 \qquad \frac{K_1}{K_2} = 2 \qquad \frac{Z_1}{Z_2} = 0{,}78 \qquad (4)$$

где индекс I присвоен комплексу S-50 а индекс 2 – комплексу S-400
После подстановки вышеуказанных величин в (3) получаем

$$q \approx 0{,}085 \qquad (5)$$

Полученный результат экономически обосновывает целесообразность использования кремниевого комплекса S-50 для разработки новых систем.

8. ЗАКЛЮЧИТЕЛЬНЫЕ ЗАМЕЧАНИЯ

Перед проектировщиками цифровых систем возникает вопрос дости-

жения максимальной скорости преобразования информации. Отсюда стремление к применению наиболее быстродействующих логических схем. Существуют однако ограничения, из-за которых превышение некоторых пределов скорости является нецелесообразным. Одним из основных ограничений является цикл оперативного запоминающего устройства, применяемого в системе. На основании анализа существующих решений можно принять, что соотношение времени цикла ЗУ ко времени запаздывания сигнала для отдельной логической схемы содержится в пределах 50 – 100. Другие ограничения вызваны вопросами конструкции и надежности. С ростом скорости возрастают затруднения, связанные с реализацией каблирования, тк. возрастает уровень сигналов помех. Для большинства современных систем строенных из дискретных элементов время запаздывания логических схем содержится в диапазоне 10-50 нсек (время фронтов около 15 нсек). Это позволяет работать с ЗУ со временем цикла (0,5 – 5) мксек. Дальнейший рост скорости экономически обоснован при переходе к интегральным схемам. Меньшие размеры схем, а тем самым более плотная упаковка ведут к сокращению соединительных проводов, что значительно снижает уровень помех и одновременно, дает меньшую емкостную нагрузку. Способ проектирования схем S-50 (выбор принципиальных схем) таков, что позволяет осуществить легкий переход к интегральным схемам.

Литература

[1] BUCKI J., MAIK Z., STĘPIEŃ S.: Szybka minimodułowa technika cyfrowa MM 16. Быстродействующие микромодульные цифровые схемы MM 16. Prace PIT, 1965 : 49/50, 81

[2] KOJEMSKI A., KULIŃSKA E., SINKIEWICZ T., ŚWIĄTKOWSKI Z.: Optymalizacja parametrów dynamicznych układu logicznego typu

NAND Оптимизация динамических параметров логической схемы типа НЕ-И. Доклад на научно-техническую конференцию Применение логических схем в автоматизации промышленности. Katowice 1967.

[3] KOJEMSKI A., ŚWIĄTKOWSKI Z.; Szybki podstawowy układ logiczny na tranzystorze krzemowym. Быстродействующая элементарная логическая схема на кремниевом транзисторе Prace IMM, 1967: IV, B 19/32

[4] S.D.S. 910/920. Dane opracowane przez firmę Scientific Data System. Данные разработанные фирмой Scientific Data System, California 1964

[5] SINKIEWICZ T.: Parametry układów techniki S-50 do projektowania logicznego. Параметры схем комплекса S-50 для логического проектирования. Opracowanie wewnętrzne IMM, 1967

[6] Katalog techniki S-400. Каталог схем комплекса S-400 Opracowanie wewnętrzne IMM, 1964

[7] ŚWIATKOWSKI Z.: Uwagi w sprawie EMC opartej o nanosekundową technikę krzemową. Замечания по электронным цифровым машинам основанным на наносекундных кремниевых схемах. Nowości Techniczno-Ekonomiczne IMM, 1967:2

[8] Tymczasowe warunki techniczne na pakiety techniki S-50 T-WT-751-D. Временные технические условия на пакеты комплекса S-50 Opracowanie IMM, 1967

KRZEMOWE UKŁADY LOGICZNE S-50

Streszczenie

W pracy opisano zestaw tranzystorowo-diodowych układów logicznych S-50 zrealizowanych w oparciu o epiplanarne krzemowe elementy połprzewodnikowe. Tranzystory i diody tego typu znalazły powszechne zastosowanie w nowoczesnych rozwiązaniach techniki cyfrowej. Odznaczają się one dużą szybkością przełączania, są odporne na działanie temperatury, a ponadto charakteryzują się stosunkowo niewielkim rozrzutem parametrów. Warstwa epitaksjalna znacznie zmniejsza stałą czasu magazynowania, co pozwala na stosowanie rozwiązań schematowych, w których tranzystor pracuje w nasyceniu.

Rozwiązaniem bazowym dla całego zestawu układów jest element logiczny typu NAND S50-I /rys. 1/. Układ realizuje funkcję negacji iloczynu dla logiki dodatniej /zależność /1//.

Istotną cechą wyróżniającą to rozwiązanie jest dwójnik diodowy przesuwający poziom napięcia w obwodzie wejściowym tranzystora. Dzięki nieliniowej charakterystyce spadek napięcia na nim w niewielkim stopniu zależy od wartości prądu płynącego do tranzystora, co pozwala na znaczne obniżenie amplitudy sygnałów sterujących i pracę z przełączaniem prądowym. Sygnały logiczne na wyjściu są reprezentowane przez poziomy napięcia 4,5 V /odpowiadający "1"/ oraz 0V /odpowiadający "0"/. Typowy czas propagacji układu wynosi 30 ns. Minimalne wzmocnienie logiczne jest równe 5.

Pewne proste modyfikacje bazowego elementu logicznego pozwalają znacznie rozszerzyć możliwości realizacji funkcji logicznych. Na rys. 2 przedstawiono sposób realizacji funkcji negacji sumy iloczynów dzięki połączeniu kilku układów pracujących na wspólny opornik kolektorowy /zależność /2//. Tę samą funkcję realizuje układ S50-IB przedstawiony na rys. 3.

Rozwiązanie to wymaga znacznie mniejszej ilości tranzystorów i jest szczególnie przydatne w sieciach sterujących oraz dla rozbudowy wejść w przerzutnikach.

Układ S50-M zwany elementem logicznym NAND mocy /rys. 4/ realizuje taką samą funkcję logiczną jak element S50-I, natomiast odznacza się znacznie większym wzmocnieniem logicznym, wynoszącym 13. W sieciach logicznych jest on najczęściej wykorzystywany do sterowania równoległym przesyłaniem informacji.

W oparciu o podstawowy układ logiczny zrealizowano stałoprądowy przerzutnik S50-PA i przerzutnik S50-PB z bramkami zmiennoprądowymi RC. Układy charakteryzują się wysoką częstotliwością przełączania /typowa 5 MHz/ i odpornością na zakłócenia wejściowe, taką samą jak dla elementów logicznych NAND. Zastosowanie na wejściu bramek RC wzmacniaczy buforowych z logiką dwuwarstwową /rys. 5/ umożliwiło rozbudowę właściwości funkcjonalnych przerzutników oraz zmniejszyło obciążenie dla układów sterujących wejścia zmiennoprądowe. Obciążenie prądowe dla układów sterujących przerzutnik jest dzięki temu jednakowe dla wejść stało i zmiennoprądowych.

Układy synchronizacji czasowej rozwiązane są jako uniwibratory wyzwalane zboczem dodatnim. Układ S50-O przedstawiony na rys. 6 charakteryzuje się dużą stabilnością szerokości generowanego impulsu oraz krótkim czasem regeneracji.

Układ S50-F jest prostym układem uniwibratora przeznaczonym do generacji impulsu o standartowej szerokości /150 ns/.

Pozostałe elementy zestawu spełniają rolę pomocniczą.

Układ S50-W wykorzystywany jest do pracy na duże obciążenie pojemnościowe. Do sygnalizacji stanów w sieciach logicznych służy układ S50-S. Opracowano również dwa układy S50-K i S50-G zapewniające wzajemną współpracę układów techniki S-50 z układami podstawowymi o ujemnych sygnałach.

Szczegółowe dane dotyczące poszczególnych układów oraz realizowane przez nie funkcje podano w tabelach 2 i 3.

W rozwiązaniu konstrukcyjnym zastosowano system pakietowy. Przykłady opracowywanych pakietów podaje tabela 4.

Układy wymagają trzech napięć zasilających i mogą pracować w zakresie temperatur 0 - 70°C. W pracy podano szereg przykładów zastosowań obrazujących dużą elastyczność i prostotę realizacji struktur logicznych.

Na zakończenie oceniono efektywność ekonomiczną techniki S-50 przeprowadzając porównanie z techniką opartą na germanowych elementach półprzewodnikowych.

SILICON LOGIC CIRCUITS S-50

Summary

The paper describes diode transistor logic circuits S-50, in which epiplanar silicon semiconductors are applied. Such diodes and transistors are commonly used in modern digital technique realizations. Their main features are: fast switching, temperature variations, independent and small dispersion of electric parameters. Epitaxial layer significantly decreases the storage time constant which permits to build logical circuits where transistors can work in a saturation region.

The basic scheme for the whole circuit family is S50-I /fig. 1/ so-called NAND gate. This element realizes the NAND function for positive logic /dependence 1/.

The shifting of the voltage level on the transistor input is realized by means of a dicde two-terminal network. Due to the nonlinear characteristic of diodes the voltage drop is independent of the value of the current flowing to the transistor, which permits a significant lowering of voltage swings and current mode switching operation. Voltage levels 4,5 V /corresponding to "1"/ and OV /corresponding to "0"/ represent logic signals. The typical delay time of the gate is 30 ns. Minimal fan-out is 5.

Certain simple modifications of the base logic element permit to extend considerably the implementation of logic functions. The OR-ing of several NAND gate outputs /fig. 2/ gives the implementation of negated sum products /dependence 2/.

The same function is realized by S50-IB system shown in fig. 3. This realization is cheaper as it needs a considerably smaller number of transistors and is particularly useful in control network, as well as for the development of input functions in flip-flops.

The S50-M circuit, called power gate /fig. 4/ realizes the same logic function as S50-I. However, S50-M has a much higher fan-out.

S50-M is most often used in logic networks to the control of parallel information transfer. DC flip-flop S50-PA and AC flip-flop S50-PB are realized on the basis of the same logic elements. The circuits have a high operating frequency /5 Mc/s/ and good noise rejection. The application of buffer amplifiers, with a two-layer diode logic /fig. 5/ on the input of RC gates, enables the development of functional properties of flip-flops. The buffer stage additionally lowers the trigger input currents.

Timing current are constructed as univibrators triggered by positive edge of control pulses.

The circuit S50-O, presented in fig. 6, has a great stability of the generated pulse width and a short regeneration time. The element S-50-F is a simple univibrator circuit designed to generate pulses of standard width /150 ns/. The remaining elements of the logic family fulfil an auxiliary role.

S50-W is used to work under great capacitive load.

S50-S circuit is used to drive electric lamps signalizing logic network states.

Two elements S50-K and S50-G were developed to ensure a mutual operation of circuits of the S-50 family with logic elements operating with negative signals.

Detailed data on separate elements and functions they realize, are given in tables 2 and 3.

Glass-epoxy cards are used as a base material for modules. The examples of logic modules are presented in table 4.

The circuits require three supply voltages, and they can operate within the temperature range 0 - 70°C. A series of examples given in the paper shows a significant flexibility and a simplicity of logic structure realization.

Finally, economical effectiveness of S-50 circuits was estimated by means of comparing them with germanium semiconductor circuits.

PRACE IMM
Zeszyt 2
© 1968.07
681.382.23.002

WYBRANE ZAGADNIENIA Z TECHNOLOGII KRZEMOWEJ DIODY PLANARNEJ

Andrzej MODRZEJEWSKI

Pracę złożono 12.08.1967 r.

W artykule omówiono wpływ zjawisk w strukturach tlenek-półprzewodnik na parametry diody planarnej.
Szczególną uwagę zwrócono na dobór warunków utleniania termicznego, które w sposób decydujący wpływa na wartość napięcia przebicia złącza. Przedstawiono ponadto wyniki prób mających na celu ustalenie wpływu obróbki termicznej kontaktów omowych na wartość napięcia przebicia krzemowych diod planarnych.

S P I S T R E Ś C I

1. WSTĘP 69
2. ZJAWISKA W STRUKTURACH TLENEK-PÓŁPRZEWODNIK I ICH WPŁYW NA CHARAKTERYSTYKI ELEKTRYCZNE ELEMENTÓW PLANARNYCH 70
3. WYKONANIE PLANARNEGO PRZEJŚCIA p-n 72
4. UTLENIANIE MASKUJĄCE PRZEJŚCIE p-n 73
5. WYKONANIE KONTAKTÓW OMOWYCH 74
6. ZAKOŃCZENIE 77
Literatura 77
Summary 77

1. WSTĘP

Opanowanie technologii układów scalonych na krzemie uzależnione jest od stopnia opanowania techniki planarnej. W tym zakresie na terenie Instytutu Maszyn Matematycznych prowadzone są prace, których celem jest ustalenie wpływu niektórych procesów technologicznych przeprowadzanych w warunkach laboratoryjnych na parametry elementów planarnych.

W pierwszym etapie tych prac ograniczono się do ustalenia wpływu warunków utleniania powierzchni krzemu i sposobu wykonania kontaktów omowych na charakterystyki statyczne diody planarnej.

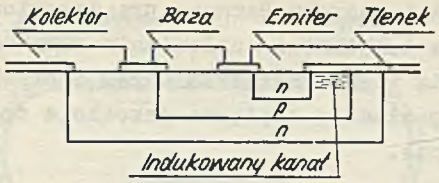
2. ZJAWISKA W STRUKTURACH TLENEK - PÓŁPRZEWODNIK I ICH WPŁYW NA CHARAKTERYSTYKI ELEKTRYCZNE ELEMENTÓW PLANARNYCH

Szerokie zastosowanie techniki planarnej przy konstruowaniu układów scalonych wpłynęło na szybki rozwój badań zjawisk występujących w powierzchniowych warstwach SiO_2. Jednym z zaobserwowanych zjawisk związanych bezpośrednio z warstwą termicznie wytworzonego tlenku, było występowanie kanału typu n, który w przypadku struktury planarnej tranzystora typu n-p-n może być powodem zwiększonej upływności, a nawet zwarcia między obszarami kolektora i emitera /rys. 1/. Obecność wspomnianego kanału ma wpływ na szybkość rekombinacji i generacji nośników ładunku, a tym samym na wartość współczynnika wzmocnienia prądowego tranzystora dla małych wartości prądu, a także na upływność diod przy polaryzacji napięciem stałym.

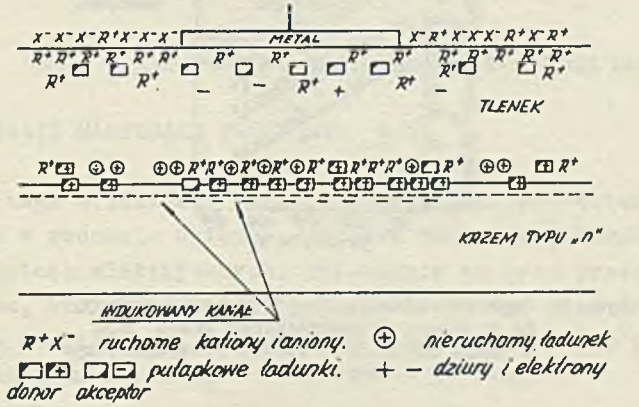
Powyższe zjawisko uzależnione jest bezpośrednio od warunków procesu planarnego. Opracowany został model wyjaśniający genezę podanych zjawisk /rys. 2/. Zakłada on, że występowanie kanału związane jest bezpośrednio z powstaniem obszaru inwersyjnego, uwarunkowanego istnieniem w warstwie tlenków migrujących kationów, nieruchomych ładunków dodatnich, pułapek itp.

Stwierdzono, że efekty związane z nieruchomymi ładunkami i pułapkami zlokalizowanymi w warstwie tlenku są niewielkie. Natomiast ruchome dodatnie ładunki pod wpływem różnych czynników zewnętrznych, takich jak pole elektryczne lub podwyższona temperatura mogą przemieszczać się w obszarze przejściowym tlenek - półprzewodnik. Jest to bezpośrednią przyczyną niestabilności elementów planarnych.

Celem poprawy stabilności tych elementów stosowane są zabiegi technologiczne, polegające na doborze odpowiedniej kompozycji tlenków i na starannym przeprowadzeniu procesów, które mogą wprowadzać ruchome jony dodatnie [1].



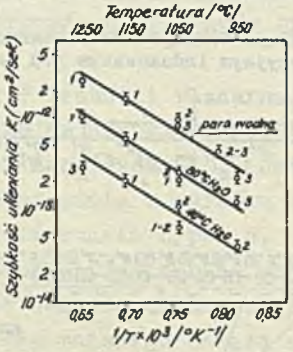
Rys. 1. Struktura tranzystora planarnego z obszarem inwersyjnym indukowanym pod warstwą tlenku



Rys. 2. Wyjaśnienie przyczyny zjawisk występujących w strukturze planarnej

Istnieje szereg opracowań dotyczących metod otrzymywania maskującej warstwy tlenków o dobrych właściwościach [2, 3, 4]. Jednym z podstawowych opracowań w tej dziedzinie jest praca F. Barsona, w której badając wpływ procesu utleniania na charakterystyki elektryczne złącz planarnych, stwierdził, że gdy proces narastania warstwy tlenku jest szybki i przeprowadzony w niskich temperaturach, to następuje pogorszenie parametrów statycznych złącz. Przypuszcza się, że zjawisko to związane jest z powstawaniem dyslokacji spiralnych wywołanych grupowaniem się domieszki w pobliżu powierzchni krzemu podczas narastania warstwy tlenku, a następnie umiejscawianiem się w pobliżu tych dyslokacji szybko dyfundujących zanieczyszczeń.

Wyniki doświadczeń zespołu Barsona przedstawiono na rys. 3. Wskazują one, że wysoka temperatura utleniania przy zachowaniu małej szybkości narastania tlenku zwiększa uzysk dobrych złącz planarnych tj. takich, które posiadają napięcie przebicia zbliżone do przewidywanego teoretycznie.

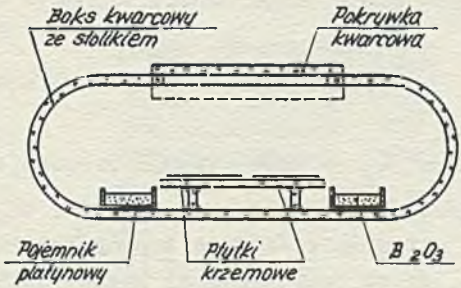


Rys. 3. Szybkość utleniania: 1/ w parze wodnej, 2/ w tlenie przepuszczonym przez H_2O o temp. 80°C, 3/ w tlenie przepuszczonym przez H_2O o temp. 40°C

Punkt "1" - > 75% dobrych złącz
Punkt "2" - ~ 50% dobrych złącz
Punkt "3" - < 10% dobrych złącz

3. WYKONANIE PLANARNEGO PRZEJŚCIA p–n

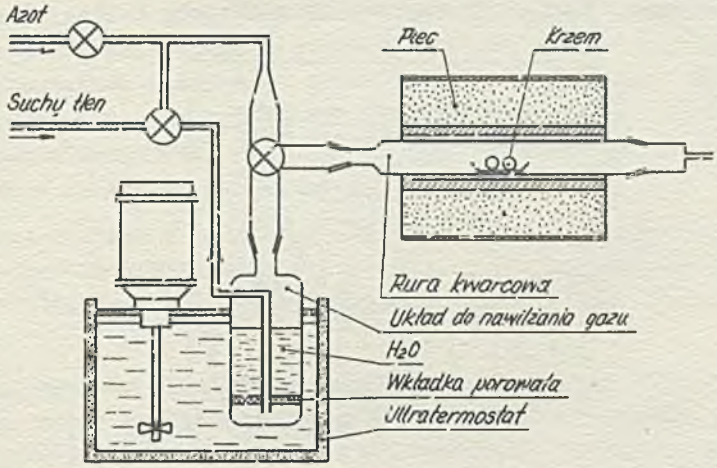
Celem wytworzenia przejść p–n zastosowano dyfuzję boru do krzemu typu n. Dyfuzję przeprowadzono w piecu jednostrefowym w temperaturze 1000°C w atmosferze wolno przepływającego azotu /0,5 litra na minutę, przy średnicy wewnętrznej rury ~ 50 mm/. Do osuszania azotu zastosowany był zestaw czterech wymrażarek, z których dwie były zanurzone w mieszaninie alkoholu z zestalonym CO_2, a pozostałe w ciekłym azocie. Płytki krzemowe z wytrawionymi w warstwie maskującego tlenku otworkami o średnicy ok. 300 μ, były umieszczane nie bezpośrednio w rurze przechodzącej przez piec, lecz w pojemniku kwarcowym o konstrukcji przedstawionej na rys. 4. Źródło atomów boru stanowił B_2O_3, w łódkach platynowych, które ustawiano w pobliżu płytek krzemowych. Takie umiejscowienie domieszki zapewniało uzyskanie wysokich koncentracji powierzchniowych [5, 6, 7].



Rys. 4. Konstrukcja boksu kwarcowego do dyfuzji boru

4. UTLENIANIE MASKUJĄCE PRZEJŚCIE p–n

Celem tego utleniania było uzyskanie nad przejściem p–n, wytworzonym w procesie dyfuzji, warstwy maskującej tlenku o dobrych właściwościach elektrycznych. Utlenianie to było przeprowadzane na stanowisku, którego zasadniczymi częściami są: piec grzejny rurowy z układem stabilizacji temperatury o dokładności $\pm$ 5°C i układ do nawilżania gazu /rys. 5/.



Rys. 5. Schemat stanowiska do utleniania termicznego krzemu

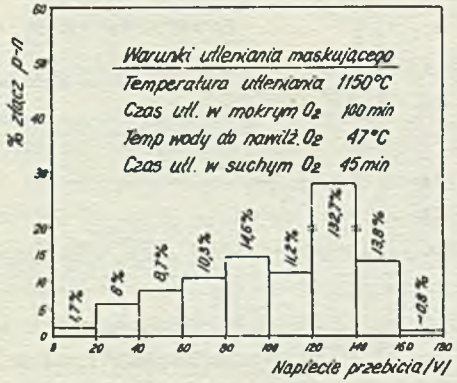
Utlenianie odbywało się w temperaturze 1150°C w dwu kolejnych etapach:

1. utlenianie w O_2 przepuszczonym przez wodę - czas trwania procesu 100 min.
2. utlenianie w suchym O_2 - czas trwania procesu 45 min.

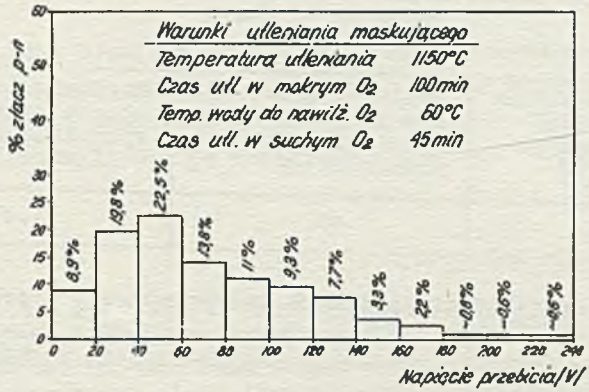
Z wykresów podanych na rys. 6 i rys. 7 widać, że zgodnie z przewidywaniami powolne utlenianie /niższa temperatura wody do nawilżania O_2/ powoduje, że na jednej płytce krzemowej uzyskuje się więcej złącz planarnych o wysokich napięciach przebicia. Dodatkowe porównanie wyżej wymienionych wykresów z wykresem na rys. 8 wskazuje na fakt, że przy podobnych warunkach przeprowadzania procesów dyfuzji i utleniania maskującego planarne złącza p-n wykonywane na krzemie o niższej oporności charakteryzują się mniejszym rozrzutem wartości napięcia przebicia.

5. WYKONANIE KONTAKTÓW OMOWYCH

Celem zbadania całej charakterystyki statycznej złącza planarnego wykonano kontakty omowe do obszarów p i n.



Rys. 6. Wykres rozrzutu napięć przebicia, złącz planarnych p - n wykonanych na krzemie o oporności właściwej $\rho \simeq 20\,\Omega$ cm /wykres wykonano na podstawie pomiaru 116 złącz/



Rys. 7. Wykres rozrzutu napięć przebicia, złącz planarnych p - n wykonanych na krzemie o oporności właściwej $\rho \simeq 20\,\Omega$ cm /wykres wykonano na podstawie pomiaru 182 złącz/

Stwierdzono, że obróbka termiczna związana z wykonaniem kontaktów omowych ma zasadniczy wpływ na wartości napięć przebicia złącz planarnych.

W tabeli 1 przedstawiono wartości średnie otrzymane na podstawie pomiarów napięć przebicia partii 23 szt. złącz planarnych. W rubryce pierwszej podano napięcia przebicia mierzone przed wykonaniem kontaktów omowych. Z kolei rubryka druga podaje wartość napięcia przebicia, po wykonaniu techniką naparowania próżniowego kontaktu aluminiowego do obszaru typu p każdego złącza i wygrzaniu go w próżni w temperaturze ok. 600°C.

Ostatnia rubryka w tabeli 1 - podaje napięcie przebicia po wytworzeniu kontaktu niklowego do obszaru n i wygrzaniu w próżni w temp. 700°C. Kontakty niklowe wykonane były metodą elektrochemiczną.

Analiza wyników pomiarów zebranych w tabeli 1 wskazuje, że dwa kolejno po sobie następujące procesy wygrzewania w próżni złącza do temperatury 600°C i powyżej mogą spowodować obniżenie prawie czterokrotne napięcia przebicia. Jednorazowe wygrzanie w próżni w temperaturze ok. 600°C złącz planarnych z obydwoma kontaktami /t.j. aluminiowym i niklowym/ powodowało obniżenie napięć przebicia niespełna 1,5 krotne w stosunku do wartości początkowej /patrz tab. 2/.

Średnia wartość napięcia przebicia złącza określona na podstawie pomiarów 23 złącz

Tabela 1

Napięcia przebicia złącza mierzone przed wygrzaniem kontaktów [V]	Napięcia przebicia złącza mierzone po wtopieniu kontaktu aluminiowego*) [V]	Napięcia przebicia złącza mierzone po wygrzaniu kontaktu niklowego**) [V]
66	45	17,4

*) Wtapianie kontaktu aluminiowego przeprowadzono w próżni w temperaturze 600°C.

**) Wygrzewanie kontaktu niklowego przeprowadzono w próżni w próżni w temperaturze 700°C.

Średnia wartość napięcia przebicia złącza określona na podstawie pomiarów 17 złącz

Tabela 2

Napięcie przebicia złącza mierzone przed wygrzaniem kontaktów [V]	Napięcie przebicia złącza mierzone po jednoczesnym wygrzaniu kontaktu aluminiowego i niklowego w próżni w temperaturze 600°C
66,5	41,0

Powyższe stwierdzenia mają istotne znaczenie dla ustalenia odpowiednich warunków wykonywania kontaktów omowych do elementów planarnych.

Rys. 8. Rozrzut napięć przebicia, złącz planarnych p - n wykonanych na krzemie o oporności właściwej $\rho \sim 1{,}2\,\Omega$cm /wykres wykonano na podstawie pomiaru 190 złącz/

6. ZAKOŃCZENIE

Zaobserwowane zjawiska wskazują, że mimo starannego doboru warunków utleniania maskującego, wykonanie diody planarnej o dobrych charakterystykach statycznych nastręcza poważne trudności, tym większe, im wyższe są wymagania napięciowe stawiane temu elementowi.

Literatura

[1] THORNTON C.G.: New Trends in Microelectronics Fabrication Technology, 1965–1966, Solid State Technology, April 1966.

[2] GOETZBERGER A.: Improved Properties of Silicon Dioxide Layers Grown Under Bias, Journal of the Electrochemical Society, February 1966:113, 2.

[3] MIURA Y., TANAKA S., MATUKURA Y., OSAFUNE H.: Silicon Dioxide Films Doped with Phosphorus, Journal of the Electrochemical Society, April 1966: :113, 4.

[4] BARSON F., ARMSTRONG W.J., MUTTER W.E.: Degradation of Planar Junctions During Reoxidation, Journal of the Electrochemical Society, November 1964:111, 11.

[5] D'ASARO L.A.: Diffusion and Oxide Masking in Silicon by the Box Method, Solid State Electronics, Pergamon Press 1960:1.

[6] YATSKO R.S.,KESPERIS J.S.: A Modified Closed Box System for the Diffusion of Boron in Silicon, Journal of the Electrochemical Society, November 1960:107, 11.

[7] LAWRENCE H.: A Diffused Field Effect Current Limiter, IRE Transactions on Electron Devices, January 1962.

SOME PROBLEMS OF SILICON PLANAR DIODE TECHNOLOGY

Summary

N-type channel of increased leakage exists in planar elements under the thermally produced oxide layer. In consequence of its existence there is considerable leakage in transistors between collector and emitter, as well as great leakage in planar diodes polarized by direct voltage.

The existence of the above channel was found depending directly on the conditions of the planar process.

This article presents the results of technological works connected with silicon planar diode production.

According to previsions the slow oxidation in high temperature masking the p-n junction produced in silicon ensures obtaining a high output of these elements of breakdown voltage near to that theoretically predicted.

This article also gives the results of tests for determination of optimal conditions for making ohm contacts for planar junctions. Soaking of planar junctions with superimposed contacts was found to lower considerably the breakdown voltages of these junctions.

Prace IMM
Zeszyt 2
© 1968.07
681.327.66.019.34

PROBLEMY NIEZAWODNOŚCI FERRYTOWEJ PAMIĘCI OPERACYJNEJ PAO-5

Jerzy DAŃDA
Zofia KLAUZNICER
Andrzej SIKORSKI

Pracę złożono 6.12.1967

W artykule niniejszym przedstawione są prace przeprowadzone w celu zwiększenia niezawodności ferrytowej pamięci operacyjnej PAO-5. Przedstawione są również wstępne obliczenia szacujące niezawodność katastroficzną oraz wyniki uzyskane podczas pomiarów, mówiące o tym, jaki stopień niezawodności został osiągnięty.

S P I S T R E Ś C I

1. WSTĘP 79
2. UWZGLĘDNIENIE PROBLEMÓW NIEZAWODNOSCI PODCZAS PROJEKTOWANIA 80
3. PROBLEMY NIEZAWODNOŚCI PODCZAS PRODUKCJI 81
4. KONTROLA KOŃCOWA 84
5. ZAPEWNIENIE SPRAWNOŚCI OPERACYJNEJ W OKRESIE EKSPLOATACJI 84
6. WSTĘPNE OBLICZENIE NIEZAWODNOŚCI LOSOWEJ PAO-5 87
7. NIEZAWODNOŚĆ LOSOWA PAO-5 UZYSKANA Z POMIARÓW 92
8. ZAKOŃCZENIE 94
Literatura 95
Summary 96

1. WSTĘP

Wraz ze wzrostem stopnia komplikacji układów elektronicznych coraz istotniejszy staje się problem niezawodności. Wobec tysięcy elementów składowych, z których każdy w chwili uszkodzenia może spowowować przerwę w pracy całego urządzenia, niezmiernie ważne

jest zapewnienie każdemu z elementów z osobna, jak i wszystkim mniej i bardziej złożonym podzespołom czy zespołom, maksymalnej pewności pracy.

Aby zapewnić wytwarzanemu urządzeniu odpowiedni poziom niezawodności należy uwzględnić problemy niezawodności zarówno podczas projektowania jak i podczas produkcji, przeplatając poszczególne operacje kontrolami międzyoperacyjnymi, następnie opracować metody pozwalające na dokładne sprawdzenie wyprodukowanego urządzenia, a także ustalić postępowanie konserwacyjne podczas eksploatacji.

Celem zbliżenia obiektu badań do czytelnika przedstawiona zostanie krótka charakterystyka PAO-5. PAO-5 jest ferrytową pamięcią operacyjną, opracowaną jako część składowa maszyny cyfrowej ZAM 41. Pojemność jednostki pamięci PAO-5 wynosi 4096 słów 24-bitowych. Czas cyklu podstawowego wynosi 10 μs, a czas dostępu do pamięci 3 μs. Pamięć realizuje mikrooperacje zapisu i odczytu. W pamięci zastosowano system z wybieraniem liniowym o 2 rdzeniach na bit. Poszczególne słowa wybierane są poprzez rdzenie przełącznikowe z matrycy wzbudzanej w sposób koincydencyjny.

2. UWZGLĘDNIENIE PROBLEMÓW NIEZAWODNOŚCI PODCZAS PROJEKTOWANIA

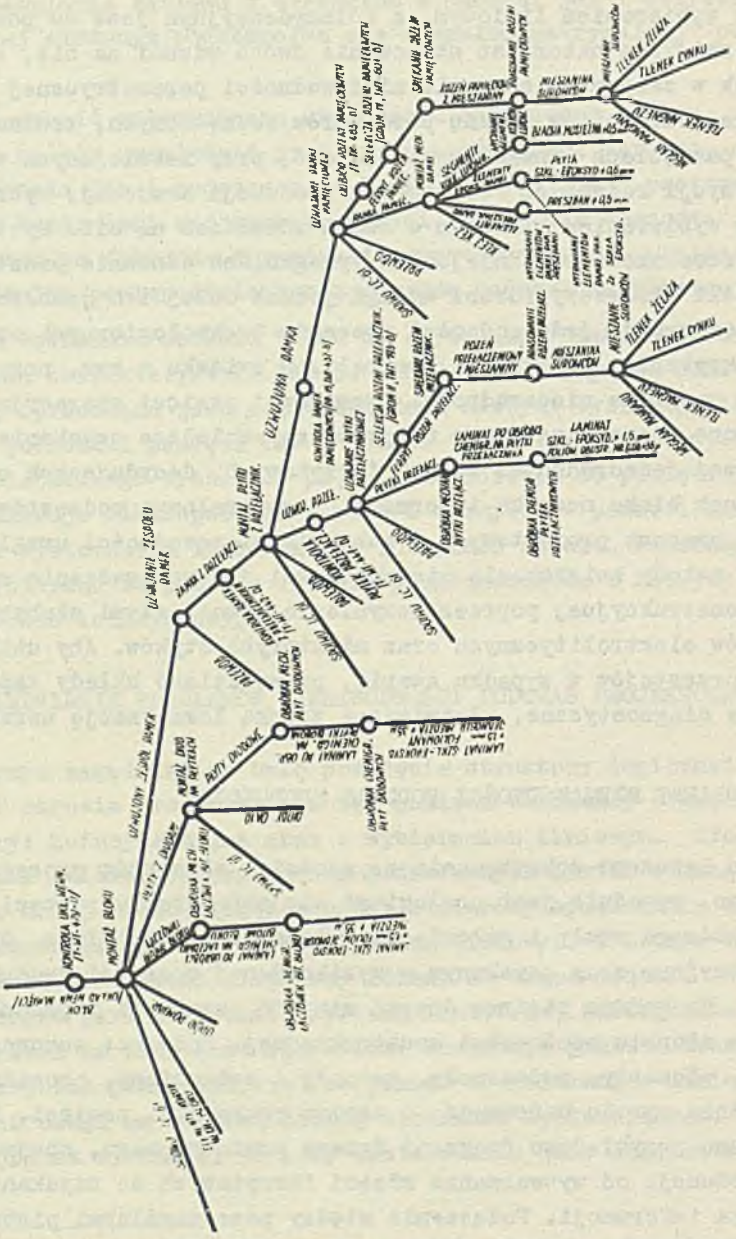
Wstępnym zagadnieniem było przyjęcie struktury logicznej pamięci PAO-5. W okresie projektowania tej pamięci wchodziły w grę dwie struktury: koincydencyjna oraz z wybieraniem liniowym. Trudności techniczne związane z uzyskaniem jednorodnych partii rdzeni ferrytowych o dużej prostokątności pętli histerezy spowodowały wzmożone zainteresowanie systemem z wybieraniem liniowym, w którym wymagania na prostokątność pętli histerezy rdzeni są łagodniejsze. Większa niezawodność parametryczna* systemu liniowego, szczególnie z dwoma rdzeniami na bit, jest oczywista. Pozostaje jeszcze kwestia kosztów. Zazwyczaj podkreśla się, że pamięć z wybieraniem liniowym jest droższa z uwagi na większą liczbę elementów wybierających. Przeliczenie jednak wykazuje, że przy zastosowaniu jako elementów wybie-

* Składowa niezawodności związana ze zmianami elektrycznych parametrów elementów układów w czasie.

rających rdzeni przełącznikowych, różnica w kosztach między pamięcią z wybieraniem liniowym, a koincydencyjnym jest do pominięcia. Cenę zwiększa natomiast stosowanie dwóch rdzeni na bit, co daje jednak w zamian zwiększenie niezawodności parametrycznej i zmniejszenie czułości na zmianę parametrów zewnętrznych, trudno osiągalne w pamięciach innego typu. Dlatego, przy istniejących wówczas do dyspozycji rdzeniach ferrytowych produkcji krajowej, wybrano system z wybieraniem liniowym o dwóch rdzeniach na bit. System ten przy stosunkowo łagodniejszych wymaganiach odnośnie prostokątności pętli histerezy rdzeni wymaga jednak dużej ich jednorodności, a w konsekwencji jednorodności procesów technologicznych oraz specjalnych kryteriów selekcji i kontroli. W związku z tym, przy realizowaniu programu niezawodności ferrytowej pamięci operacyjnej PAO-5 zwrócono szczególną uwagę na prace zapewniające uzyskanie jak największej jednorodności rdzeni ferrytowych, decydujących o właściwościach bloku nośnika informacji - centralnego podzestawu pamięci. W pracach projektowych w zakresie niezawodności uwzględniono takie metody zwiększenia niezawodności jak wprowadzenie redundancji konstrukcyjnej poprzez uczynienie równoległymi słabych kondensatorów elektrolitycznych oraz niektórych styków. Aby uniknąć długich przestojów w wypadku awarii, przewidziano układy zapasowe oraz metody diagnostyczne, ułatwiające szybką lokalizację uszkodzeń.

3. PROBLEMY NIEZAWODNOŚCI PODCZAS PRODUKCJI

Dla lepszego zobrazowania czynności i elementów procesu produkcyjnego, wygodnie jest posługiwać się schematem w postaci drzewa [1], którego węzły i gałęzie odpowiadają poszczególnym operacjom produkcyjnym oraz uzyskanym w wyniku danej operacji produktom końcowym. Na każdym piętrze drzewa mamy do czynienia z produktami o różnym stopniu złożoności konstrukcyjnej. Kolejno: surowce, półprodukty, elementy, podzespoły, zespoły i podzestawy, prowadzą do uzyskania wyrobu końcowego, w naszym przypadku, pamięci. Na rys. 1 pokazano przykładowo fragment drzewa produkcyjnego, obejmujący etapy produkcji od wytwarzania rdzeni ferrytowych do uzyskania bloku nośnika informacji. Połączenia między poszczególnymi piętrami drzewa są dla niższych pięter drzewa procesami technologicznymi, dalej



Rys. 1. Fragment drzewa produkcyjnego PAO-5

większość operacji polega na łączeniu elementów i podzespołów za pomocą złączy lutowanych i odpowiednich połączeń mechanicznych, a następnie dla zespołów i podzestawów przeważają połączenia za pomocą wtyków rozłącznych, czyli łączówek. Poszczególne czynności przeplatane są odpowiednimi czynnościami kontrolnymi, co widać również na rysunku, polegającymi na sprawdzeniu czy istotne parametry produktu zawierają się w żądanych granicach.

Metody i środki zastosowane do osiągnięcia i utrzymania dużej niezawodności produktu w cyklu produkcyjnym sprowadzały się do:

1/ wpływania w miarę możności na technologię stosowanych elementów,

2/ wyboru detali o odpowiednio wysokiej jakości,

3/ opracowania metod selekcji niektórych elementów,

4/ zaprojektowania metod kontroli podzespołów i wyrobu końcowego.

Dla obróbki danych pomiarowych uzyskiwanych podczas kontroli rdzeni ferrytowych opracowano programy na maszynę ZAM-2, adaptując w tym celu pewne metody statystyki matematycznej. Programy te, opisane w [2], zostały wykorzystane głównie do ustalenia adekwatnych warunków dla rdzeni pamięciowych. Wybór właściwych warunków technicznych do przeprowadzenia selekcji i kontroli rdzeni pamięciowych jest problemem istotnym nie tylko pod względem technicznym, ale i ekonomicznym. Selekcja powinna być skuteczna, to znaczy nie może przepuszczać rdzeni złych, a równocześnie powinna odrzucać jak najmniej rdzeni dobrych. Mały uzysk selekcji podnosi koszty produkcji rdzeni, a koszt pamięci w znacznej mierze określany jest przez koszt rdzeni. Zwiększenie jednorodności parametrów elektrycznych sygnału odczytu zapewnia większe zapasy na zmiany parametrów elektrycznych układów współpracujących z blokiem nośnika informacji, co jest szczególnie korzystne z uwagi na wzmacniacze odczytu i wzmacniacze adresowe, których parametry charakteryzuje w porównaniu z rdzeniami większa zmienność w trakcie eksploatacji. Warunki selekcji rdzeni powstałe w wyniku badań opisanych w pracach [3] i [4] i ich kontrola zapewniły znaczną jednorodność parametrów sygnału odczytu.

Jak widać z fragmentu drzewa produkcyjnego przedstawionego na rys. 1, oprócz rdzeni kontrolowane są ramki pamięciowe oraz płytki

przełącznikowo, a dalej ramki wraz z płytkami. W produkcji zespołów elektronicznych szczególnie ważna jest kontrola układów zmontowanych na poszczególnych pakietach. Wykonywana jest ona na specjalnie w tym celu skonstruowanym przyrządzie PP17 [14]. Inną ważną sprawą jest zapewnienie odpowiednio niezawodnego łączenia detali i podzespołów. Niezadowalające wyniki z zastosowaniem łączówek produkcji krajowej doprowadziły do decyzji stosowania odpowiednio niezawodnych łączówek importowanych. W wyniku badań niezawodnościowych zaostrzono również przepisy technologiczne dotyczące lutowania i rozpoczęto prace nad wprowadzeniem pewniejszych połączeń międzypakietowych, aby eliminować przypadki uzyskania produktów wadliwych w wyniku łączenia dobrych. Odpowiednio duża ilość stanowisk kontroli w cyklu produkcyjnym pozwala na szybkie eliminowanie tego rodzaju przypadków. Metody stosowane w trakcie odpowiednich kontroli międzyoperacyjnych na ogół nie odbiegają w sposób zasadniczy od zazwyczaj stosowanych w produkcji urządzeń elektronicznych; nowe metody wprowadzono głównie do badania wyrobu końcowego, czyli całej pamięci.

4. KONTROLA KOŃCOWA

Wyprodukowane jednostki pamięci PAO-5 /moduły/ są poddawane badaniom kontrolnym według warunków technicznych [5]. Dla ustalenia takich warunków kontroli, które zapewniłyby odpowiedni poziom niezawodności parametrycznej kontrolowanych urządzeń, opracowano specjalną metodykę postępowania. Metodyka ta, jak i opracowane warunki kontroli, zostały opisane szczegółowo w [6] i tutaj zostaną przedstawione jedynie w zarysie.

Podstawą metodyki jest wszechstronne zbadanie prototypu urządzenia w różnych warunkach eksploatacyjnych i określenie kilku jego cech możliwie najsilniej związanych z niezawodnością parametryczną.

W egzemplarzach serii produkcyjnej przeprowadzić można pomiary ilościowe tych cech i porównać je z odpowiednimi pomiarami otrzymanymi dla prototypu. Jeśli prototyp spełnia wymagania niezawodnościowe i jeśli zachowana jest jednorodność elementów i stabilność procesów technologicznych, spełnienie żądanych wymagań zapewni odpowiednią niezawodność egzemplarzy produkcyjnych.

Kontrolowanymi cechami w tej metodzie są pewne oszacowania obszaru sprawności badanego urządzenia. Obszarem sprawności w przestrzeni uprzednio wybranych parametrów, takich np. jak napięcia zasilania, nazywamy zbiór punktów tej przestrzeni, dla których urządzenie poprawnie wykonuje ustalone testy. Oszacowaniami tymi są: wielkość kostki wielowymiarowej o środku w punkcie nominalnym, która mieści się w obszarze sprawności i wielkości dwuwymiarowych przekrojów obszaru sprawności.

Opracowane wg tej metodyki warunki techniczne zawierają dwa zasadnicze punkty:

1/ Sprawdzenie poprawnej pracy dla zbioru najkrytyczniejszych wierzchołków kostki wielowymiarowej.

2/ Wyznaczenia obszaru poprawnej pracy dla par parametrów:

a/ I_p, U_H;

b/ pF, U_H;

przy czym:

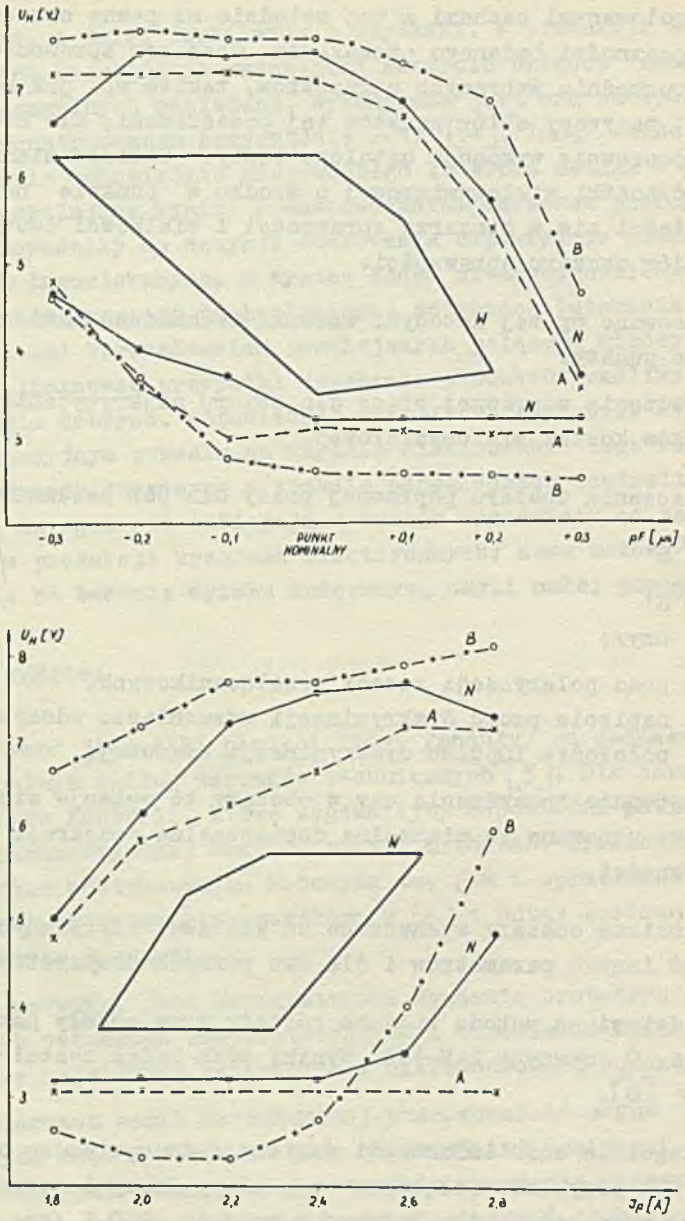
I_p - prąd polaryzacji rdzeni przełącznikowych,
U_H - napięcie progu dyskryminacji wzmacniacza odczytu,
pF - położenie impulsu dyskryminacji czasowej,

a następnie sprawdzenie czy w obszary te wpisuje się pewne wielobcki uznawane za minimalne dopuszczalne przekroje obszaru sprawności.

Wspomniane obszary wyznaczane są dla dwu krytycznych kombinacji ustawień innych parametrów i dla dwu różnych temperatur.

Przedstawioną metodą zbadane zostały trzy moduły pamięci PAO-5 A, B i C maszyny ZAM-41Z. Wyniki tych badań zostały przedstawione w [8].

Szczególnie dużo informacji zawierają dwuwymiarowe obszary sprawności. Dla przykładu dołączono tu pomiary dwuwymiarowych przekrojów obszarów sprawności dla jednego z modułów PAO-5 /rys. 2a i 2b/.



Rys. 2. Dwuwymiarowe obszary sprawności: a/ dla parametrów U_H, pF, b/ dla parametrów U_H, Ip

N - dwuwymiarowe obszary sprawności dla nominalnych wartości pozostałych parametrów; A, B - obszary sprawności dla dwu różnych krytycznych ustawień pozostałych parametrów; W - najmniejsze dopuszczalne obszary sprawności przyjęte do oceny pamięci

5. ZAPEWNIENIE SPRAWNOŚCI OPERACYJNEJ W OKRESIE EKSPLOATACJI

Poprawna eksploatacja i dokładne wykonywanie czynności konserwatorskich ma zabezpieczyć wysoką sprawność operacyjną pamięci. Instrukcja obsługi i konserwacji [7] zawiera spis czynności konserwatorskich wraz z dokładnymi zaleceniami jak często określone badania należy przeprowadzać. Przewiduje ona sprawdzenie pamięci odpowiednim testem, sprawdzenie marginesu napięcia progu dyskryminacji wzmacniaczy odczytu, poddawanie pamięci lokalnym wstrząsom, okresowy pomiar najistotniejszego z dwuwymiarowych obszarów sprawności i kontrolę parametrów impulsów sterujących, odkurzanie pakietów i konserwację styków.

Celem zmniejszenia okresów przestoju w wypadku awarii stosowane są specjalne testy diagnostyczne lokalizujące uszkodzenia i umożliwiające szybką wymianę uszkodzonego podzespołu.

6. WSTĘPNE OBLICZENIE NIEZAWODNOŚCI LOSOWEJ PAO-5

Często stosowaną miarą niezawodności dla urządzeń elektronicznych jest średni czas między uszkodzeniami - SCMU. Celem oszacowania SCMU przyjęto dla pamięci ferrytowej szeregowy model niezawodnościowy, co oznacza, że uszkodzenie jednego z elementów jest jednoznaczne z uszkodzeniem całego urządzenia /pominięto nieliczne przypadki zrównoleglania/.

Miarą niezawodności poszczególnych elementów wchodzących w skład urządzenia jest intensywność uszkodzeń λ_i wyrażająca dla elementów danego /i-tego/ typu liczbę uszkodzeń na godzinę. Gdy każdy z elementów ma eksponencjalny rozkład czasu pracy do uszkodzenia, czyli prawdopodobieństwo poprawnej pracy elementów i-tego typu, w przedziale czasu /0,t/ wyraża się wzorem

$$p_i(t) = e^{-\lambda_i t},$$

to średni czas między uszkodzeniami:

$$T = \frac{1}{\sum_{i=1}^{n} \lambda_i} = \frac{1}{\Lambda}.$$

gdzie $\Lambda = \sum_{i=1}^{n} \lambda_i$ jest sumą intensywności uszkodzeń n elementów stanowiących urządzenie.

Elementom pamięci PAO-5 przypisywano intensywności uszkodzeń na podstawie tabel dla elementów produkcji USA w 1960 r. [9], tabel przedstawiających intensywności uszkodzeń z publikacji ZSRR w 1964 r. [10] oraz z materiałów XI-tego Sympozjum na temat niezawodności w USA [11]. Przyjęte do obliczeń wartości przedstawione są w poniższej tabelce.

Element		λ_i
		$10^{-6}/n$
T	tranzystor	0,2
D	dioda	0,2
R	opornik	0,01
C	kondensator	0,05
Tr	transformator	0,1
L	linia opóźniająca	0,15
P	połączenie rozłączne	0,02
L_t	połączenie lutowane	0,01

Dla intensywności uszkodzeń powyższych elementów używane będą oznaczenia λ_T, λ_D, λ_R itd.

Rdzeniom ferrytowym, z uwagi na znikome prawdopodobieństwo ich uszkodzenia w zmontowanym i sprawdzonym bloku, przypisano $\lambda_i = 0$, a więc pominięto je w obliczeniach.

Pierwszym etapem obliczenia SCMU dla pamięci było obliczenie SCMU dla pakietów. Zestawienie liczby elementów i odpowiadających im intensywności uszkodzeń w pakietach oraz λ i SCMU łączne dla poszczególnych pakietów przedstawia tabela 1.

Tabela 1

λi SCMU dla pakietów PAO-5

Rodzaj pakietu	liczba T	$\sum\lambda_T$ $10^{-6}/h$	liczba D	$\sum\lambda_D$ $10^{-6}/h$	liczba R	$\sum\lambda_R$ $10^{-6}/h$	liczba C	$\sum\lambda_C$ $10^{-6}/h$	liczba Tr	$\sum\lambda_{Tr}$ $10^{-6}/h$	liczba L	$\sum\lambda_L$ $10^{-6}/h$	liczba P	$\sum\lambda_P$ $10^{-6}/h$	liczba Lt	$\sum\lambda_{Lt}$ $10^{-6}/h$	$\sum\lambda_i$ $10^{-6}/h$	SCMU 10^3h
ZR3	12	2,4	24	4,8	42	0,42	14	0,7	4	0,4	-	-	23	0,46	253	2,53	11,71	85
ZP3	5	1	12	2,4	27	0,27	8	0,4	7	0,7	-	-	18	0,36	170	1,7	6,83	146
SI4	8	1,6	35	7	32	0,32	12	0,6	-	-	-	-	31	0,62	182	1,82	11,96	84
SI6	8	1,6	35	7	32	0,32	10	0,5	-	-	-	-	30	0,6	176	1,76	11,78	85
SB1	-	-	-	-	27	0,27	8	0,4	-	-	-	-	31	0,62	70	0,7	1,99	500
ZN2	9	1,8	9	1,8	28	0,28	12	0,6	6	0,6	-	-	19	0,38	172	1,72	7,18	140
ZN3	8	1,6	8	1,6	21	0,21	11	0,55	4	0,4	-	-	14	0,28	145	1,45	6,09	164
SM	12	2,4	24	4,8	48	0,48	16	0,8	-	-	-	-	28	0,56	212	2,12	11,16	90
ZM1	-	-	64	12,8	-	-	-	-	-	-	-	-	28	0,56	136	1,36	14,72	68
SW	16	3,2	20	4	44	0,44	16	0,8	-	-	-	-	20	0,4	208	2,08	10,92	92
SD2	-	-	19	3,8	-	-	8	0,4	-	-	-	-	31	0,62	54	0,54	5,36	186
ST	-	-	-	-	-	-	-	-	-	-	12	1,8	29	0,58	108	1,08	3,46	290
SI3	10	2	18	3,6	36	0,36	9	0,45	-	-	-	-	29	0,58	156	1,56	8,55	117
SO	6	1,2	31	6,2	31	0,31	22	1,1	-	-	-	-	27	0,54	188	1,88	11,53	87
SI1	8	1,6	29	5,8	32	0,32	12	0,6	-	-	-	-	31	0,62	186	1,86	10,8	93
PP	-	-	-	-	-	-	-	-	-	-	-	-	31	0,62	12	0,12	0,74	1350
QP1	2	0,4	1	0,2	14	0,14	2	0,1	-	-	-	-	10	0,2	37	0,37	1,41	710
QP2	2	0,4	-	-	2	0,02	-	-	-	-	-	-	3	0,06	10	0,1	0,58	1720
QS3	3	0,6	3	0,6	9	0,09	2	0,1	-	-	-	-	3	0,06	37	0,37	1,82	550
QS8	5	1	1	0,2	15	0,15	4	0,2	-	-	-	-	7	0,14	71	0,71	2,4	415
QS4	5	1	2	0,4	16	0,16	3	0,15	-	-	-	-	3	0,06	74	0,74	2,51	400

Tabela 2 daje zestawienie zbiorcze dla całej pamięci z uwzględnieniem bloku elementów na płytkach połączeń w szafie.

Tabela 2

λ_i SCMU dla PAO-5

Podzesp.	Liczba pakietów	Liczba elementów								$\sum\lambda_i$	SCMU
		T	D	R	C	Tr	L	P	Lt	$10^{-6}/h$	h
ZR3	48	576	1152	2016	672	192	-	1104	12144	562	1780
ZP3	2	10	24	54	16	14	-	36	340	13,7	73000
SI4	18	144	630	576	216	-	-	558	3276	215	4650
SI6	6	48	210	192	60	-	-	180	1056	70,7	14100
SB1	1	-	-	27	8	-	-	31	70	2	50000
ZN2	22	198	198	616	264	132	-	418	3784	158	6400
ZN3	2	16	16	42	22	8	-	28	290	12,2	82000
SM	8	96	192	384	128	-	-	224	1696	89,5	11200
ZM1	4	-	256	-	-	-	-	112	544	59	17000
SW	5	80	100	220	80	-	-	100	1040	54,6	18400
SD2	2	-	38	-	16	-	-	62	108	10,7	94000
ST	4	-	-	-	-	-	48	116	432	13,8	72500
SI3	4	40	72	144	36	-	-	116	624	34	29500
SO	1	6	31	31	22	-	-	27	188	11,5	87000
SI1	1	8	29	32	12	-	-	31	186	10,8	92500
PP	1	-	-	-	-	-	-	31	12	0,7	1430000
QP1	1	2	1	14	2	-	-	10	37	1,4	715000
QP2	2	4	-	4	-	-	-	6	20	1,2	830000
QS3	1	3	3	9	2	-	-	3	27	1,8	555000
QS8	1	5	1	15	4	-	-	7	71	2,4	417000
QS4	1	5	2	16	3	-	-	3	74	2,5	400000
EWs	-	-	-	87	16	8	-	-	-	2,5	400000
PWs	-	-	-	-	-	-	-	-	3652	36,5	27500
Bl	-	-	128	-	-	-	-	248	5140	81,6	12200
Łcz	-	1241	3083	4479	1579	354	48	3451	34785	1450,6	690
$\sum\lambda_C$ $10^{-6}/h$	-	248,2	616,8	44,8	78,9	35,4	7,2	69	347,9	1448	690

Pak - pakiet
ZR3-QS4 - nazwy pakietów
EWs - elementy w szafie
PWs - połączenia w szafie
Bl - blok
Łcz - łącznie

Wyjaśnienia oznaczeń poszczególnych pakietów, które są użyte w tabelach 1 i 2 wraz z podaniem ich funkcji w pamięci zawarte są w tabeli 3.

Dla uproszczenia, opornikom masowym, drutowym czy potencjometrom przypisano tę samą wartość λ_i podobnie jak kondensatorom ceramicznym, styrofleksowym czy elektrolitom. Kilka równolegle połączonych kontaktów w pakietach zasilających traktowano jako pojedyncze połączenie rozłączne.

Uzyskany w wyniku obliczeń średni czas międzyawaryjny - SCMU dla PAO-5 wynosi 690 godzin /ostatnia pozycja tabeli 2/. Warto tu zaznaczyć, że obliczenia te odpowiadają pamięci po wprowadzeniu do obliczeń bardziej niezawodnej łączówki. W wypadku bardziej zawodnej uzyskiwano SCMU = 85 godzin.

Tabela 3

Funkcje pakietów z PAO-5

Symbol pakietu	Rodzaj układów zmontowanych na pakietach	Funkcje zespołów pakietów
ZR3	Układy regeneracji, wzmacniacz zapisu, wzmacniacz odczytu	
SI4	Inwertery i przerzutniki	Układ informacji
SI6	Inwertery mocy - nadajniki	
ZN2	Wzmacniacze adresowe	
ZN3	Przełączniki bloków	Układ adresowy
SM	Inwertery współpracujące z matrycą wybierającą	
ZM1	Matryca diodowa	
ZP3	Wzmacniacze ciągów sterujących. Ograniczniki adresowe	
SW	Inwertery mocy - wzmacniacze ciągów sterujących	
SD2	Dodatkowe diody	Układ sterowania
ST	Linie opóźniające	
SI3	Inwertery - nadajniki i odbiorniki linii	
SO	Układy opóźniające	
SI1	Inwertery	
PP	Układ wybierania modułów	
QP1		
QP2		
QS3	Pakiety układów zasilających	Układ zasilania
QS8		
QS4		
SB1	Elektrolity blokujące. Oporniki	

Wyniki te w znacznej mierze odpowiadają pomiarom oraz obserwacjom dokonanym przy przejściu na bardziej niezawodne łączówki.Można tu dodać, że obliczenia nie obejmują wszystkich uszkodzeń jakie mogą wystąpić w czasie eksploatacji.

7. NIEZAWODNOŚĆ LOSOWA PAO-5 UZYSKANA Z POMIARÓW

Dla wyprodukowanych modułów pamięci oszacowywano na podstawie pomiarów średni czas bezbłędnej pracy, czyli pomiędzy przekłamaniami.

Celem uzyskania danych notowano ilość godzin pracy badanego urządzenia oraz liczby przekłamań i uszkodzeń jakie w tym okresie czasu wystąpiły. Estymatorem średniego czasu między uszkodzeniami jest wartość otrzymana z podzielenia czasu pracy przez liczbę uszkodzeń. Estymatorem średniego okresu bezbłędnej pracy jest natomiast wartość otrzymana z podzielenia czasu pracy przez liczbę przekłamań /przekłamania wywołane jednym uszkodzeniem traktujemy jako jedno przekłamanie/. Następnie określano przedziały ufności dla estymowanych parametrów. Przedziały te określano w oparciu o następujące rozumowanie: z założenia, że prawdopodobieństwo wystąpienia uszkodzenia jest stałe w czasie

$$f(k) = \frac{m^k \; e^{-m}}{k!}$$

gdzie:
$m = T/\Theta$
Θ - średni czas między uszkodzeniami

wynika, że prawdopodobieństwo wystąpienia k uszkodzeń w czasie T ma rozkład Poissona.

Tak więc dla poziomu ufności $1 - \alpha$ przedział ufności na oczekiwaną liczbę uszkodzeń wynosi:

$$\left(\frac{\chi^2_{1-\alpha/2(2n)}}{2} \; , \; \frac{\chi^2_{\alpha/2\,(2n+2)}}{2} \right)$$

W nawiasie podano ilość stopni swobody rozkładu χ^2_p

A więc przedział ufności na oczekiwaną wartość średniego czasu między uszkodzeniami przy poziomie ufności $1 - \alpha$ wynosi

$$\left(\frac{2T}{\chi^2_{\alpha/2\,(2n+2)}}, \frac{2T}{\chi^2_{1-\alpha/2\,(2n)}} \right)$$

Metodę tę podano za pracą [12].

Modelowa jednostka pamięci ferrytowej PAO-5 badana była w okresie trzech miesięcy. Badania te specjalnie zaplanowane w celu określenia niezawodności pamięci polegały na ciągłej pracy pamięci przez 21 godzin na dobę. Podczas tych badań pamięć współpracowała z testerem MOPS-3A wykonując na przemian testy 1 i 2B, które uznano za najtrudniejsze dla pamięci. Opis tych testów znajduje się w [5]. W przypadku występowania przekłamania, testowanie przerywało się. Podczas tych badań temperaturę pomieszczenia utrzymywano w granicach 25 ÷ 27°C, natomiast w czasie 3-godzinnych przerw w pracy ochładzano pomieszczenie na ogół do temperatury około 20°C.

Badany moduł przepracował we wspomnianym okresie 1002 godziny. W tym czasie wystąpiły 2 uszkodzenia /"zimne lutowania"/, 2-krotnie wyłączyły się bezpieczniki zasilacza i 2-krotnie wystąpiły przekłamania wywołane dużym przepięciem w sieci.

Oszacowany średni czas między uszkodzeniami wynosi 501 godzin. Natomiast przedział ufności określany dla poziomu ufności $1 - \alpha = 0{,}90$ wynosi $(159, 2850)$ godzin.

Do powyższych obliczeń wartości χ^2 wzięto z tabel podanych w [13].

Uwzględniając wszystkie zaistniałe przekłamania otrzymano średni okres bezbłędnej pracy 167 godzin, natomiast przedział ufności uzyskany dla poziomu ufności $1 - \alpha = 0{,}90$ wynosi: $(85, 380)$ godzin.

W dalszym ciągu przedstawiono wyniki uzyskane z obserwacji pracy trzech modułów pamięci ferrytowej PAO-5 pracujących w maszynie ZAM-41Z. Zostały one po sprawdzeniu wg T-WT-633D podłączone do części centralnej maszyny i w okresie badania przepracowały odpowiednio: 1820, 1645 i 1545 godzin. Rodzaj pracy tych jednostek był z punktu widzenia badań niezawodnościowych przypadkowy i nie był

typowy dla zwykłej eksploatacji maszyny. W przeważającej części czasu, praca polegała na kontrolowaniu różnych modułów maszyny, co łączyło się z częstszym przemarginesowaniem napięć zasilających i stwarzało warunki eksploatacyjne trudniejsze od typowych. Przy tego rodzaju różnorodnej eksploatacji nawet przy wykryciu powstania jakiegoś pojedynczego przekłamania, na ogół nie jest możliwe stwierdzenie jaki moduł maszyny je wywołał. Dlatego też ograniczono się jedynie do notowania powstałych uszkodzeń i oszacowania średniego czasu między uszkodzeniami.

We wspomnianym okresie trzy moduły przepracowały w sumie 5010 godzin, podczas których wystąpiło w nich 9 uszkodzeń. Tak więc estymowana wartość średniego czasu międzyawaryjnego wynosi 557 godzin. Natomiast przedział ufności określany dla poziomu $1 - \alpha = 0{,}90$ wynosi: $(320, 1060)$ godzin.

Na wymienione 9 uszkodzeń składało się 5 uszkodzeń elementów /diody i tranzystory/, 2 zwarcia przewodów z wiązek do masy, 1 przerwa w połączeniach wewnątrz bloku ferrytowego /złe lutowanie/ oraz jedno zwarcie wywołane obluzowaną nakrętką.

Badania modelu pamięci, jak i trzech dalszych jej modułów dały zbieżne wyniki na średni czas między uszkodzeniami, a mianowicie około 500 godzin, co odpowiada półtoramiesięcznemu okresowi dla pracy dwuzmianowej. Można sądzić, że okres ten podczas normalnej eksploatacji maszyny będzie dłuższy, gdyż pewne uszkodzenia powstałe w module modelowym nie wystąpią w produkowanych modułach, natomiast warunki eksploatacji będą łagodniejsze od tych, które istniały podczas pracy badanych trzech modułów.

8. ZAKOŃCZENIE

Przedstawione w niniejszym artykule badania niezawodnościowe dały konstruktorom i użytkownikom jednostek pamięciowych szereg wartościowych informacji. Istotnym osiągnięciem wydaje się objęcie naszym programem badań, wprawdzie z różnym stopniem szczegółowości, w zasadzie całego procesu projektowania i produkcji. Różny stopień szczegółowości związany jest w pewnej mierze z charakterem metod badań niezawodności znanych na podstawie literatury. Przewa-

ga prac teoretycznych w porównaniu z pracami o praktycznej przydatności, na których można by się oprzeć zmuszała do tworzenia własnych opracowań [4], [6]. Mimo pobieżnego potraktowania pewnych spraw autorzy sądzą, że ich doświadczenia okażą się przydatne innym osobom mającym do rozwiązania problemy niezawodności nie tylko w zakresie pamięci ferrytowych.

Literatura

[1] PAWLAK Z.: Gramatyka i matematyka, PZWS, Warszawa 1965.

[2] DAŃDA J, SIKORSKI A.: Zastosowanie statystyki oraz maszyn cyfrowych przy projektowaniu oraz kontroli procesów produkcyjnych podzespołów elektronicznych maszyn cyfrowych. Zastosowanie maszyn matematycznych w technice. Referaty szczegółowe na Sympozjum. Poznań, listopad 1965.

[3] RYŻKO J., SIKORSKI A.: Pewna metoda doboru warunków selekcji rdzeni pamięciowych. Biuletyn Informacyjny IMM, Nowości Techniczno-Ekonomiczne, Warszawa, listopad 1966: V, 2/1966.

[4] RYŻKO J., SIKORSKI A.: Selekcja rdzeni ferrytowych do pamięci z wybieraniem liniowym PAO-5, Prace IMM, zeszyt 1, Warszawa 1968.

[5] Tymczasowe warunki techniczne, Moduł pamięci operacyjnej PAO-5. ZAM-41 Beta. IMM 1967 /T-WT - 633-D/.

[6] SIKORSKI A., DAŃDA J.: Badanie i kontrola ferrytowej pamięci operacyjnej. Biuletyn Informacyjny IMM Nowości Techniczne, Warszawa lipiec 1967: VI, 3/1967.

[7] Instrukcja obsługi i konserwacji ferrytowej pamięci operacyjnej PAO-5. ZAM-41Z, IMM 1967 /T-IE-707-D/.

[8] Sprawozdanie z badania modułów A, B i C pamięci ferrytowej PAO-5 maszyny ZAM-41Z. Opracowanie wewnętrzne IMM.

[9] SZTARSKI M.: Problemy niezawodności urządzeń elektronicznych, Wydawnictwo Komunikacji i Łączności, Warszawa 1965.

[10] LUCKIJ B.A.: Rascet nadeżnosti i effektivnosti radioelektronnoj apparatury, Sprovočnoje rukovodstvo, Kiev 1963.

[11] CZECHOWSKI A.: XI Sympozjum na temat niezawodności i kontroli jakości w USA /Floryda 12-14.I.1965/.

[12] HERD G.R.: Some Statistical Concepts and Techniques for Reliability Analysis and Predication, V National Symposium on Reliability and Quality Control in Electronics, 1959.

[13] CRAMER M.: Metody matematyczne w statystyce /tłumaczenie/, PWN 1958.

[14] Opis techniczny i instrukcja obsługi przyrządu do badania pakietów "Z" PP-17, IMM /D-IT-197 - D/.

[15] Dokumentacja techniczno-ruchowa PAO-5. IMM 1967 /T-OT-361 - D/.

RELIABILITY PROBLEMS OF THE FERRITE CORE MEMORY TYPE PAO-5

Summary

Certain reliability problems of development and production of ferrite core memory type PAO-5 are considered in this paper.

A linear selection, two-core per bit system is used in the ferrite core memory type PAO-5, having the capacity of 4096 words 24 bits each and the cycle time of 10 μsec. The important feature of the system used is the allowance for wide tolerances of driving currents. However, tight tolerances of memory cores are needed to take full advantage of this feature. New testing conditions were developed as operating conditions of memory cores driven by magnetic switches are different than those used during core selection for coincident-current memories. They assure tight tolerances of core parameters and a sufficiently high production yield [3], [4].

Production processes of the memory have been critically reviewed and suitable test stands introduced between successive steps of assembly to assure the good quality of subassemblies.

Acceptance tests of the complete memory contain /besides usual checks/ certain measurements allowing to compare the quality of the tested memory unit with that of the prototype. The volume of the error-free-operation region in the n-dimensional space of operating parameters /e.g. supply voltages of the memory/ have been assumed as a sufficiently good measure of the memory immunity against drift failures. During acceptance testing memory is exercised under such combinations of equal variations in supply voltages which are most critical. These critical combinations are determined during prototype testing. For this purpose the operation of the prototype is tested for all combinations of these variations.

Besides, two-dimensional section of the error-free-operation region are drawn and compared with those of the prototype. These measurements are performed at two ambient temperatures. Examples of actual measurements are given in fig. 2.

A reliability prediction of catastrophic failures was made for the PAO-5 memory. For this purpose average failure rates have been taken from published data about component reliability [9], [10], [11]. Predicted

values of MTBF for different types of plug-in printed-circuit units are given in Table 1. Table 2 contains totals of MTBF for groups of plug-in units and for other components, e.g. connectors and soldering points. The predicted value of MTBF for complete memory unit is 690 hours.

To obtain an estimation of actual MTBF of the PAO-5 memory its prototype has been tested during a period of 1000 hours. Two failures were recorded resulting in MTBF of 500 hours and confidence limits : 159 ÷ 2850 hours at confidence level : $1 - \alpha = 0{,}90$.

Besides, failures of three memory units working in a digital computer were recorded. The sum of working time of these units was 5010 hours and nine failures were observed during this period. This results in MTBF of 557 hours. Confidence limits are: 380 ÷ 1060 hours at the same confidence level.

PRACE IMM
Zeszyt 2
© 1968.07

621.318.134.042.15

SELEKCJA RDZENI FERRYTOWYCH DO PAMIĘCI Z WYBIERANIEM LINIOWYM PAO-5

Jan RYŻKO
Andrzej SIKORSKI

Pracę złożono 23.12.1966 r.

W pracy przedstawiono całokształt badań przeprowadzonych w celu uzyskania optymalnych warunków selekcji rdzeni ferrytowych do pamięci z wybieraniem liniowym.
Warunki te uzyskano głównie w oparciu o sekwencyjną metodykę specjalnie opracowaną do tego zadania. Metodyka ta polega na statystycznym opracowaniu wyników kolejnych próbnych selekcji, na podstawie których ustalano dalsze postępowanie. W pracy tej przedstawiono również wyniki porównawcze pomiarów wykonanych dla rdzeni z różnych materiałów ferrytowych w różnych temperaturach.
Skrócona wersja niniejszego opracowania obejmująca zarys metodyki i końcowe rezultaty została opublikowana w Nr 2/1966 Nowości Techniczno-Ekonomicznych IMM

S P I S T R E Ś C I

1. WSTĘP 100
2. METODYKA POSTĘPOWANIA 101
3. APARATURA 105
4. PRZEBIEG PRAC I WYNIKI 109
4.1. Etap pierwszy 109
4.2. Etap drugi 117
4.3. Etap trzeci 121
4.4. Pomiary dodatkowych parametrów rdzeni 127
5. RDZENIE Z INNYCH MATERIAŁÓW FERRYTOWYCH 128
6. POMIARY TEMPERATUROWE 130
7. REZULTATY 137
7.1. Opracowane warunki selekcji 137
7.2. Selekcja kontrolna 138
8. PODSUMOWANIE 139
Literatura 140
Summary 141

1. WSTĘP

Istnieje kilka rodzajów pamięci ferrytowych w zależności od przyjętej organizacji /2D, 3D, 2 1/2D/ oraz ilości przewodów przechodzących przez rdzeń [1]. Pamięć koincydencyjna /3D/, częściej stosowana, charakteryzuje się uproszczonymi układami wybierania słów, gdyż ostatni stopień dekodowania adresu następuje tu w samych rdzeniach pamięciowych poprzez koincydencję prądów dwóch współrzędnych wybieranego słowa. Jednocześnie jednak system ten wymaga od rdzeni pamięciowych dużej jednorodności parametrów oraz bardzo prostokątnej pętli histerezy. Wymaga też on ostrych tolerancji na prądy wzbudzające, a także bardziej skomplikowanych wzmacniaczy odczytu. Pamięci z liniowym wybieraniem /2D/, przy systemie dwóch rdzeni na bit, charakteryzują się mniejszymi wymaganiami odnośnie jakości rdzeni i elektroniki, potrzebują natomiast znacznie większej ilości elementów /dwukrotnie więcej rdzeni pamięciowych, dekodowanie adresów za pomocą przełącznika magnetycznego lub w inny sposób/. Opierając się na krajowej produkcji rdzeni oraz mając ograniczone możliwości w zakresie elementów półprzewodnikowych zdecydowano się na konstrukcję pamięci z liniowym wybieraniem o dwu rdzeniach na bit.

Do wybranego typu pamięci należy dostosować właściwy sposób selekcji rdzeni. W przypadku pamięci koincydencyjnej sytuacja jest prostsza, gdyż rdzenie w bloku pamięci wzbudzane są impulsami nieznacznie tylko odbiegającymi od prostokątnych, tak więc łatwo można podczas selekcji zrealizować dobrą symulację rzeczywistych warunków pracy.

Odtworzenie podczas selekcji warunków pracy rdzenia w pamięci z liniowym wybieraniem jest problemem znacznie trudniejszym i dotychczas nierozwiązanym. Należy więc szukać takiej selekcji, która nawet przy niepełnej symulacji warunków pracy dostarczy rdzeni o właściwych parametrach.

W niniejszej pracy zajmowano się selekcją rdzeni ferrytowych dla pamięci z wybieraniem liniowym PAO-5 [2]. Pamięci te, stosowane w maszynach ZAM 21, ZAM 41, posiadają czas cyklu 10 μsek i składają się z modułów o pojemności 8192 słów 24 bitowych.

Sprawdzanie zespołu przechowującego informację w pamięci odbywa się dla PAO-5 w trzech etapach, mianowicie: selekcja i kontrola rdzeni, kontrola ramek pamięciowych oraz sprawdzanie całego bloku /66 ramek i matryca wybierająca/.

Wymiana jakiegoś rdzenia w zmontowanym już bloku jest absolutnie niedopuszczalna, gdyż byłaby tylko możliwa w wyniku bardzo kosztownego rozmontowania całego bloku, podczas gdy istniejące w bloku dwie zapasowe ramki muszą pozostać na wypadek powstania uszkodzeń połączeń w trakcie eksploatacji. Wymiana rdzenia w ramce, chociaż ostatecznie jest dopuszczalna, pociąga za sobą konieczność dosyć uciążliwego częściowego przewijania ramki. Tak więc selekcja pojedynczych rdzeni jest etapem podstawowym i powinna niemal całkowicie wyeliminować niewłaściwe rdzenie. Pozostałe etapy stanowią jedynie pomocniczą kontrolę nośnika informacji.

Zasadniczym tematem niniejszej pracy jest właśnie poszukiwanie takiej metody selekcji rdzeni, która zapewniłaby wyeliminowanie rdzeni nie nadających się do pamięci, przy jak największej wydajności selekcji, tzn. przy zminimalizowaniu ilości odrzuconych dobrych rdzeni.

2. METODYKA POSTĘPOWANIA

Idealna selekcja rdzeni byłaby możliwa, gdyby odtworzyć w urządzeniu kontrolującym identyczne warunki, jakie istnieją w pamięci operacyjnej podczas przełączania rdzeni. Dokładniej biorąc, należałoby może odtwarzać najbardziej krytyczne z warunków pracy, mogące powstać podczas pracy rdzenia w pamięci. Ponieważ dokładne odtworzenie w urządzeniu selekcjonującym warunków pracy rdzenia w pamięci jest praktycznie niewykonalne, więc na podstawie pomiarów pewnych wielkości fizycznych trzeba orzekać o innych wielkościach, które naprawdę chcielibyśmy określać. Pierwsze z nich nazywamy parametrami selekcji elementu, drugie zaś parametrami pracy elementu. Przy określaniu parametrów istotne znaczenie ma podanie warunków, w jakich element jest mierzony w czasie selekcji i w jakich pracuje. Nazywamy je odpowiednio warunkami selekcji i warunkami pracy.

Należało uzyskać odpowiedź na pytanie, które z możliwych do zmierzenia parametrów selekcji są najkorzystniejsze, to znaczy stosunkowo najlepiej potrafią określić parametry pracy rdzenia w pamięci, co w efekcie pozwala na uzyskanie dużej wydajności selekcji przy jednoczesnym nie przepuszczaniu rdzeni niewłaściwych. Kompleks badań, które doprowadziły do uzyskania odpowiedzi na to pytanie, składał się z kilku następujących po sobie cykli, w których stopniowo ulepszano metody postępowania. Każdy z nich składał się z czterech kolejnych kroków postępowania. Kroki te można określić następująco: 1-szy - ustalanie kilku alternatywnych wariantów selekcji rdzeni, 2-gi - wykonanie selekcji próbek rdzeni wg każdego z ustalonych wariantów; 3-ci - zmontowanie ramki pamięciowej i jej pomiary; 4-ty - analiza statystyczna wyników pomiarów.

Pokrótce scharakteryzujemy poszczególne kroki cyklu.

1-szy - Różne warianty selekcji rdzeni, tzn. warianty o różnych mierzonych parametrach, przy różnych ciągach wzbudzających rdzenie, a także z różnymi wartościami granicznymi tych parametrów były ustalane w rozmaity sposób. W pierwszym cyklu badań różne warianty selekcji ustalono biorąc pod uwagę jedynie analizę pracy rdzenia w pamięci i szukając najbardziej podobnych warunków do selekcji. W następnych cyklach badań do ustalania różnych wariantów selekcji uwzględniano przede wszystkim wyniki uzyskane w cyklach poprzednich. Wykorzystywano również informacje uzyskane ze specjalnie w tym celu zaplanowanych pomiarów rdzeni. W celach porównawczych zawsze jednym z wariantów były dotychczas stosowane warunki selekcji rdzeni.

2-gi - Z jednej partii produkcyjnej pobierano tyle próbek rdzeni ile było zaplanowanych wariantów selekcji. Po wykonaniu każdej selekcji notowano jej wydajność, tzn. procent rdzeni spełniających warunki.
Dodatkowo dla niektórych wariantów selekcji oznaczono kodem kolorowych kropek po kilkadziesiąt rdzeni, tak aby można je było zidentyfikować. Dla rdzeni tych mierzono następnie dokładne wartości parametrów selekcji.

3-oi – Wyselekcjonowane różnymi metodami grupy rdzeni wmontowano w ramkę pamięciową, która następnie była mierzona na urządzeniu PP-15 [3].
W wyniku tych pomiarów otrzymywano wartości amplitud sygnałów odczytu /parametr ten oznaczamy U_s/ dla wszystkich rdzeni umieszczonych w ramce. Wartości tego właśnie parametru traktowano jako miarę jakości wyselekcjonowanych rdzeni.
Parametr ten nie jest, dokładnie biorąc, parametrem pracy, którym jest amplituda sygnałów odczytu dla rdzenia umieszczonego już wraz z ramką w pamięci operacyjnej. Pomiary parametru pracy są praktycznie niewykonalne, gdyż przy istniejącej konstrukcji bloku pamięciowego wymiana w nim ramek jest niemożliwa. Poza tym przy badaniach tych trzeba dysponować taką pamięcią operacyjną, która umożliwiałaby przełączanie każdego rdzenia tym samym zestawem wzmacniaczy wybierających i odczytywanie tym samym wzmacniaczem odczytu. Wybieranie i zapisywanie dokonywane różnymi układami wprowadza dodatkowe rozrzuty mierzonych parametrów rdzeni. Różnice pomiędzy U_s i właściwym parametrem pracy są jednak nieznaczne. Wynikają one głównie z tego, iż w pamięci prąd zapisu wzbudza wszystkie rdzenie słowa jednocześnie, co stwarza inne warunki obciążenia wzbudzanego rdzenia przełącznikowego, aniżeli wówczas, gdy jak w PP-15 przełączana jest tylko jedna para rdzeni w słowie, a pozostałe wzbudzane są jedynie przebiegiem w linii słowa. Tak więc wydaje się słuszne przyjęcie U_s jako mierzonego parametru pracy.

4-ty – Na etapie tym przeprowadza się analizę statystyczną uzyskanych wyników pomiarów. W tym celu należy najpierw ustalić kryteria oceny. Pożądane jest, aby amplitudy sygnałów odczytu rdzeni uzyskanych z selekcji spełniały następujące warunki:

a/ wartości ich powinny być jak najwyższe, przy czym:
b/ muszą być większe od 70 mV,
c/ rozrzut ich wartości powinien być jak najmniejszy.

Aby można było za pomocą jednej liczby ocenić stopień spełnienia tych warunków przez poszczególne grupy wyselekcjonowanych rdzeni, utworzono parametr:

$$w = m - 4s$$

gdzie: m - wartość średnia amplitud sygnałów odczytu,
s - odchylenie standartowe rozkładu tych amplitud.

Parametr ten w oczywisty sposób uwzględnia warunki a oraz c. Natomiast odejmowanie 4s od wartości średniej wynika z potrzeby zabezpieczenia spełnienia warunku b przez przynajmniej 99,99% rdzeni /0,01% - odpowiada jednemu złemu rdzeniowi na trzy ramki PAO-5/. Dla rozkładów normalnych prawdopodobieństwo wystąpienia wartości mniejszej od m-4s jest mniejsze od 0,01%. Uprzednio sprawdzono, że wszystkie otrzymywane rozkłady wartości parametru U_s zbliżone są do rozkładu normalnego.

W tym kroku postępowania wykonuje się następujące czynności: oblicza się wartości średnie i odchylenia standartowe, a następnie wartości parametru w dla wartości amplitud sygnałów odczytu rdzeni otrzymanych z poszczególnych selekcji. Dodatkowo też dla tych parametrów selekcji, których wartości mierzono w 1-szym kroku cyklu, określa się teraz współczynnik korelacji pomiędzy tymi wartościami, a wartościami parametru U_s zmierzonymi w 3-cim kroku cyklu.

Ponieważ współczynnik korelacji jest miarą w jakim stopniu dwa parametry są liniowo od siebie zależne, to jego wartość służy jako informacja o stopniu przydatności jednego parametru przy określaniu wartości drugiego parametru. Gdy więc dla jakiegoś parametru selekcji otrzymuje się dużą wartość współczynnika korelacji, zaś dla grupy rdzeni wyselekcjonowanej za pomocą tego parametru wartość parametru w jest niewielka, to prawdopodobnie parametr selekcji wybrany jest właściwie, a jedynie niewłaściwe są granice selekcji.

Przy porównywaniu przydatności poszczególnych wariantów selekcji brano pod uwagę przede wszystkim obliczoną wartość w oraz zanotowaną w drugim kroku cyklu wydajność selekcji. Jako dodatkową informację traktowano obliczoną wartość współczynnika korelacji.

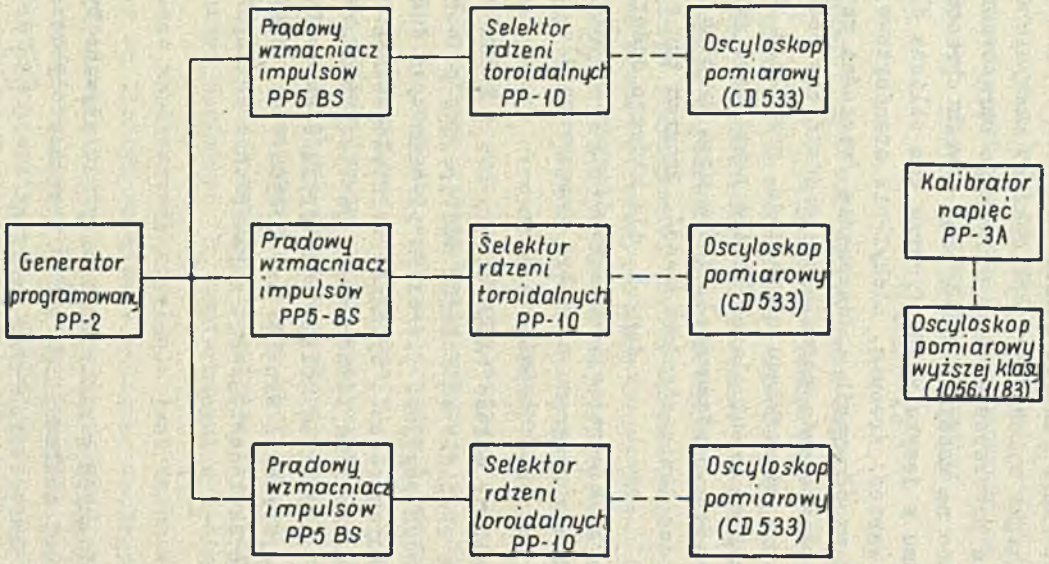
Takie masowe stosowanie statystycznych metod od oceny selekcji stało się możliwe dzięki wykonywaniu obliczeń na maszynie cyfrowej. Wszystkie obliczenia potrzebne do statystycznego opracowania wyników pomiarów wykonano na maszynie ZAM-2 przy użyciu opracowanego do tego celu programu w języku SAKO. Program ten oblicza dla zadanego zbioru danych wartość średnią, odchylenie standartowe, współczynnik skośności i współczynnik spłaszczania /wartości współczynników skośności i spłaszczenia pozwalają sprawdzić czy rozkład ten nie różni się znacznie od rozkładu normalnego, pozwalają one też na łatwe wykrycie takich ewentualnych błędów powstałych przy wypisywaniu danych na taśmie perforowanej, które mogą wywołać istotne zmiany średniej i odchylenia standartowego/. Program ten może być również stosowany dla zbioru par danych, dla którego dodatkowo obliczane są: współczynnik korelacji oraz współczynnik regresji. Obliczenia za pomocą tego programu mogą być wykonywane dla zbioru danych o liczności nie przekraczającej 300.

Jak już wspomnieliśmy całość badań składa się z kilku wyżej opisanych cykli. Takie rozbicie na kolejno następujące po sobie cykle było konieczne z dwóch powodów. Pierwszym powodem była duża niejednorodność produkowanych rdzeni, wymagało to wielokrotnego sprawdzania skuteczności selekcji na różnorodnych partiach produkcyjnych. Po drugie rozbicie całości na kolejno następujące po sobie cykle pozwalało na wykorzystywanie wyników uzyskanych w wykonanych już cyklach do znacznie skuteczniejszego zaplanowania dalszych badań.

3. APARATURA

Do pomiarów omawianych w niniejszym artykule używane były 2 zestawy aparatury: tzw. zestaw GROM IV [4] przeznaczony do selekcji i pomiarów rdzeni pamięciowych oraz przyrząd PP-15 [3] do pomiarów ramek pamięciowych PAO-5.

W skład zestawu GROM IV wchodzą: programowany generator impulsów PP-2, prądowy wzmacniacz impulsowy PP5BS, selektor rdzeni toroidalnych PP-10 oraz oscyloskop pomiarowy /zwykle Solarscope CD 533/. W przypadku masowej selekcji, generator służy do wzbudzania kilku /rys. 1/ stanowisk składających się ze wzmacniacza, se-



Rys. 1. Zestaw GROM-IV stosowany do półautomatycznej selekcji rdzeni pamięciowych R1-2/0,6 do pamięci PAO-5 w Zakładzie Technologii Specjalnych ZD IMM

lektora i osoyloskopu. Ponadto, przy ustalaniu i okresowym kontrolowaniu amplitud impulsów prądu wzbudzającego wykorzystywany jest jeszcze kalibrator napięć PP-3A i osoyloskop wyższej klasy /np. Solarscope 1056 lub 1183/.

Generator PP-2 może wytwarzać ciągi impulsów o 8 miejscach,spośród których 2 /lub 2 pary/ mogą być powtórzone dowolną ilość razy tak jednak, by suma wszystkich impulsów ciągu nie przekraczała 70. Posiada on 4 niezależne wyjścia /2 dodatnie, 2 ujemne/, które sterują wzmacniaczami prądowymi. Wzmacniacz z kolei ma za zadanie przekształcenie impulsów napięciowych z generatora w prądowe impulsy o określonych parametrach /amplituda, parametry czasowe/, wzbudzające badany rdzeń. Posiada on 4 niezależne tory dla każdego z wyjść generatora, wzmacniające odpowiednio impulsy przełączające i zakłócające zarówno dodatnie jak i ujemne. Maksymalna amplituda impulsów wyjściowych wynosi 1A przy wypełnieniu 45% i 2,5 A przy wypełnieniu 10%. Amplituda impulsów zakłócających może być ustalana w granicach 20 ÷ 80% amplitudy impulsów przełączających. Jeśli chodzi o parametry czasowe to: czas narastania może być zmieniany w zakresie od 0,1 ÷ 1 μs skokowo co 0,1 μs, czas opadania jest ustalony i wynosi 0,3 μs, zaś czas trwania impulsów określony jest szerokością impulsów sterujących z generatora, którą można zmieniać w zakresie od 0,5 ÷ 100 μs. Spadek części płaskiej impulsów jest mniejszy niż 3%, zaś oporność wyjściowa przy impulsach ujemnych wynosi co najmniej 500Ω /przy 2,5 A/, a dla impulsów dodatnich w granicach od 20Ω do 500Ω /przy 0,1 A/. Dokładność skalowania amplitud impulsów prądowych przy użyciu opornika wzorcowego i kalibratora wynosi 1%.

Podane zakresy parametrów wprowadzają pewne ograniczenia na możliwości realizacji ciągów używanych do selekcji rdzeni.

W przypadku realizacji bardziej złożonego ciągu o trzech rodzajach impulsów jednej polarności należało powiększyć zestaw o drugi generator i odpowiednią ilość wzmacniaczy prądowych. Ciąg taki potrzebny jest do wierniejszego odtworzenia warunków pracy rdzenia jakie istnieją w pamięci. Jedno z istotniejszych ograniczeń w odtwarzaniu kształtu impulsów wzbudzających występujących w pamięci jest spowodowane brakiem regulacji czasu opadania impulsów.

Zestaw do badania ramek pamięciowych, za pomocą którego wykonywano pomiary amplitud sygnałów odczytu poszczególnych rdzeni składa się natomiast z przyrządu do pomiaru ramek PP-15, oscyloskopu pomiarowego /stosowany był Ribet de Jardins 240A/ i kalibratora napięć PP-3A. Badana ramka dołączana jest do przełączników magnetycznych, analogicznych jak w pamięci oraz na wyjście wzmacniacza zapisu, które może być przełączane na poszczególne linie bitowe. Do uzwojeń wzbudzających przełączników doprowadzone są ciągi tzw. impulsów adresowych /jeden z nich może być przełączany w celu wybrania dowolnego słowa/, które pozwalają na odtworzenie wszystkich możliwych sytuacji: przełączania rdzenia przełącznikowego, zakłócenia go /przy wzbudzaniu tylko jednej współrzędnej przełącznika/ i niewzbudzania /na badaną parę rdzeni pamięciowych działa tylko prąd zapisu/. Amplituda impulsów adresowych wynosi 1,2 A, a ich szerokość 2,6 μ sek. Analogiczne parametry dla impulsów zapisu wynoszą odpowiednio 80 mA i 2,5 μs. Prąd polaryzacji przełączników magnetycznych wynosi 2 A. Stałość amplitud impulsów prądowych wynosi 2% w ciągu godziny.

Badane miejsca pamięciowe wybierane są kolejno za pomocą układu wybieraków telefonicznych. Współrzędne aktualnie wybranego miejsca pamięciowego w ramce /oznaczanie słowa x i bitu z/ mogą być odczytane z nodistronowego wskaźnika świetlnego. Przełączanie może odbywać się z dwiema prędkościami i jest zatrzymywane ręcznie. Stabilność zestawu PP-15 jest kontrolowana w ten sposób, że przy każdym pomiarze czy też kontroli ramki, dokonywany jest pomiar sygnałów odczytu 20-tu rdzeni ramki wzorcowej, co pozwala na wyeliminowanie rozrzutów przez uwzględnienie w wynikach współczynnika zmian. Współczynnikiem tym jest stosunek pomiędzy średnią wartością amplitud sygnałów rdzeni wzorcowych uzyskaną przy danym pomiarze, a wartością wzorcową.

Przy pomiarach temperaturowych oba zestawy uzupełniano na czas wykonywania pomiarów odpowiednim pojemnikiem cieplnym, w którym umieszczane były rdzenie lub ramki.

4. PREBIEG PRAC I WYNIKI

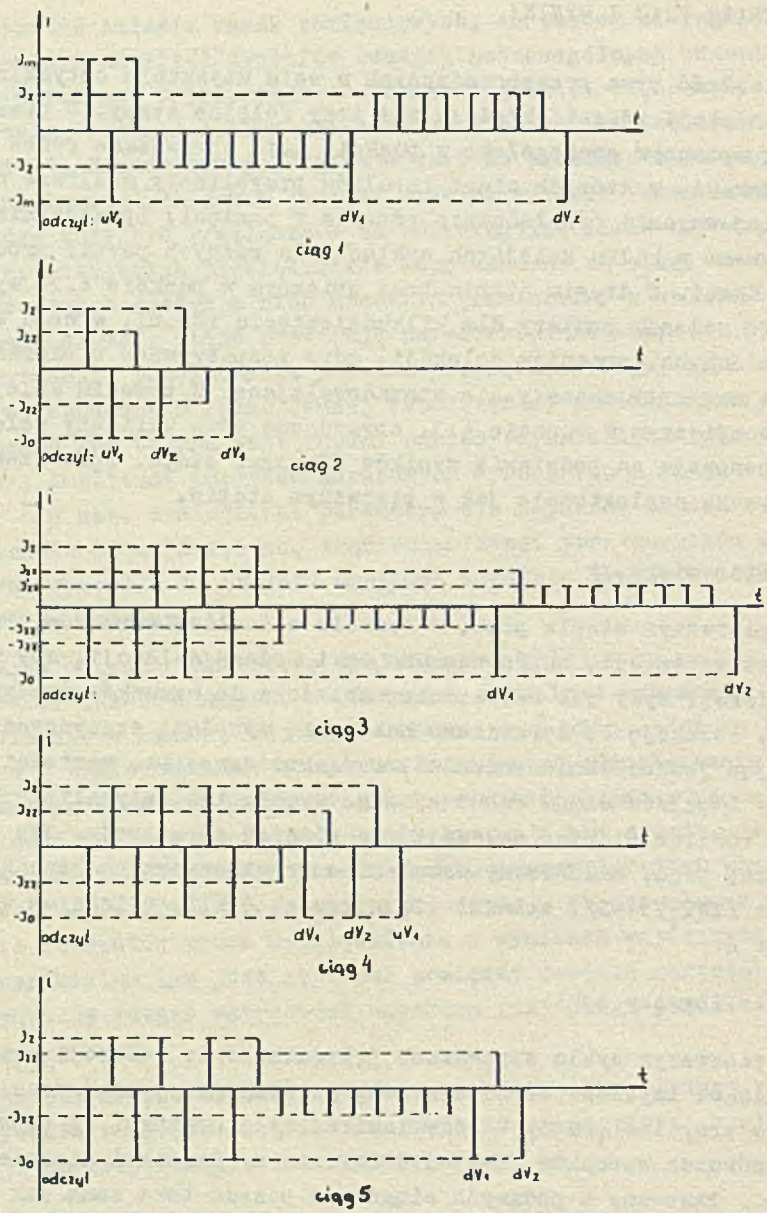
Na całość prac przeprowadzonych w celu uzyskania optymalnej metody selekcji rdzeni składają się trzy kolejne etapy. W pierwszym etapie opisanym szczegółowo w punkcie 4.1. sprawdzano różne warianty selekcji, w których ciągi impulsów przybliżały możliwie najdokładniej warunki przełączania rdzenia w pamięci. Sprawdzenia te wykonywano w kilku kolejnych cyklach dla różnych partii produkcyjnych rdzeni. W drugim etapie prac opisanym w punkcie 4.2. wykonano różnego rodzaju pomiary dla kilkudziesięciu rdzeni, w celu znalezienia innych wariantów selekcji, gdyż rozpatrywane w pierwszym etapie warianty okazały się niezadowalające. W trzecim kolejnym etapie opisanym w punkcie 4.3. sprawdzono nowe warianty selekcji zaproponowane na podstawie wyników drugiego etapu. Sprawdzenia te wykonywano analogicznie jak w pierwszym etapie.

4.1. Etap pierwszy

W pierwszym etapie prac, w oparciu o analizę warunków pracy rdzenia w pamięci, zaproponowano taki rodzaj selekcji, aby warunki selekcji były jak najbardziej zbliżone do warunków pracy w pamięci. Selekcję tę sprawdzano następnie metodami statystycznymi próbując jednocześnie zmieniać, w wąskim zakresie, wartości parametrów impulsów ciągu wzbudzającego w celu ich optymalizacji. Zmieniano również granice selekcji dla różnych parametrów. Ten pierwszy etap prac, zakończony ustaleniem prowizorycznych warunków selekcji /TWT 534-D/, składał się z trzech cykli, opisanych w rozdziale 2.

4.1.1. Pierwszy cykl

W pierwszym cyklu sprawdzano przydatność do selekcji dwu rodzajów ciągów impulsów wzbudzających, porównując rdzenie wyselekcjonowane przy ich pomocy z rdzeniami selekcjonowanymi wg obowiązujących wówczas warunków /T-WT-399-D/ oraz z rdzeniami nieselekcjonowanymi. Pierwszy z podanych ciągów ma postać taką samą jak w dotychczasowych warunkach /ciąg 1 z rys. 2/. Przyjęto tylko inne amplitudy impulsów wzbudzających, mianowicie: I_m = 450 mA I_z = 225 mA /podczas selekcji dotychczasowej I_m = 360 mA, I_z = 180 mA/.



Rys. 2 . Ciągi stosowane w przeprowadzanych pomiarach.

Pozostawiając stosunek $I_z/I_m = 0,5$ zgodnie ze stosowanymi standardami selekcji rdzeni /patrz n.p. [5]/, podniesiono wartość I_z zbliżając ją do wielkości zakłócenia występującego w pamięci. Taka wartość prądu I_z powoduje wejście na zakrzywienie charakterystyki dVz (I_z), pozwalając przez to na kontrolowanie wartości prądu koercji poprzez dwustronne ograniczenie na dVz. Jednocześnie amplituda I_m jest zbliżona do amplitudy impulsu odczytu w pamięci. Przez dVz określono amplitudę napięcia indukowanego przez prądowy impuls odczytu poprzedzony impulsami zakłócającymi o przeciwnej polarności. W niniejszym artykule stosowane są także następujące parametry rdzeni: dV_1 i uV_1. Przez dV_1 określono amplitudę napięcia indukowanego przez prądowy impuls odczytu poprzedzony impulsami zakłócającymi o tej samej polarności. Przez uV_1 określono amplitudę napięcia indukowanego przez prądowy impuls odczytu następujący bezpośrednio po zapisie informacji. Parametry te podane zostały przez Freemana w pracy [6]. Drugi ze stosowanych ciągów /ciąg 2 z rys.2/ posiadał różne amplitudy i czasy narastania dla impulsów odczytu i zapisu. Miało to na celu możliwie wierne odtworzenie, w ramach możliwości aparatury, istniejących w pamięci warunków pracy.

Amplitudy te odpowiednio wynosiły $I_0 = 440$ mA, $I_z = 380$ mA, $I_{zz} = 220$ mA. Tak ustalone wartości wynikły stąd, że prąd zapisu I_z jest sumą prądu bitowego i części zapisowej prądu w linii słowa, /300 + 80 mA/, zaś prąd zakłócający I_{zz} różnicą tych prądów. Czasy narastania dla impulsów zapisu wynosiły 0,4 μs, a dla impulsów odczytu 1 μs.

Parametrami selekcji przy zastosowaniu ciągu 1-szego były dV_1, dV_z. Dla parametrów tych przyjęto po dwa warianty wartości granicznych /grupy 1 ÷ 4 tabel 1 i 2/.

Ciąg drugi wykorzystano raz dla selekcji na dV_1 i dV_z /grupy 5 ÷ 8 tabel 1 i 2/ i drugi raz do selekcji na uV_1, dV_z /grupy 9 ÷ 12 tabel 1 i 2/. Dla każdego z tych rodzajów selekcji utworzono 4 przypadki różniące się granicznymi wartościami parametrów selekcji.

Zestawienie parametrów i ich granic dla selekcji 1-go cyklu

Tabela 1.

Nr grupy	1	2	3	4	5	6	7	8	9	10	11	12
	ciąg 1-szy				ciąg 2-gi							
dV_1	S	S	W	W	S	S	W	W				
uV_1									S	S	W	W
dV_z	S	W	W	S	S	W	W	S	S	W	W	S

gdzie: S - szersze granice selekcji - około ± 20%
W - węższe " " - " ± 10%

Natomiast grupy 13-ta i 14-ta /tabela 2/ zawierają dla porównania odpowiednio rdzenie: selekcjonowane wg WT-399-D i rdzenie nieselekcjonowane. Liczność omawianych grup wynosiła 200 ÷ 400.

Wyselekcjonowane rdzenie wmontowano w ramkę, zmierzono dla nich wartości U_s i obliczono dla poszczególnych grup: m, s oraz w. Uzyskane wyniki obliczeń zestawiono w tabeli 2.

Wyniki uzyskane w 1-szym cyklu.

Tabela 2.

Nr grupy	Wartość średnia m [mV]	Odchyl. standartowe s [mV]	Współczynnik w=m-4s [mV]	Wydajność selekcji %
1	2	3	4	5
1	105,8	8,97	69,9	83
2	105,4	7,67	74,7	67
3	105,7	8,92	70,0	61
4	102,0	11,17	57,3	66
5	101,9	9,75	62,8	86
6	98,0	8,16	65,4	41
7	97,6	7,46	67,7	47
8	98,3	9,10	61,9	73
9	103,4	7,90	71,8	77

1	2	3	4	5
10	101,7	6,64	75,1	36
11	104,1	5,50	82,1	38
12	101,9	8,19	69,1	82
13	99,9	6,26	74,8	28
14	91,8	14,90	32,2	*

Dodatkowo wykonano dla próbki 30-tu rdzeni pomiary wartości parametrów dV_1 i uV_1 dla obu ciągów w celu obliczenia współczynników korelacji z wartościami sygnałów w ramce U_s. Otrzymane wartości współczynników korelacji amplitudy sygnału U_s z różnymi parametrami selekcji podano w tabeli 3.

Wartości współczynników korelacji

Tabela 3.

Ciąg 1-szy		Ciąg 2-gi	Ciąg wg. WT-399-D
dV_1	0,32	0,70	0,62
uV_1	0,78	0,79	

Różnice pomiędzy wartościami parametrów w oraz współczynnikami korelacji uzyskanymi przez różne rodzaje selekcji 1-szego cyklu okazały się niewielkie. Różnice te, rozpatrując na poziomie ufności $\alpha = 0,1$, są dla stosowanych liczności w większości przypadków statystycznie nieistotne, dlatego też porównywanie wyników ma charakter jedynie orientacyjny. Między innymi z tego też powodu niektóre warianty selekcji powtórzono w drugim cyklu badań.

Najbardziej interesująco przedstawia się selekcja taka jak dla grupy 11-tej, dla której otrzymano $w = 82,1$ mV przy wydajności 38% /dla grupy wyselekcjonowanej wg WT-399-D $w = 74.8$ przy wydajności 28%/. Również i inne grupy selekcjonowane na parametr uV_1 ciągu 2-go przedstawiają się stosunkowo korzystnie.

Łączy się z tym fakt, że współczynnik korelacji pomiędzy U_s a uV_1 ciągu 2-go /na który to parametr przeprowadzono tę selekcję/ wynosi 0,79.

Równie duży współczynnik korelacji otrzymano dla parametru uV_1 przy zastosowaniu ciągu 1-szego. Ponieważ w omawianym cyklu nie selekcjonowano żadnej grupy rdzeni na ten parametr, selekcję taką przeprowadzono w drugim cyklu pomiarów.

Jak się później okazało /przez porównanie z następnymi partiami produkcyjnymi rdzeni/, partia rdzeni selekcjonowana w omówionym cyklu była nietypowo korzystna, w wyniku czego zadowalające rezultaty /W > 70 mV/ otrzymano dla wielu rodzajów selekcji, między innymi i dla WT-399-D. Nawet dla rdzeni nieselekcjonowanych tylko 7,5% nie spełniało w ramce wymaganego warunku $U_s \geqslant 70$ mV.

4.1.2. Drugi cykl

W drugim cyklu badań najważniejsza jest grupa 1-sza /tabela 4/, którą wyselekcjonowano wg warunków, dla których w poprzednim cyklu uzyskano najlepsze rezultaty /grupa 11, tabeli 2/. Grupa ta zawierała 1700 rdzeni.

Dalsze grupy /2 ÷ 10/ selekcjonowano w różnych warunkach zbliżonych do warunków grupy 1-szej, w celu optymizacji tych warunków.

Grupy: 2, 3, 4 tabeli 4 różnią się od 1-szej jedynie różnymi wartościami granicznymi parametrów selekcji, mianowicie: grupę 2-gą selekcjonowano przy wyższej wartości granicznej dV_z, grupa 3-cia posiadała szerszy zakres wartości uV_1, zaś grupę 4-tą selekcjonowano bez górnego ograniczenia na uV_1. Liczebność każdej z tych trzech grup wynosiła 200.

Grupy: 5, 6, 7 tabeli 4 różnią się od grupy 1-szej innymi amplitudami prądu odczytu I_o /ciąg 2, rys. 2/, a mianowicie wartości I_o wynosiły odpowiednio: 420 mA, 460 mA, 480 mA /dla grupy 1-szej I_o = 440 mA/.

Grupy 8, 9, 10 tabeli 4, różnią się od 1-szej innymi amplitudami prądu zapisu I_z, wartości której wynosiły odpowiednio: 370 mA, 390 mA, 400 mA /dla grupy 1-szej I_z = 380 mA/, przy czym prąd zakłócający wynosił zawsze $I_{zz} = I_z - 160$ mA.

Ze względu na uzyskaną w pierwszym cyklu badań wysoką wartość współczynnika korelacji pomiędzy U_s i uV_1 wykonano selekcję za pomocą pierwszego ciągu impulsów /ciąg 1, rys. 2/ stosując jako pa-

rametry selekcji uV_1 i dV_z. Selekcję tę wykonano w dwóch wersjach o szerszym i węższym przedziale uV_1, są to odpowiednio grupy 11, 12 tabeli 4.

Grupa 13-ta tabeli 4 jest grupą porównawczą wyselekcjonowaną wg. T-WT-399D.

Wszystkie grupy od 5-tej do 13-tej zawierały po 100 rdzeni.

W niniejszym cyklu badań do selekcji użyto rdzeni wymieszanych z kilku różnych partii produkcyjnych.

Po wmontowaniu rdzeni do ramki i zmierzeniu dla nich amplitud odczytu wykonano obliczenia, których wyniki zestawiono w tabeli 4.

Wyniki uzyskane w 2-gim cyklu

Tabela 4.

Nr grupy	Wart. średnia m [mV]	Odchyl.stand. s [mV]	Współczynnik w=m-4s [mV]	Wydajność selekcji %
1	95,6	10,1	55,2	16
2	93,8	10,6	51,4	21
3	93,1	11,2	48,3	26
4	96,9	10,4	55,3	16
5	102,6	10,7	59,8	6
6	89,8	9,0	53,8	21
7	84,9	8,1	52,5	12
8	93,8	9,8	54,6	13
9	102,7	10,0	62,1	13
10	96,9	8,5	62,9	3,5
11	87,6	9,7	49,2	13
12	89,2	8,4	55,7	11
13	92,7	9,3	55,5	32

Z wyników umieszczonych w tabeli 4 widać, że dla żadnej z zastosowanych selekcji nie uzyskano zadowalających rezultatów /małe właściwości w i niewielka wydajność/. Wyniki uzyskane dla selekcji wg T-WT-399D /grupa 13/ jak i nowej proponowanej /grupa 1/ oraz większości pozostałych istotnie się nie różnią. Dlatego też optymalizowanie warunków ze względu na wartości I_o i I_z oraz

granice selekcji na podstawie tych wyników jest niemożliwe. Ponieważ prawdopodobnie przyczyną takich słabych wyników są niekorzystne rdzenie użyte do selekcji, w następnym cyklu pomiarowym zostały powtórzone niektóre z opisanych selekcji dla dwu różnych partii rdzeni.

Jednocześnie należy odnotować pozytywny fakt, że wszystkie 1700 rdzeni wyselekcjonowanych w grupie 1 spełniały warunek $U_s > 70$ mV, pomimo że $w = 55{,}2$ mV. Jest to wynikiem otrzymania niesymetrycznego rozkładu o wyraźnym obcięciu od strony niższych wartości.

4.1.3. Trzeci cykl

W trzecim cyklu pomiarów powtórnie sprawdzono selekcję na uV_1 i dV_z przy ciągu 2 /tak jak grupa 11 tabela 2 i grupa 1 tabela 4/, rozbijając tym razem wyselekcjonowane rdzenie na dwie klasy. Do klasy pierwszej kwalifikowano rdzenie o wartościach sygnału uV_1 w granicach 72 ÷ 82,5 mV /są to grupy 1 i 4 tabeli 5/, do drugiej zaś - rdzenie o wartościach uV_1 w granicach 82,6 ÷ 93 mV /grupy 2 i 5 tabeli 5/. Obie klasy musiały spełniać warunek na amplitudę zakłócenia $dV_z < 12$ mV. Podział rdzeni na dwie klasy zrobiono w celu uzyskania większej jednorodności w poszczególnych grupach bez zmniejszania ogólnego uzysku. Rdzenie do selekcji pochodziły z dwu partii produkcyjnych, grupy 1 ÷ 3 tabeli 5 pochodzą z jednej partii, zaś grupy 4 ÷ 6 z drugiej partii. Grupy 3 i 6 są porównawczo wyselekcjonowane wg. T-WT-399 D. Wyniki omówionych selekcji zawiera tabela 5. Ponadto wykonano pewną ilość selekcji, przy różnych wartościach takich parametrów ciągu jak amplitudy I_0, I_z, czasy trwania i narastania impulsów. Wyników tych nie przytaczamy, gdyż na ich podstawie nie można było określić żadnych prawidłowości.

Wyniki uzyskane dla drugich klas selekcjonowanych rdzeni /grupy 2 i 5 tabeli 5/ okazały się zadowalające. Dla obu partii rdzeni wartości w dla drugich klas są znacznie wyższe niż dla rdzeni selekcjonowanych wg dotychczasowych warunków będąc również wyższe od 70 mV. Pierwsze klasy rdzeni /grupy 1 i 4/ badanej selekcji okazały się podobnej jakości jak rdzenie selekcjonowane starą metodą, dając natomiast łącznie z grupami drugiej klasy większą wydajność selekcji.

Wyniki uzyskane w 3-oim cyklu

Tabela 5.

Nr grupy	Wart.średnia m /mV/	Odchyl.stand. s /mV/	Współczynnik w-m-4s /mV/	Wydajność selekcji /%/
1	90,3	6,4	64,7	17,3 "łączenie"
2	97,1	6,3	71,5	
3	95,2	8,1	62,9	12,5
4	89,9	3,5	75,8	25,0 "łączenie" 39,2
5	106,8	4,5	88,7	14,2
6	96,2	5,3	75,2	26,7

4.1.4. Podsumowanie wyników 1-szego etapu badań

Reasumując wyniki uzyskane dla omówionych trzech cykli selekcji, porównanie warunków TWT-399-D z nowymi, proponowanymi w trzecim cyklu przedstawia się następująco:

Dla czterech badanych partii rdzeni w trzech przypadkach /cykl 1-szy, obie grupy cyklu 3-go/ nowe warunki okazały się korzystniejsze ze względu na w i wydajność, w jednym zaś przypadku /cykl 2-gi/ równoważne. Oceniając nową selekcję na podstawie otrzymanych wartości na parametr w w dwóch przypadkach otrzymano bardzo dobre wyniki, w jednym dostateczne, zaś dla cyklu 2-go niestety niezadowalające.

Na podstawie omówionych wyników postanowiono tymczasowo zastąpić selekcję wg warunków T-WT-399-D taką selekcją jak sprawdzana w ostatnim cyklu /grupy: 1, 2, 4,5 tabeli 5/ i oznaczono ją T-WT-534-D [7]. Selekcja ta klasyfikuje rdzenie do dwóch klas: I i II. Ponieważ wiadomo było, że dla niektórych partii produkcyjnych rdzeni /cykl 2-gi/, warunki te także nie mogą dać w pełni zadowalających wyników, poszukiwanie właściwszych warunków kontynuowano nadal.

4.2. Etap drugi

Prace pierwszego etapu zakończyły się jedynie połowicznym sukcesem. Aby uzyskać nowy materiał do dalszych badań statystycznych

postanowiono wykonać szereg pomiarów na pojedynczych egzemplarzach rdzeni. Do tych pomiarów użyto kilkadziesiąt ponumerowanych rdzeni wymontowanych z różnych ramek, pochodzących z różnych partii produkcyjnych i reprezentujących najróżnorodniejsze, a w miarę możliwości i najskrajniejsze typy rdzeni R1-2/0,6 /w oznaczeniu tym R1 oznacza materiał, 2 i 0,6 odpowiednio średnicę zewnętrzną i wysokość w mm/. Pomiary te prowadzono tak, aby znaleźć parametry pozwalające w stosunkowo najlepszy sposób rozróżnić podczas kontroli ramek rdzenie spełniające od niespełniających wymagań. Pomiary wykonywano dla rdzeni dobrych oraz złych, gdzie jako rdzenie dobre traktowano takie rdzenie, dla których wartość sygnału U_s mierzona w ramce pamięciowej przy nominalnych warunkach pomiarów była większa od 70 mV, natomiast jako rdzenie złe - takie, dla których sygnał ten był mniejszy niż 70 mV.

W ramach tych pomiarów wykonano: charakterystyki amplitud sygnałów dV_1, uV_1, dV_z w funkcji amplitud prądu zapisu I_z dla dwóch różnych postaci ciągów, pomiary prądów koercji i strumienia maksymalnego, charakterystyki czasów przełączania w funkcji amplitudy prądów przełączających pozwalających na obliczanie stałej przełączania; porównywano też kształty odpowiedzi napięciowych. W opracowaniu tym podamy wyniki tych spośród wymienionych pomiarów, które pozwoliły na określenie nowych warunków selekcji sprawdzanych następnie metodami statystycznymi.

Najpożyteczniejszymi okazały się charakterystyki sygnałów dV_1, uV_1 i dV_z w funkcji amplitud prądu I_z. Charakterystyki te wykonane były dla dwóch różnych ciągów wzbudzających: ciągu 3 i 4 przedstawionych na rys. 2.

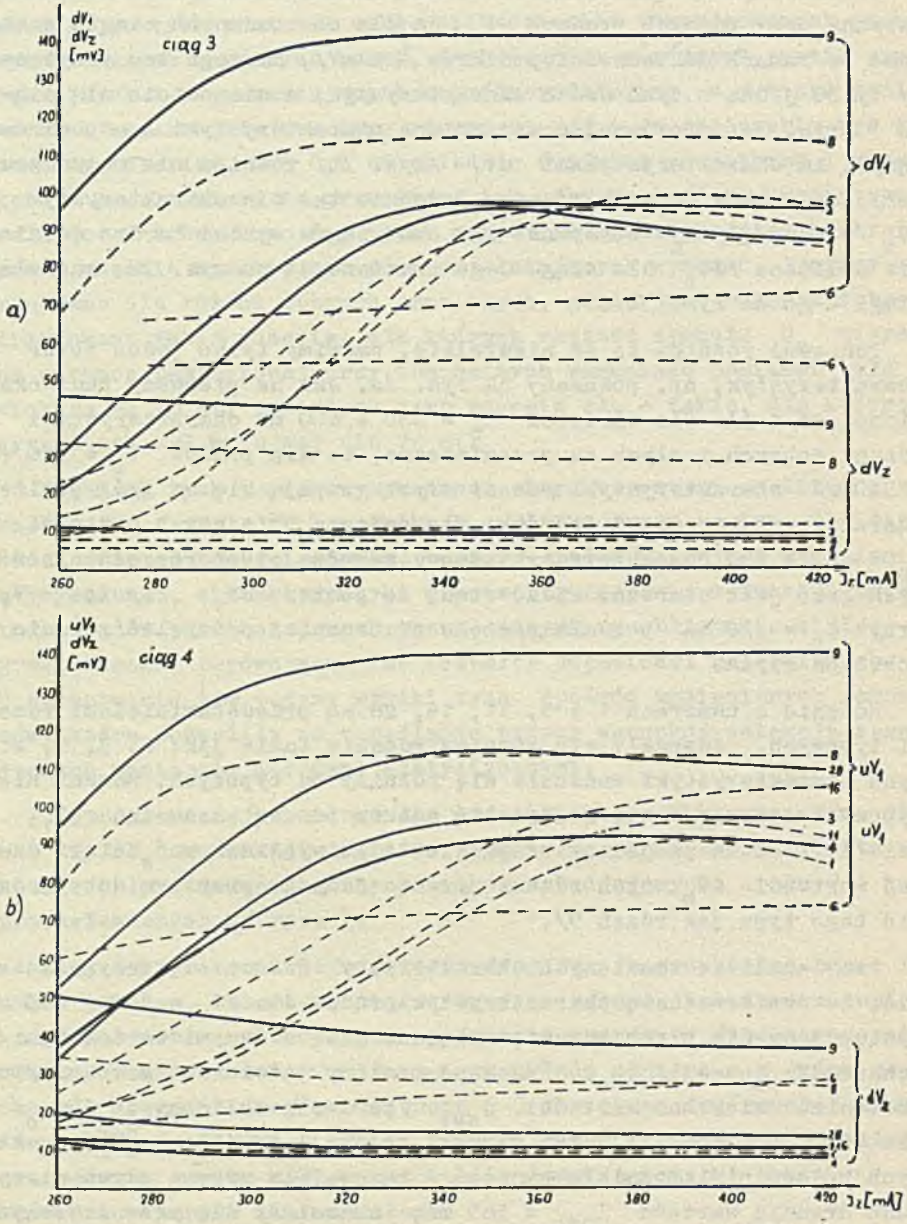
Ciąg 3-ci w możliwie najwierniejszy sposób przybliżał pracę rdzenia w pamięci, natomiast ciąg 4-ty jest pewnym jego uproszczeniem, które umożliwia wykorzystanie prostszej aparatury /jeden generator PP-2 ze wzmacniaczem PP-5BS zamiast układu złożonego z dwóch generatorów i wzmacniaczy/. Stosowane w 3-cim ciągu dwa rodzaje impulsów zakłócających I_{zz} i I'_{zz} odpowiadają odpowiednio: zakłóceniu podczas zapisu wybieranej linii słowa /patrz pkt 4.1.1./ i zakłóceniu w innych liniach słowa.

Podczas wykonywania pomiarów stwierdzono, że wartości dV_1 uzyskiwane przy różnych prądach I_z są dla obu badanych ciągów takie same /w ramach dokładności pomiarów $\pm$ 2 mV/, dlatego też przytaczamy tylko jedną z tych dwóch charakterystyk, a mianowicie dla ciągu 3 /rys. 3a/. Porównując wspomniane charakterystyki z odpowiadającymi im charakterystykami uV_1 /rys. 3b/ również nie można zauważyć żadnych większych różnic. Podobnie też dla charakterystyk dV_z w funkcji I_z otrzymano dla obu ciągów wyniki bardzo do siebie zbliżone /dV_z dla ciągu 3-go pokazane są na rys. 3a, zaś dla ciągu 4-go na rys. 3b/.

Ponieważ różnice te są niewielkie, omówimy tylko jeden zbiór charakterystyk, np. pokazany na rys. 3a. Już na pierwszy rzut oka widać, że o ile dla wartości $I_z = 360 \div 400$ mA charakterystyki rdzeni dobrych i złych są przemieszane, to dla prądów $I_z = 300 \div 340$ mA charakterystyki rdzeni złych grupują się na ogół poniżej charakterystyki rdzeni dobrych. Dla jeszcze mniejszych wartości $I_z = 260 \div 280$ charakterystyki znowu schodzą się i rozróżnialność tych grup jest słabsza. Widać stąd, że pomiar uV_1, czy też dV_1 przy $I_z = 320$ mA pozwala o wiele skuteczniej oddzielić rdzenie dobre od złych.

Rdzenie o numerach 1 ÷ 5, 11, 16, 28 są przedstawicielami rdzeni typowych. Zdarzały się również rdzenie takie jak: 6, 8, 9, których charakterystyki znacznie się różniły od typowych. Rdzeni nietypowych nie udaje się rozdzielić ani za pomocą parametru uV_1, ani dV_1. Można je jednak wszystkie łatwo wyeliminować dzięki dużej wartości dV_z tych rdzeni /tracąc jedynie przy tym dobre rdzenie tego typu jak rdzeń 9/.

Przy analizie omawianych charakterystyk nasuwa się przypuszczenie, że obniżenie się charakterystyk prądów dla $I_z = 300 \div 340$ mA występujące dla złych rdzeni, związane jest z dużymi wartościami ich prądów koercji I_{Hc}. Wykonane pomiary potwierdziły to przypuszczenie. Zmierzono wartości I_{opt} /parametr zbliżony do $2 \cdot I_{Hc}$/ dla 40 rdzeni spełniających warunki selekcji TWT-534-D [7], z których połowa nie spełniała wymagań w ramce. Dla rdzeni złych otrzymano średnią wartość $I_{opt} = 589$ mA, natomiast dla rdzeni dobrych $I_{opt} = 506$ mA. Różnica ta jest bardzo duża, a występujące skrajne



Rys. 3. Charakterystyki prądowe przy wzbudzaniu ciągiem 3 i 4
——— rdzenie dobre, — — — rdzenie złe.

wartości tego parametru wśród omawianych 40 rdzeni wynosiły odpowiednio: 465 i 630 mA.

W celu dokładniejszego poznania sygnałów odpowiedzi różnych rdzeni zestawiano ich przebiegi czasowe. W tym celu sfotografowano oscylogramy sygnałów dV_1 i dV_z przy badaniu rdzeni ciągiem 5 /będącym uproszczeniem ciągu 3/ dla prądu zapisu I_z = 320 mA oraz I_z = 380 mA. Na rys. 4 przytaczamy przebiegi tych sygnałów dla kilku wybranych rdzeni. Przeważająca część rdzeni dobrych miała wyższe amplitudy /czego oczywiście należało się spodziewać/ oraz na ogół bardziej przesunięte w prawo opadające zbocze impulsu. Pełne wykorzystanie tych danych będzie dopiero możliwe podczas opracowywania selekcji za pomocą aparatury umożliwiającej analizę czasową badanych impulsów /regulowane strobowanie/. Czas na rys. 4 liczony jest od chwili, gdy impuls I_0 osiąga 0,1 swej amplitudy.

Nie będziemy omawiać uzyskanych charakterystyk czasów przełączania w funkcji prądu wzbudzającego, gdyż nie zauważono zdecydowanych różnic pomiędzy tymi charakterystykami i obliczonymi na ich podstawie współczynnikami przełączania S_w dla rdzeni złych i dobrych. Pomiary te jedynie potwierdziły fakt, że rdzenie złe posiadają na ogół większe wartości prądu koercji.

4.3. Etap trzeci

Wyniki pomiarów omawianych w poprzednim punkcie dostarczyły materiał pozwalający na przeprowadzenie dalszych poszukiwań optymalnej metody selekcji stosując metodykę analogiczną jak w punkcie 4.1.

4.3.1. Cykl czwarty

Na podstawie wyników opisanych w p-kcie 4.2. ustalono opisane poniżej kryteria różnych dalszych wariantów selekcji w celu ich sprawdzenia. Największe nadzieje wiązano z selekcją stosującą ciąg jak w warunkach TWT-534-D przy amplitudzie I_z = 320 mA /ciąg 3/. Opierając się na posiadanych charakterystykach uV_1 w funkcji I_z, wybrano jako dolną granicę selekcji wartość uV_1 = 66 mV. W celu porównania, dla jednej partii rdzeni przeselekcjonowano: 1-szą grupę wg warunków $uV_1 > 66$ mV, $dV_z \leq 15$ mV przy ciągu 3-cim, gdy

I_z = 320 mA; 2-gą i 3-cią grupę tak jak 1-szą oraz dodatkowo wg TWT-534-D /odpowiednio klasy I i II selekcji/, 4-tą i 5-tą grupę tylko wg TWT-534-D /odpowiednio klasy I i II/. Jednocześnie przeprowadzono selekcję dla innej partii rdzeni, tworząc następujące grupy: 6-tą selekcjonowaną przy prądzie I_z = 320 mA i 380 mA /postać ciągu i pozostałe parametry jak TWT-534-D/, 7-mą i 8-mą - selekcjonowane wg TWT-534-D /odpowiednio klasy I i II/, 9-tą i 10-tą selekcjonowane wg TWT-534-D z dodatkowymi ograniczeniami na parametry czasowe /$2{,}3 \leqslant t_s \leqslant 2{,}5$ us, $1{,}45 \leqslant t_p \leqslant 1{,}6$ us/, gdzie: t_s - czas przełączania, t_p - czas szczytu /patrz [6], [7]/, 11-tą selekcjonowaną ciągiem 3 o amplitudach: I_o = 440 mA, I_z = 380 mA, I_{zz} = 220 mA, I'_{zz} = 130 mA /zakłócenie I_{zz} odpowiada sumie prądu zapisu w linii bitowej i amplitudzie zakłócenia w niewybranej linii słowa/, 12-tą selekcjonowaną tak samo jak 11-tą, lecz z dodatkowymi ograniczeniami na czasy przełączania, jak w grupach 9-tej i 10-tej. Wyniki pomiarów sygnałów rdzeni w ramce U_s dla powyższych grup zestawione są w tabeli 6.

Wyniki uzyskane w 4-tym cyklu

Tabela 6.

Nr grupy	Wartość średnia m [mV]	Odch. stand. s [mV]	Współczynnik w=m-4s [mV]	Wydajność selekcji [%]
1	93,7	9,3	56,6	brak danych
2	89,7	4,7	70,9	" "
3	97,6	6,1	73,0	" "
4	88,4	5,8	65,1	" "
5	95,4	5,0	75,4	" "
6	88,5	7,3	59,2	25
7	84,2	8,1	52,0	27
8	96,6	9,3	59,6	13
9	92,4	9,0	56,3	24
10	96,8	6,8	69,6	14
11	89,3	10,9	45,7	61
12	88,6	10,8	45,4	57

Wyniki selekcji pierwszej partii produkcyjnej rdzeni /grupy 1 ÷ 5/ wykazały, że selekcja ze względu na uV_1 przy I_z = 320 mV nie dała zadowalających wyników, natomiast selekcja ta dodana do selekcji wg TWT-534-D poprawiła wyniki uzyskane dla klasy I selekcji. Dla drugiej partii produkcyjnej rdzeni słabe wyniki uzyskano dla wszystkich selekcji. Jedynie niezłe rezultaty dała grupa 10 /w = 69,6/, to znaczy selekcja na TWT-534-D z dodatkowymi ograniczeniami na parametry czasowe odpowiedzi.

Z pierwszej omawianej partii produkcyjnej wzięto 100 szt.rdzeni, które oznakowano i następnie mierzono dla nich różne parametry przy kilku ciągach wzbudzających. Pomiary te wykonano w celu określenia współczynników korelacji pomiędzy poszczególnymi parametrami a sygnałami indukowanymi przy przełączaniu tych rdzeni w ramce /U_s/. Otrzymano następujące wartości współczynników korelacji

dV_1 /wg TWT-399-D/	- 0,725
uV_1 /wg TWT-534-D/	- 0,796
dV_1 /ciąg 3 bez imp. - I_{zz}/	- 0,825
uV_1 /wg TWT-534-D dla I_z = 320 mA/	- 0,935
Φ_M /strumień maksymalny/	- 0,503
I_{opt} /prąd optymalny/	- 0,543

Uzyskane wyniki potwierdziły zauważony poprzednio fakt większej korelacji U_s z uV_1 /przy TWT-534-D/ aniżeli z dV_1 /przy TWT-399-D/. Jeszcze lepszy współczynnik korelacji uzyskano dla dV_1 przy zakłócaniu rdzenia 8-ma impulsami o amplitudzie 130 mA. Najlepszą korelację otrzymano dla uV_1 przy prądzie zapisu I_z = = 320 mA. Współczynniki korelacji dla Φ_M i I_{opt} potwierdziły istnienie wyraźnej zależności pomiędzy amplitudą sygnału a strumieniem maksymalnym i prądem koercji. Duże wartości współczynników korelacji dla badanych parametrów selekcji przy jednocześnie słabych wynikach tych selekcji wskazały na przyjęcie zbyt niskich wartości granicznych.

4.3.2. Cykl piąty

Wyniki piątego cyklu selekcji, w którym wypróbowano różne wartości graniczne dla parametrów: uV_1, dV_1 zarówno przy prądzie 320 jak i 380 mA oraz dla dV_z nie dały spodziewanych rezultatów.

Przyczyną tego było zbyt ostrożne podnoszenie tych wartości granicznych. W rezultacie współczynnik w dla poszczególnych grup zawierał się w przedziale 55 mV ÷ 70 mV przy wydajnościach selekcji 30% ÷ 60%. Dla grupy rdzeni wyselekcjonowanych celem porównania wg TWT-399-D otrzymano w = 70 mV przy wydajności 13,3%.

Podczas omawianego cyklu zastosowano ciąg 5 /rysunek 2/, w którym parametrem selekcji jest dV_1, przy czym prąd zapisu wynosił I_z = 320 mA. Ciąg ten jest uproszczeniem ciągu 3, polegającym na zastąpieniu złożonego zestawu impulsów zakłócających jedynie ćmioma impulsami o amplitudzie 160 mA. Zmiana ta pozwala na stosowanie prostszego zestawu aparatury.

Wartości tego parametru zmierzono dla 100 rdzeni /omawianych w pkt. 4.3.1/ i obliczono współczynnik korelacji z sygnałem U_s, który to współczynnik wynosił 0,937. Otrzymana wartość jest podobna do wartości uzyskanej dla uV_1 przy I_z = 320 mA.

4.3.3. Cykl szósty

Uwzględniając wyniki otrzymane w cyklach 4 i 5, podczas selekcji szóstego cyklu podniesiono znacznie wartości graniczne parametrów selekcji. Porównywano także selekcje wykorzystujące ciągi impulsów, takie jak w TWT-534-D /ciąg 2/ oraz ciąg 5. Grupy 1, 2 i 3 tabeli 7 są to grupy porównawcze, wyselekcjonowane wg TWT-399-D oraz wg TWT-534-D I i II. Grupa 4 została wyselekcjonowana przy użyciu ciągu jak w TWT-534-D przy warunkach $uV_1 > 80$ mV $dV_z < 15$ mV /dla I_z = 380 mA/, $uV_1 > 75$ mV /dla I_z = 320 mA/. Grupę 5-tą wyselekcjonowano tak jak grupę 4-tą, zmieniając wartość graniczną uV_1 na 85 mV /przy I_z = 380 mA/. Grupę 6-tą wyselekcjonowano przy użyciu ciągu 5 przy $dV_1 > 75$ mV /zarówno dla I_z = 380 jak I_z = 320 mA/, $dV_z < 15$ mV. Grupę 7-mą wyselekcjonowano przy ciągu 5 z warunkami: $dV_1 > 80$ mV, $dV_z < 15$ mV /stosując selekcję jedynie przy I_z = 320 mA/. Grupę 8-mą analogicznie tylko, że I_{zz} wynosiło 130 mA zamiast 160 mA. Grupę 9-tą przeselekcjonowano tak jak poprzednią lecz z warunkami $dV_1 > 75$ mV $dV_z < 15$ mV /zarówno przy I_z = 380 mA jak i przy I_z = 320 mA/. Wreszcie grupa 10 różni się od poprzedniej jedynie tym, że impuls I_{zz} = 220 mA jest powtórzony dwukrotnie. Wyniki uzyskane dla tych grup rdzeni zebrane są w tabeli 7.

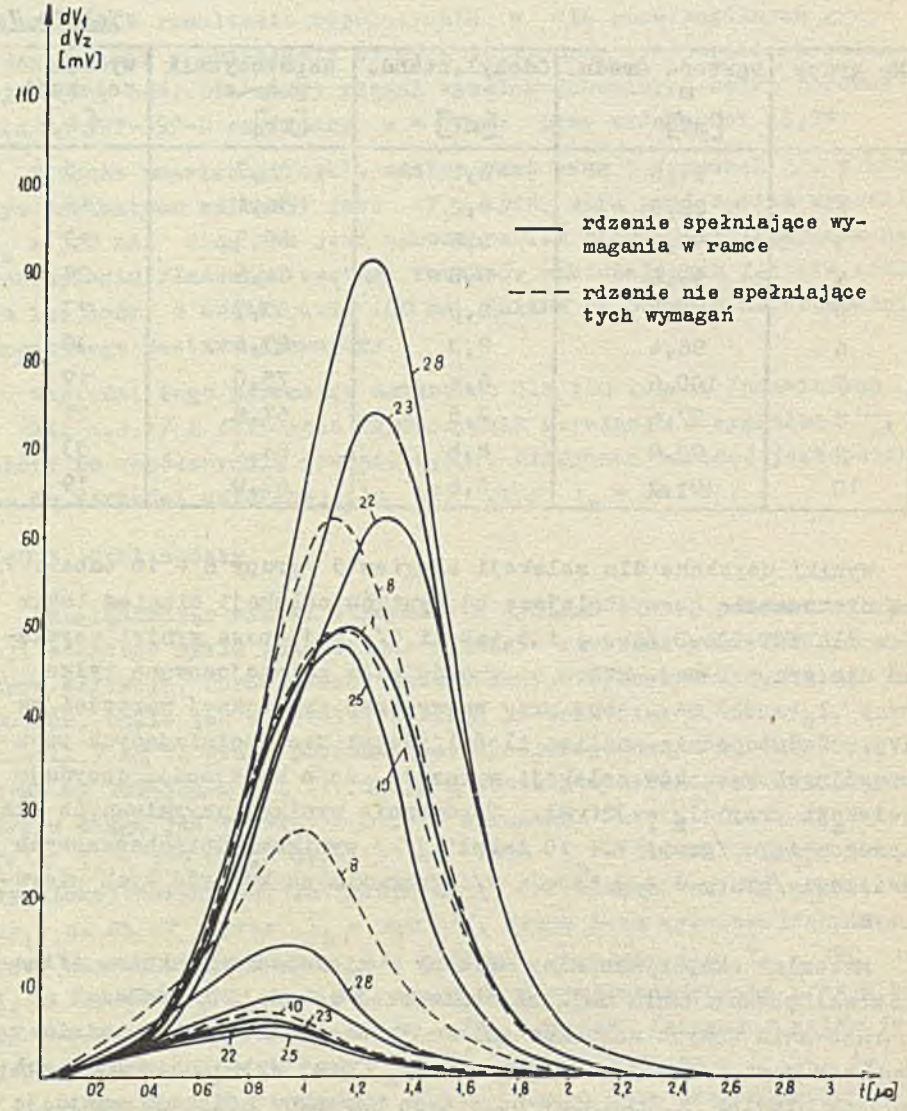
Wyniki uzyskane w 6-tym cyklu

Tabela 7.

Nr grupy	Wartość średn. m [mV]	Odchyl.stand. s [mV]	Współczynnik w=m-4s [mV]	Wydajność selekcji [%]
1	91,0	6,1	66,7	5
2	88,9	8,2	56,1	19
3	96,9	6,8	69,5	13
4	96,6	8,0	64,6	28
5	95,7	8,0	63,7	23
6	96,4	8,3	63,4	30
7	100,6	6,4	75,0	19
8	97,6	7,5	67,8	25
9	97,8	8,4	64,3	33
10	95,2	6,6	69,0	19

Wyniki uzyskane dla selekcji ciągiem 5 /grupy 6 ÷ 10 tabeli 7/ są nieznacznie korzystniejsze od wyników selekcji ciągiem takim jak dla TWT-534-D /gr. 4 i 5 tabeli 7/. Najlepsze wyniki uzyskano dla grupy 7-mej, która co prawda była selekcjonowana tylko przy I_z = 320 mA, lecz przy najwyższej granicznej wartości na dV_1. Jednocześnie analiza ilości rdzeni nie spełniających poszczególnych warunków selekcji wykazała, że o wydajności decyduje selekcja przy I_z = 320 mA. Porównanie wyników uzyskiwanych dla nowego ciągu /grupy 7 ÷ 10 tabeli 7/ z wynikami dotychczasowych selekcji /grupy 1 ÷ 3 tabeli 7/ przemawia na korzyść tych pierwszych.

Materiał eksperymentalny opisany w niniejszym punkcie, sfinalizował poszukiwania najkorzystniejszej selekcji i posłużył do opracowania nowych warunków selekcji rdzeni, których zasadniczym punktem jest selekcja na dV_1 i dV_z przy wzbudzaniu badanych rdzeni ciągiem 5. Dokładny opis tych warunków selekcji znajduje się w punkcie 7.1.



Rys. 4. Oscylogramy dV_1 i dV_2 dla ciągu 5 przy I_z = 320 mA.

4.4. Pomiary dodatkowych parametrów rdzeni

Dla rdzeni wyselekcjonowanych różnymi metodami wykonano pomiary szeregu dodatkowych parametrów związanych z charakterystykami przełączania. Wartości średnie tych parametrów uzyskane dla kilkuelementowych próbek podane są w tabeli 8.

Wartości średnie różnych parametrów

Tabela 8.

Rodzaj rdzeni \ Parametr	I_0 [mA]	G_w [μo]	r [Ω]	H'_0 [O_e]
dobre z ramek	364	0,30	0,66	0,71
złe z ramek	402	0,27	0,71	0,77
wg TWT-399	307	0,38	0,53	0,68
wg TWT-534-I	323	0,32	0,57	0,70
wg. TWT-534-II	315	0,32	0,57	0,69

gdzie: I_0 – prąd graniczny określony przez przecięcie liniowej ekstrapolacji charakterystyki $1/t_s = f(I)$ z osią I

G_w – współczynnik przełączania równy $/H-H_0/t_s$

r – dynamiczna oporność rdzenia – nachylenie charakterystyki $uV_1 = f(I_z)$

H'_0 – pole graniczne określone z charakterystyki $uV_1 = f(H)$

Wyniki wykazują znaczne różnice pomiędzy rdzeniami wymontowanymi z ramek a próbkami z rdzeni wyselekcjonowanych, co wynikło prawdopodobnie stąd, iż były to rdzenie z zupełnie różnych partii wyprodukowanych w okresie kilku lat. Wśród rdzeni wymontowanych z ramek, rdzenie dobre posiadały mniejsze I_0, większy współczynnik przełączenia i nieco mniejszą dynamiczną oporność zastępczą. Najbardziej zróżnicowanym parametrem jest I_0, charakteryzujący siłę koercji rdzeni. Rdzenie wyselekcjonowane mają ten parametr mniejszy od rdzeni nieselekcjonowanych, co potwierdza fakt, iż se-

lekcja wybiera rdzenie o małym H_c. Porównanie obu rodzajów selekcji /TWT-399 i TWT-534/ wykazuje większą ostrożność w pierwszym przypadku /co potwierdzone jest niską wydajnością przy TWT-399-D/. Natomiast pomiędzy oboma grupami TWT-534-D istnieje tylko niewielka różnica w H_0. Ponieważ uzyskane wartości I_0 dawały stosunkowo duże wartości H_0 w porównaniu ze statyczną wartością siły koercji ferrytu R1 podaną w katalogu [8] /0,7 Oe/ określono też H_0' - przecięcie ekstrapolacji początkowej części charakterystyki $uV_1 = f(H)$ z osią odciętych, które jest bliższe wartości statycznej.

5. RDZENIE Z INNYCH MATERIAŁÓW FERRYTOWYCH

Ponadto warto dodatkowo wspomnieć o pewnych próbach zastosowania rdzeni z innych tworzyw ferrytowych oraz rdzeni o innych wymiarach. Próby te z konieczności były bardzo ograniczone i tak we wszystkich przypadkach rdzenie w ramce wzbudzane były analogicznie jak w przypadku rdzeni R1-2/0,6, gdyż nie było możliwości dostosowania się do specyfiki badanych rdzeni. Próby te przeprowadzono na 4-ch /poza R1-2/0,6/ typach rdzeni. Wyniki pomiarów podstawowych parametrów tych rdzeni wraz z wynikami pomiarów U_s w ramce uzyskanymi dla próbek o liczności 100 sztuk przytoczone są w tabeli 9.

Wyniki pomiarów uzyskane dla rdzeni z różnych materiałów ferrytowych

Tabela 9.

Typ rdzenia \ Parametr	I_{Ho}	G_w	m	s	w
	[mA]	[μC]		[mV]	
R1-1,3/0,4	175	0,17	70,4	2,7	59,6
R2-1,9/0,6	150	0,26	126,8	6,7	100,0
R3-1,9/0,6	425	0,48	32,4	3,3	19,2

G_w jest tu współczynnikiem przełączania nie znormalizowanym tak jak S_w, aby wyrażało właściwości materiału, ale związanym z wymiarami rdzenia /inaczej ilością ładunku potrzebną do przełączenia rdzenia, stąd inne jednostki/.

Najbardziej niekorzystne wyniki osiągnięto dla pozycji 3-ej tabeli. Można było przewidzieć, iż większy prąd koercji w przypadku R3 spowoduje w warunkach ramki PAO-5, że rdzenie o średnicy zewnętrznej 1,9 mm z tego materiału nie będą w stanie przełączyć się, dając sygnały o niższej amplitudzie aniżeli rdzenie R1-2/0,6, chodziło jednak o ilościowe określenie tego zjawiska.

Lepsze nieco wyniki osiąga się dla rdzeni o średnicy zewnętrznej 1,3 mm z tego materiału, lecz i tu współczynnik w jest zbyt niski. Rdzenie R1-1,3/0,4 także nie mogą być zastosowane do PAO-5, gdyż wartość średnia dla próbki tych rdzeni ledwie przekraczała dolną dopuszczalną granicę sygnałów w ramce. Jedynymi więc z badanych rdzeni, które okazały się interesujące były rdzenie R2-1,9/0,6. Dzięki mniejszej sile koercji nominalne prądy wzbudzające przełączają te rdzenie szybciej - uzyskujemy znacznie większą amplitudę sygnałów z ramki, a jednocześnie prostokątność pętli histerezy tych rdzeni jest dostateczna - nie obserwuje się wyraźnego wzrostu zakłóceń.

Opierając się na tych wynikach, w jedną z ramek doświadczalnych wszyto 800 rdzeni R2-1,9/0,6, w dwu grupach po 400 szt. Rdzenie te wyselekcjonowano stosując ciąg 1 rys. 2 o amplitudach impulsów przełączających i połówkowych odpowiednio 200 mA i 100 mA. W pierwszej grupie dopuszczono wartości sygnałów dV_1 27 ÷ 33 mV i wartości zakłóceń $dV_2 \leqslant 7$ mV, w drugiej - tylko dolne ograniczenie sygnału $dV_1 \geqslant 25$ mV i wyższą granicę dopuszczalnego zakłócenia $dV_z \leqslant 10$ mV. Wyniki selekcji dla obu grup przedstawia tabela 10.

Wyniki pomiarów uzyskane dla rdzeni z masy R2

Tabela 10.

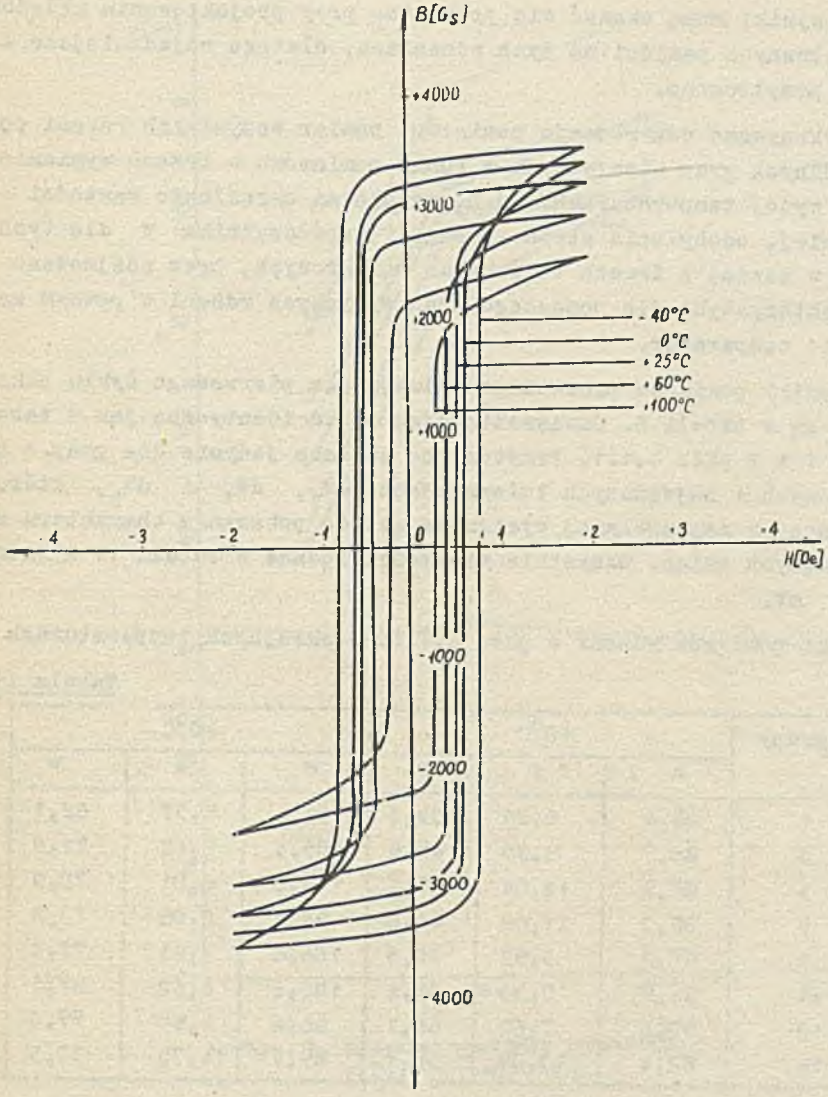
Nr grupy	Wartość średnia m [mV]	Odchylenia standartowe s [mV]	Współczynnik w=m-4s [mV]	Wydajność selekcji [%]
1	125,5	7,32	96,2	64
2	122,1	7,80	90,9	82

Uzyskane wyniki świadczą o tym, iż w przypadku zastosowania rdzeni R2-1,9/0,6 uzyskuje się możliwości znacznego powiększenia

wartości sygnałów indukowanych z ramek przy jednoczesnym zwiększeniu wydajności selekcji w porównaniu do stanu dotychczasowego /rdzenie R1-2/0,6/. Tym bardziej, że jak już wspomniano, w wypadku zastosowania tych rdzeni nie zaobserwowano żadnych ujemnych skutków takich jak wzrost zakłóceń. Tak więc rdzenie te po dokładniejszych badaniach możnaby stosować do pamięci z wybieraniem liniowym.

6. POMIARY TEMPERATUROWE

Wpływ zmian temperatury na parametry rdzeni pamięciowych jest istotnym czynnikiem przy określaniu temperaturowego zakresu pracy pamięci. Ogólnie wpływ temperatury na parametry materiału ferrytowego prostokątnej pętli histerezy może być zilustrowany jak na rys. 5 [9], na którym podano przebiegi pętli dla pięciu temperatur w zakresie od $-40 \div +100^{\circ}C$. Dominującą zmianą jest tu malenie koercji materiału wraz ze wzrostem temperatury /niemal trzykrotne we wspomnianym zakresie/. Jednocześnie ze wzrostem temperatury występuje zmniejszanie się indukcji maksymalnej /o ok. 30% w omawianym zakresie/ oraz pogorszenie prostokątności $/B_r/B_m = 0{,}965$ dla $-40^{\circ}C$ i 0,85 przy $+100^{\circ}C$/. W pracy pamięci konsekwencją tego są zmiany parametrów impulsów indukowanych przy przełączaniu bądź zakłócaniu rdzenia. Przebiegi tych parametrów w funkcji temperatury zależą nie tylko od wpływu temperatury na tworzywo rdzenia ale również od warunków, w jakich przeprowadzany jest pomiar: użytego ciągu, parametrów impulsów wzbudzających. Dlatego jeżeli chcemy określić zachowanie się rdzenia w funkcji temperatury w pamięci na podstawie pomiarów pojedynczego rdzenia przed użyciem go w większych zespołach, należy tak dobrać warunki tych pomiarów, by odtwarzały one możliwie wiernie późniejsze warunki pracy. Mamy więc tu ten sam problem, który występował przy poszukiwaniu optymalnego ciągu selekcji. Postanowiono uwzględnić zachowanie się rdzeni i ramek w funkcji temperatury jako dodatkowe kryterium oceny opracowywanych warunków technicznych na rdzenie pamięciowe. W tym celu wytypowano 3 temperatury pomiarowe 10, 25 i $40^{\circ}C$ pokrywające zakres temperatur, w jakim musi poprawnie działać pamięć i w tych trzech temperaturach przeprowadzono pomiary. Uzys-



Rys. 5. Wpływ temperatury na pętle histerezy ferrytów Rectalite 4001 [4].

kane wyniki mogą okazać się przydatne przy projektowaniu układów wewnętrznych pamięci na tych rdzeniach, dlatego najważniejsze z nich przytoczono.

Wykonywano dwa rodzaje pomiarów: pomiar wszystkich rdzeni poszczególnych grup zaszywanych w ramki pomiarowe w trzech wymienionych wyżej temperaturach, co pozwalało na określenie wartości średniej, odchylenia standartowego i współczynnika w dla tych grup w każdej z trzech temperatur pomiarowych, oraz zdejmowano charakterystyki dla poszczególnych wybranych rdzeni w pewnym zakresie temperatur.

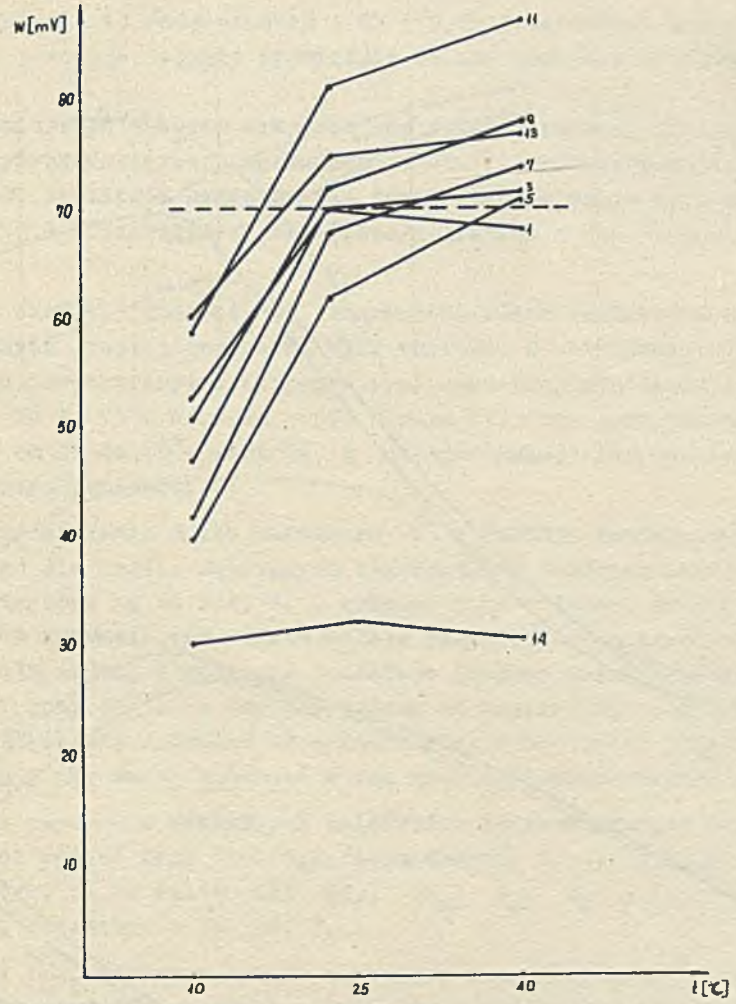
Wyniki pomiarów pierwszego rodzaju dla pierwszego cyklu pokazane są w tabeli 8. Oznaczenia grup są tu identyczne jak w tabelach 1 i 2 pkt. 4.1.1. Przytoczono tu dane jedynie dla grup o najszerszych i najwęższych tolerancjach uV_1, dV_1 i dV_z, które to dane są najzupełniej wystarczające do pokazania charakteru zachodzących zmian. Wszystkie wielkości podane w tabeli 11 wyrażone są w mV.

Wyniki pomiarów rdzeni z pkt. 4.1.1. w skrajnych temperaturach

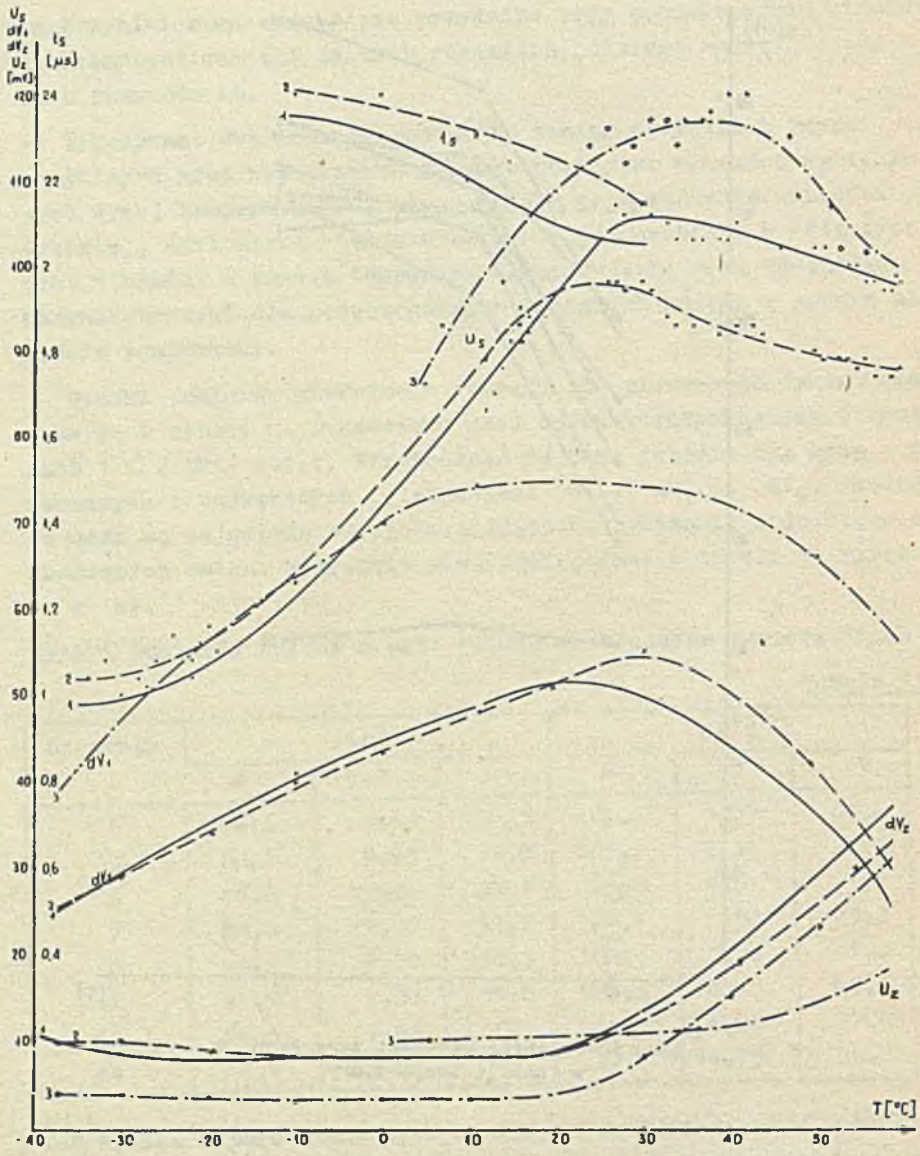
Tabela 11.

Nr grupy	10°C			40°C		
	m	s	w	m	s	w
1	88,4	8,96	52,5	106,4	9,57	68,1
3	86,7	9,95	46,9	105,5	8,49	71,5
5	87,9	12,04	39,7	103,0	8,01	70,9
7	88,3	11,68	41,6	98,1	6,08	73,8
9	90,2	9,92	50,5	106,8	7,25	77,8
11	91,9	8,33	58,6	105,6	4,62	87,1
13	90,6	7,62	60,1	96,6	4,90	77,0
14	82,4	13,08	30,1	89,7	14,79	30,5

Jak wynika z porównania tych wyników z analogicznymi danymi dla 25°C /tabela 2/ obniżenie temperatury prowadzi do wyraźnego spadku amplitudy sygnału w ramce. Spadek ten wynosi przeciętnie kilkanaście miliwoltów przy obniżeniu temperatury z 25 do 10°C i jest najwyższy dla grupy 3 /19 mV co daje 1,2% na stopień/, naj-



Rys. 6. Przebieg wartości parametru w w funkcji temperatury



Rys. 7. Charakterystyki dV_1, dV_2, U_s, U_z, $t_s = fT$ rozeni R1-2/0,6.

niższy zaś dla 13 /odpowiednio 6 mV i 0,6%/. Natomiast wzrost temperatury powoduje jedynie niewielkie zmiany wartości średniej sygnału.

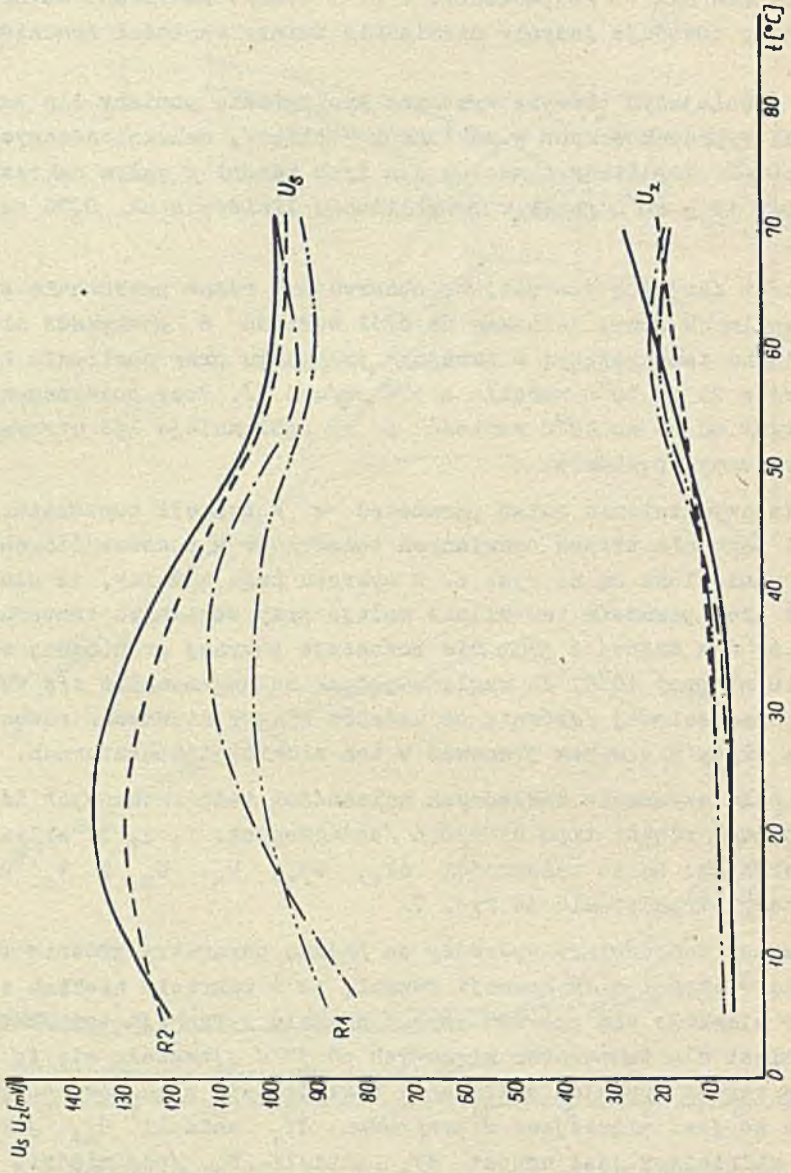
W późniejszym okresie wykonano analogiczne pomiary dla partii rdzeni wyprodukowanych w zakładaoh "Polfer", selekcjonowanych wg TWT-601-D. Amplitudy sygnałów dla tyoh rdzeni w oałym zakresie temperatur 10 ÷ 40°C rosły w przybliżeniu liniowo o ok. 0,8% na stopień.

Jeśli ohodzi o rozrzut, to obserwujemy różne zachowanie się poszczególnych grup; jednakże na ogół wartość S powiększa się przy obniżaniu temperatury; w skrajnym przypadku przy obniżeniu temperatury z 25 do 10°C wzrosła o 57% /grupa 7/. Przy podwyższeniu temperatury od 25 do 40°C wartość S na ogół maleje lub utrzymuje się na tym samym poziomie.

Dla uwydatnienia zmian parametru w w funkcji temperatury wartości jego dla trzech omawianych temperatur w poszczególnych grupach naniesione są na rys. 6. Z wykresu tego widzimy, że dla wszystkich grup parametr ten silnie maleje przy obniżeniu temperatury tak, że dla żadnej z grup nie pozostaje powyżej granicznej wartości 70 mV przy 10°C. Ze względu jednak na nagrzewanie się wnętrza szafy pamięciowej /głównie od układów elektronicznych/ rdzenie realnie nigdy nie muszą praoować w tak niskich temperaturach.

W celu uzyskania dokładnych zależności temperaturowych zdjęto dla trzech rdzeni typu R1-2/0,6 /oznaczonych: 1, 2, 3/ kilka charakterystyk. Są to zależności dV_1, dV_z, U_s, U_z i t_s od temperatury. Przedstawia je rys. 7.

Zmiany temperatury wpływały na badane parametry głównie poprzez zmianę wartości siły koercji rdzeni, co w zakresie niskich temperatur ujawniło się poprzez wzrost sygnału w funkcji temperatury. Natomiast dla temperatur większych od 30°C ujawniało się to poprzez wzrost sygnałów zakłóceń i zmniejszenie sygnałów odczytu. Malenie to jest silniejsze w przypadku dV_1 aniżeli U_s, jak również silniejszy jest wzrost dV_z aniżeli U_z /odpowiednio zakłócenia rdzenia i zakłócenie w ramce/. Oznacza to, iż przyjęty ciąg impulsów przy selekcji rdzeni jest bardziej krytyczny jeśli chodzi o wpływy temperaturowe, aniżeli warunki pracy rdzenia w ramce



Rys. 8. Charakterystyki temperaturowe U_s i U_z dla rdzeni z tworzyw R_1 i R_2

i zabezpieoza poprawną praoę pamięci w żądanym zakresie temperatur. Z oharakterystyk wynika jednakże, iż mimo tego samego oharakteru zależności przebiegi dV_1 i U_s w funkoji temperatury nie są identyczne i tak np. jak to ma miejsce w przypadku rdzeni 1 i 2 rdzeń o większym dV_i posiada mniejsze U_s i odwrotnie w znacznym zakresie temperatury, co świadczy o wciąż jeszcze niepełnej adekwatności warunków selekcji rdzeni. Zmiany U_s w funkcji temperatury są znaczne, np. dla rdzenia 1 występuje spadek o 100% przy zmniejszeniu temperatury z +26 na $-22^{\circ}C$, co znacza, iż za pomocą takich rdzeni można konstruować pamięci praoujące poprawnie jedynie w stosunkowo wąskim zakresie temperatury.

Obecnie zostaną porównane oharakterystyki temperaturowe rdzeni wykonanych z dwu różnych tworzyw ferrytowych R1 i R2. Charakterystyki U_s i U_z w funkcji temperatury wykonane dla oztereoh rdzeni /po 2 dla każdego tworzywa/ zawiera rys. 8.

Znaczniejsze różnice pomiędzy tymi dwoma typami rdzeni występują dla zakresu niższych temperatur, gdzie rdzenie z masy R2 mają większe wartości sygnału U_s. Natomiast zakłócenia, mimo gorszej prostokątności R2, są dla obu rodzajów rdzeni jednakowe. Oznacza to potwierdzenie faktu, iż pamięci liniowe z dwoma rdzeniami na bit pracują zadowalająco również przy użyciu rdzeni o małej prostokątności.

Podsumowując, należy raz jeszcze podkreślić dużą niestabilność temperaturową rdzeni R1-2/0,6, a tym samym konieczność stosowania materiałów o małym współczynniku termicznym /np. wzorowanych na znanych materiałach litowo-niklowych lub hartowanych w polu magnetycznym/. Niestabilność ta wydaje się dla rdzeni być groźniejsza od strony niskich temperatur.

7. REZULTATY

7.1. Opracowane warunki selekcji

Na podstawie wyników opisanych w punkcie 3 oraz przy uwzględnieniu warunków pracy rdzenia w pamięci a także możliwości aparatury selekcjonującej przyjęto podane poniżej warunki selekcji. Wa-

runki te oznaczono następnie TWT-601-D. Zasadniczym ich elementem jest, tak jak już wspomniano, selekcja rdzeni na dV_1 i dV_z przy wzbudzaniu ich ciągiem 5, w którym I_z = 320 mA, a I_{zz} = = 160 mA. Rdzenie muszą spełniać warunki $dV_1 \geq 80$ mV, $dV_2 \leq 18$ mV. O przyjęciu takich warunków selekcji zadecydowały dobre wyniki uzyskane podczas selekcji na ten parametr /grupa 7, tabela 7/ oraz wysoka wartość współczynnika korelacji pomiędzy sygnałami w ramce U_s a wartościami dV_1 dla omawianego ciągu.

Drugim punktem warunków jest selekcja rdzeni na dV_1 przy wzbudzaniu ich ciągiem 5, w którym tym razem I_z = 380 mA. Selekcja ta wybiera rdzenie do dwóch klas: I-szej, dla której $82 \text{ mV} < dV_1 \leq 93$ mV i II-ej, dla której $93 \text{ mV} < dV_1 \leq 108$ mV. Jak bowiem wskazują wyniki selekcji omówionych w podpunkcie 4.3. dwukrotna selekcja raz przy I_z = 320 mA i drugi raz przy I_z = 380 mA skutecznie zapobiega przedostawaniu się do ramki rdzeni złych. Podział rdzeni na dwie klasy przy stosowaniu w poszczególnych pamięciach rdzeni jednej klasy zapewni większą jednorodność rdzeni w pamięci.

Poza tymi dwoma zasadniczymi wymaganiami nałożone są jeszcze podobnie jak w poprzednich warunkach, ograniczenia na czasy przełączania i szczytu, a mianowicie $t_s < 2{,}5$ µs i $1{,}1 \text{ µs} \leq t_p \leq 1{,}45$ µs, oraz warunek na strumień maksymalny $88 \text{ nV}_s < \Phi_M < 112 \text{ nV}_s$. Warunki te, zapewniające jednorodność rdzeni ze względu na wielkość strumienia i parametry czasowe, nie wynikają z wymagań na amplitudę sygnału U_s danego rdzenia, lecz ze względu na wzajemne oddziaływanie rdzeni w linii słowa pamięci.

7.2. Selekcja kontrolna

Dla sprawdzenia utworzonych warunków wyselekcjonowano zgodnie z nimi 12800 rdzeni /do czterech ramek/. Po wykonaniu tych ramek i zmierzeniu sygnałów odczytu U_s 140 losowo wybranych rdzeni, w każdej z nich obliczono wartości średnie, odchylenia standartowe oraz parametry $w = m - 4s$. Wyniki te podane są w tabeli 12. Wydajność podczas selekcji rdzeni do tych ramek wynosiła 21%.

Otrzymane wartości średnie sygnału odczytu są na tyle większe od wartości nominalnej, dopuszczalnej przez warunki techniczne na

ramki pamięciowe, że po odjęciu ozterech odchyleń standartowych uzyskane wartości są rzędu 70 mV /dopuszczalna wartość minimalna/ lub większe. Wartości na odchylenie standartowe sygnału odczytu otrzymane dla omawianych ozterech ramek są niższe od analogicznych wartości uzyskiwanych przy selekcji wg TWT-399-D oraz TWT-534-D, co wskazuje na większą jednorodność rdzeni po selekcji.

Wyniki uzyskane dla ramek kontrolnych
/rdzenie selekcjonowane wg TWT-601-D/

Tabela 12.

Nr ramki	Wartość średnia m [mV]	Odchylenie s [mV]	Parametr w=m-4s [mV]
1	92,6	4,27	75,5
2	92,1	5,61	69,7
3	93,4	6,07	69,1
4	93,8	4,84	74,4

W ramkach tych wykryto 23 rdzenie, dla których $U_s < 70$ mV. Taka duża ilość rdzeni złych była zupełnie niewytłumaczalna względami statystycznymi. Po wymontowaniu tych rdzeni z ramek i ponownym zmierzeniu na urządzeniu selekcjonującym okazało się, że żaden z tych rdzeni nie spełniał wymagań TWT-601-D, a dla części ich wartości parametrów selekcji znacznie odbiegały od dopuszczalnych. Należy więc sądzić, że te ostatnie rdzenie znalazły się w ramkach nie przechodząc przez selekcję. Tak więc wszystkie spośród 12800 rdzeni, które spełniały warunki selekcji okazały się dobre.

8. PODSUMOWANIE

Jak wynika z przedstawionych w punkcie 7.2. danych, zadanie opracowania warunków selekcji rdzeni dla pamięci typu PAO-5 zostało pomyślnie wykonane. Wyniki selekcji kontrolnej wykazały, że warunki TWT-601-D zapewniają skuteczne wyeliminowanie niewłaściwych rdzeni utrzymując wydajność selekcji na odpowiednim poziomie.

Warunki te uzyskano w oparciu o opracowaną sekwencyjną metodykę opisaną w punkcie 2. Do przedstawionego postępowania nie jest wy-

magana pełna znajomość modelu matematycznego selekcjonowanych elementów. Postępowanie to opiera się na statystycznym opracowywaniu wyników kolejnych próbnych selekcji. Obliczenia statystyczne ze względu na swoją pracochłonność wymagają stosowania maszyn matematycznych. W ramach opisanej pracy zostały wykonane odpowiednie programy w języku SAKO, które mogą znaleźć szersze zastosowanie do innych obliczeń statystycznych.

Opracowana metodyka może znaleźć zastosowanie do określania warunków selekcji wszędzie tam, gdzie podczas selekcji nie można odtworzyć warunków pracy elementu, i jednocześnie nie są znane dostatecznie dokładnie zależności analityczne pomiędzy parametrami pracy elementu a parametrami selekcji.

Autorzy składają gorące podziękowanie tym wszystkim, którzy przyczynili się do powstania niniejszego opracowania. Inicjatorami podjęcia tego tematu i konsultantami w trakcie jego realizacji byli Kierownik Zakładu Techniki Cyfrowej mgr inż. Zdzisław Wrzeszcz i Kierownik Pracowni Pamięci Ferrytowych mgr inż. Jerzy Dańda. Przy opracowywaniu programów na maszynę ZAM-2 oraz przeprowadzeniu obliczeń za pomocą maszyny brała udział mgr inż. Zofia Klauznicer. Pomiary rdzeni dokonywane były w Pracowni Pomiarowej Zakładu Technologii Specjalnej pod kierunkiem mgr inż. Wiesława Bojarskiego, a pomiary ramek w Dziale Kontroli Technicznej pod kierunkiem mgr inż. Jerzego Bargielskiego. Tym wszystkim oraz szeregu niewymienionym osobom, które wykonywały pomiary i brały udział w opracowaniu redakcyjnym autorzy serdecznie dziękują.

Literatura

[1] MOORE DANE W.: Cost Performance Analysis of Integrated-Circuit Core Memories, Proc. AFIPS 1966, Fall Joint Computer Conf., 1966, 268-280.

[2] Ferrytowa pamięć operacyjna PAO-5, Opis funkcjonalny, T-OF-184-D. IMM.

[3] Przyrząd do sprawdzania ramek pamięciowych PAO-5 typ PP-15. Instrukcja obsługi D-IT-173-D. IMM.

[4] Instrukcje obsługi: Programowany generator impulsów PP-2, IO-378. Wzmacniacz prądowy PP-5BS, IO-384; Selektor rdzeni pamięciowych PP-10 IO-343, Kalibrator napięcia PP-3A IO-481. IMM.

[5] Components and subassemblies for Data Processing and Control, Philips March 1966.

[6] FREEMAN I.R.: Pulse Responses of Ferrite Memory Cores, IRE Wescon Convention Record, 1954:50-61.

[7] Tymczasowe szczegółowe warunki techniczne. Pierścieniowe rdzenie magnetyczne o prostokątnej pętli histerezy R1-2/0,6 TWT-399-D, TWT-534-D, TWT-601-D. IMM.

[8] Ferrite devices. Varimex. Wydawnictwa Handlu Zagranicznego 1962.

[9] RACOQNE M.: Etude des tores utilises dans les memories SEA, Paris 1956.

FERRITE CORE TESTING FOR PAO-5 STORAGE WITH LINEAR SELECTION

Summary

The paper describes magnetic element and subset investigations of PAO-5 core stack, carried out for developing selection and testing conditions of these elements.

PAO-5 storages used in ZAM-21 and ZAM-41 computers are of a linear selection type with two cores per bit. The storage capacity is 8192 words of 24 bits each, and the cycle time of 10 μsec. The problem of ferrite core selection for such storages was not yet described. Generally for these storages, conventional methods of selection, elaborated for coincident-current storages were used.

The best selection is when such parameters of an element are measured, which determines its operation /called work parameters/, under most critical conditions. However, it is unfeasible in the case considered. Therefore, it was searched for such parameters of ferrite cores /called selection parameters/ according to which the selection would satisfy the demands for work parameters.

The main elements of the presented investigations were the cycles of proceeding, consisting of the following parts:
- establishing some variants of selection conditions,
- selecting core groups according to the established conditions,
- mounting subsets /frames/ with selected elements and their measurements,
- statistical analysis of results.

Subsequent variants of selection are established on the basis of the results of former proceeding cycles and additional measurements. Separate var-

iants differed one another by: pulse driving current parameters, forms of these pulse sequences, kinds of output pulses and their tolerances.

The pulse amplitude was the parameter, measured in the frame, the values of which were taken to evaluate the quality of the selected cores.

Statistical analysis consists in computing the mean value - m, the standard deviation - s, and the parameter $w = m - 4s$ for measured amplitudes of signals. For some cases the correlation coefficients between the values of selection parameters and measured signal amplitudes were computed. The computation has been carried out on ZAM-2 computer, using programs written in SAKO language.

The usefulness of separate selections was estimated on the basis of the coefficient W, the selection efficiency /percent of selected cores/ with additional regard to the correlation coefficient.

The paper presents the results of succeeding investigations and additional measurements, carried out on some separate cores. For a certain amount of especially selected cores, their switching characteristics were taken. For comparison, the results of some parameters of cores made of various ferrite materials were presented.

Satisfactory results were also obtained for ferrite material with a smaller coercive force than the one applied.

The paper contains the results of measurements of some temperature characteristics of selected cores. On the basis of these measurements the temperature range of storages using the investigated cores can be determined.

Final results obtained were the conditions of core selection for PAO-5 storage and the results of tentative selections of about 15.000 cores.

AUTORZY ARTYKUŁÓW ZAMIESZCZONYCH W ZESZYCIE 2 "PRAC IMM"

METODY PRZYSPIESZONEGO MNOŻENIA W BINARNYCH SYSTEMACH CYFROWYCH

Pelagia WALIGÓRSKA mgr inż. Ukończyła Wydział Matematyczny na Uniwersytecie Warszawskim. W Instytucie Maszyn Matematycznych pracuje od roku 1958, zajmując się organizacją logiczną maszyn cyfrowych. Obecnie pracuje na stanowisku adiunkta w Zakładzie Organizacji Maszyn Cyfrowych. Jest autorem szeregu opracowań dotyczących organizacji jednostek centralnych maszyn cyfrowych.

Bartłomiej GŁOWACKI mgr. Studia ukończył na Wydziale Matematycznym Uniwersytetu Warszawskiego. Od roku 1960 pracuje w Instytucie Maszyn Matematycznych, zajmując się projektowaniem maszyn cyfrowych. Obecnie pracuje na stanowisku adiunkta, pełniąc funkcję kierownika Zakładu Organizacji Maszyn Cyfrowych. Jest autorem szeregu opracowań dotyczących struktury logicznej maszyn cyfrowych.

Andrzej ZIEMKIEWICZ mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. Od 1964 roku pracuje w Instytucie Maszyn Matematycznych w Zakładzie Organizacji Maszyn Cyfrowych na stanowisku starszego asystenta. Jest autorem opracowań dotyczących organizacji jednostek centralnych zmiennoprzecinkowych.

КРЕМНИЕВЫЕ ЛОГИЧЕСКИЕ СХЕМЫ S-50

Andrzej KOJEMSKI mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. W Instytucie Maszyn Matematycznych pracuje od roku 1959, zajmując się układami podstawowymi do maszyr cyfrowych. Obecnie jest pracownikiem Zakładu Elektroniki Cyfrowej. Jest autorem licznych publikacji dotyczących układów magnetycznych, tranzystorowych.

Maria KOWALEWSKA mgr inż. W roku 1959 otrzymała dyplom na Wydziale Łączności Politechniki Warszawskiej. W Instytucie Maszyn Matematycznych pracuje od roku 1958 do chwili obecnej, zajmując się projektowaniem systemów zasilania impulsowego do elektronicznych maszyn cyfrowych, układów synchronizacji czasowej oraz problematyką związaną z transmisją sygnału i obecnością zakłóceń w okablowaniu szybkich maszyn cyfrowych. Powyższej tematyce poświęciła kilka publikacji.

Zbigniew ŚWIĄTKOWSKI mgr inż. ukończył w 1959 r. Wydział Łączności Politechniki Warszawskiej. Pracę rozpoczął w 1958 r. w Instytucie Maszyn Matematycznych. Przez dłuższy czas zajmował się pracami związanymi z podstawowymi układami do maszyn cyfrowych. Kierował zespołem, który opracował technikę krzemową S-50. Obecnie kieruje pracami z dziedziny mikroelektroniki. Jest kierownikiem Zakładu Elektroniki Cyfrowej IMM. Posiada szereg publikacji.

WYBRANE ZAGADNIENIA Z TECHNOLOGII KRZEMOWEJ DIODY PLANARNEJ

Andrzej MODRZEJEWSKI mgr inż. W roku 1959 ukończył Wydział Łączności Politechniki Warszawskiej. Po skończeniu studiów pracował w Instytucie Podstawowych Problemów Techniki PAN, a od roku 1963 jest pracownikiem Instytutu Maszyn Matematycznych, początkowo Zakładu Technologii Specjalnych, obecnie Zakładu Elektroniki Cyfrowej. Zajmuje się zagadnieniami technologii planarnej. Jest autorem kilku publikacji.

BADANIA NIEZAWODNOŚCI FERRYTOWEJ PAMIĘCI OPERACYJNEJ PAO-5

Jerzy DAŃDA mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej w roku 1959. Od roku 1956 pracuje w Instytucie Maszyn Matematycznych na stanowisku adiunkta, pełniąc równocześnie funkcję Kierownika Pracowni Pamięci Ferrytowych w Zakładzie Techniki Cyfrowej IMM. Zajmuje się pamięciami operacyjnymi maszyn cyfrowych, w szczególności pamięcią ferrytową. Jest autorem licznych publikacji.

Zofia KLAUZNICER mgr inż. W 1959 roku skończyła Wydział Łączności Politechniki Warszawskiej. W IMM rozpoczęła pracę w 1957 r. i pracuje do chwili obecnej w Pracowni Pamięci Ferrytowych Zakładu Techniki Cyfrowej. Zajmuje się pamięcią magnetostrykcyjną. Zagadnieniom pamięci m.c. poświęciła szereg publikacji.

Andrzej SIKORSKI mgr fizyki. Dyplom otrzymał na wydziale matematyczno-fizycznym Uniwersytetu Warszawskiego. Po ukończeniu studiów pracował w Fabryce Półprzewodników "TEWA, a od roku 1962 pracuje w Instytucie Maszyn Matematycznych. Zajmuje się kontrolą elementów magnetycznych, podzespołów pamięci ferrytowych, badaniami niezawodnościowymi pamięci. Tematyce powyższej poświęcił publikacje.

SELEKCJA RDZENI FERRYTOWYCH DO PAMIĘCI Z WYBIERANIEM LINIOWYM PAO-5

Jan RYŻKO mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. Od roku 1956 pracuje w Instytucie Maszyn Matematycznych, zajmując się pomiarami rdzeni pamięciowych, aparaturą do badania rdzeni, konstrukcją układów przechowywania informacji, organizacją pamięci operacyjnych, pamięci na cienkich warstwach magnetycznych itp. zagadnieniami. Z powyższej tematyki posiada szereg publikacji.

Andrzej SIKORSKI patrz artykuł p.t. "Badania niezawodności ferrytowej pamięci operacyjnej PAO-5".

W Y K A Z

projektów wynalazczych zgłoszonych do ochrony patentowej w kraju i zagranicą oraz uzyskanych przez Instytut Maszyn Matematycznych patentów w okresie od 1.10.1967 do 31.03.1968 r.

A. Projekty wynalazcze, na które uzyskano patenty zagraniczne

Nr. pat. 695.332 — Procede d´execution de tetes magnetiques en ferrite a pistes multiples, mono-et multifentes, notamment pour l´enregistrement et la lecture numerique et tete magnetique executee selon ce procede.
patent belgijski.

Nr. pat. 49.578 — Verniu ferromagnetic, destinat indeosebi unor memori cu tambur magnetic, cit si procedeu pentru prepararea sa.
patent rumuński.

Nr. pat. 1.509.328 — Procede permettant d´executer des tetes magnetiques en ferrit a pistes multiples et a une ou plusieurs fentes.
patent francuski.

B. Projekty wynalazcze, na które uzyskano patenty krajowe

Nr. pat. 54.564 — Osiowy uchwyt obrotowy bębna pamięci magnetycznej, przeznaczony zwłaszcza dla maszyn cyfrowych z pamięcią bębnową.
zgł. 9.11.1965
autor: prof. dr Leon Łukaszewicz.

Nr. pat. 54.646 — Urządzenie do mocowania głowic magnetycznych, a zwłaszcza głowic z podparciem aerodynamicznym wyposażonych w konstrukcję zawieszenia umożliwiającą regulację poło-

żenia geometrycznego głowicy wraz ze stopką względem bębna pamięci magnetycznej.
zgł. 28.03.1966.
patent dodatkowy do patentu Nr. 53.602
autor: inż. Wacław Kalinowski

Nr. pat. 54.898 Sposób dynamicznego wykrywania wadliwego styku elektrycznych złącz stałych i rozłączalnych oraz sposób lokalizacji takich styków.
zgł. 13.12.1965.
autor: mgr inż. Jerzy Dańda

C. Projekty wynalazcze zgłoszone do opatentowania

Nr. zgł. 120.784 Układ zabezpieczający przed przeciążeniem tranzystora w stopniu wyjściowym prądowego generatora impulsowego o dużej oporności wyjściowej, obciążonego na wyjściu odbiornikiem indukcyjnym, przeznaczony zwłaszcza dla urządzeń z ferrytową pamięcią zdaniową.
zgł. 29.05.1967.
autorzy: mgr inż. Bohdan Wojtowicz i
mgr inż. Romuald Synak

Nr. zgł. 122.452 Układ tranzystorowy do wzmacniania i dyskryminowania sygnałów różnicowych dowolnej polarności, stosowany w urządzeniach cyfrowych, a zwłaszcza do odczytu informacji z pamięci ferrytowej.
zgł. 5.09.1967.
autorzy: mgr inż. Bohdan Wojtowicz i
mgr inż. Marian Jozanis

Nr. zgł. 123.281 Układ kluczy tranzystorowych sterowanych transformatorowo poprzez dwójnik formujący, przeznaczony do pracy w układach wybierania pamięci ferrytowej.

zgł. 28.10.1967.
autorzy: mgr inż. Bohdan Wojtowicz i
mgr inż. Romuald Synak

Nr. zgł. 123.166 Wielopozycyjny przesuwnik hydrauliczny sterowany elektromagnetycznie.
zgł. 23.10.1967.
autorzy: mgr inż. Marian Krzyżanowski i
mgr inż. Jan Reluga

Nr. zgł. 123.165 Układ elektroniki centralnej jednostki sterowania pamięci ferrytowej.
zgł. 23.10.1967.
autorzy: mgr inż. Bohdan Wojtowicz i
mgr inż. Andrzej Świtalski

Nr. zgł. 123.427 Sposób dobierania par tranzystorów przeznaczonych dla wzmacniaczy różnicowych prądu stałego.
zgł. 7.11.1967.
autorzy: mgr inż. Bohdan Wojtowicz i
mgr inż. Marian Jozanis

Nr. zgł. 124.040 Obudowa do mikroelektrycznych układów scalonych
zgł. 12.12.1967.
autorzy: mgr inż. Jan Regula,
mgr inż. Jan Groszyński i
mgr inż. Mirosław Mika

Nr. zgł. 124.842 Sposób propagacji przeniesień w szybkich sumatorach binarnych
zgł. 23.01.1968.
autorzy: mgr Pelagia Waligórska,
mgr Bartłomiej Głowacki
mgr inż. Andrzej Ziemkiewicz.

"PRACE IMM" są do nabycia w Księgarni Ośrodka Rozpowszechniania Wydawnictw Naukowych PAN, Warszawa, Pałac Kultury i Nauki oraz w Domach Książki /księgarnie techniczne/

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej
P 2229/68