DOKUMENTACJA TECHNICZNO RUCHOWA
MERA 400

2. TOM IV CZ. 8
TOM IV CZ. 9

system MERA 400

DOKUMENTACJA TECHNICZNO RUCHOWA

TOM IV

część 8

MODUŁ ARYTMOMETRU WIELOKROTNEJ

PRECYZJI MAZ–400

Nowości w opisie są zaznaczane na marginesie. Znak przy numerze strony dotyczy numeracji stron.

ZAPIS ZMIAN	
ZMIANA	OPIS
"A" 17.01.79	Oryginał

Uwagi kierować do : Centrum Naukowo Produkcyjne Technik Komputerowych i Pomiarów
Im.J.Krasickiego , ul. Łopuszańska 117/123 · 02-232 Warszawa

Producent zastrzega sobie prawo wprowadzania zmian w dokumentacji.

SPIS TREŚCI

1. CHARAKTERYSTYKA TECHNICZNA 1-1

1.1. Przeznaczenie 1-1
1.2. Podstawowe dane techniczne 1-1
1.3. Rozwiązanie konstrukcyjne 1-1

2. OPIS FUNKCJONALNY 1-3

2.1. Zasada współpracy arytmometru wielokrotnej precyzji z jednostką centralną 1-3
2.2. Połączenia z jednostką centralną 1-3
2.3. Postać przetwarzanych informacji 1-4
2.4. Rozkazy wykonywane przez arytmometr wielokrotnej precyzji 1-4
2.5. Schemat blokowy 1-5
2.6. Rejestry 1-7
2.7. Sumatory 1-7
2.8. Liczniki sterujące 1-7
2.9. Drogi przepływu informacji 1-8

3. STEROWANIE 1-9

4. LISTA MIKROOPERACJI 1-14

4.1. Mikrooperacje wskaźników 1-14
4.2. Mikrooperacje liczników 1-14
4.3. Mikrooperacje rejestrów T,M,C 1-15
4.4. Mikrooperacje rejestrów B,D 1-16
4.5. Mikrooperacje sumatora cech 1-16
4.6. Mikrooperacje sumatora mantys 1-16
4.7. Mikrooperacje szyn zbiorczych 1-16

5. SCHEMAT CZYNNOŚCIOWY 1-18

5.1. Stan F 1 1-18
5.2. Stan F 2 1-18
5.3. Stan F 3 1-18
5.4. Stan F 4 1-19
5.5. Stan F 5 1-19
5.6. Stan F 6 1-19
5.7. Stan F 7 1-19
5.8. Stan F 8 1-20
5.9. Stan F 9 1-20

5.10. Stan F 10 1-20
5.11. Stan F 11 1-20
5.12. Stan F 12 1-20
5.13. Stan F 13 1-20

6. OPIS POSZCZEGÓLNYCH ROZKAZÓW 1-21

6.1. Dodawanie i odejmowanie liczb długich 1-21
6.2. Mnożenie stałoprzecinkowe 1-21
6.3. Dzielenie stałoprzecinkowe 1-23
6.4. Normalizacja liczby zmiennoprzecinkowej 1-25
6.5. Dodawanie i odejmowanie liczb zmiennoprzecinkowych 1-25
6.6. Mnożenie liczb zmiennoprzecinkowych 1-27
6.7. Dzielenie liczb zmiennoprzecinkowych 1-28

7. OPIS KONSTRUKCJI 1-30

7.1. Pakiet F–PA 1-30
7.2. Pakiet F–PM 1-31
7.3. Pakiet F–PS 1-32

SCHEMATY IDEOWE

1. Schemat ideowy pakietu F–PS2–1 2-1
2. Schemat ideowy pakietu F–PM2–2 2-17
3. Schemat ideowy pakietu F–PA2–1 2-29

RYSUNKI PAKIETÓW

1. Pakiet F–PS2–1 3-1
2. Pakiet F–PM2–2 3-2
3. Pakiet F–PA2–1 3-3

1. CHARAKTERYSTYKA TECHNICZNA

1.1. Przeznaczenie

Arytmometr wielokrotnej precyzji jest przeznaczony do zwiększania zakresu rozkazów arytmetycznych wykonywanych sprzętowo o następujące 9 działań:

– dodawanie i odejmowanie liczb długich,
– mnożenie i dzielenie stałoprzecinkowe,
– normalizację liczb zmiennoprzecinkowych,
– dodawanie i odejmowanie, mnożenie i dzielenie liczb zmiennoprzecinkowych.

1.2. Podstawowe dane techniczne

- Postać liczby zmiennoprzecinkowej – 48 bitów,
  w tym 40 bitów mantysy
  8 bitów cechy
- Postać liczby długiej – 32 bity,
- Mnożenie stałoprzecinkowe
  mnożna i mnożnik – 16 bitów
  iloczyn – 32 bity
- Dzielenie stałoprzecinkowe
  dzielnik, iloraz, reszta – 16 bitów
  dzielna – 32 bity
- Argumenty i wyniki rozkazów przedstawione są w notacji uzupełnieniowej do dwóch
- Rozkazy zmiennoprzecinkowe są wykonywane na liczbach znormalizowanych
- Zasilanie
  – napięcie – stałe 5 V ± 1%
  – moc – 205 VA
- Wymiary 300 x 300 x 45 mm
- Masa – 1,5 kg
- Warunki eksploatacji – jak dla modułu MJC–400 (Część 2 DTR).

1.3. Rozwiązanie konstrukcyjne

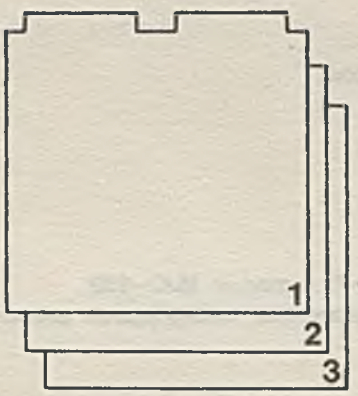
Arytmometr wielokrotnej precyzji składa się z trzech pakietów:

– pakiet sterowania F–PS
– pakiet mikrooperacji F–PM
– pakiet arytmometru F–PA

Zajmują one kolejno miejsca pakietowe YX–3, YX–2, YX–1, w module MJC–400.
Moduł MAZ–400 jest instalowany pod warunkiem nieobecności następujących zworek w module MJC–400:

1/ E – F na pakiecie PX
2/ C – D na pakiecie PR.

MODUŁ ARYTMOMETRU WIELOKROTNEJ PRECYZJI MAZ 400



1. pakiet F–PA
2. pakiet F–PM
3. pakiet F–PS

2. OPIS FUNKCJONALNY

2.1. Zasada współpracy arytmometru wielokrotnej precyzji z jednostką centralną.

Arytmometr wielokrotnej precyzji połączony jest z jednostką centralną grupą sygnałów.
Za ich pośrednictwem odbywa się współpraca z jednostką centralną.
Współpraca z pamięcią operacyjną odbywa się za pośrednictwem jednostki centralnej.
Szczegółowe dane dotyczące połączeń podane są niżej:

2.2. Połączenia z jednostką centralną

Sygnały z arytmometru wielokrotnej precyzji przesyłane do jednostki centralnej:

ZP[O ÷ 15]	— szyna informacyjna
FIO	— zgłoszenie przerwania nadmiaru dzielenia stałoprzecinkowego
FI1	— zgłoszenie przerwania podmiaru zmiennoprzecinkowego
FI2	— zgłoszenie przerwania nadmiaru zmiennoprzecinkowego
FI3	— zgłoszenie przerwania błędu danych lub próby dzielenia przez zero
RLP * FP	— zapis lub odczyt rejestrów R1, R2, R3 w jednostce centralnej wg stanu licznika LP
LPA LPB	— wyjścia licznika LP, służącego do wybrania rejestrów
S *FP	— sygnał odczytu szyny ZP na szynę W i do rejestrów wg stanu licznika LP
USTRO * FP	— ustaw rejestr RO (pozycje O÷ 3)
F 13	— wysterowanie informacji z arytmometru wielokrotnej precyzji na szynę W
STROB1	— sygnał strobu
SR *FP READ* FP/F1	— sygnały służące do wysłania rozkazu odczytu z pamięci wg zawartości rejestru adresowego (po odczycie zawartość rejestru adresowego zwiększa się o 1).
EKC* FP	— sygnał informujący o zakończeniu działania przez MAZ—400

Sygnały z jednostki centralnej przesyłane do arytmometru wielokrotnej precyzji:

W [O ÷15]	— zawartość szyny W w jednostce centralnej
RO3/C	— wskaźnik C
RO4/V	— wskaźnik V
PUFA	— suma ośmiu rozkazów arytmetycznych stało — i zmiennoprzecinkowych
IR [7÷ 9]	— rozszerzenie kodu operacji, pozycje [7 ÷ 9] rejestru rozkazów (pole A)
NRF	— rozkaz normalizuj liczbę zmiennoprzecinkową
MODE	— reżim pracy ciągłej lub krokowej
STEP	— krok, przy reżimie pracy krokowej
EFP	— warunek przejścia do uruchomienia sterowania arytmometru wielokrotnej precyzji
GOT	— sygnał gotowości strobujący warunek przejścia
OK *	— sygnał informujący, że na szynie W jest dostępna informacja, przy operacji odczytu z pamięci
OKEN	— sygnał pomocniczy do sterowania współpracy z pamięcią.

2.3. Postać przetwarzanych informacji

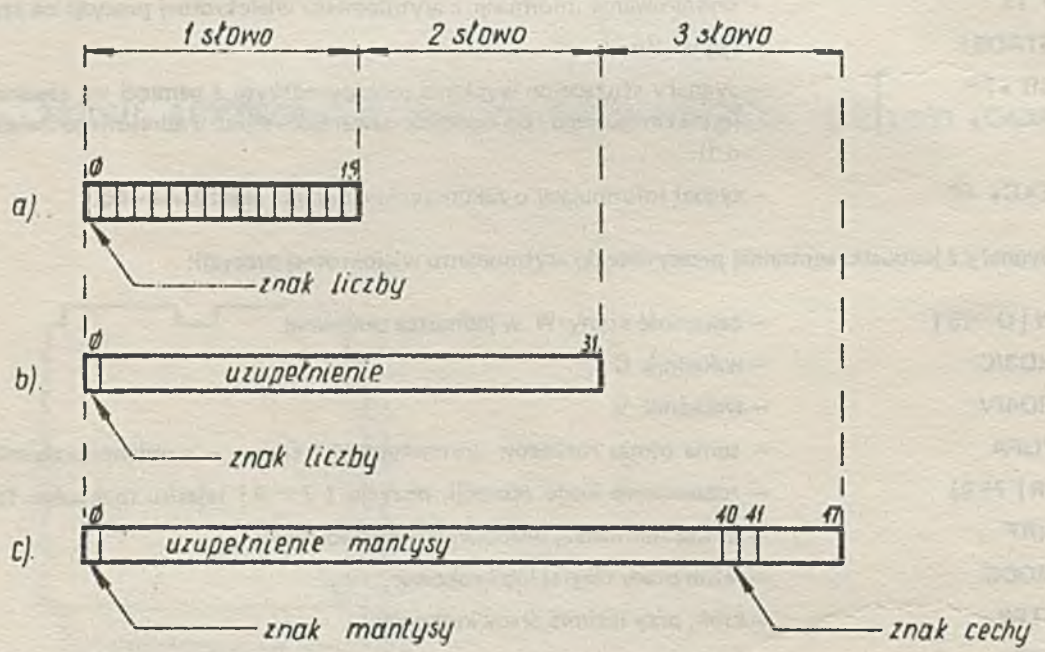
W arytmometrze wielokrotnej precyzji przetwarzane są trzy typy liczb:

- liczba stałoprzecinkowa krótka – zajmuje jedno słowo maszyny.
  Jest ona traktowana jako liczba całkowita.
  Bit zerowy jest bitem znaku (rys.2.1.a)
- liczba stałoprzecinkowa długa – zajmuje dwa słowa maszyny. Jest ona traktowana jako liczba całkowita.
  Bit zerowy pierwszego słowa jest bitem znaku (rys. 2.1.b).
- liczba zmiennoprzecinkowa zajmuje trzy słowa maszyny. Mantysa m zajmuje pierwszych 40–bitów i traktowana jest jako liczba zaprzecinkowa. Bit zerowy pierwszego słowa jest bitem znaku mantysy. Cecha zajmuje ostatnie osiem bitów i traktowana jest jako liczba całkowita.
  Ósmy bit trzeciego słowa liczby jest bitem znaku cechy (rys. 2.1.c).

2.4. Rozkazy wykonywane przez arytmometr wielokrotnej precyzji

- AD – dodawanie liczb długich
- SD – odejmowanie liczb długich
- MW – mnożenie liczb stałoprzecinkowych
- DW – dzielenie liczb stałoprzecinkowych
- AF – dodawanie liczb zmiennoprzecinkowych
- SF – odejmowanie liczb zmiennoprzecinkowych
- MF – mnożenie liczb zmiennoprzecinkowych
- DF – dzielenie liczb zmiennoprzecinkowych
- NRF – normalizacja liczb zmiennoprzecinkowych

Argument I tych rozkazów pobierany jest z rejestrów uniwersalnych MJC–400, argument II – z pamięci (argument efektywny).



Rys. 2.1. Postać danych

2.5. Schemat blokowy

Schemat blokowy przedstawiony jest na rys. 2.5.1.

Arytmometr wielokrotnej precyzji składa się z dwóch arytmometrów: jeden — Σ — służy do działań na liczbach stałoprzecinkowych i mantysach liczb zmiennoprzecinkowych, drugi — Σ_c — do działań na cechach liczb zmiennoprzecinkowych.

Argumenty odczytywane z pamięci i z rejestrów uniwersalnych jednostki centralnej są przesyłane do modułu MAZ—400 szyną W.

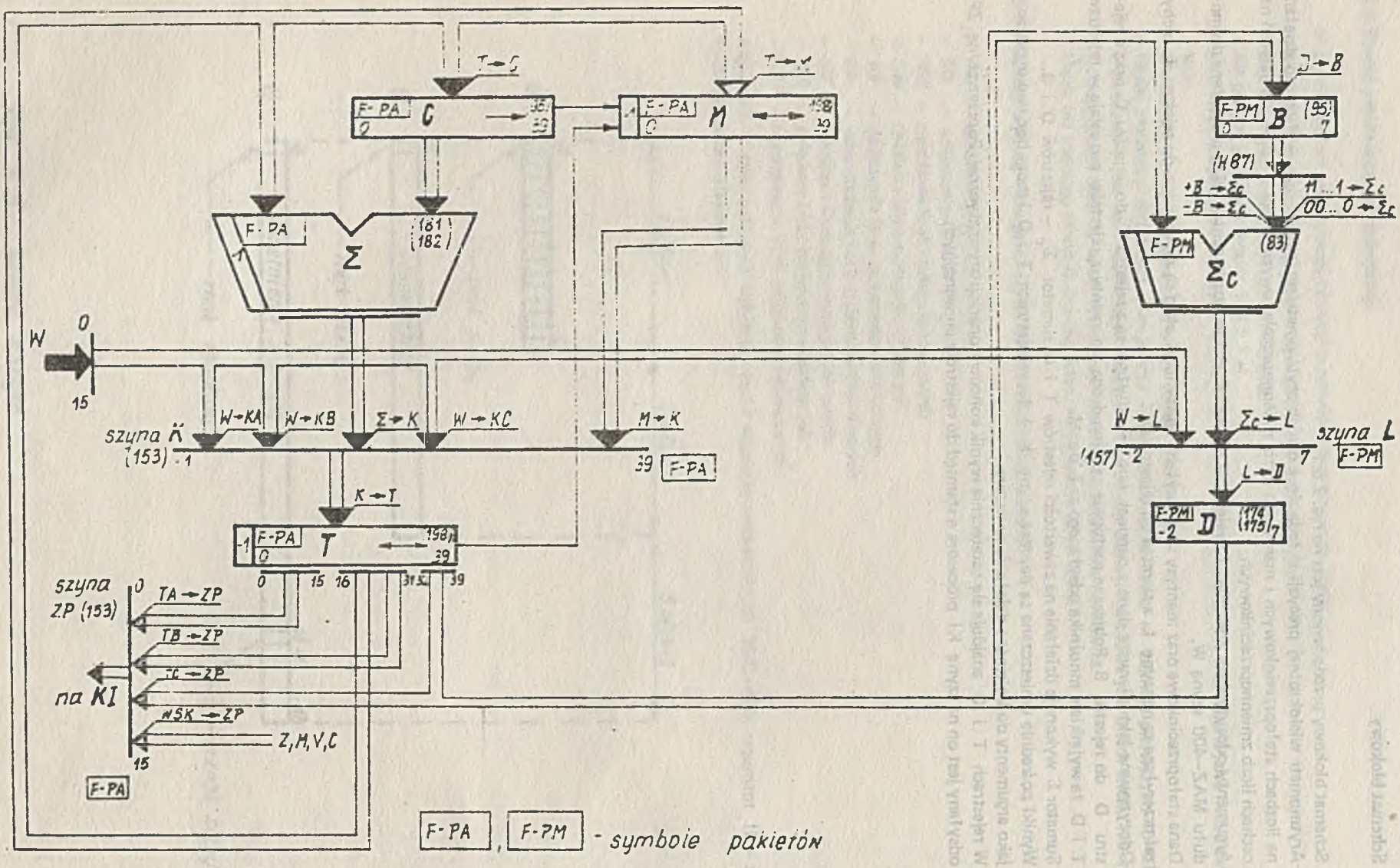
Dane stałoprzecinkowe oraz mantysy są przesyłane na szynę K, skąd są zapisywane do rejestru T, cechy zaś przesyłane są na szynę L, a stamtąd do rejestru D.

Odczytywane jako pierwsze dane z pamięci (arg. II) odsyłane są z rejestru T do rejestru C oraz z rejestru D do rejestru B. Pobierane następnie tą samą drogą argumenty z rejestrów pozostają w rejestrze T i D za wyjątkiem mnożnika odsyłanego z T do M.

Sumator Σ wykonuje działania na zawartości rejestrów T i C, sumator Σ_c — rejestrów D i B.

Wyniki pośrednie umieszczane są poprzez szynę K i L w rejestrach T i D i mogą być wykorzystane jako argumenty do kolejnego działania sumatora.

W rejestrach T i D znajduje się ostatecznie wynik końcowy operacji arytmetycznej. Poprzez szynę ZP odsyłany jest on na szynę KI procesora a stamtąd do rejestrów uniwersalnych.



Rys. 2.5.1 Schemat blokowy arytmometru wielokrotnej precyzji

2.6. Rejestry

2.6.1. Rejestry C, M, T

Rejestry niedostępne programowo są wykorzystywane przy wykonywaniu działań na liczbach stałoprzecinkowych i mantysach liczb zmiennoprzecinkowych.
Rejestr T, 41 – bitowy (przez wprowadzenie pozycji T–1) zawiera przed działaniem sumatora argument I operacji, zaś po działaniu sumatora – wynik operacji, jak również wynik końcowy przed odesłaniem go do rejestrów uniwersalnych jednostki centralnej.
Rejestr C,40 –bitowy – zawiera II argument wykonywanej operacji arytmetycznej.
Rejstr M,41 – bitowy (rozszerzony o pozycję minus pierwszą) – rejestr mnożnika, służy również do kompletowania kolejnych bitów ilorazu. Przy dodawaniu i odejmowaniu liczb zmiennoprzecinkowych stanowi przedłużenie rejestru C lub T w przypadku denormalizacji zawartości tych rejestrów.
Rejestr C posiada możliwość przesuwania swej zawartości w prawo, rejestry T i M – w prawo i w lewo.
W zależności od wykonywanego rozkazu, nie wszystkie bity w/w rejestrów są wykorzystywane.

2.6.2. Rejestry B , D

Rejestr B 8–bitowy i rejestr D 10–bitowy (poprzez rozszerzenie o pozycje minus 1 i minus 2) są niedostępne programowo i są związane z działaniami na cechach. Wykorzystywane są tylko przy działaniach zmiennoprzecinkowych.

Rejestr B – służy do przechowywania cechy drugiego argumentu
Rejestr D – początkowo zawiera cechę I argumentu, ostatecznie jest rejestrem wynikowym sumatora cech.

2.7. Sumatory

2.7.1. Sumator mantys i liczb stałoprzecinkowych

Sumator 41 –bitowy do działań na mantysach (wydłużony o pozycję minus pierwszą) – Σ
Argumentami wykonywanych operacji są:

– rejestr T
– rejestr C

Wynik umieszcza się w rejestrze T.

2.7.2. Sumator cech – Σc

Sumator 10–bitowy do działań na cechach (rozszerzony o pozycje minus pierwszą i minus drugą).
Argumentami wykonywanych operacji są:

– rejestr D
– rejestr B, jego negacja lub ciąg jedynek lub zer.

Wynik umieszcza się w rejestrze D.

2.8. Liczniki sterujące

W arytmometrze wielokrotnej precyzji zastosowano następujące liczniki służące do sterowania pracą układu:

– LP – 2 – bitowy licznik kroków – licznik dodający.
Licznik dodający służy do wysterowania odczytów z odpowiednich komórek pamięci oraz odczytów i zapisów z odpowiednich rejestrów jednostki centralnej.

– FIC – 6 – bitowy licznik kroków – licznik dodający i odejmujący. Licznik FIC służy do zliczania liczby kroków przy wykonywaniu mnożenia i dzielenia oraz liczby kroków denormalizacji przy dodawaniu i odejmowaniu liczb zmiennoprzecinkowych.

2.9. Drogi przepływu informacji

Szyny multipleksorowe

2.9.1. Szyna K – 41 – bitowa szyna wejściowa rejestru T.
Szyna K jest szyną 3 – argumentową.
Argumenty te to wyjścia sumatora Σ, rejestr M i szyna W.
Wybranie argumentu odbywa się przez odpowiednie wysterowanie sygnałów F9/KA, LKB.

Uwaga: Przesyłanie na pozycje minus pierwsze odbywa się inną drogą.

2.9.2. Szyna L – 10 – bitowa szyna wejściowa rejestru D
Szyna L jest szyną dwuargumentową
Argumenty te to wyjścia sumatora Σc i szyna W.
Wybranie argumentu odbywa się przez odpowiednie wysterowanie sygnału LKB.

2.9.3. Szyna ZP – szyna 16 – bitowa, łącząca arytmometr wielokrotnej precyzji z jednostką centralną.
Szyna ZP jest szyną 4 – argumentową.
Argumenty te to:

1. TA – rejestr T [0 ÷ 15]
2. TB – rejestr T [16 ÷ 31]
3. TC,D– rejestr T [32 ÷ 39], D [0 ÷ 7]
4. WSK – wskaźniki

Wybranie argumentu odbywa się przez odpowiednie wysterowanie sygnałów ZPA, ZPB.

Uwaga: symbol TA oznacza T [–1 ÷15], ale szyna ZP przesyła pozycje[0 ÷15]

Przerwania

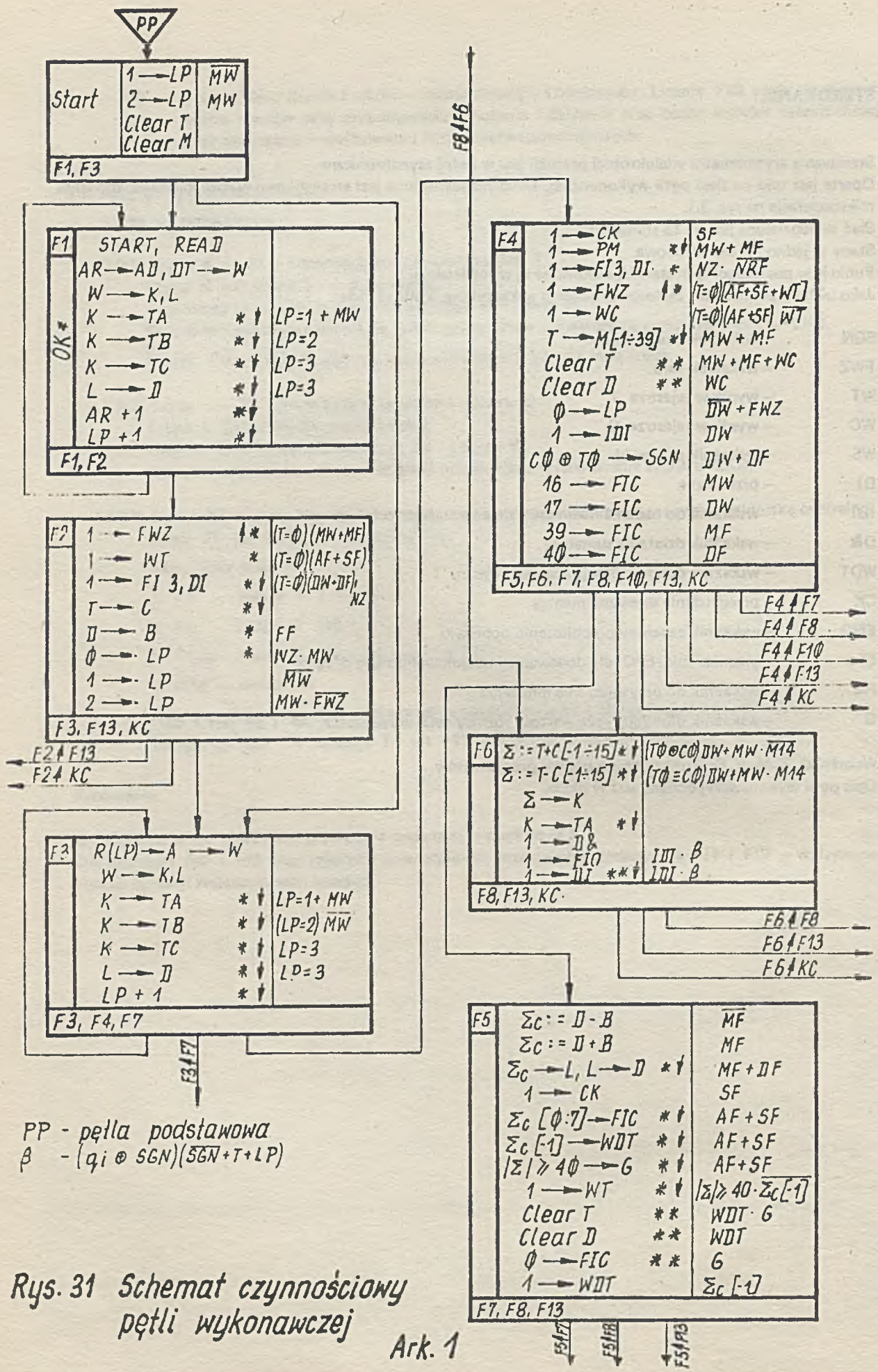
Generowane przez MAZ–400 przerwania podane są w punkcie 2.2.
Dla przerwań FI0 i FI3 stan rejestrów uniwersalnych pozostaje bez zmiany, dla FI1 i FI2 – wpisywane są wyniki operacji zmiennoprzecinkowych.

3. STEROWANIE

Sterowanie arytmometru wielokrotnej precyzji jest w pełni asynchroniczne.
Oparte jest ono na sieci pętli wykonawczej, która przedstawiona jest szczegółowo w rozbiciu na elementarne mikrooperacje na rys. 3.1.
Sieć ta podzielona jest na 13 stanów./F/.
Stany są jedno – i dwustrobowe.
Funkcje w poszczególnych stanach omówione są w rozdziale 5.
Jako układy pomocnicze zastosowano szereg wskaźników, a mianowicie:

SGN	– wskaźnik znaku ilorazu
FWZ	– wskaźnik zera
WT	– wynik w rejestrze T
WC	– wynik w rejestrze C
WS	– wskaźnik poprawki
DI	– przerwanie
IDI	– wskaźnik do badania nadmiaru dzielenia stałoprzecinkowego
D&	– wskaźnik działania sumatora
WDT	– wskaźnik denormalizacji wartości rejestru T
CK	– przedłużenie sumatora mantys
END	– wskaźnik zapalony po obliczeniu poprawki
CI	– przeniesienie FPO dla dodawania i odejmowania liczb długich
PM	– wskaźnik do przyspieszania mnożenia
G	– wskaźnik określający, że wartość różnicy cech w rozkazach AF i SF jest $\geqslant 40$

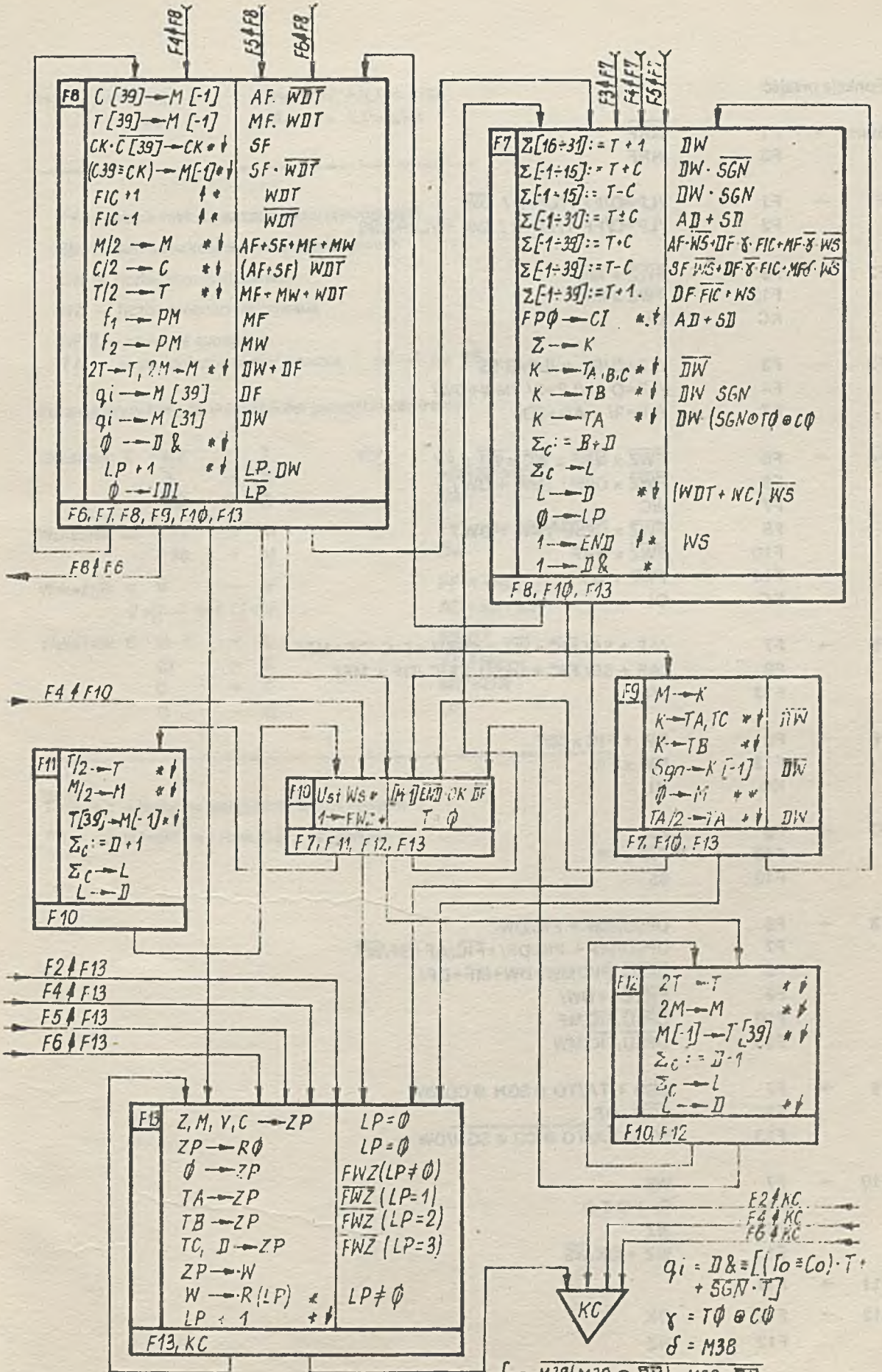
Wskaźniki Z, M, V, C służą tylko do użytku programistów.
Opis pętli wykonawczej podany jest w pkt.5.



PP - pętla podstawowa
β - (qi ⊕ SGN)(SGN + T + LP)

Rys. 31 Schemat czynnościowy pętli wykonawczej

Ark. 1



Rys 31 Schemat czynnościowy pętli wykonawczej Ark. 2

Funkcje przejść

Start	→	F1	$\overline{NRF}$
		F3	NRF
F1	→	F1	/LP≠O/FF+/LP=2 / $\overline{DW}$
		F2	/LP=O/FF +/LP=2 / DW + /LP=3/SS
F2	→	F3	$\overline{FWZ}$ + $\overline{MW}$
		F13	FWZ x MW
		KC	DI
F3	→	F3	/LP≠O/FF + /LP≠3/SS
		F4	/LP=O /+/LP=3/ /MW+DW/
		F7	/LP=3/ / AD+SD/
F4	→	F5	$\overline{FWZ}$ x $\overline{NRF}$ x $\overline{WC}$ x $\overline{WT}$ x FF
		F6	$\overline{FWZ}$ x OPSU /MW + DW /
		F7	WC
		F8	$\overline{FWZ}$ x $\overline{OPSU}$ /MW + DW /
		F10	$\overline{FWZ}$ x NRF
		F13	FWZ + WT
		KC	DI
F5	→	F7	/AF + SF/ $\overline{FIC}$ x $\overline{WT}$ + OPSU x FIC /DF+MF/
		F8	/AF + SF/ FIC + $\overline{OPSU}$ x FIC /DF + MF/
		F13	WT
F6	→	F8	DW + FIC x MW
		F13	MW x $\overline{FIC}$
		KC	DI
F7	→	F8	FIC
		F10	$\overline{FIC}$ x FF
		F13	SS
F8	→	F6	OPSU/MW + FIC.DW/
		F7	OPSU/MF + FIC.DF/+$\overline{FIC}$/AF+SF/$\overline{WT}$
		F8	$\overline{OPSU}$. FIC/MW+DW+MF+DF/
		F9	$\overline{FIC}$/DF+DW/
		F10	$\overline{OPSU}$.$\overline{FIC}$.MF
		F13	OPSU.$\overline{FIC}$.MW
F9	→	F7	SGN + TA/TO ⊕ SGN ⊕ CO/DW
		F10	$\overline{SGN}$. DF
		F13	SGN . TA/TO ⊕ CO ⊕ SGN/DW
F10	→	F7	WS
		F11	T–1 ⊕ T O
		F12	NZ
		F13	WZ + OK.$\overline{WS}$
F11	→	F10	
F12	→	F10	OK
		F12	NZ

F13	→	F13	/LP≠O/FF +/LP ≠ 3/SS
		KC	/LP=O / + /LP=3/SS

FF — suma rozkazów zmiennoprzecinkowych

SS — suma rozkazów stałoprzecinkowych

OK — liczba znormalizowana

NZ — liczba nieznormalizowana

OPSU — operacja sumatora

TA — suma logiczna bitów rejestru T od −1 do 15

Funkcje wysyłane do wskaźników jednostki centralnej:

Wskaźnik Z	FWZ	→	Z	dla	FF
	$\overline{T}$	→	Z		AD+SD+MW
	$\overline{TB}$	→	Z		DW
Wskaźnik M	T−1	→	M		FF+AD+SD+MW
	T 16	→	M		DW
Wskaźnik V	V	→	V		FF + DW
	V+[T−1 ⊕ T O]	→	V		AD+SD+MW
Wskaźnik C	M−1	→	C		FF.$\overline{DF}$
	CI	→	C		AD+SD
	C	→	C		MW+DW
	O	→	C		DF

T — suma logiczna wszystkich bitów rejestru T

TB — suma logiczna bitów 16 ÷ 31 rejestru T

4. LISTA MIKROOPERACJI

4.1. Mikrooperacje wskaźników:

				Sposób ustawiania wskaźników
1	→	FWZ	– zapal wskaźnik FWZ	wejście zegarowe
1	→	WT	– zapal wskaźnik WT	wejście zegarowe lub jedynkujące
1	→	WC	– zapal wskaźnik WC	wejście jedynkujące
Ust WS			– ustaw wskaźnik WS	wejście zegarowe
1	→	DI	– zapal wskaźnik DI	wejście zegarowe lub jedynkujące
1	→	IDI	– zapal wskaźnik IDI	wejście zegarowe
0	→	IDI	– zeruj wskaźnik IDI	wejście zerujące
1	→	D&	– zapal wskaźnik D&	wejście jedynkujące
0	→	D&	– zeruj wskaźnik D&	wejście zegarowe
1	→	END	– zapal wskaźnik END	wejście zegarowe
$\lvert \Sigma c \rvert \geqslant 40$	→	G	– zapal wskaźnik G przy spełnionym warunku	wejście zegarowe
$\Sigma c - 1$	→	WDT	– zapisz –1 poz. Σc do WDT	wejście zegarowe
1	→	CK	– zapal wskaźnik CK	wejście jedynkujące
CK.$\overline{C\,39}$	→	CK	– ustaw CK wg warunku	wejście zegarowe
FPO	→	CI	– zapisz FPO do CI	wejście zegarowe
/CO ⊕ TO/	→	SGN	– zapisz /CO ⊕ TO/ do SGN	wejście zegarowe

4.2. Mikrooperacje liczników

Licznik LP – sposób ustawienia liczników

1	→	LP	– wejście jedynkujące
2	→	LP	– wejście jedynkujące
0	→	LP	– wejście zerujące
LP	+	1	– wejście zegarowe

Licznik FIC

16	→	FIC	– wejście zegarowe
17	→	FIC	
39	→	FIC	
40	→	FIC	
Σc [0 ÷ 7]	→	FIC	

0	→	FIC	– wejście zerujące
FIC	+	1	– wejście dodające
FIC	–	1	– wejście odejmujące

4.3. Mikrooperacje rejestrów T, M, C

		Wysterowane sygnały
4.3.1. Rejestr T		
K → TA	– zapisz informację z szyny K do rejestru T poz. [–1 ÷ 15]	–CLOCK TA
K → TB	– zapisz informację z szyny K do rejestru T poz. [16 ÷ 31]	–CLOCK TB
K → TC	– zapisz informację z szyny K do rejestru T poz. [32 ÷ 39]	–CLOCK TC
T/2 → T	– przesuń w prawo	–TAB, –TRB, –CLOCK TA, –CLOCK TB, –CLOCK TC
2T → T	– przesuń w lewo	+TAA, –CLOCK TA, –CLOCK TB, –CLOCK TC
M–1 → T39	– zapisz poz. –1 rej. M do rej. T poz. 39	– " –
O → T	– zeruj rejestr T	+O → T
4.3.2. Rejestr M		
T → M	– zapisz zawartość rejestru T do rejestru M	+CLOCK M
q_i → M 39	– zapisz i–ty bit ilorazu dzielenia zmiennoprzecinkowego do poz. 39 rej. M	+M*40, +MA, +CLOCK M
q_i → M 31	– zapisz i–ty bit ilorazu dzielenia stałoprzecinkowego na poz. 31 rej. M	+M*32, +MA, +CLOCK M
T39 → M–1	– zapisz poz. 39 rejestru T na poz. –1 rejestru M	–TRB, +CLOCK M
O → M	– zeruj rejestr M	+O → M
M/2 → M	– przesuń w prawo	+MB, +CLOCK M
2M → M	– przesuń w lewo	+MA, +CLOCK M
f_1 → PM	– zapisz funkcję f_1 do PM	+MF, +CLOCK M
f_2 → PM	– zapisz funkcję f_2 do PM	+MW, +CLOCK M
4.3.3. Rejestr C		
T → C	– zapisz zawartość rejestru T do rejestru C	–F2, –T→ C
C/2 → C	– przesuń w prawo	–CP

4.4. Mikrooperacje rejestrów B, D

Wysterowane sygnały

4.4.1. Rejestr B

D	→ B	– zapisz zawartość rejestru D do rejestru B	–F2, –STROB★ FP

4.4.2. Rejestr D

L	→ D	– zapisz zawartość szyny L do rejestru D	–L→D
O	→ D	– zeruj rejestr D	+O→D

4.5. Mikrooperacje sumatora cech:

Σ_c: = D + B	–SCC
Σ_c: = D – B	+PC8
Σ_c: = D + 1	–FCB, –SCC, +PC8
Σ_c: = D – 1	–FCB

4.6. Mikrooperacje sumatora mantys:

Σ = T + C [–1 ÷15]	–FAA
Σ = T – C [–1 ÷15]	–FAB, –p★16
Σ = T + C [–1 ÷31]	–FAA, –FRA
Σ = T – C [–1 ÷31]	–FAB, –FRB, –p★32
Σ = T + C [–1 ÷39]	–FAA, –FRA
Σ = T – C [–1 ÷39]	–FAB, –FRB, –p★40
Σ = T + 1 [16 ÷31]	–p★32
Σ = T + 1 [–1 ÷39]	–p★40

4.7. Mikrooperacje szyn zbiorowych

4.7.1. Szyna K

W	→	KA	– zapisz zawartość szyny W na szynę K [–1 ÷15]	–LKB
W	→	KB	– zapisz zawartość szyny W na szynę K [16 ÷ 31]	–LKB
W	→	KC	– zapisz zawartość szyny W na szynę K [32 ÷ 39]	–LKB
Σ	→	K	– zapisz zawartość sumatora mantys na szynę K	
M	→	K	– zapisz zawartość rejestru M na szynę K	–F9/KA

4.7.2. Szyna L

		Wysterowane sygnały
W → L	– zapisz zawartość szyny W na szynę L	–LKB
Σ_C → L	– zapisz zawartość sumatora cech na szynę L	

4.7.3. Szyna ZP

TA → ZP	– zapisz zawartość rejestru T [0 ÷15] na szynę ZP	
TB → ZP	– zapisz zawartość rejestru T [16 ÷31] na szynę ZP	–ZPA
TC → ZP	– zapisz zawartość rejestru T [32 ÷39] na szynę ZP	–ZPB
WSK → ZP	– zapisz zawartość wskaźników na szynę ZP	–ZPA, –ZPB
D → ZP	– zapisz zawartość rejestru D na szynę ZP	–ZPB

5. SCHEMAT CZYNNOŚCIOWY

Arytmometr wielokrotnej precyzji wchodzi do pętli wykonawczej w wyniku wykonania przez procesor pętli podstawowej, co powoduje umieszczenie w rejestrze adresowym AR adresu komórki pamięci zawierającej pierwsze słowo argumentu drugiego.
Wartość argumentu pierwszego znajduje się w odpowiednich rejestrach uniwersalnych:

R1,R2	– dla rozkazów AD, SD, DW
R2	– dla rozkazów MW
R1,R2,R3	– dla rozkazów zmiennoprzecinkowych

Pracę układów sterowania arytmometru wielokrotnej precyzji inicjują sygnały – EFP i GOT z procesora, generujące impuls startu.
Przed wygenerowaniem impulsu startu wyzerowane są przerzutniki stanów, wskaźniki oraz liczniki.
Impuls startu powoduje zapis wartości 2 do licznika LP przy mnożeniu stałoprzecinkowym lub wartości 1 dla pozostałych rozkazów.
Zerowane są również rejestry T i M oraz następuje wejście do stanu F1 lub, w przypadku rozkazu normalizacji, do stanu F3.
Schemat czynnościowy przedstawia opis działania arytmometru wielokrotnej precyzji.
Podaje on mikrooperacje wykonywane przy spełnieniu określonych warunków w poszczególnych stanach oraz funkcje przejść między stanami.
Gwiazdka / * / oznacza, że mikrooperacja wykonywana jest przy współudziale strobu 1*FP, dwie gwiazdki /**/ –strobu 2*FP.
Strzałka ↑ oznacza przednie zbocze strobu, strzałka ↓ zaś tylne.
Stroby te generowane są przez układy sterowania arytmometru wielokrotnej precyzji.

5.1. Stan F1

Stan F1 służy do pobrania argumentu drugiego z pamięci i umieszczenia go w rejestrze T w przypadku rozkazów stałoprzecinkowych lub w rejestrach T i D w przypadku rozkazów zmiennoprzecinkowych. Jednorazowo pobieranych jest 16 bitów argumentu, stąd też arytmometr wielokrotnej precyzji znajduje się w stanie F1 jedno–, dwu–, lub trzykrotnie, w zależności od długości pobieranego argumentu. Każdorazowo zwiększana jest o jeden wartość licznika LP. Przejście do kolejnego stanu /F2/ warunkowane jest wartością licznika LP oraz rodzajem wykonywanego rozkazu.

5.2. Stan F 2

W stanie F2 argument drugi przesyłany jest do rejestru C dla działań stałoprzecinkowych lub do rejestru C i B dla działań zmiennoprzecinkowych. W stanie tym następuje również badanie argumentu i ustawianie odpowiednich wskaźników. W przypadku argumentu zerowego ustawiany jest wskaźnik zera FWZ dla rozkazów mnożenia lub wskaźnik WT dla dodawania i odejmowania zmiennoprzecinkowego. Gdy argument jest zerowy w rozkazach dzielenia lub liczba zmiennoprzecinkowa jest nieznormalizowana, zostaje zgłoszone przerwanie zmiennoprzecinkowe F13 i zapalony wskaźnik przerwania DI, w wyniku czego następuje przejście do końca cyklu. W stanie tym ustala się również stan licznika LP w zależności od rodzaju rozkazu oraz wartości (zerowej lub nie) argumentu.
Jeżeli nie zostało wygenerowane przerwanie, następuje przejście do stanu F13 w przypadku, gdy argument jest zerowy przy mnożeniu stałoprzecinkowym, lub do stanu F3 dla pozostałych rozkazów.

5.3. Stan F3

Stan F3 służy do pobrania argumentu pierwszego z rejestrów, przy czym numer rejestru określony jest wartością licznika LP.
Argument pierwszy umieszczany jest w rejestrze T w przypadku rozkazów stałoprzecinkowych lub w rejestrach T i D w przypadku rozkazów zmiennoprzecinkowych.

Zwiększanie o 1 zawartości licznika LP pozwala na pobieranie poszczególnych części argumentu z rejestrów o kolejnych numerach.
Po pobraniu całego argumentu następuje przejście do stanu F4 dla rozkazów zmiennoprzecinkowych oraz mnożenia i dzielenia stałoprzecinkowego lub do stanu F7 dla rozkazów dodawania i odejmowania stałoprzecinkowego.

5.4. Stan F4

Stan F4 służy do badania argumentu pierwszego i ustawienia wskaźników w zależności od jego wartości, przesłania mnożnika do rejestru M oraz do ustawienia wartości licznika FIC w zależności od wymaganej liczby kroków dzielenia lub mnożenia. W przypadku stwierdzenia argumentu nieznormalizowanego zgłaszane jest przerwanie FI3 i zapalany jest wskaźnik przerwania DI, w wyniku czego następuje przejście do końca cyklu.
Dotyczy to wszystkich rozkazów zmiennoprzecinkowych z wyjątkiem normalizacji.
Wskaźnik zera FWZ ustawiany jest dla argumentu zerowego w przypadku spełnienia funkcji $\overline{(AF + SF)}$ + + WT, gdy zaś spełniona jest wówczas funkcja (AF + SF) . $\overline{WT}$ zapalany jest wskaźnik WC. Przy zapalonym wskaźniku WC zerowany jest drugim strobem rejestr D.
W stanie tym ustawiany jest również wskaźnik znaku ilorazu SGN.
Dla rozkazów zmiennoprzecinkowych występuje najczęściej przejście ze stanu F4 do stanu F5.
Dla rozkazu normalizacji następuje przejście do stanu F10, przy zapalonym wskaźniku WC– do stanu F7, zaś przy zapalonym FWZ lub WT– do stanu F13.
Dla działań stałoprzecinkowych, jeżeli wskaźnik FWZ nie jest zapalony, następuje przejście do stanu F6 lub F8.

5.5. Stan F5

Stan ten wykorzystywany jest wyłącznie przy działaniach zmiennoprzecinkowych.
Ustalana jest w nim wstępna wartość wynikowa cechy dla mnożenia i dzielenia oraz ustawione zostają wskaźniki, warunkujące przebieg dodawania i odejmowania : G, WDT, WT.
W określonych na schemacie czynnościowym przypadkach zerowane są rejestry T,D lub licznik FIC.
W początkowej części stanu do licznika FIC wpisywana jest liczba koniecznych przesunięć w prawo jednego z argumentów dodawania lub odejmowania.
Dla tych operacji następuje przejście do stanu F8 w przypadku denormalizacji, do stanu F7 w przypadku możliwości natychmiastowego wykonywania działań na mantysach lub do stanu F13, gdy argument pierwszy jest jednocześnie wynikiem.
Przy mnożeniu i dzieleniu następuje przejście do stanu F7 lub F8 w zależności od tego, czy pierwszym wymaganym krokiem jest działanie sumatora czy przesunięcie rejestrów.

5.6. Stan F6

Stan F6 wykorzystywany jest do wykonywania działań sumatora na pozycjach od –1 do 15 przy mnożeniu i dzieleniu stałoprzecinkowym.
Drugim strobem zapalany jest każdorazowo wskaźnik D&.
W stanie tym zgłaszane jest również przerwanie, gdy iloraz jest nadmiarowy lub powstaje maksymalny iloraz ujemny i reszta.
W przypadku zgłoszenia przerwania następuje przejście do końca cyklu, po ostatnim kroku mnożenia przejście do stanu F13, zaś w pozostałych przypadkach przejście do stanu F8.

5.7. Stan F7

Stan F7 służy do wykonywania działań sumatora na mantysach (pozycje od –1 do 39).
Ponadto wykorzystany jest do dodawania i odejmowania stałoprzecinkowego (pozycje od –1 do 31) oraz do korekcji ilorazu i reszty przy dzieleniu stałoprzecinkowym.

W stanie tym ustalana jest również wstępna wartość wynikowa cechy dla dodawania i odejmowania zmiennoprzecinkowego, zapalany wskaźnik D & oraz zerowany licznik LP.
Dla działań stałoprzecinkowych następuje przejście z tego stanu do stanu F13, dla zmiennoprzecinkowych – do F8 lub F10.

5.8. Stan F8

W stanie tym wykonywane są przesunięcia rejestrów T, M i C związane z kolejnymi krokami mnożenia i dzielenia oraz z denormalizacją argumentów przy dodawaniu i odejmowaniu zmiennoprzecinkowym.
Tym operacjom towarzyszy zmiana wartości licznika FIC o jeden.
Ustawiane są w nim również wartości przerzutnika PM oraz wpisywane na końcowe pozycje rejestru M kolejne bity ilorazu.
Każdorazowo zerowany jest wskaźnik D& i w określonym przypadku wskaźnik IDI.
Ze stanu tego możliwe są przejścia do stanów F6, F7, F9, F10 lub pozostanie w stanie F8.

5.9. Stan F9

W stanie tym umieszczony jest w rejestrze T wynik dzielenia, a więc mantysa ilorazu zmiennoprzecinkowego oraz iloraz i reszta stałoprzecinkowa. Zerowany jest również rejestr M.
W przypadku korekcji wyniku następuje przejście do stanu F7, w przeciwnym – do stanu F10 dla dzielenia zmiennoprzecinkowego lub F13 dla stałoprzecinkowego.

5.10. Stan F10

Stan ten jest stanem decyzyjnym dla wykonywania działań końcowych przy działaniach zmiennoprzecinkowych. Ustawiany jest w nim wskaźnik WS, zapalenie którego powoduje przejście do stanu F7.
W przypadku zerowego wyniku zapalany jest wskaźnik FWZ. W przypadku wyniku nadmiarowego następuje przejście do stanu F11, gdy wynik jest nieznormalizowany – do stanu F12. Przejście do stanu F13 ma miejsce przy wyniku znormalizowanym.

5.11. Stan F11

W stanie tym rejestr T przesuwany jest w prawo, do rejestru D dodawana jest jedynka, po czym następuje przejście do stanu F10.

5.12. Stan F12

Stan F12 służy do normalizacji wyniku.
Gdy wynik jest znormalizowany, następuje przejście do stanu F10.

5.13. Stan F13

Stan ten służy do wpisywania wskaźników Z, M, V, C do rejestru zerowego oraz do przepisania wyników do rejestrów R1 ÷ R3 dla działań zmiennoprzecinkowych lub R1 ÷ R2 dla stałoprzecinkowych.
W przypadku zapalonego wskaźnika FWZ rejestry te są zerowane.
Przesłanie odbywa się za pośrednictwem szyny ZP i W.
Po przesłaniu wyników następuje przejście do końca cyklu.

6. OPIS POSZCZEGÓLNYCH ROZKAZÓW

6.1. Dodawanie /AD/ i odejmowanie /SD/ liczb długich

Argument I umieszczony jest w rejestrach R1 i R2, do nich też zostaje przesłany wynik; argument II zajmuje dwie kolejne komórki pamięci.
Wykonując działanie układ przechodzi przez następujące stany:

F1 – pobierany jest II argument z pamięci (wysterowane sygnały – SR* FP, – READ* FP) i umieszczany poprzez szyny W i K w rejestrze T na pozycjach [–1÷ 31]
Przy zapisie T [–1 ÷15] dla LP=1 wysterowane są sygnały – LKB, – CLOCKTA.
Przy zapisie T [16 ÷31] dla LP=2 wysterowane są sygnały – LKB, – CLOCKTB.
Układ jest w tym stanie dwa razy : dla LP=1 i LP=2.

F2 – II argument przesyłany jest do rejestru C (wysterowany sygnał – T→C) oraz ustawione jest LP=1.

F3 – pobierany jest I argument z rejestrów (wysterowany sygnał – RLP * FP/ i umieszczany poprzez szyny W i K w rejestrze T na pozycjach [–1÷ 31.]
Przy zapisie T [–1÷ 15] dla LP=1 wysterowane są sygnały – LKB, – CLOCKTA.
Przy zapisie T [16 ÷31] dla LP=2 wysterowane są sygnały – LKB, – CLOCK TB.
Układ jest w tym stanie dwa razy : dla LP=1 i LP=2.

F7 – wykonywane jest dodawanie rejestrów T i C dla rozkazu AD, zaś odejmowanie T–C dla SD.
Dla AD są wysterowane sygnały – FAA i – FRA, zaś dla SD sygnały – FAB, –FRB, –p *32.
Zerowany jest licznik LP, ustawiane wskaźniki Z, M, V, C.

F13 – wpisywane są wskaźniki Z, M, V, C do rejestru RO przy LP=O (wysterowane sygnały +USTRO * FP, –ZPA, –ZPB) oraz przepisywany jest wynik do rejestrów uniwersalnych (wysterowane sygnały – RLP * FP, –S * FP) –T [O÷15]do rejestru R1 dla LP=1 i T [16 ÷31] do rejestru R2 dla LP=2 (wysterowany sygnał – ZPA).
W stanie F13 znajduje się układ 3–krotnie.
Na zakończenie zostaje wygenerowany sygnał – EKC* FP, oznaczający koniec wykonania rozkazu.
Dla pozostałych rozkazów powtarzające się wysterowania nie będą podawane.

6.2. Mnożenie stałoprzecinkowe – (MW)

16 – bitowa mnożna umieszczona jest w pamięci, zaś
16 – bitowy mnożnik w rejestrze R2.
32 – bitowy iloczyn przesyłany jest do rejestrów R1 i R2.
W trakcie mnożenia mnożnik umieszczany jest w rejestrze M i podczas przesuwania go w prawo każdorazowo badane są jego dwa ostatnie bity (zastosowany jest również przerzutnik pomocniczy PM), mnożna zaś przechowywana jest w rejestrze C, a wyniki częściowo w wyzerowanym uprzednio rejestrze T. Zasada mnożenia polega na wykrywaniu ciągu jedynek w mnożniku celem zminimalizowania liczby operacji sumatora. Ilustruje to poniższy przykład.

Przykład

Załóżmy 8–bitową mnożną równą 00000001 /1/ i 8–bitowy mnożnik równy 00101111 (47).
Tradycyjną metodą należałoby wykonać 5 operacji sumatora.

Wyniki częściowe byłyby następujące:

op. sumatora 1/00000000 – 1
op. sumatora 2/00000000 – 11
op. sumatora 3/00000000 – 111
op. sumatora 4/00000000 – 1111
5/00000000 – 01111
op. sumatora 6/00000000 – 101111
7/00000000 – 0101111
8/00000000 – 00101111

Po pięciu pierwszych krokach uzyskaliśmy 15–krotność mnożnej – ten sam rezultat można osiągnąć odejmując najpierw mnożną, a następnie dodając jej 16–krotną wartość. Tak więc algorytm mnożenia zastosowanego w MAZ–400 wygląda następująco:

1/ rozpatrywane bity mnożnika – 11
operacja sumatora – odejmowanie mnożnej; wynik częściowy po przesunięciu:
–M 11111111 – 1

2/ rozpatrywane bity mnożnika – 11
nie ma operacji sumatora
wynik częściowy po przesunięciu :

11111111 – 11

3/ rozpatrywane bity mnożnika – 11
nie ma operacji sumatora
wynik częściowy po przesunięciu :

11111111 – 111

4/ rozpatrywane bity mnożnika 01
nie ma operacji sumatora
wynik częściowy po przesunięciu :

11111111 – 1111

5/ rozpatrywane bity mnożnika 10 – należałoby już wykonać dodawanie 16–krotności mnożnej, ale
–16M ponieważ bit przedostatni jest jedynką, tworzy się znów "zmodyfikowany" ciąg jedynek i operacją sumatora będzie odjęcie mnożnej (na tej pozycji jej 16–krotności)

11111111 – 1111
11111111
———————
11111110 – 1111

wynik po przesunięciu

11111111 – 01111

6/ rozpatrywane bity mnożnika 01
nie ma operacji sumatora
wynik częściowy po przesunięciu :

11111111 – 101111

7/ rozpatrywane bity mnożnika 00
–64M operacja sumatora – dodanie mnożnej (na tej pozycji jej 64–krotności)

11111111 – 101111
00000001
———————
00000000 – 101111

wynik po przesunięciu

00000000 – 0101111

8/ rozpatrywane bity mnożnika 00
nie ma operacji sumatora
wynik po przesunięciu :

00000000 – 00101111

Ten sam wynik osiągnęliśmy więc stosując tylko 3 operacje sumatora (–M–16 M + 64 M = 47 M).

O operacji sumatora decyduje funkcja OPSU = PM≡ M 15
Przerzutnik PM "pamiętający" poprzednie działania ustawiany jest każdorazowo przy przesunięciu rejestru T i M następująco:

$$PM = \overline{M14/M15 \oplus \overline{PM} \; / + \; M15.\overline{PM}}$$

Wykonując działanie układ każdorazowo przechodzi przez następujące stany:

F1 – pobierana jest mnożna z pamięci i umieszczana w rejestrze T na pozycjach [–1 ÷ 15]

F2 – następuje przesłanie mnożnej do rejestru C oraz badanie jej.
W przypadku, kiedy jest zerowa, ustawiany jest wskaźnik FWZ i następuje przejście do stanu F13.
Ustawiany jest wówczas licznik LP=0.
Dla mnożnej niezerowej ustawiane jest LP=2.

F3 – pobierany jest mnożnik z rejestru R2 i umieszczany w rejestrze T na pozycjach [–1 ÷ 15]

F4 – badany jest mnożnik i kiedy jest równy zeru, ustawiany jest wskaźnik FWZ i następuje przejście do stanu F13.
Gdy mnożnik jest różny od zera jest on przesłany do rejestru M i ustawiany przerzutnik PM=1 (wysterowany sygnał + CLOCK M).
Ustawiany jest licznik kroków FIC = 16 i zerowany rejestr T (O → T)
Jeżeli ma być wykonane działanie sumatora (wysterowany sygnał + OPSU) następuje przejście do stanu F6, w przeciwnym wypadku – do stanu F8.

F6 – wykonywane są działania sumatora na pozycjach[–1÷15] rejestru T i C:

dla M 14 = 0 – T + C (wysterowany sygnał – FAA)
dla M 14 = 1 – T – C (wysterowany sygnał – FAB, –p * 32)

Po każdym działaniu sumatora następuje przejście do stanu F8, jeśli FIC ≠O (wtedy do F13)

F8 – wykonywane są przesunięcia w prawo rejestru M/+MB, +CLOCK M/ i rejestru T/–TAB, –TRB, –CLOCK TA, – CLOCK TB/ związane z kolejnymi krokami mnożenia. Każdorazowo wartość licznika FIC zmniejszana jest o 1, ustalana nowa wartość PM i OPSU.
Dla OPSU następuje przejście do F6, dla $\overline{OPSU}$ – do F8.

W stanie tym układ jest 16 razy, aż do wyzerowania licznika FIC.
Wtedy dla OPSU następuje przejście do F6, dla $\overline{OPSU}$ – do F13.

F13 – odsyłane są wskaźniki Z, M, V, C do RO i wynik do R1 i R2.
Układ jest w tym stanie 3 razy.

6.3. Dzielenie stałoprzecinkowe /DW/

32 bitowa dzielna umieszczona jest w rejestrach R1 i R2, 16–bitowy dzielnik w pamięci.
Iloraz przesyłany jest do rejestru R2, reszta do rejestru R1.
Algorytm dzielenia przewiduje operacje sumatora przy spełnionej funkcji:

$$OPSU = TO \oplus T1 + /TO+T1/ \; .\overline{T_{2-31}} \; +/CO \equiv C1/ \; . \; TA$$

W przeciwnym przypadku reszta częściowo jest w kolejnych krokach tylko przesuwana w lewo.
Kolejne bity ilorazu spełniają funkcję:

q_i /M*32/=D& ≡ [/TO ≡ CO/ . T + $\overline{SGN}.\overline{T}$]

D & jest przerzutnikiem "pamiętającym" ostatnio wykonane działanie – po przesunięciu jest zerowany, w trakcie działania sumatora ustawiany na wartość =1.
Jego wartość początkowa =O.
Dla ilorazu ujemnego przeprowadzana jest korekcja ilorazu polegająca na dodaniu jedynki na najmniej znaczącej pozycji; gdy znak reszty różny jest od znaku dzielnej korekcja reszty polega na dodaniu do niej bądź odjęciu dzielnika. Dzielnik przechowywany jest w rejestrze C, dzielna, a potem reszty częściowe – rejestrze T.
Iloraz gromadzony jest w rejestrze M poprzez przesyłanie kolejnych bitów ilorazu na pozycję M31 i przesuwanie rejestru w lewo.
Na zakończenie przesyłany jest do rejestru T na pozycje [16 ÷ 31]. Przerzutnik SGN określa znak ilorazu.
Wykonując dzielenie układ przechodzi przez następujące stany:

F1 – pobierany jest dzielnik z pamięci i umieszczony w rejestrze T na pozycjach [–1 ÷ 15]

F2 – dzielnik przesyłany jest do rejestru C.
W przypadku zerowego dzielnika zgłaszane jest przerwanie FI 3 i zapalany wskaźnik przerwania DI, w wyniku czego następuje przejście do końca cyklu. Stan rejestrów RO, R1 i R2 nie ulega wtedy zmianie.

F3 – pobierana jest dzielna z rejestrów R1 i R2 i umieszczana w rejestrze T na pozycjach [–1 ÷ 31].
W stanie F3 układ znajduje się dwukrotnie.

F4 – badana jest dzielna i kiedy równa się zeru, zapalany jest wskaźnik FWZ i następuje przejście do stanu F13.
W stanie F4 ustawiana jest wartość licznika kroków FIC=17 i wskaźnik znaku ilorazu SGN oraz wpisywana jedynka do przerzutnika IDI.
Przerzutnik ten służy do wykrycia nadmiaru dzielenia i jest zerowany przy drugim wejściu do stanu F8.
Ze stanu F4 następuje przejście do stanu F6, jeśli ma być wykonane działanie sumatora (wysterowany sygnał +OPSU); w przeciwnym przypadku do stanu F8.

F6 – wykonywane są działania sumatora na pozycjach [–1 ÷ 15]

dla TO ⊕ CO – T + C
dla TO ≡ CO – T – C

Ustawiana jest wartość wskaźnika D& = 1
W przypadku zgłoszenia przerwania nadmiaru FIO (spełniona funkcja IDI · β zapalany jest wskaźnik D I i następuje przejście do końca cyklu bez zmiany stanu rej. RO, R1, R2
Poza tym zawsze następuje przejście do stanu F8.

F8 – Następuje odesłanie kolejnych bitów ilorazu do rejestru M i przesunięcie rejestru T i M o 1 bit w lewo (+TAA, –TRA, –CLOCK TA, –CLOCK TB, + MA, + CLOCKM).
Każdorazowo wartość licznika FIC zmniejszana jest o 1. Dopóki FIC nie jest wyzerowany, układ pozostaje w stanie F8 (dla OPSU) lub przechodzi do stanu F6.
Dla FIC =O następuje przejście do stanu F9.

F9 – iloraz przesyłany jest na pozycje [16 ÷ 31] rejestru T (wysterowane sygnały – F9/KA, –CLOCK TB)
Zerowany jest rejestr M (+O → M).
Wyznaczona jest reszta końcowa przez przesunięcie jej o 1 bit w prawo (wysterowane sygnały – TAB, –CLOCK TA). Gdy iloraz lub reszta wymagają korekcji, następuje przejście do stanu F7, w przeciwnym przypadku do stanu F13.

F7 – gdy korekcji podlega iloraz, dodawana jest w sumatorze jedynka na pozycji T 31 (wysterowany sygnał – p* 32)
Przy korekcji reszty dodawany jest do niej dzielnik przy ilorazie dodatnim (wysterowany sygnał – FAA), zaś odejmowany przy ilorazie ujemnym (wysterowany sygnał – FAB, –p * 16)
Ze stanu F7 następuje przejście do stanu F13.

F13 – wpisywane są wskaźniki Z, M, V, C do rejestru RO, reszta do rejestru R1, iloraz do rejestru R2.
Układ pozostaje w tym stanie trzykrotnie.

6.4. Normalizacja liczby zmiennoprzecinkowej – (NRF)

Argument tego działania umieszczony jest w rejestrach R1, R2 i R3, tam też odsyłany wynik.
Wykonując działanie układ przechodzi przez następujące stany:

F3 – pobierany jest argument z rejestrów R1, R2 i R3 i umieszczony na pozycjach [–1 ÷39] rejestru T oraz na pozycjach rejestru D [–2÷7].
Przy LP=1 wysterowane są sygnały –LKB, –CLOCK TA
Przy LP=2 " " –LKB, –CLOCK TB
Przy LP=3 " " –LKB, –CLOCK TC, –L→ D
Układ jest w tym stanie 3 razy.

F4 – przy zerowej wartości mantysy następuje zapalenie wskaźnika FWZ i przejście do stanu F13, w przeciwnym – przejście do F10.

F10 – następuje określenie, czy liczba jest znormalizowana (OK) czy nie (NZ) i w zależności od tego przejście do stanu F13 lub F12.

F12 – następuje normalizacja liczby zmiennoprzecinkowej – przesuwanie rejestru T w lewo i jednoczesne zmniejszanie o 1 wartość rejestru D.
Wysterowane są sygnały (+TAA, –TRA, –CLOCK TA, –CLOCK TB, –CLOCK TC, –FCB, + SCC, – L →D)
Układ pozostaje w tym stanie tak długo, dopóki liczba nie zostanie znormalizowana – wtedy następuje przejście do stanu F10.

F13 – do rejestru RO zostają odesłane wskaźniki Z, M, V, C, zaś liczba znormalizowana do R1, R2, R3.
Układ pozostaje w tym stanie 4 razy.
Przy LP=3 wysterowany jest sygnał – ZPB.

6.5. Dodawanie /AF/ i odejmowanie /SF/ liczb zmiennoprzecinkowych

Argument I znajduje się w rejestrach R1, R2, R3, tam też zostaje przesłany wynik.
Argument II umieszczony jest w trzech kolejnych komórkach pamięci. Przed przystąpieniem do dodawania bądź odejmowania mantys należy zrównać cechy.
Dzieje się to przez denormalizację liczby o mniejszej wartości cechy.
Liczba koniecznych przesunięć mantysy zapisana jest w liczniku FIC jako liczba dodatnia lub ujemna, w zależności od tego, czy denormalizowana jest zawartość rejestru T czy C.
Denormalizowana mantysa przesuwana jest w prawo tak długo, dopóki wartość licznika FIC, każdorazowo zmieniana o jeden, nie będzie wynosiła zero.
"Wypadające " bity przesyłane są kolejno na najmłodszą pozycję rejestru M, również przesuwanego w prawo. Przy denormalizacji rejestru C w rozkazie odejmowania na pozycję M–1 przesyłane są już bity wyniku (działania wykonywane są na sumatorze wydłużonym), służący do tego przerzutnik CK określa, czy przeniesienie zostało przepropagowane z tych bitów (CK=1 oznacza przepropagowanie).
Gdy po znormalizowaniu wyniku pozycja M–1 jest jedynką, następuje okrąglenie wyniku – dodanie 1 na najmniej znaczącej pozycji mantysy.

W przypadku, gdy różnica cech jest ≥ 40 jako wynik podawana jest liczba o większej wartości bezwzględnej. W trakcie działania układ przechodzi przez następujące stany:

F1 – pobierany jest II argument z pamięci i umieszczany w rejestrach T i D – mantysa w rejestrze T, cecha w rejestrze D. W tym stanie układ znajduje się trzykrotnie.

F2 – argument II przesyłany jest do rejestrów C i B. Mantysa do rejestru C ($-T \rightarrow C$), cecha do rejestru B (–F2, –STROB * FP).
Następuje badanie mantysy i ustawienie odpowiednich wskaźników:
a) dla mantysy zerowej ustawiany jest wskaźnik WT – oznacza on, że wynikiem dodawania lub odejmowania będzie argument I, zapisany w stanie F3 do rejestru T i D.
b) dla mantysy nieznormalizowanej zostaje zgłoszone przerwanie F13 i zapalony wskaźnik przerwania DI – nastąpi wtedy przejście do końca cyklu.

F3 – pobierany jest I argument z rejestrów i przesyłany do rejestrów T i D. W stanie tym układ znajduje się trzykrotnie.

F4 – badana jest mantysa I argumentu i ustawiane odpowiednie wskaźniki:
a) dla mantysy nieznormalizowanej zgłaszane jest przerwanie F13 , zapalany wskaźnik przerwania DI i następuje przejście do końca cyklu.
b) dla mantysy zerowej i przy WT=1 zapalany jest wskaźnik zera FWZ i następuje przejście do stanu F13.
c) dla mantysy zerowej i przy WT=O zapalany jest wskaźnik WC – oznacza on, że wynikiem jest argument II w rejestrze C i B lub (dla rozkazu SF) – jego negacja.
Następuje wówczas przejście do stanu F7.

Dla mantysy niezerowej przy WT=1 następuje przejście do stanu F13.

F5 – ustalana jest wartość różnicy cech $\Sigma_c = D - B$ – wysterowane +PC8
Gdy niezerowa wartość $|\Sigma c| < 40$ – wpisana do licznika FIC określa liczbę kroków denormalizacji:
a) rejestru T, gdy różnica jest ujemna – zapalany jest wówczas wskaźnik WDT i zerowany rejestr D.
b) rejestru C, gdy różnica jest dodatnia.
Następuje wówczas przejście do stanu F8.
Gdy wartość różnicy cech jest zerowa, następuje przejście do stanu F7 w celu dodania bądź odjęcia mantys (cechy są równe).
Gdy $|\Sigma c| \geq 40$ zapalony zostaje wskaznik G i argument o mniejszej wartości cechy traktowany będzie jako zerowy.
Dla ujemnej różnicy cech zapalony zostaje wskaźnik WDT, zerowany rejestr T i następuje przejście do stanu F7. Dla dodatniej różnicy cech zapalony zostaje wskaźnik WT i następuje przejście do stanu F13.

F8 – wykonywana jest denormalizacja rejstru T lub C poprzez przesuwanie ich o 1 bit w prawo. Każdorazowo do zawartości licznika FIC dodawana jest (gdy $\Sigma c < O$) lub odejmowana (gdy $\Sigma c > O$) jedynka.
Układ pozostaje w stanie F8 aż do momentu wyzerowania licznika FIC. "Wypadające" przy przesuwaniu bity przesuwane są poprzez M – 1 do rejestru M.
W M – 1 umieszczane jest T 39, C 39 lub C 39 ≡ CK (przy SF). Gdy licznik FIC zostaje wyzerowany, następuje przejście do stanu F7.

F7 – wykonywane jest dodawanie (dla AF) lub odejmowanie (dla SF) mantys na pozycjach $[-1 \div 39]$ i przesłanie wyniku do rejestru T.
Dla AF wysterowane są sygnały – FAA, –FRA, dla SF – FAB, –FRB, –p* 40. Sygnał –p *40 nie będzie wysterowany, gdy CK=O.
Ustalana jest wartość wynikowa cechy.

Sumator cech wysterowany jest na dodawanie B+D – sygnał –SCC .
Gdy wartością wynikową ma być cecha I argumentu, nie następuje wysterowanie – L→ D i rejestr D pozostaje bez zmiany. Gdy wartością wynikową ma być cecha II argumentu (zapalony wskaźnik WDT lub WC)sygnał –L →D zostaje wysterowany i rejestru D przepisana jest wartość rejestru B (ponieważ rejestr D został w stanie F4 lub F5 wyzerowany:). Następnym stanem jest zawsze F10. Wejście do stanu F7 następuje również przy okrągleniu wyniku – gdy zapalony jest wskaźnik WS–dodawana jest wówczas 1 na pozycji 39 (wysterowany sygnał –p ★ 40). Zapalany jest wówczas przerzutnik END, świadczący o tym, że okrąglenie zostało już wykonane.

F10 – badany jest wynik i w zależności od jego postaci następują przejścia do różnych stanów:

a) dla wyniku zerowego zapalany jest wskaźnik FWZ i następuje przejście do stanu F13
b) dla wyniku nadmiarowego (T –1 ⊕ T 0) następuje przejście do F11
c) dla wyniku nieznormalizowanego następuje przejście do stanu F12
d) gdy liczba jest znormalizowana i M –1 = 1, END=0 zostaje zapalony wskaźnik poprawki WS i następuje przejście do stanu F7
e) gdy liczba jest znormalizowana i WS=0 następuje przejście do stanu F13.

F11 – następuje zlikwidowanie nadmiaru mantysy przez przesunięcie rejestru T o 1 bit w prawo oraz dodanie 1 do cechy (D+1 – wysterowane sygnały –FCB, –SCC, +pc8,–L → D). Następnym stanem będzie stan F10.

F12 – następuje normalizacja wyniku przez przesuwanie rejestru T o 1 bit w lewo.
Układ pozostaje w tym stanie tak długo, dopóki bit zerowy nie będzie różny od pierwszego. Każdemu przesunięciu towarzyszy odejmowanie 1 od rejestru D (wysterowane sygnały – FCB, – L → D). Po znormalizowaniu liczby następuje przejście do stanu F10.

F13 – następuje przepisanie wskaźników do rejestru RO dla LP=0 i wyniku do rejestrów R1, R2, R3 przy LP=1, LP=2, LP=3.
W przypadku podmiaru lub nadmiaru cechy zgłaszane są przerwania FI1 lub FI2.
Wskaźnik przerwania DI nie zostaje jednak zapalony, w związku z czym układ dopiero po przepisaniu wyniku przechodzi do końca cyklu.

6.6. Mnożenie zmiennoprzecinkowe /MF/

Mnożenie zmiennoprzecinkowe polega na wymnożeniu mantys i dodaniu cech. Algorytm mnożenia mantys jest taki sam jak w mnożeniu liczb stałoprzecinkowych, lecz ze względu na dłuższe argumenty (39 bitowe) badane są bity 38 i 39 mnożnika, a najmłodsze pozycje iloczynu przesyłane są poprzez M – I do rejestru M.
Wykonując działanie układ przechodzi przez następujące stany:

F1 – pobierana jest mnożna z pamięci i umieszczana w rejestrach T i D (w stanie tym układ znajduje się trzykrotnie)

F2 – mnożna zostaje przesłana do rejestrów C i B.
Ustawiane są następujące wskaźniki:

a) dla mantysy nieznormalizowanej zostaje zgłoszone przerwanie FI3 , zapalony wskaźnik DI i układ przechodzi do końca cyklu,
b) dla mantysy zerowej ustawiany jest wskaźnik zera FWZ – układ przechodzi jednak do stanu F3 w celu sprawdzenia, czy mnożnik jest znormalizowany.

F3 – pobierany jest mnożnik z rejestrów R1, R2 i R3 i przesyłany do rejestrów T i D.
W stanie tym układ znajduje się trzykrotnie.

F4 — badany jest mnożnik i ustawiane następujące wskaźniki:

a) dla mantysy nieznormalizowanej następuje zgłoszenie przerwania FI3 , zapalenie wskaźnika DI i przejście do końca cyklu.
b) dla mantysy zerowej zapalany jest wskaźnik zera FWZ i układ przechodzi do stanu F13.

Gdy znormalizowany mnożnik nie jest zerowy przesyłany jest do rejestru M, a rejestr T jest zerowany. Do licznika kroków FIC wpisana zostaje liczba 39, wartość PM=1.

F5 — ustalana jest wartość wynikowa cechy: Σ c= B+D i przepisana do rejestru D.
Gdy wysterowany jest sygnał OPSU następuje przejście do F7, w przeciwnym wypadku — — do F8.

F7 — wykonywane są działania sumatora na mantysach:

dla M 38 = 1 — odejmowanie T—C [—1 ÷ 39]
dla M 38 = 0 — dodawanie T+C [—1 ÷ 39]
i przejście do stanu F8 (gdy FIC) lub F10 (gdy $\overline{FIC}$)

Przy zapalonym wskaźniku poprawki WS wykonywane jest okrąglenie jak w AF i SF, zapalenie przerzutnika END i przejście do stanu F10.

F8 — wykonywane są przesunięcia rejestrów T i M o jeden bit w prawo. Każdorazowo wartość licznika FIC zmniejszana jest o 1.
Gdy FIC ≠0 i nie jest wysterowane OPSU, układ pozostaje w tym stanie.
Przy wysterowanym OPSU, nawet gdy FIC=0, następuje przejście do F7.
Gdy FIC=0 i OPSU=0 układ przechodzi do stanu F10.

W pozostałych stanach — F10, F11, F12 i F13, wykonywane są funkcje takie same, jak dla odejmowania i dodawania zmiennoprzecinkowego.

6.7. Dzielenie zmiennoprzecinkowe /DF/

Dzielenie zmiennoprzecinkowe polega na podzieleniu mantys i odjęciu od cechy dzielnej cechy dzielnika. Dzielenie mantys przebiega wg algorytmu podobnego do dzielenia stałoprzecinkowego.
Różnica polega na:

1) wyznaczeniu funkcji OPSU jako TO $\oplus$ T1 + /TO + T1/ . $\overline{T_{2-39}}$ /pominięty jest składnik/ CO=C1 /TA ze względu na działanie z dzielnikiem znormalizowanym/.

2) nie jest wykorzystany wskaźnik IDI, ponieważ przy liczbie zmiennoprzecinkowej nie występuje problem nadmiaru mantysy

3) nie jest podawana reszta

W trakcie wykonywania działania układ przechodzi przez następujące stany:

F1 — pobierany jest dzielnik z pamięci i umieszczany w rejestrach T i D

F2 — dzielnik zostaje przesłany do rejestrów C i B
Dla argumentu nieznormalizowanego lub zerowego zostaje zgłoszone przerwanie FI3 , zapalony wskaźnik DI i następuje przejście do końca cyklu.

F3 — pobierana jest dzielna z rejestrów R1, R2 i R3 i przesłana do rejestrów T i D.

F4 — badana jest mantysa dzielnej i ustawiane odpowiednie wskaźniki:

a) dla mantysy nieznormalizowanej zgłaszane jest przerwanie FI 3, zapalany wskaźnik DI i następuje przejście do końca cyklu
b) dla mantysy zerowej zapalany jest wskaźnik FWZ i następuje przejście do stanu F13
c) ustawiany jest wskaźnik znaku ilorazu SGN=TO $\oplus$ CO
Do licznika kroków FIC wpisywana jest liczba 40.

F5 – wyliczana jest wartość wynikowa cechy.
Różnica cech /D–B/ zapisana zostaje do rejestru D.
Przy wysterowaniu sygnału OPSU następuje przejście do stanu F7, w przeciwnym przypadku – do F8.

F7 – wykonywane są działania sumatora na mantysach:

dla TO ⊕ CO – dodawanie T+C [–1 ÷ 39]
dla TO ≡ CO – odejmowanie T–C [–1 ÷ 39]
i przejście do stanu F8, gdy FIC lub F10, gdy $\overline{FIC}$.
Zapalany jest wskaźnik D& .
W przypadku ujemnego ilorazu po stanie F9 następuje dodanie 1 na pozycji 39 – ponieważ iloraz wyliczony jest w zapisie uzupełnienia do jedności.

F8 – kolejne bity ilorazu przesyłane są na pozycje M39 rejestru M/M *40/.
Wykonywane są przesunięcia rejestrów T i M o jeden bit w lewo i związane z nimi zmniejszanie licznika FIC o jeden.
Zerowany jest wskaźnik D&.
Gdy FIC ≠ O i nie jest wysterowane OPSU, układ pozostaje w tym stanie. Gdy FIC ≠ O i OPSU jest wysterowane, następuje przejście do F7.
Dla FIC=O następuje przejście do stanu F9.

F9 – wynik dzielenia umieszczany jest w rejestrze T, rejestr M [– 1 ÷ 39] zerowany, wskaźnik SGN przepisywany na pozycję T – 1.
Dla ilorazu dodatniego następuje przejście do stanu F10, dla ujemnego – do stanu F7.

F10 – badany jest wynik i dla mantysy nadmiarowej następuje przejście do F11, dla nieznormalizowanej – do F12, dla zerowej lub znormalizowanej – do F13.

W pozostałych stanach – F11, F12 i F13 wykonywane są funkcje takie same, jak dla dodawania i odejmowania zmiennoprzecinkowego.

7. OPIS KONSTRUKCJI

Arytmometr wielokrotnej precyzji składa się z trzech pakietów. Rozmieszczenie pakietów jest następujące:

YX 3 – F–PS – pakiet sterowania
YX 2 – F–PM – pakiet mikrooperacji
YX 1 – F–PA – pakiet arytmometru

7.1. Pakiet F–PA

Pakiet arytmometru służy do wykonywania operacji arytmetycznych, pobierania argumentów i odsyłania wyników do procesora.
Zmontowano na nim następujące układy i rejestry:

1. 40 bitową, równoległą jednostkę arytmetyczną (sumator Σ) – SN74181
2. układ generacji i propagacji przeniesienia SN 74182
3. 40 bitowy rejestr M – SN 74198
4. 40 bitowy rejestr C – SN 7495
5. 40 bitowy rejestr T – SN 74198
6. 40–bit.szynę multiplexorową K–SN 74153
7. 16–bit.szynę ZP – SN 74153
8. układy wykrywania zera na grupach ośmiu kolejnych pozycji rejestru T.

Na schemacie ideowym (Strony 2-29 ÷ 2-48) układy te rozmieszczone są w sposób następujący:

1. – pozycje sumatora Σ 0 – 3/M52/,4–7/M53/ na arkuszu nr 4
   – pozycje sumatora 8 – 11/M54/ i 12–15 /M55/ – na arkuszu nr 6
   – pozycje sumatora 16 – 19 /M56/ i 20–23 /M57/ – na arkuszu nr 8
   – pozycje sumatora 24 – 27 /M58/ i 28–31 /M59/ – na arkuszu nr 11
   – pozycje sumatora 32 – 35 /M60/ i 36–39 /M61/ – na arkuszu nr 15

2. – związany ze starszymi /0–15/ bitami układ generacji i propagacji przeniesienia /M42/ – na arkuszu nr 4
   – związany z młodszymi /16–31/ bitami układ generacji i porpagacji przeniesienia /M47/ – na arkuszu nr 10
   – dla bitów najmłodszych /32–39/ nie stosowano w/w układu.

3. – pozycje rejestru M 0–7 /M76/ – na arkuszu nr 3
   – " " 8–15 /M77/ – " nr 6
   – " " 16–23 /M78/ – " nr 8
   – " " 24–31 /M79/ – " nr 11
   – " " 32–39 /M80/ – " nr 14

4. – pozycje rejestru C 0–3 /M62 i 4–7 /M63/ na arkuszu nr 3
   – pozycje rejestru 8–11 /M65/ i 12–15 /M66/ na arkuszu nr 6
   – pozycje rejestru 16–19 /M67/ i 20–23 /M68/ na arkuszu nr 8
   – pozycje rejestru 24–27 /M71/ i 28–31 /M72/ na arkuszu nr 11
   – pozycje rejestru 32–35 /M74/ i 36–39 /M75/ na arkuszu nr 14

5. – pozycje rejestru T 0–7 /M17/ na arkuszu nr 2
   – " " 8–15 /M19/ " " nr 5
   – " " 16–23 /M21/ " " nr 9
   – " " 24–31 /M23/ " " nr 12
   – " " 32–39 /M24/ " " nr 16

6. – pozycje szyny K 0–1 /M40/ i 2–3 /M25/ na arkuszu nr 1
   – " " 4–5 /M41/ i 6–7 /M26/ " " nr 2
   – " " 8–9 /M43/ i 10–11/M28/ " " nr 5
   – " " 12–13 /M44/ i 14–15/M29/ " " nr 7
   – " " 16–17 /M45/ i 18–19/M31/ " " nr 9
   – " " 20–21 /M46/ i 22–23/M32/ " " nr 10
   – " " 24–25 /M48/ i 26–27/M34/ " " nr 12
   – " " 28–29 /M49/ i 30–31/M35/ " " nr 13
   – " " 32–33 /M50/ i 34–35/M38/ " " nr 16
   – " " 36–37 /M51/ i 38–39/M39/ " " nr 17

7. – pozycje szyny ZP 0–1 /M3/, 2–3 /M4/, 4–5 /M5/, 6–7 /M7/ – na arkuszu nr 18
   – pozycje szyny ZP 8–9 /M9/, 10–11 /M10/, 12–13 /M11/, 14–15 /M12/ – na arkuszu nr 19

8. – układ wykrywania zera w rejestrze T na pozycjach 0–7 na arkuszu 2
   – układ wykrywania zera w rejestrze T na pozycjach 8–15 na arkuszu 5
   – układ wykrywania zera w rejestrze T na pozycjach 16–23 i 32–39 na arkuszu 18
   – układ wykrywania zera w rejestrze T na pozycjach 24–31 na arkuszu 19

7.2. Pakiet F–PM

Na pakiecie mikrooperacji znajdują się następujące układy:

1. licznik FIC zrealizowany na kostkach SN74193
2. wskaźniki i przerzutniki zrealizowane na kostkach SN7474:
   CK,PM,M–1,SGN,D& ,T–1,WT,WDT,G,WC,IDI,DI,WS,END,CI,FWZ
3. dekoder (SN7442)
4. układy generujące wartości wskaźników Z,M,V,C.
5. układy generujące przerwania (m.in. SN123 i SN7474).
6. układ oceniający wartość różnicy cech
7. arytmometr do działań na cechach liczb zmiennoprzecinkowych.
   Zrealizowany jest on na kostkach 7475 (rejestr B) H87, SN7483 (sumator), 157 i 174, 175 (rejestr D).
8. układy generujące sygnały OPSU,T,OK,NZ
   Na schemacie ideowym (Strony 2-17 ÷ 2-28) układy te rozmieszczone są w sposób następujący:

1. – młodsze 4 bity licznika FIC/M60/ i 2 starsze /M61/ – na arkuszu 4

2. – wskaźnik CK/M41 – wyjście 9/ – na arkuszu nr 10
   – wskaźnik PM/M23 – wyjście 9/ – na arkuszu nr 10
   – przerzutnik M–1/M23 – wyjście 5/– na arkuszu nr 10
   – wskaźnik SGN/M37 – wyjście 9/ – na arkuszu nr 11
   – wskaźnik D&/M37– wyjście 5/ – na arkuszu nr 11
   – przerzutnik T–1/M41 – wyjście 5/– na arkuszu nr 9
   – wskaźnik WT/M79 – wyjście 9/ – na arkuszu nr 3
   – wskaźnik WDT/M79 – wyjście 5/ – na arkuszu nr 3
   – wskaźnik G/M80 – wyjście 5/ – na arkuszu nr 3
   – wskaźnik WC/M80– wyjście 9/ – na arkuszu nr 8
   – wskaźnik IDI/M81– wyjście 5/ – na arkuszu nr 8
   – przerzutnik DI/M81–wyjście 9/ – na arkuszu nr 8
   – wskaźnik WS/M82– wyjście 5/ – na arkuszu nr 7
   – wskaźnik END/M82– wyjście 9/ – na arkuszu nr 7
   – wskaźnik CI/M83 – wyjście 9/ – na arkuszu nr 7
   – wskaźnik FWZ/M83–wyjście 5/ – na arkuszu nr 7

3. – dekoder /M76/ na arkuszu nr 6

4. – układy generujące wartości wskaźników –Z/M74/, M/M65–8/, V/M65–8/, C/M50/ – na arkuszu nr 5
5. – układy generujące przerwania FI0 ÷ F13 na arkuszu nr 8
6. – układ oceniający wartość różnicy cech / $\Sigma c \geqslant 40$/ – na arkuszu nr 5
7. – pozycje rejestru B 0–3/M15/ i 4–7/M19/– na arkuszu nr 2
   – pozycje przełącznicy 0–3/M28/ i 4–7/M34/ " "
   – pozycje sumatora Σc 0–3/M29/ i 4–7/M33/ " "
   – pozycje sumatora –1 i –2 " "
   – pozycje szyny L –1 i –2 /M14/, 0–3/M30/, 4–7/M32/ – na arkuszu nr 1
   – pozycje rejestru D –1 i –2/M16/ i 2–7/M18/ – na arkuszu nr 1
8. – układy generujące sygnały OPSU, T, OK, NZ – na arkuszu nr 9.

7.3. Pakiet F–PS

Pakiet sterowania służy do wykonywania następujących funkcji:

1. wyznaczanie funkcji przejścia między stanami
2. generowanie mikrooperacji
3. realizowanie podziału czasowego (układ timera).
4. ponadto umieszczony jest na nim układ końca cyklu i licznik LP.

Przerzutniki stanów zrealizowane są na układach SN74175 oraz SN7474, układ timera i końca cyklu SN74123. Licznik LP zrealizowany jest na układach SN74H106. Na grzbiecie pakietu znajdują się potencjometry służące do regulacji czasów timera.

Na schemacie ideowym (strony 2–1 ÷ 2–16) układy te rozmieszczone są w sposób następujący:

1.

– przerzutnik stanu F1/M60–wyjście 9/ – na arkuszu nr 9
– przerzutnik stanów F2,4,5,6/M62/ oraz F3/M60 – wyjście 6–ze względu na odwrotną konwencję/ – na arkuszu nr 8
– przerzutniki stanów F7–F10/M25/ na arkuszu nr 12
– przerzutniki stanów F11–F13/M5/ " " 11
– układ generujący funkcję wejściową do stanu F2 – SC1 – na arkuszu nr 9
– układ generujący funkcję wejściową do stanu F4–SD1 – na arkuszu nr 7
– układ generujący funkcję wejściową do stanu F5–SA1 F2,6 – na arkuszu nr 7
– układ generujący funkcję wejściową do stanu F6– SB1 F2,6 – na arkuszu nr 7
– układ generujący funkcję wejściową do stanu F7 – EF7 – na arkuszu nr 6
– układ generujący funkcję wejściową do stanu F10–SA1 F7,10 – na arkuszu nr 11
– układ generujący funkcję wejściową do stanu F13–SB1 – na arkuszu nr 10
– pozostałe układy funkcji wejściowych umieszczone są na tych samych arkuszach co odpowiednie przerzutniki stanów.

2.

a) mikrooperacje rejestrów

– układy generujące sygnały O → T, L → D, T → C, CLOCK TA, CLOCK TB, CLOCK TC – na arkuszu nr 3
– układy generujące sygnały T–1 → T–1; TAA, TAB, TRB, CP – na arkuszu nr 4
– układy generujące sygnały O → D, O → M, MA, MB, CLOCKM – na arkuszu nr 13

b) mikrooperacje sumatorów

– układy generujące sygnały FAA, FAB, FRA, FRB - na arkuszu nr 5
– układ generujący sygnał FCB – na arkuszu nr 3
– " " " SCC – " " 13

c) mikrooperacje szyn

– układ generujący sygnał LKB – na arkuszu nr 3
– układy generujące sygnały ZPA,ZPB,O→ZP na arkuszu nr 15

d) mikrooperacje przesyłane do jednostki centralnej

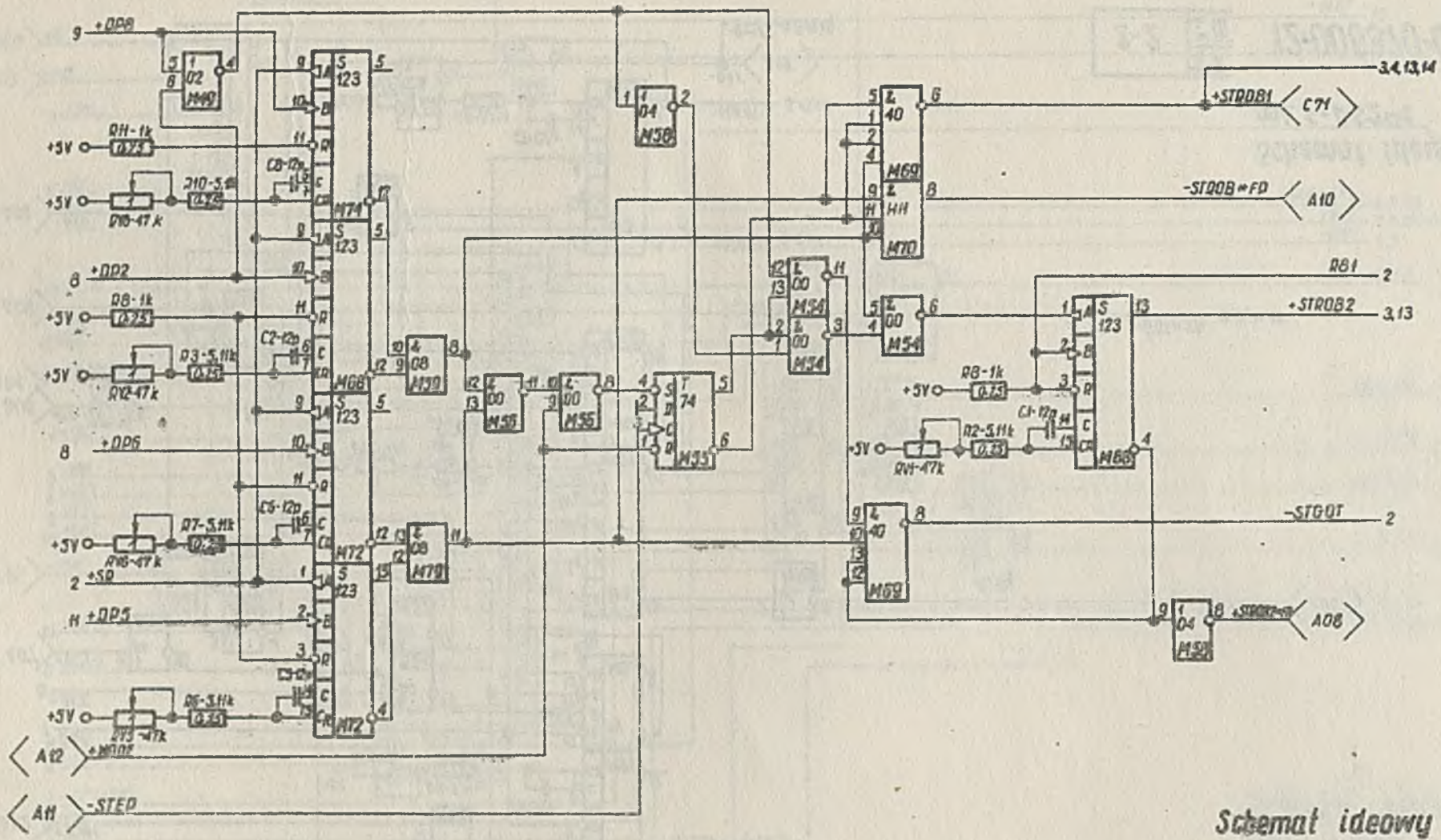
– układy generujące sygnały SR ★FP, EKC★ FP – na arkuszu nr 2
– układ generujący sygnał READ★ FP – na arkuszu nr 9
– układ generujący sygnał RLP★ FP – na arkuszu nr 14
– układy generujące sygnały S★FP, USTRO★ FP – na arkuszu nr 15

3.

– uniwibrator /M74–wyjście 13/ i przerzutnik /M73 – wyjście 15/ startu pętli MAŻ–400, uniwibrator GOT/M71–wyjście 5/ – na arkuszu nr 2
– uniwibrator strobu 2 /M68–wyjście 13/ i 4 uniwibratory różnicujące czas trwania poszczególnych stanów /M72,M68–wyjście 5, M74–wyjście 5/, przerzutnik umożliwiający pracę krokową /M55––wyjście 5/–na arkuszu nr 1
– układy sterujące wzbudzanie uniwibratorów "różnicujących" –DP2 i DP6 na arkuszu nr 8, DP8 –– na arkuszu nr 9, DP5 – na arkuszu nr 11.

4.

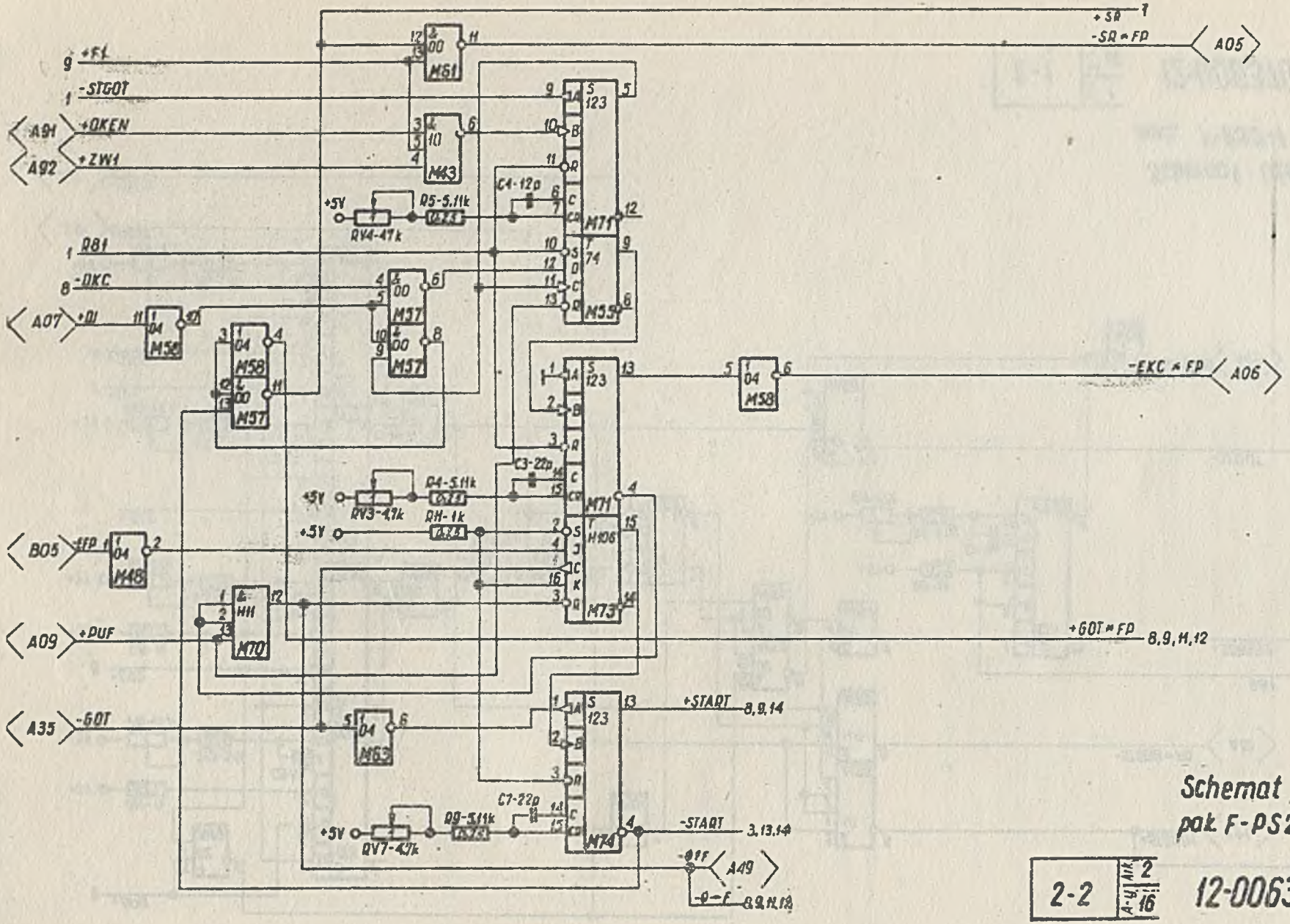
– uniwibrator końca cyklu /M71–wyjście 13/ na arkuszu nr 2
– pozycja LPA /M50– wyjście 15/ i LPB /M50– wyjście 11/ licznika LP – na arkuszu nr 14.



Schemat ideowy
pak. F-PS2-1

2-1	Ark. 1 / A-4 16

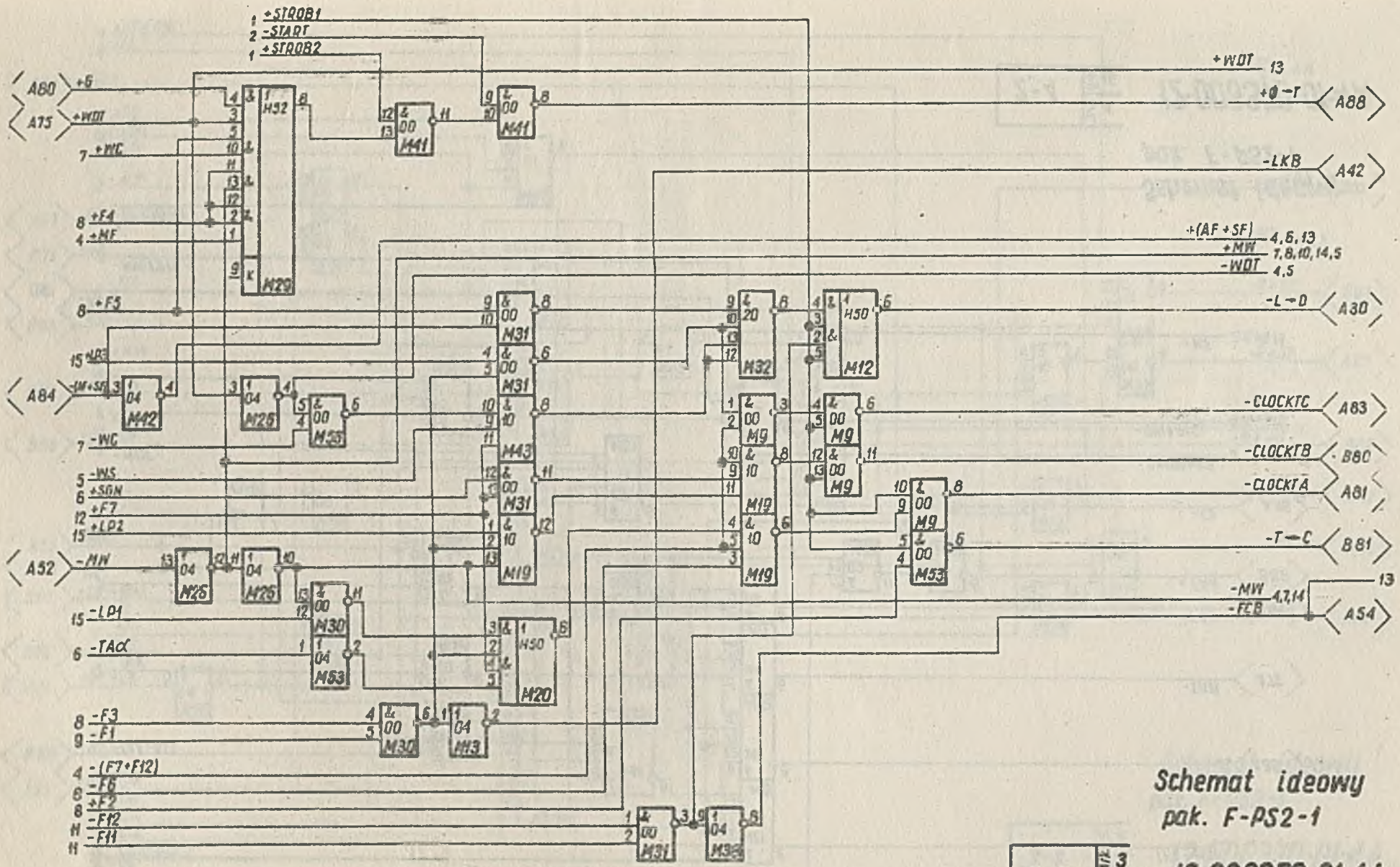
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-2	Ark. 2 / A-4 16

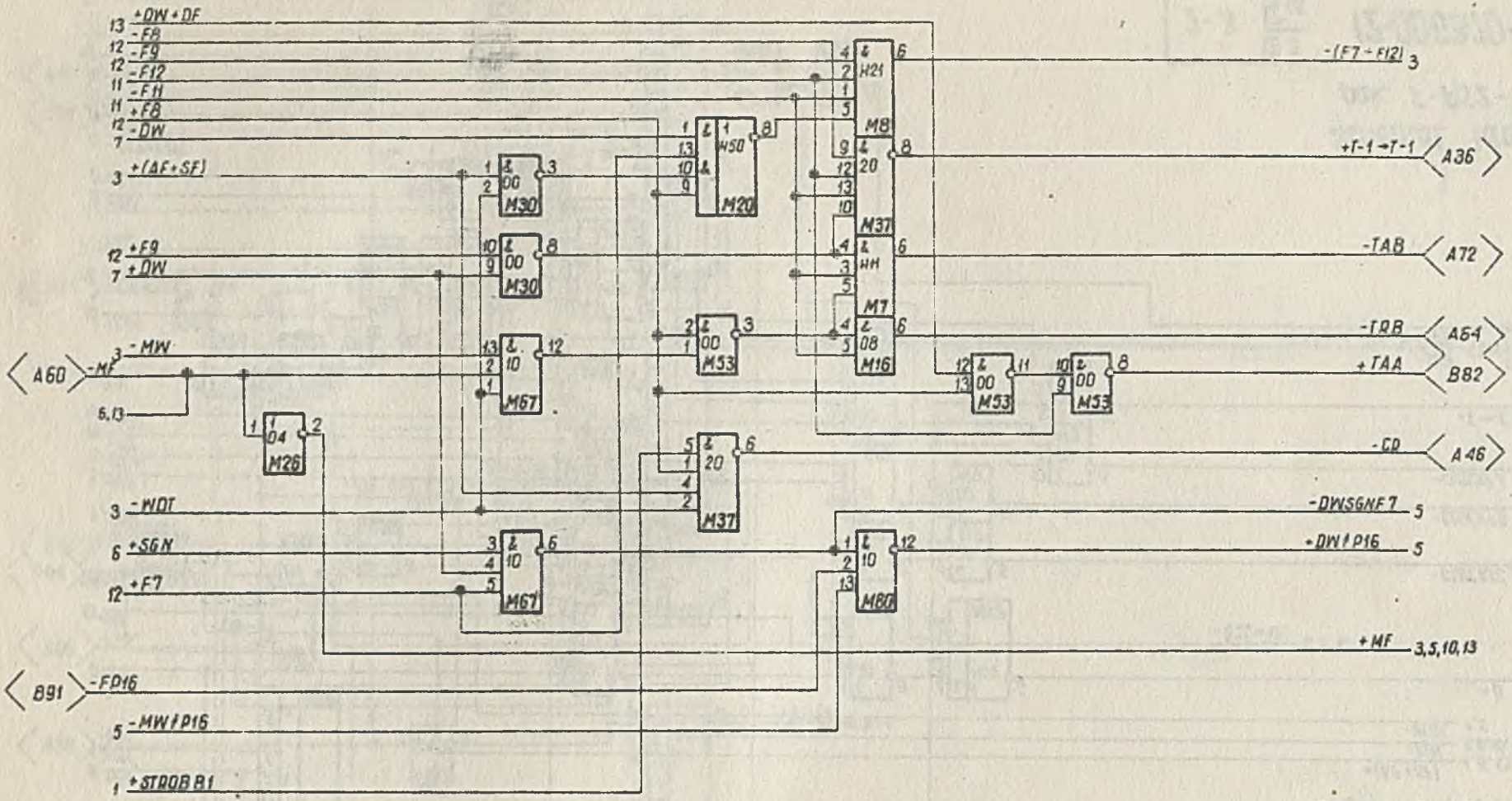
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-3 | ARKUSZ 3 | 16

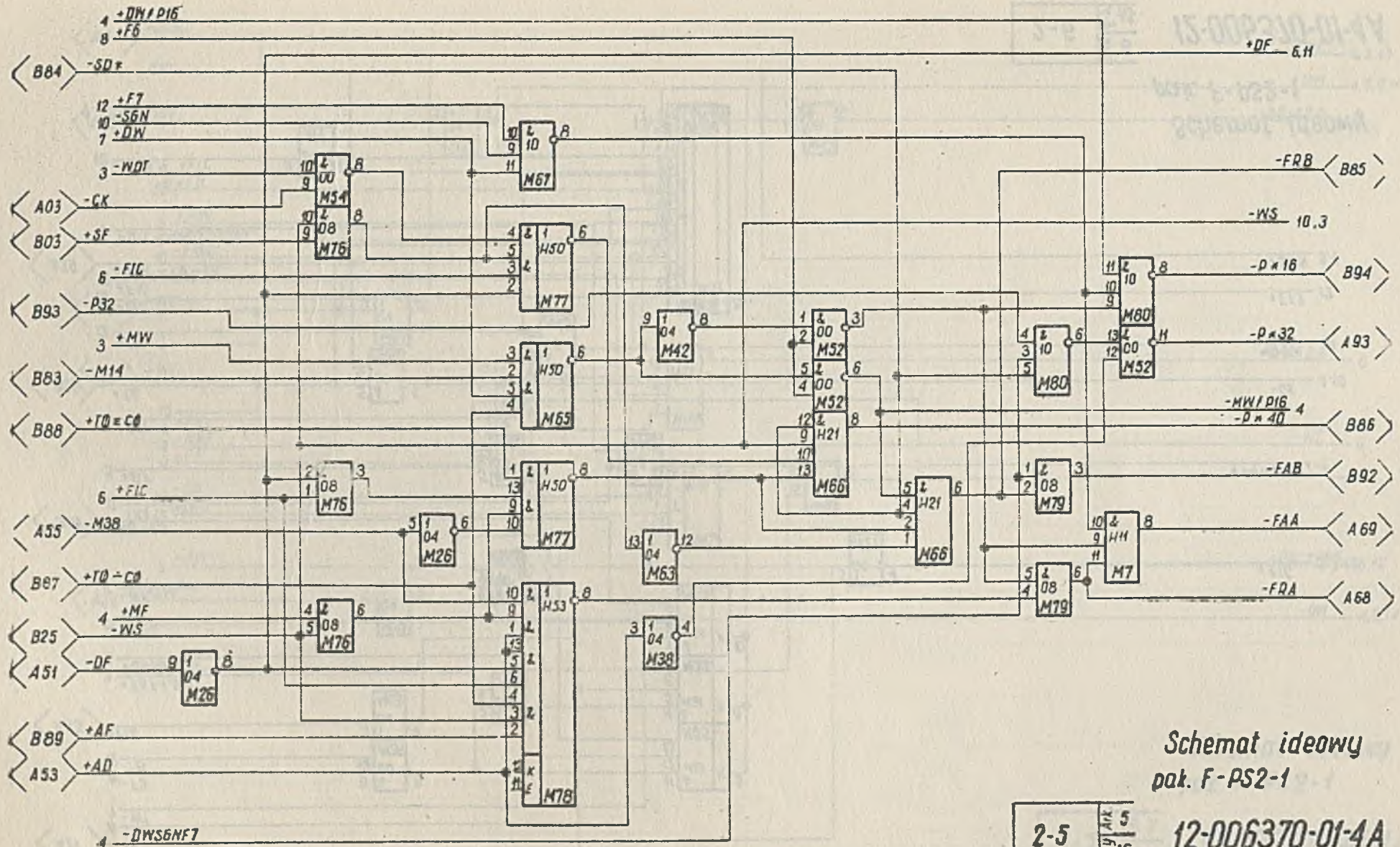
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-4	Ark. 4 / 16

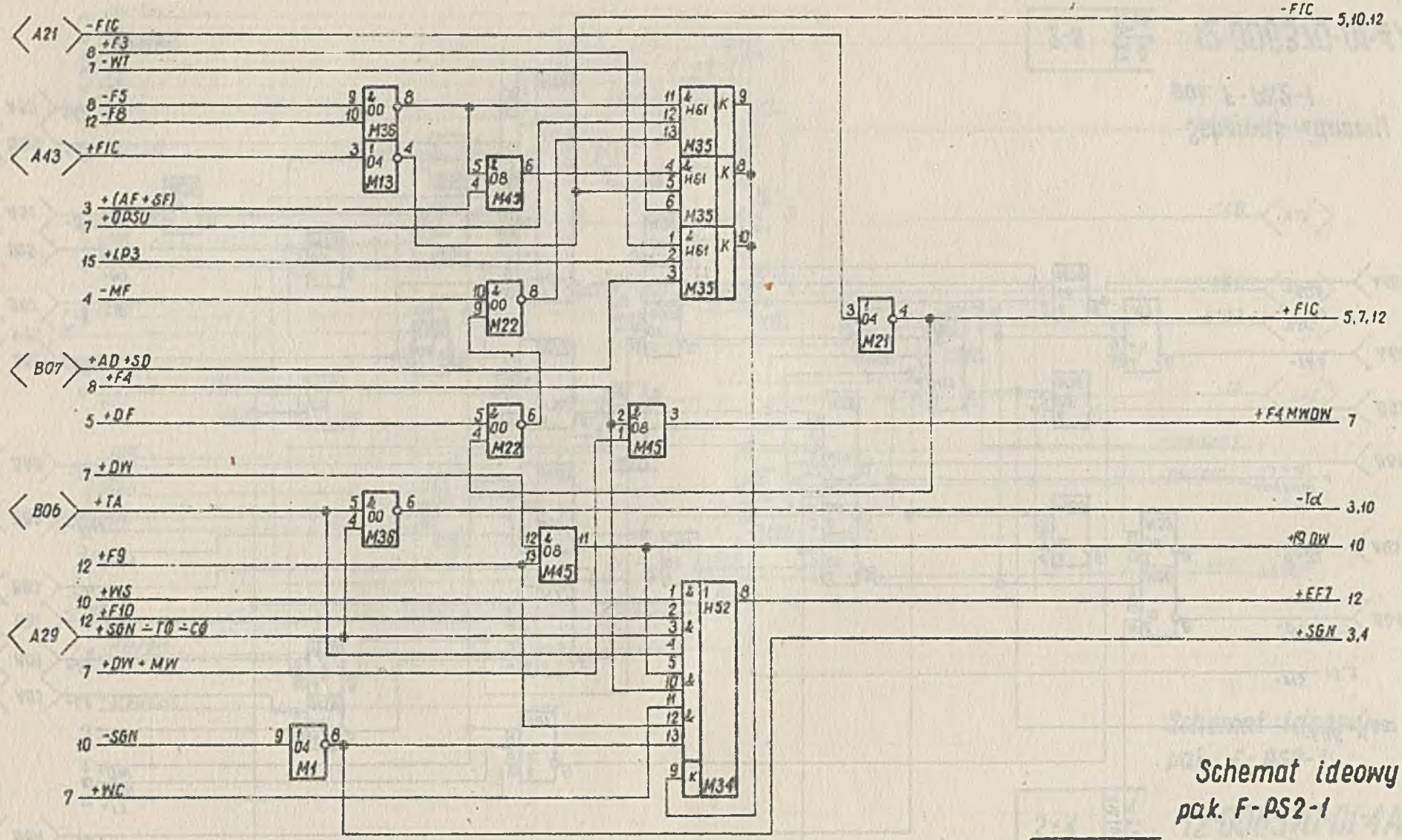
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

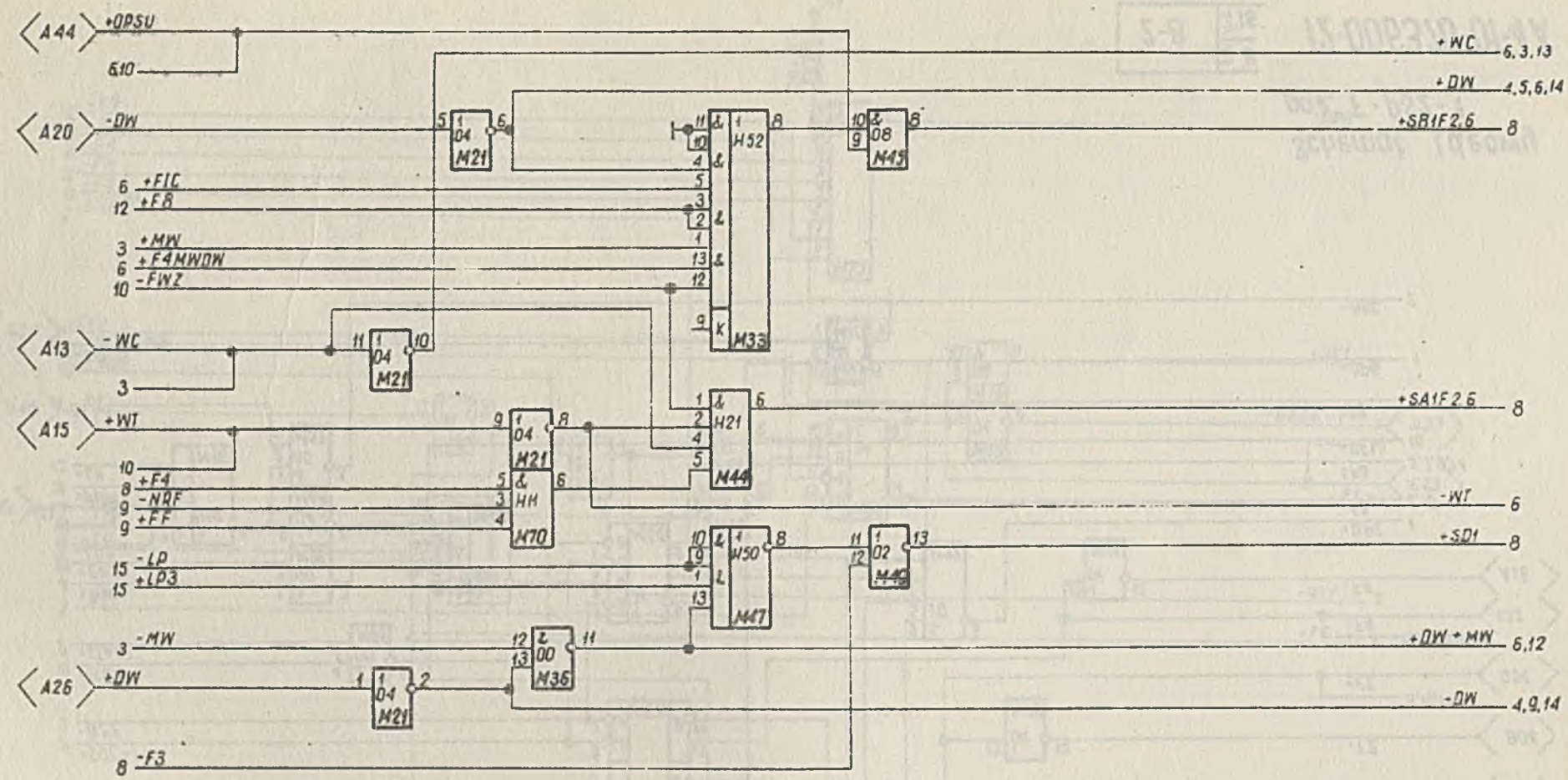
2-5 | Ark 5 | Ark 16

12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

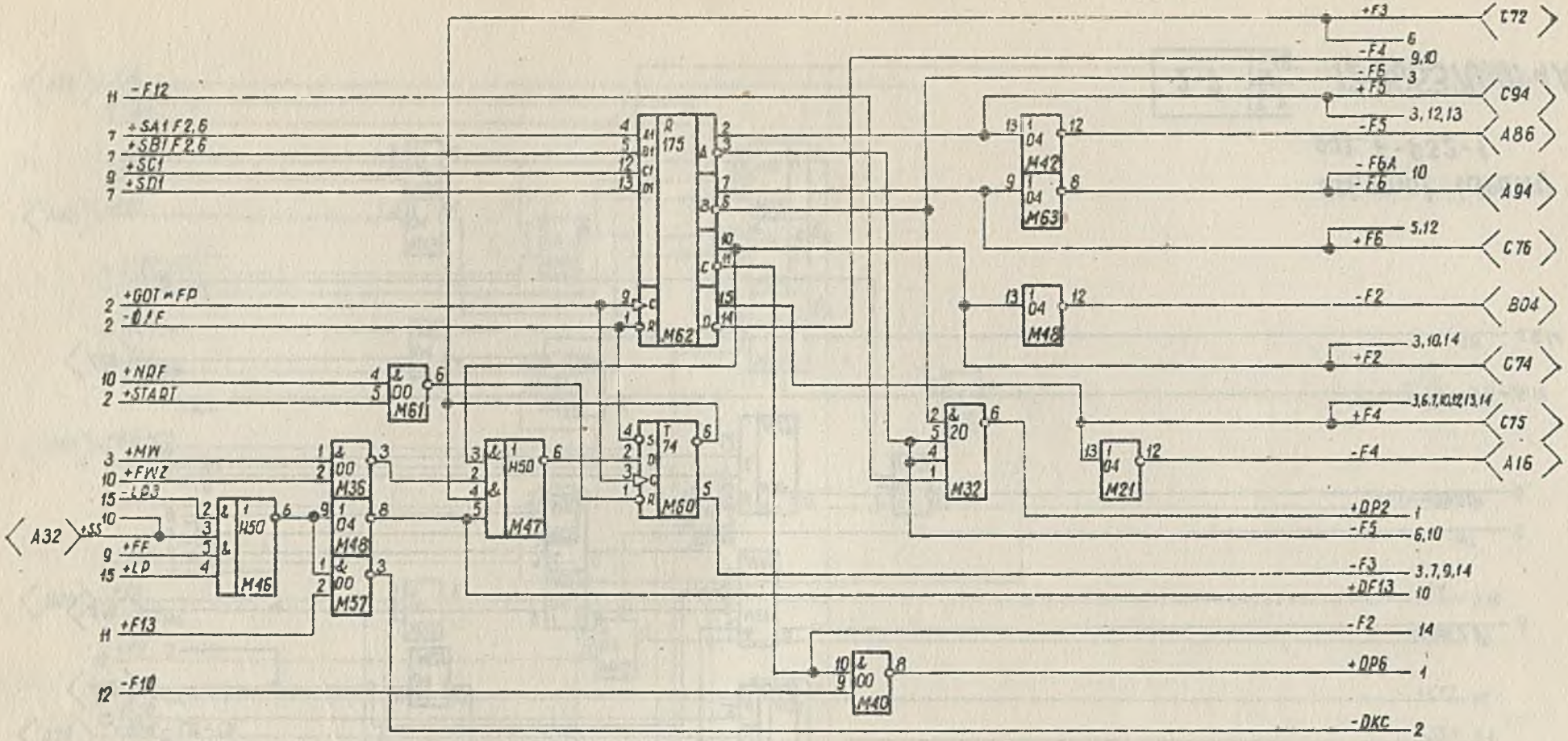
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-7	Ark 7 / A-y 16

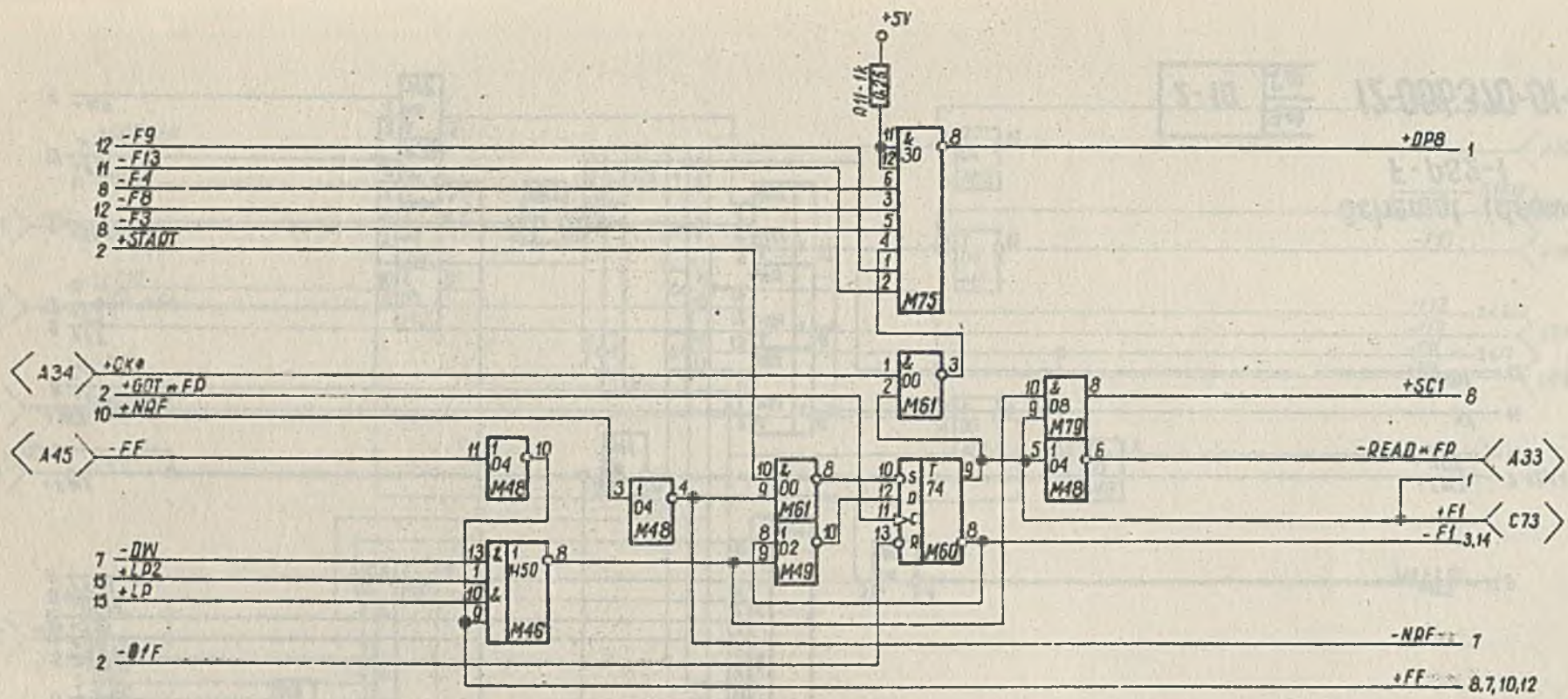
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-8 | Ark 8 / Ary 16

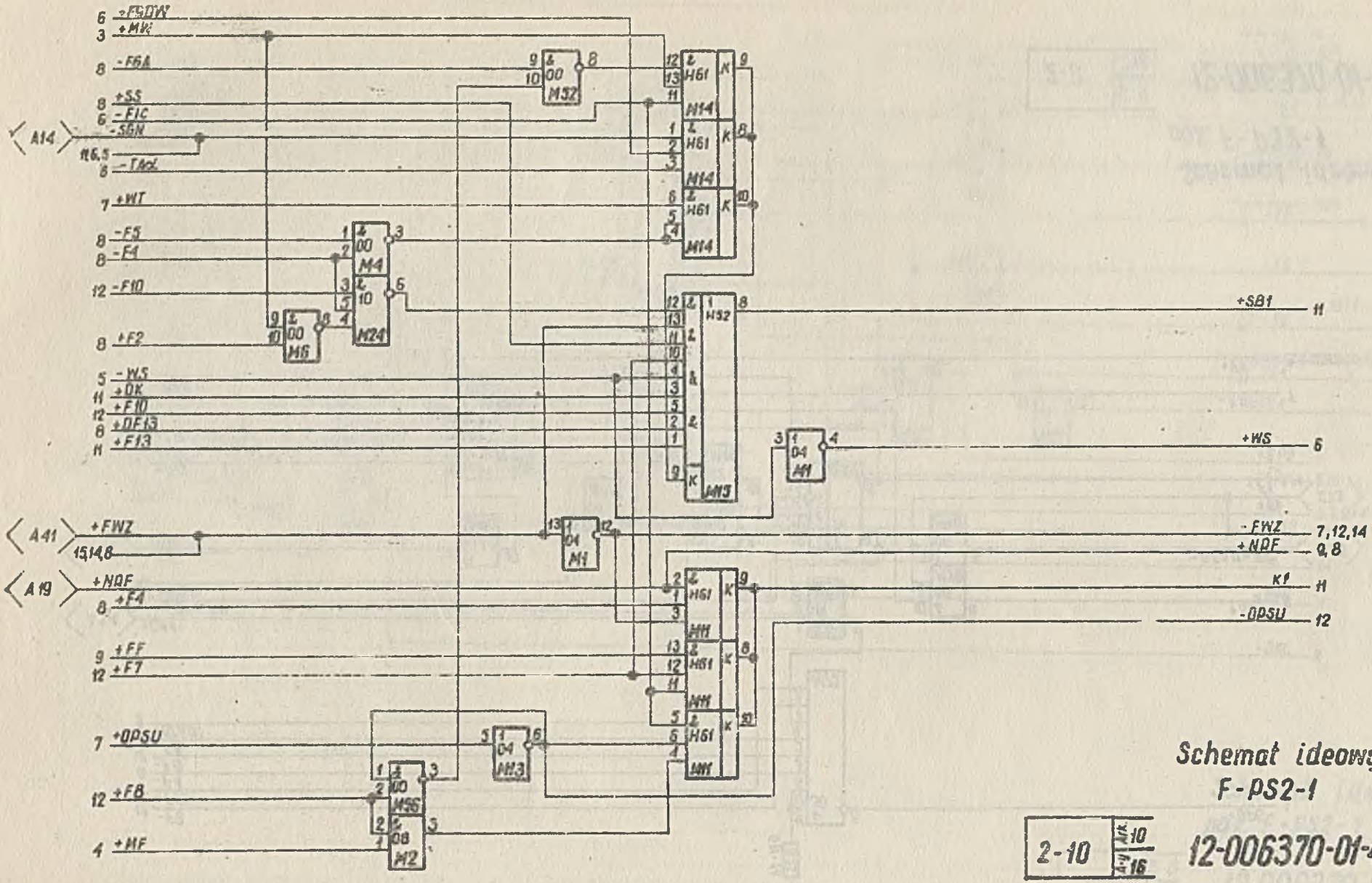
12-006370-01-4A



Schemat ideowy
pak. F-PS2-1

2-9	Ark 9 / A-y 16

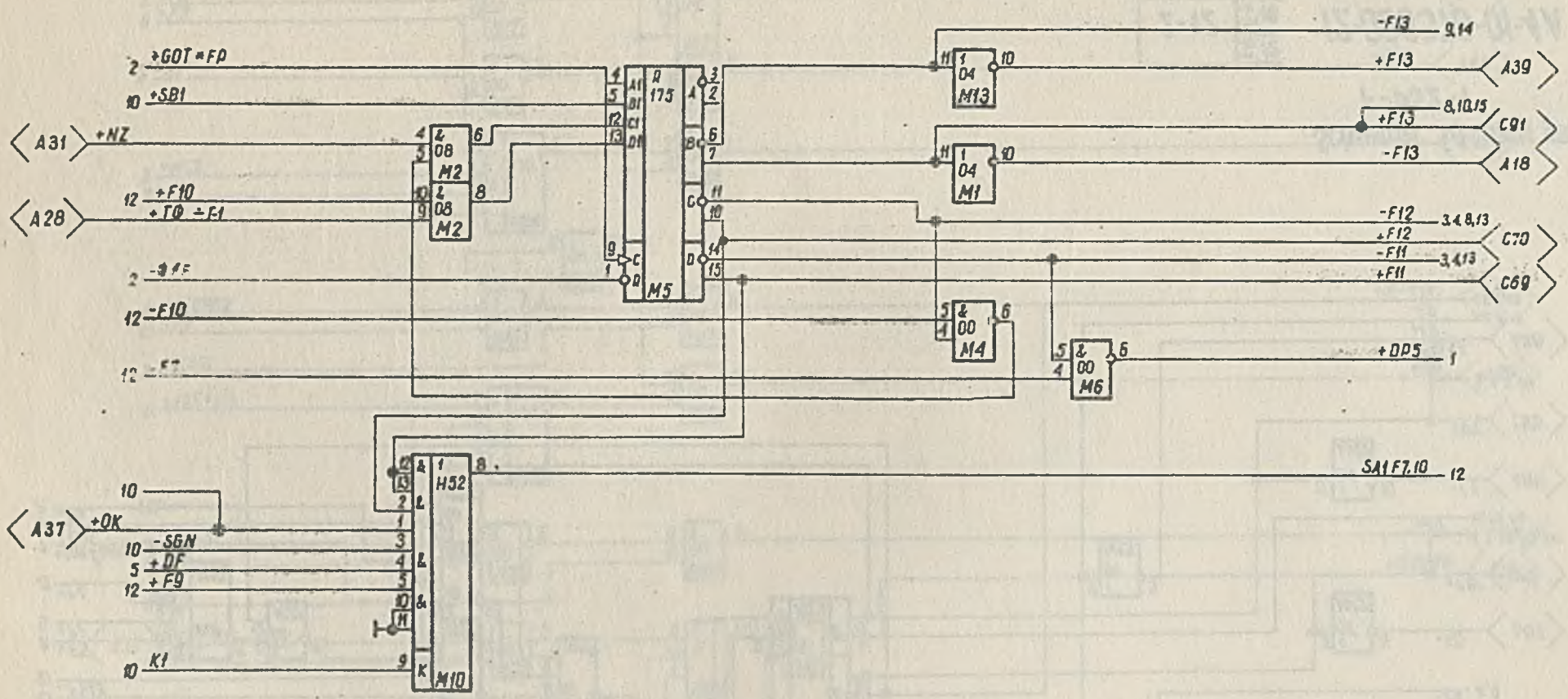
12-006370-01-4A



Schemat ideowy pak.
F-PS2-1

2-10 | 10 / 16

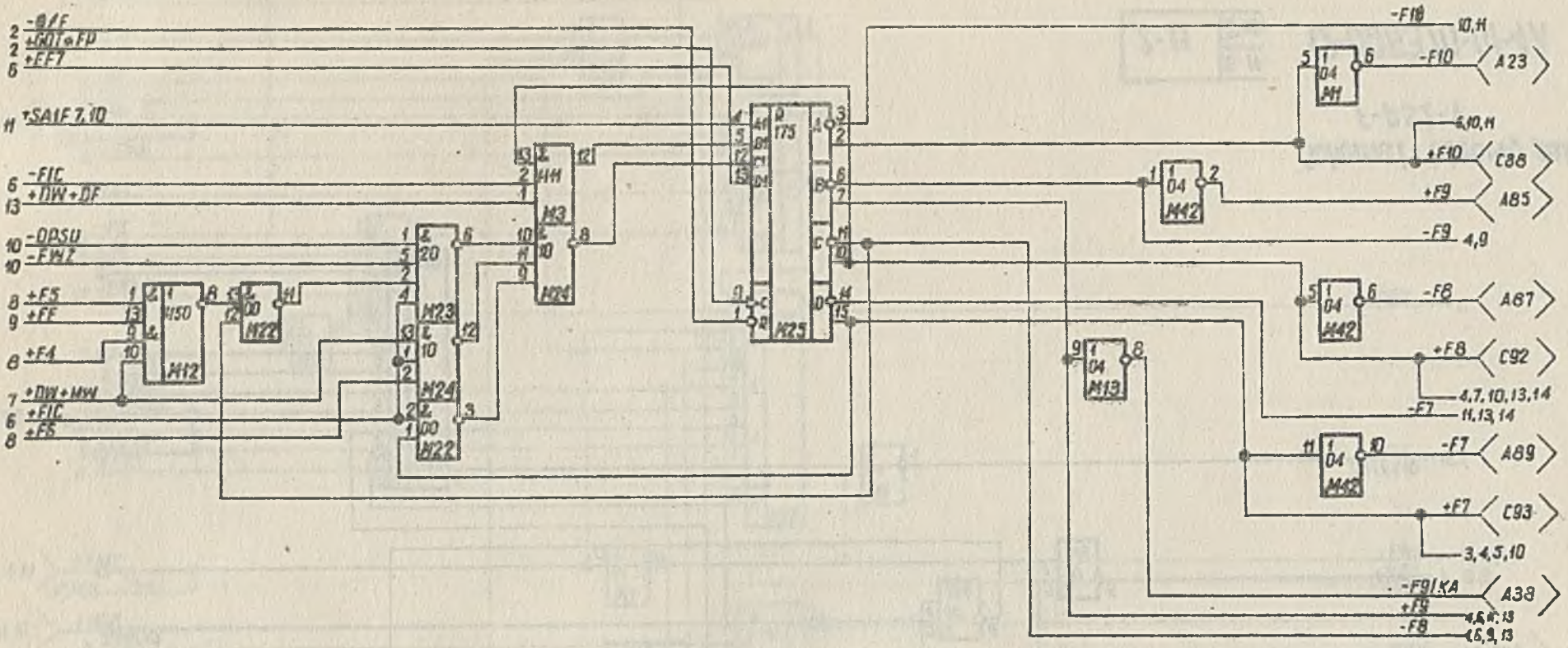
12-006370-01-4A



Schemat ideowy pak.
F-PS2-1

2-11	Ark 11 / A-y 15

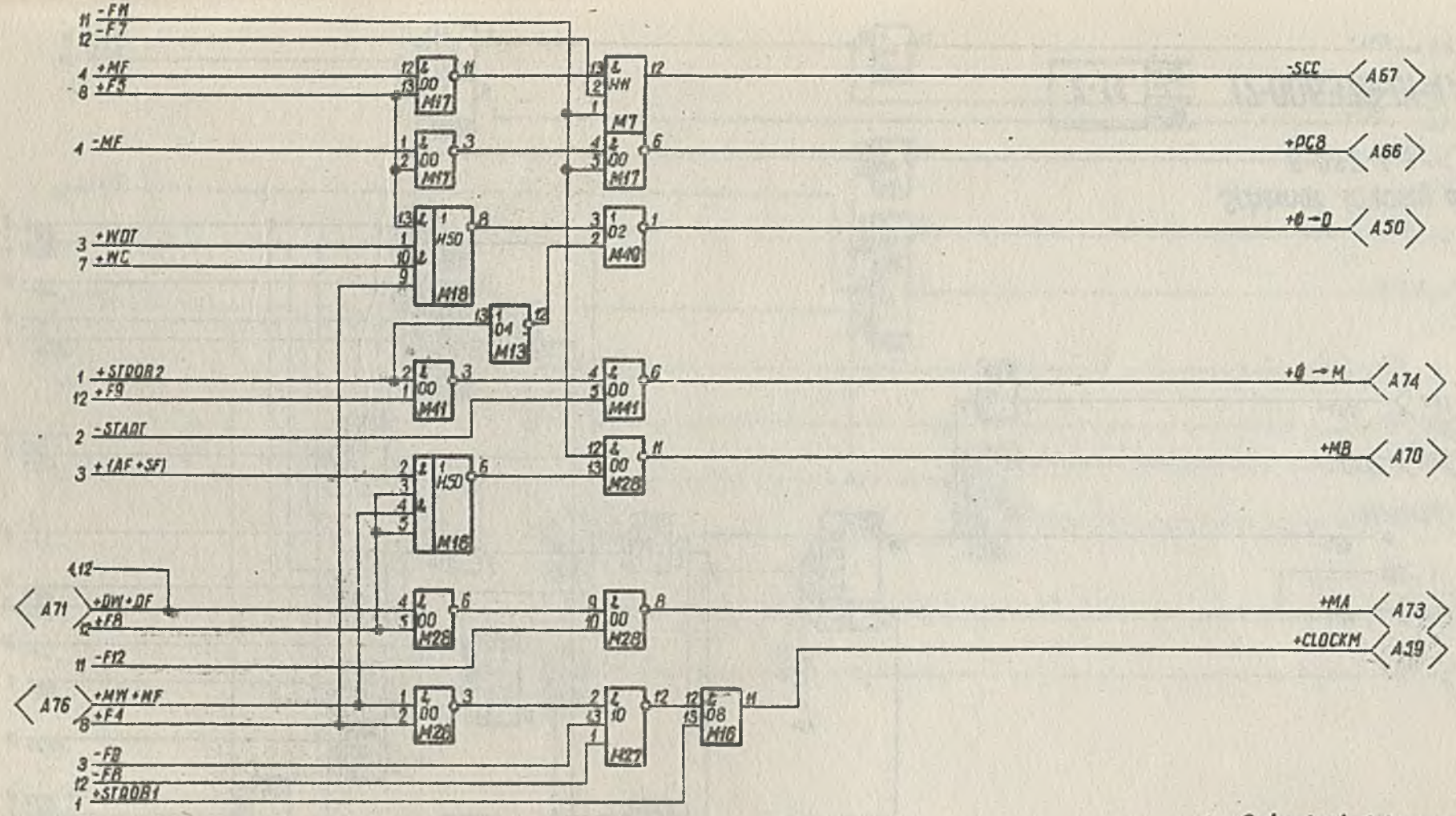
12-006370-01-4A



Schemat ideowy pak.
F-PS2-1

2-12	Arkusz	12
	Arkuszy	16

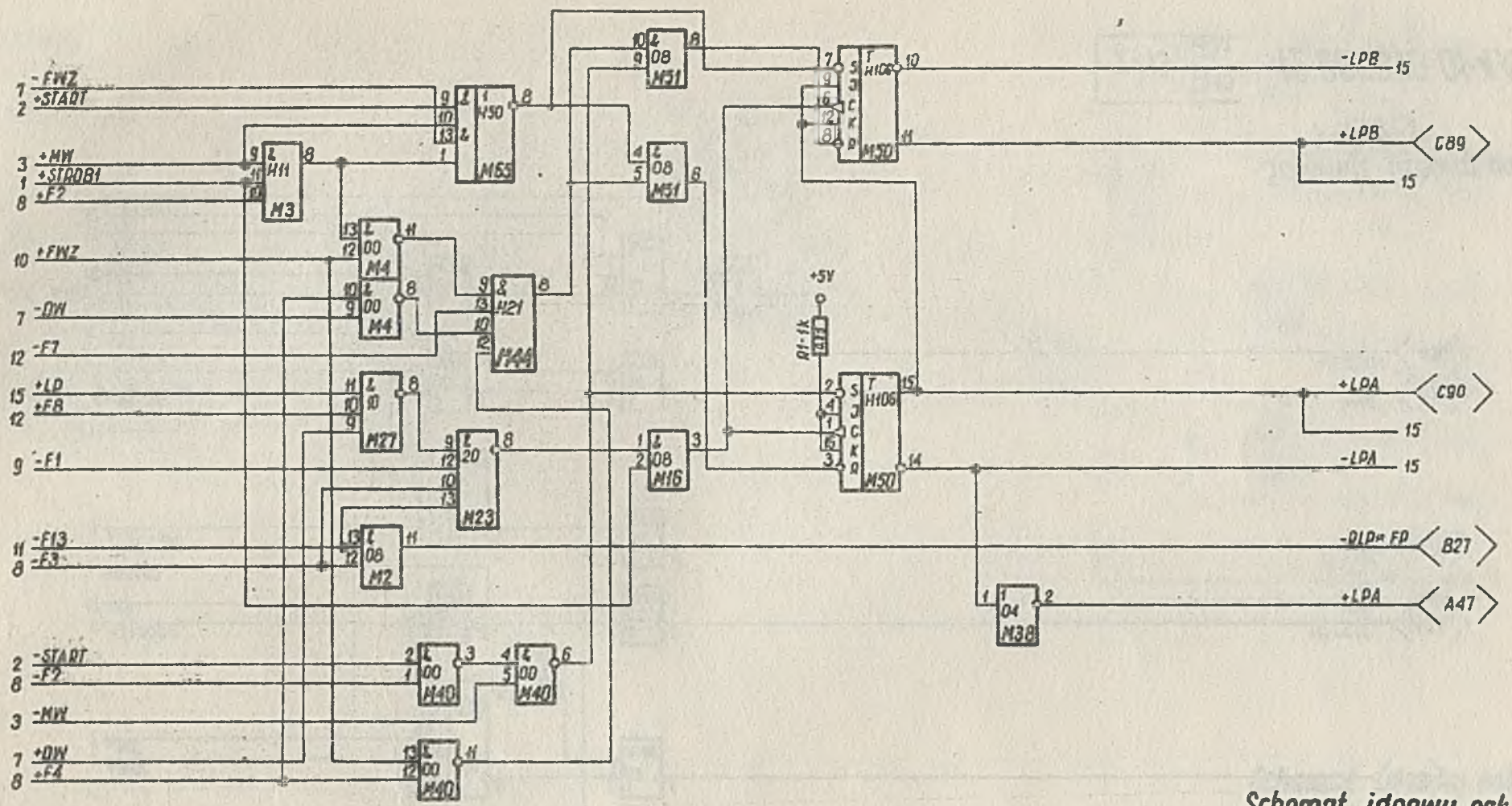
12-006370-01-4A



Schemat ideowy pak.
F-PS2-1

2-13 | Ark. 13 / 16

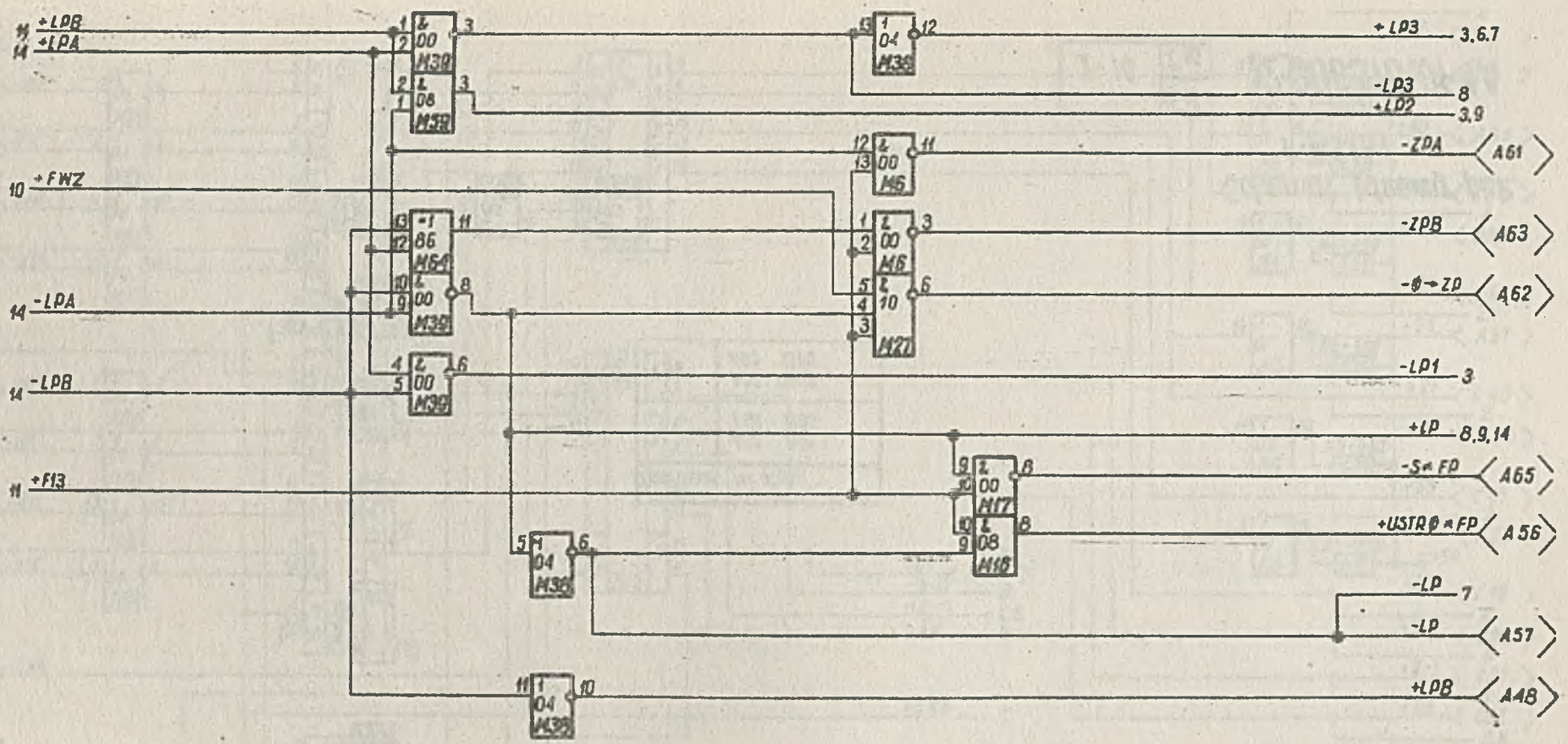
12-006370-01-4A



Schemat ideowy pak.
F-PS2-1

2-14	Arkusz 14 / 16

12-006370-01-4A

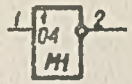


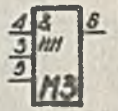
Schemat ideowy
pak. F-PS2-1

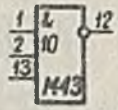
2-15

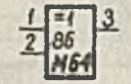
12-006370-01-4A

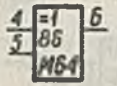
Wolne bramki:

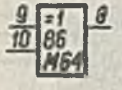


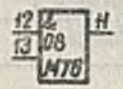


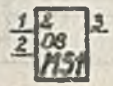


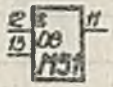


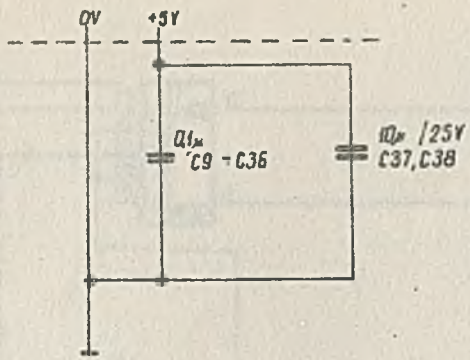










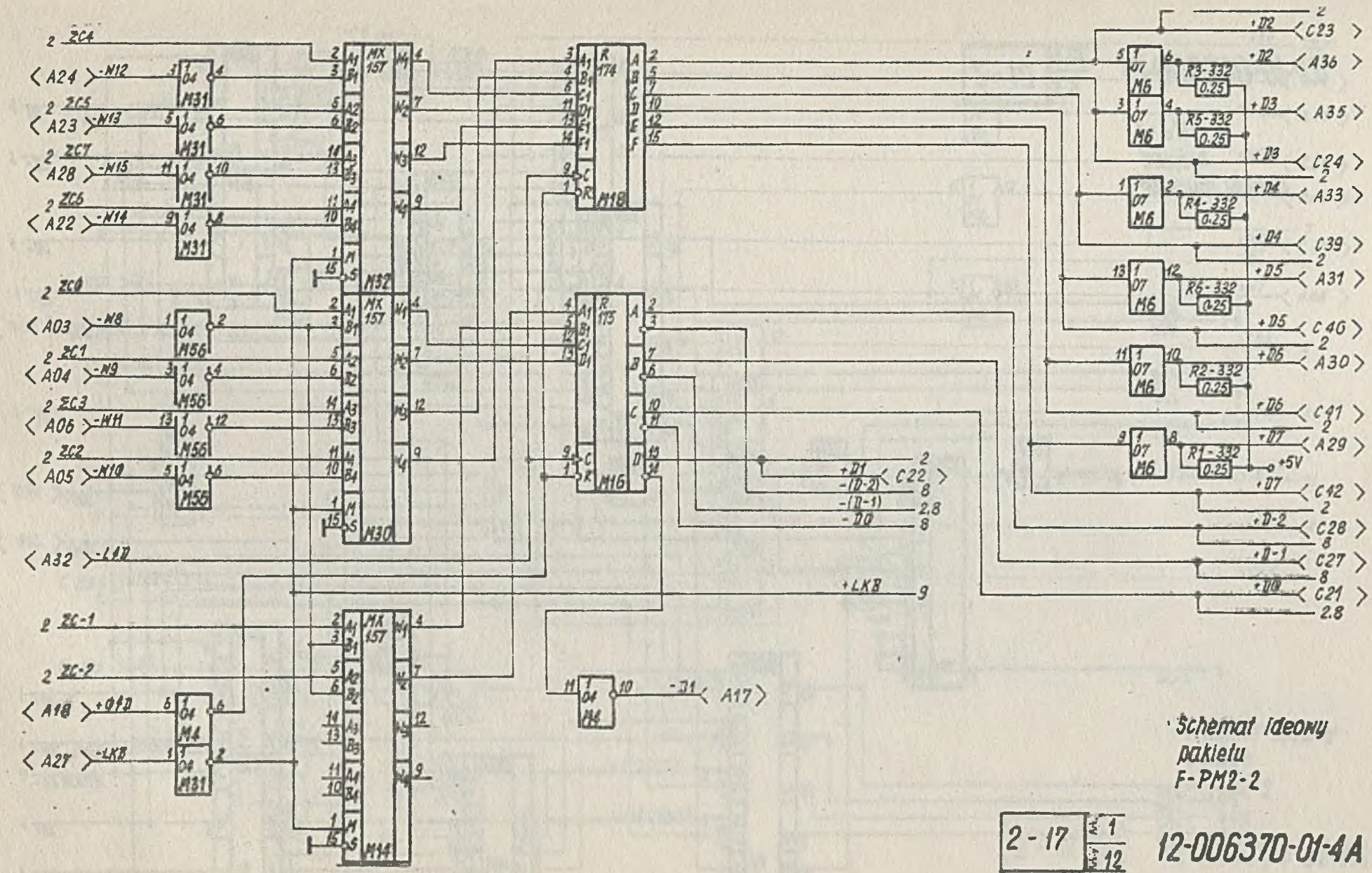


Zasilanie	Nr styku
0V	A01 B01 A96 B96
+5V	A02 B02 A95 B95

Schemat ideowy pak.
F-PS2-1

2-16	Arkusz 16 / 16

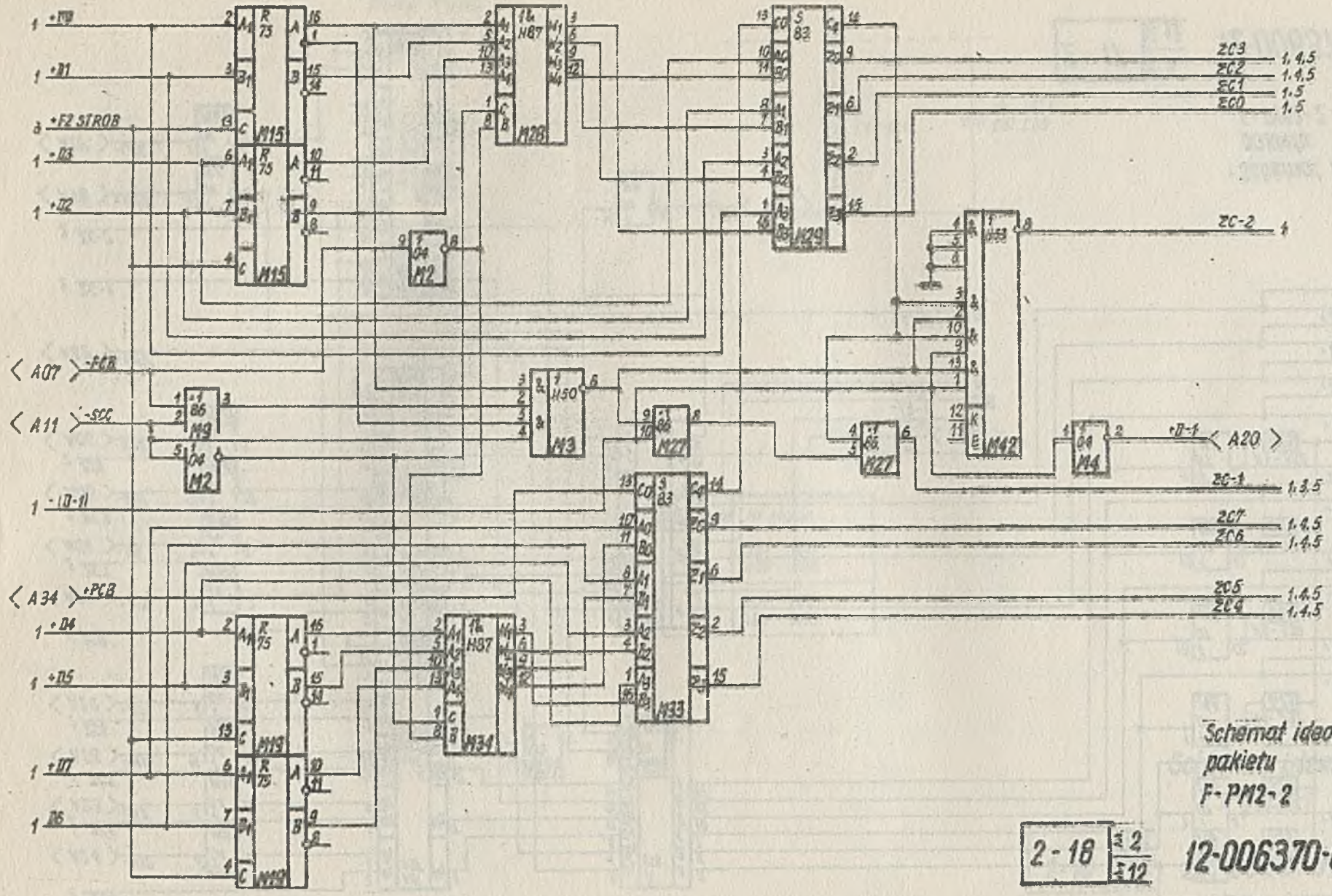
12-006370-01-4A



Schemat ideowy
pakietu
F-PM2-2

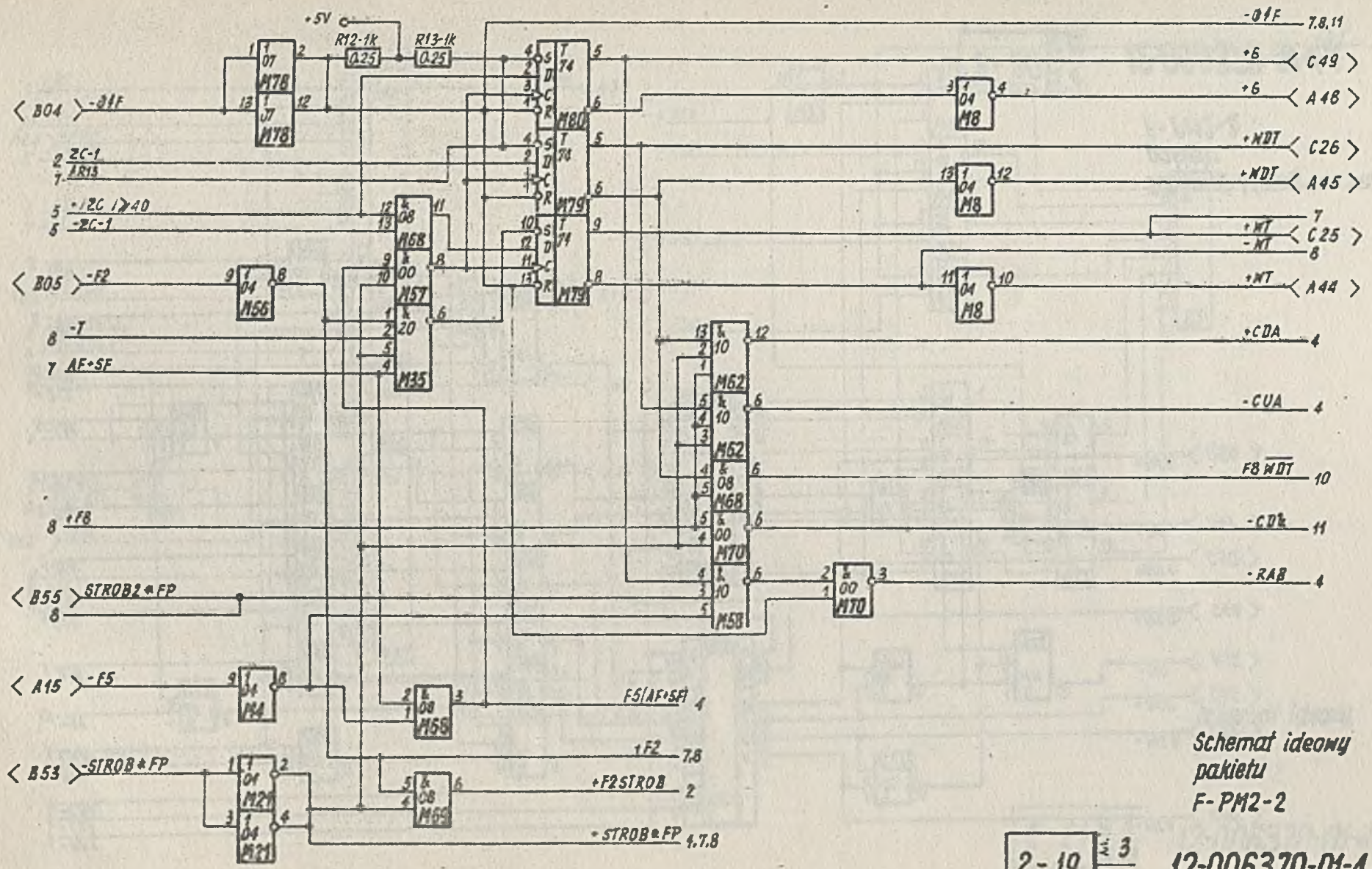
2 - 17 | 1 / 12

12-006370-01-4A



Schemat ideowy
pakietu
F-PM2-2

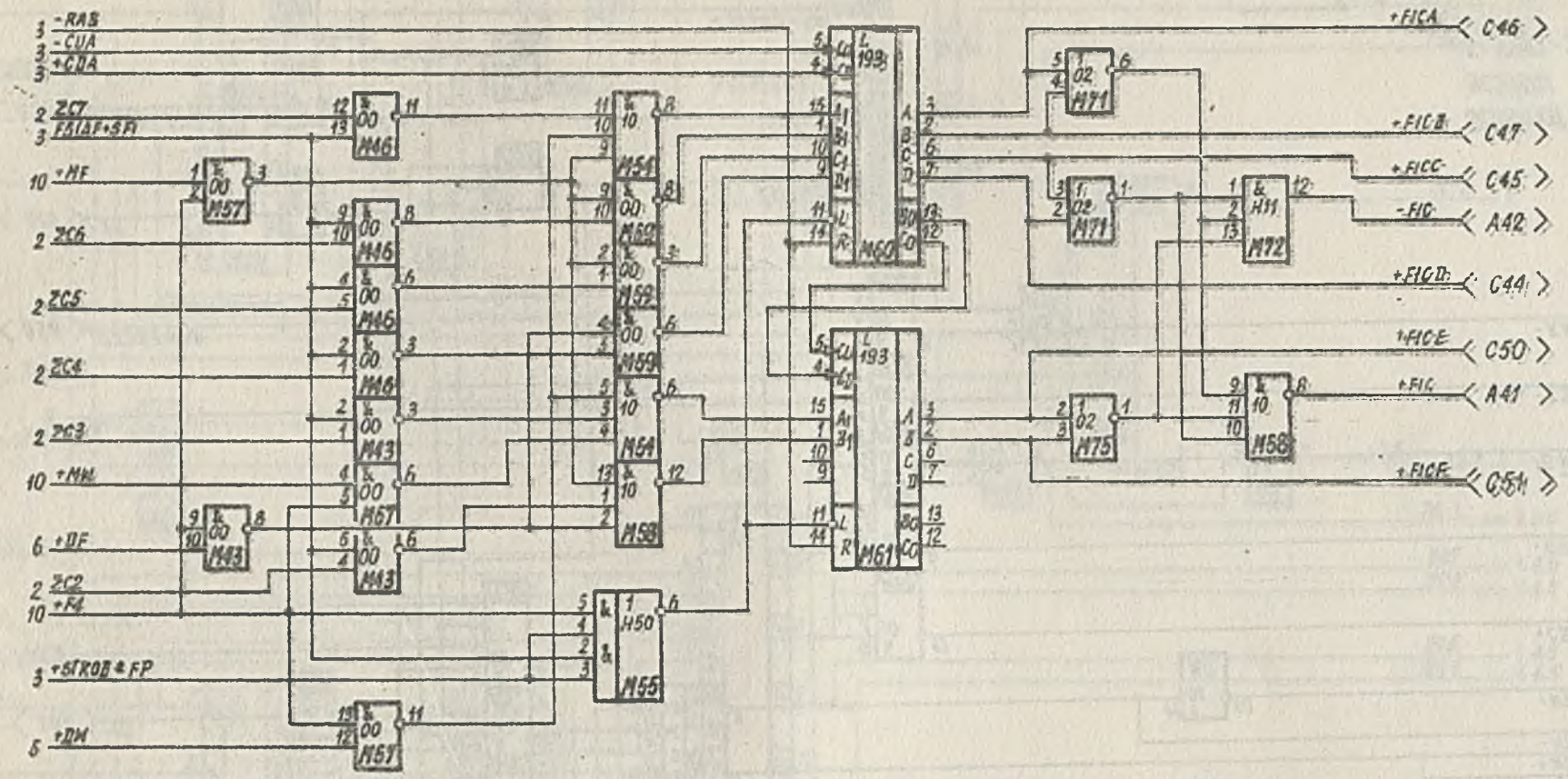
12-006370-01-4A



Schemat ideowy pakietu F-PM2-2

2-19 Nr 3 Str 12

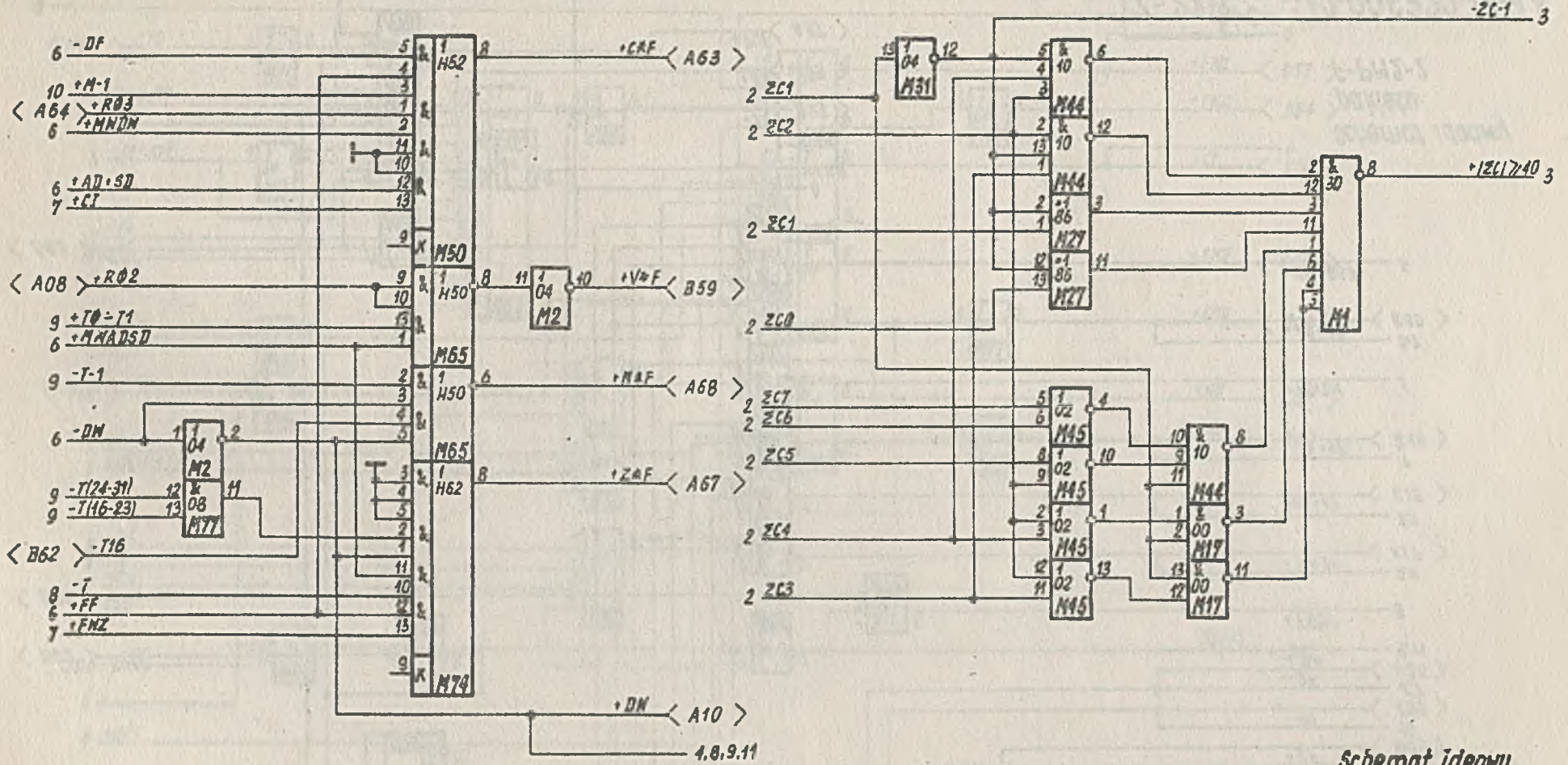
12-006370-01-4A



Schemat ideowy pakietu F-PM2-2

2-20 4/12

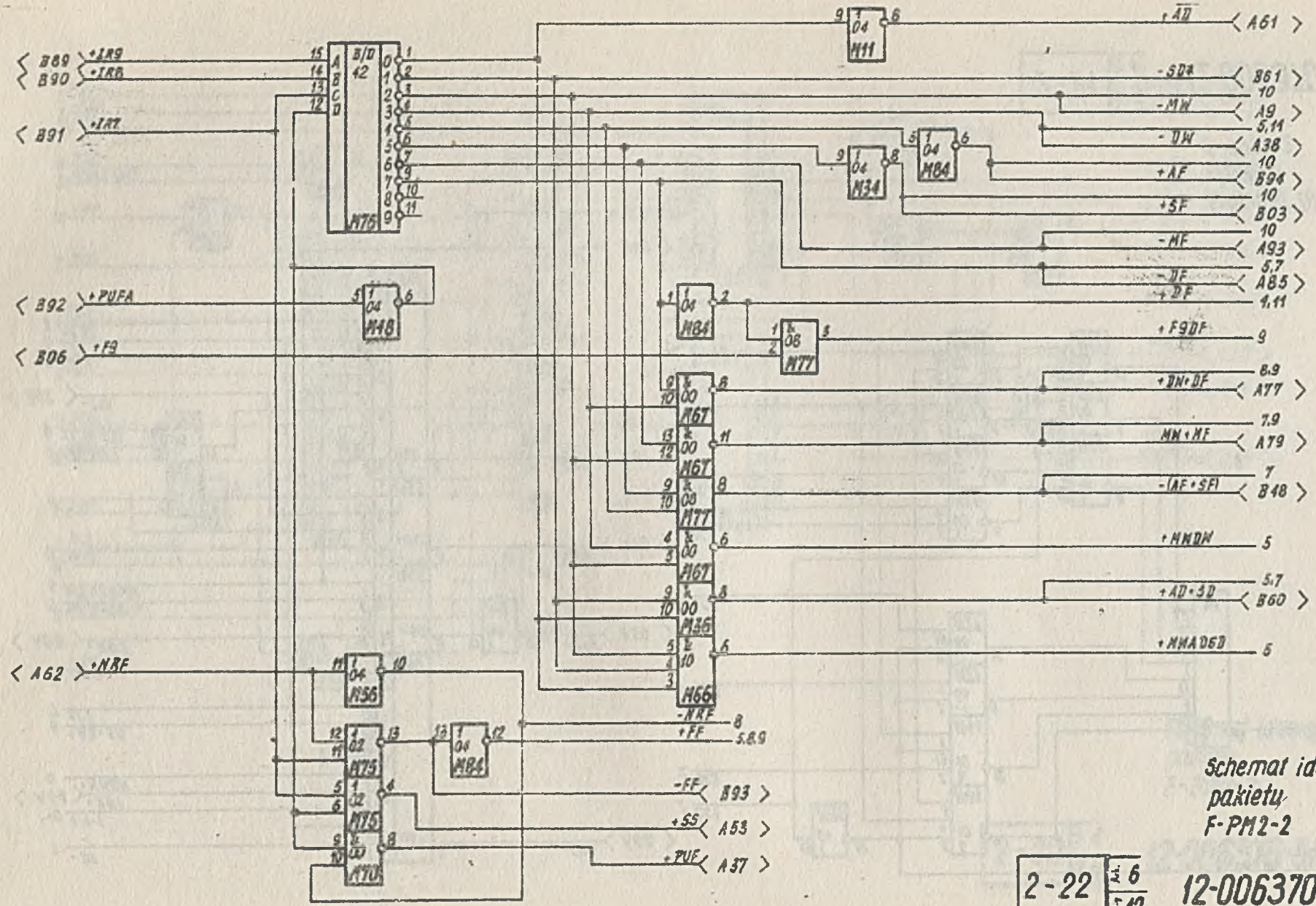
12-006370-01-4A



Schemat ideowy
pakietu
F-PM2-2

2-21 ∑ 5 / ∑ 12

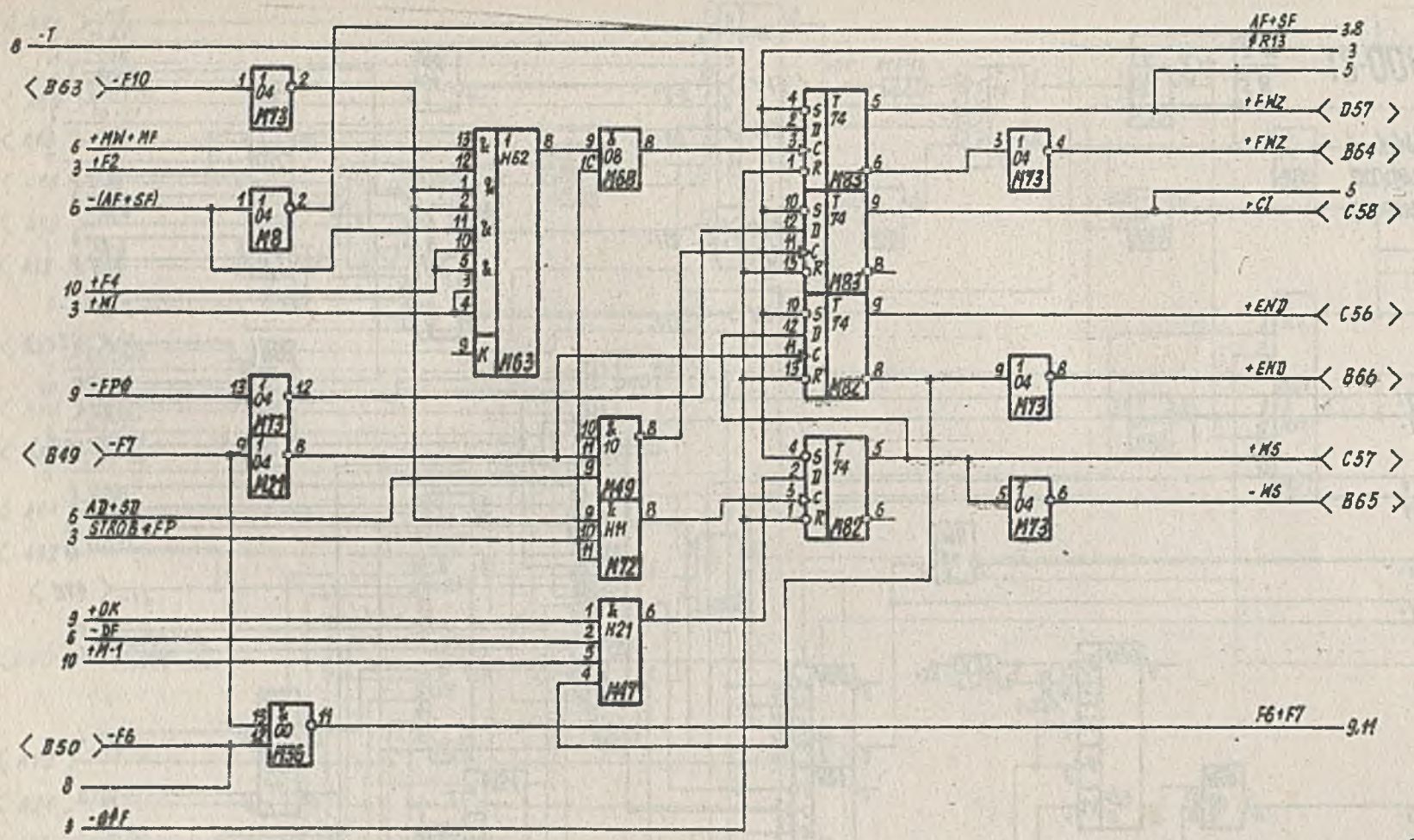
12-006370-01-4A



Schemat ideowy pakietu F-PM2-2

2-22 ark 6 z 12

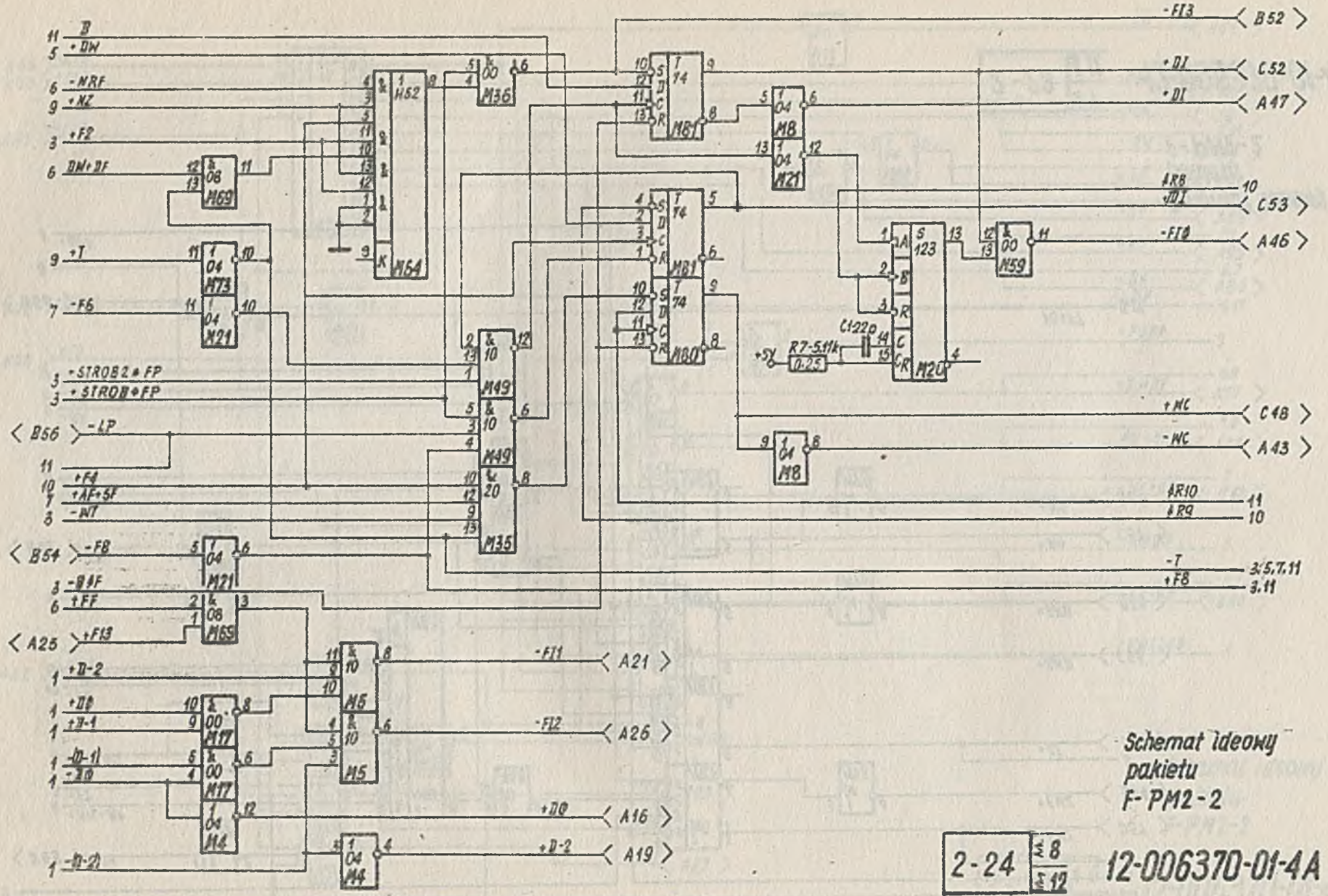
12-006370-01-4A



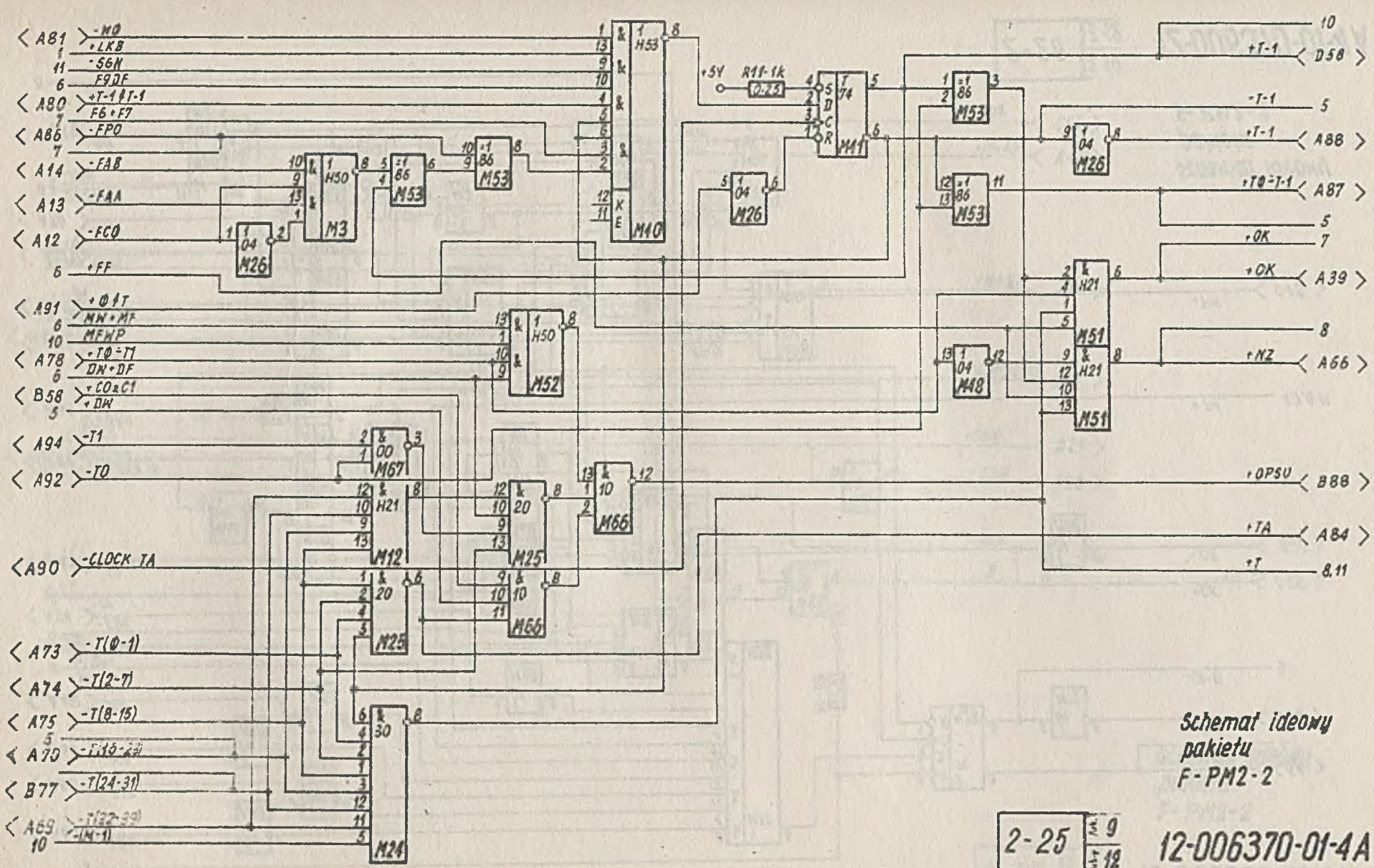
Schemat ideowy
pakietu
F-PM2-2

2-23 | 7/12

12-006370-01-4A



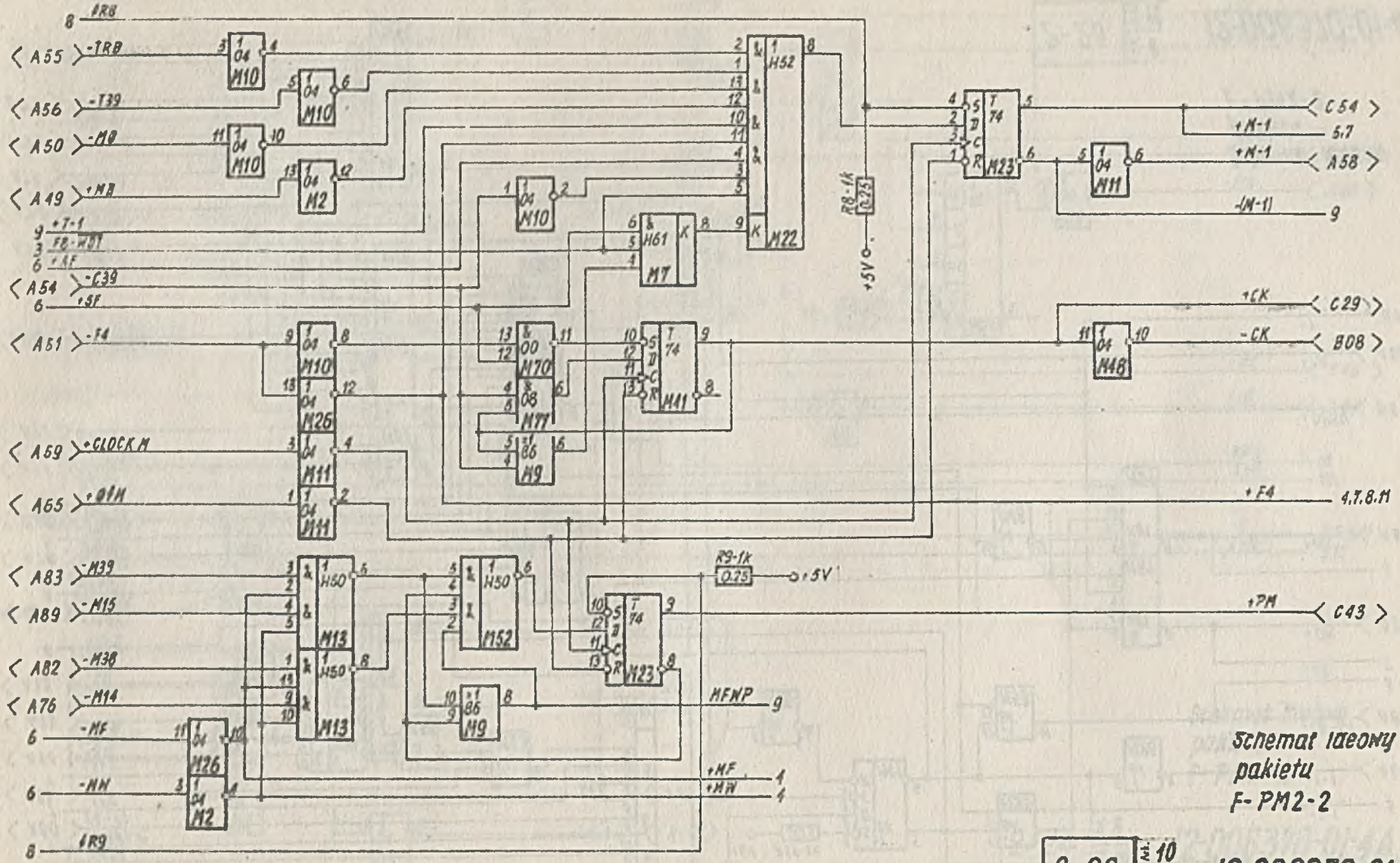
Schemat ideowy
pakietu
F-PM2-2

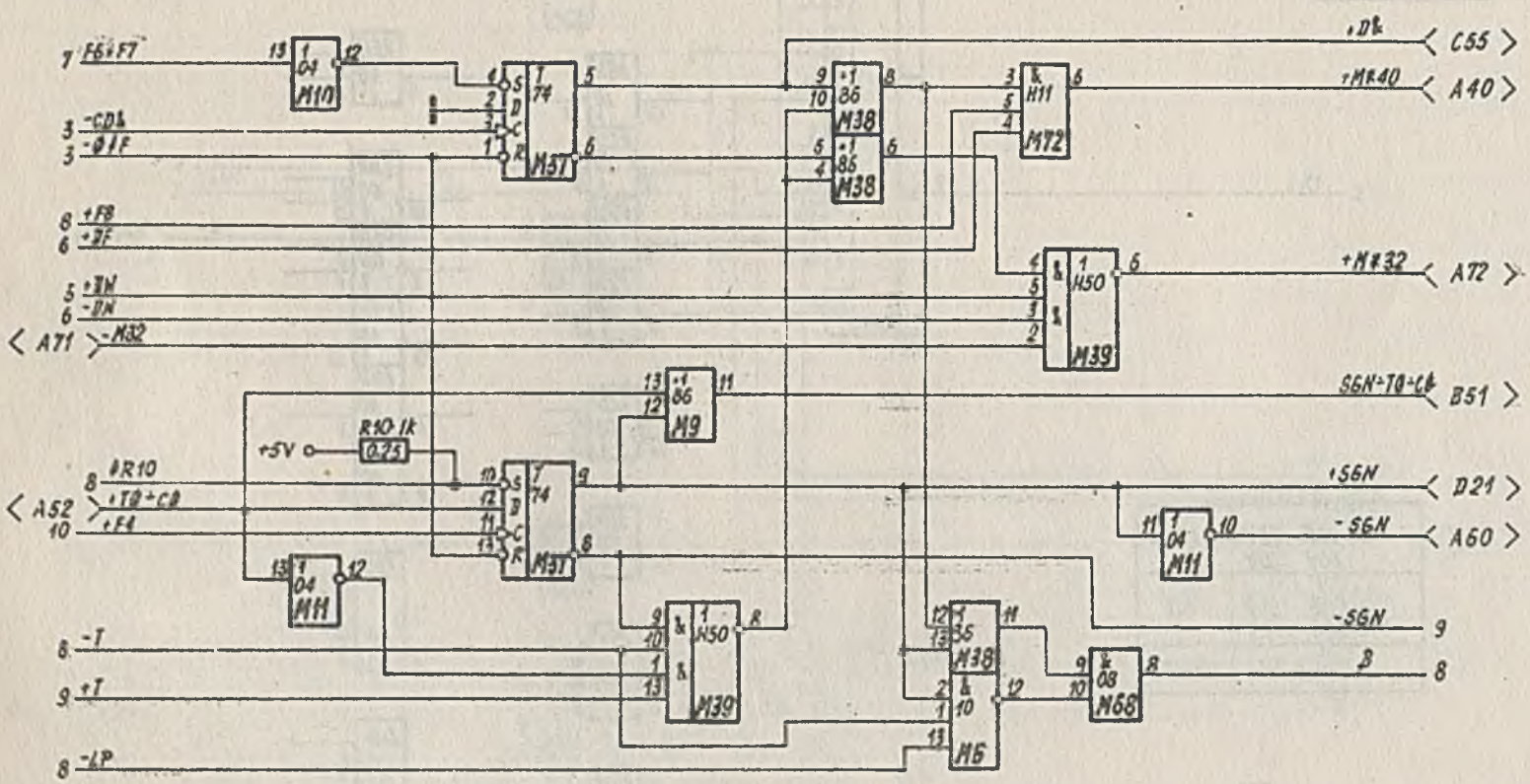


Schemat ideowy
pakietu
F-PM2-2

2-25 ark 9 / 12

12-006370-01-4A


Schemat ideowy
pakietu
F-PM2-2
2-26
12-006370-01-4A

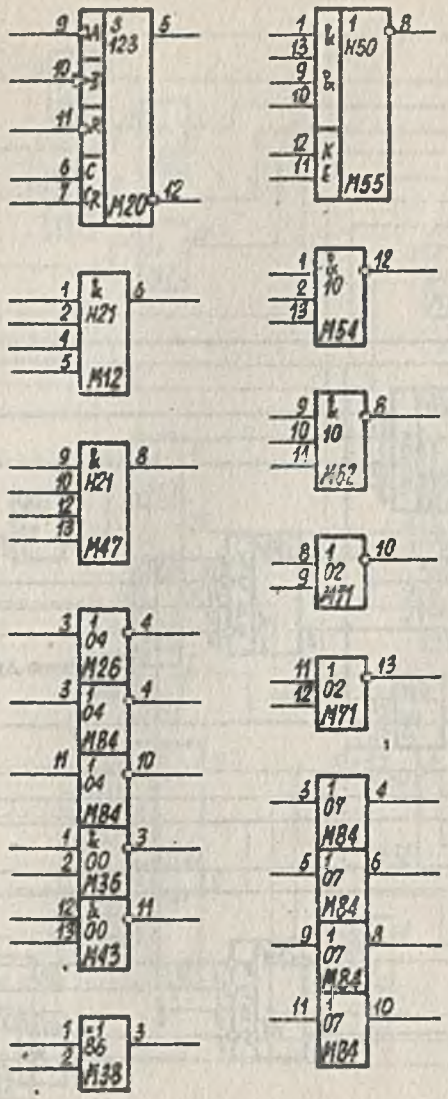


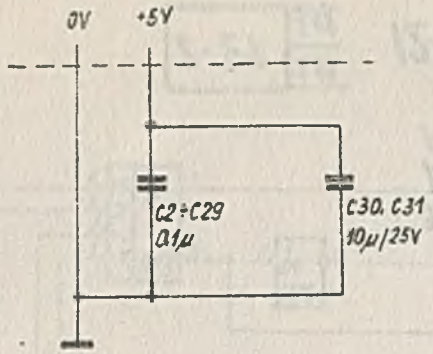
Schemat ideowy
pakietu
F-PM2-2

2-27 | 11/12

12-006370-01-4A

Wolne bramki:

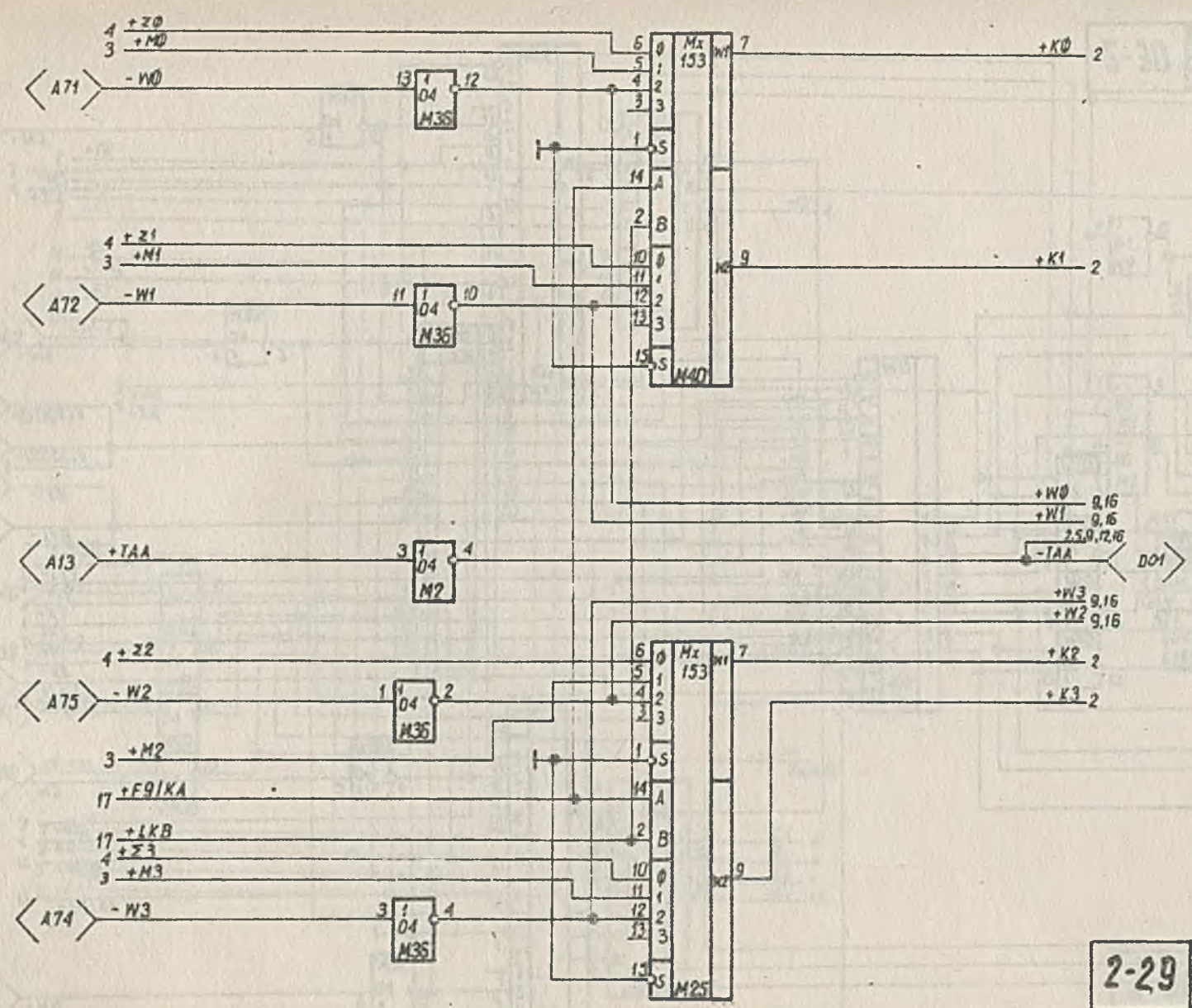




Zasilan.	Nr. styku
0V	A01, B01 A96, B96
+5V	A02, B02 A95, B95

Schemat ideowy
pakietu
F-PM2-2

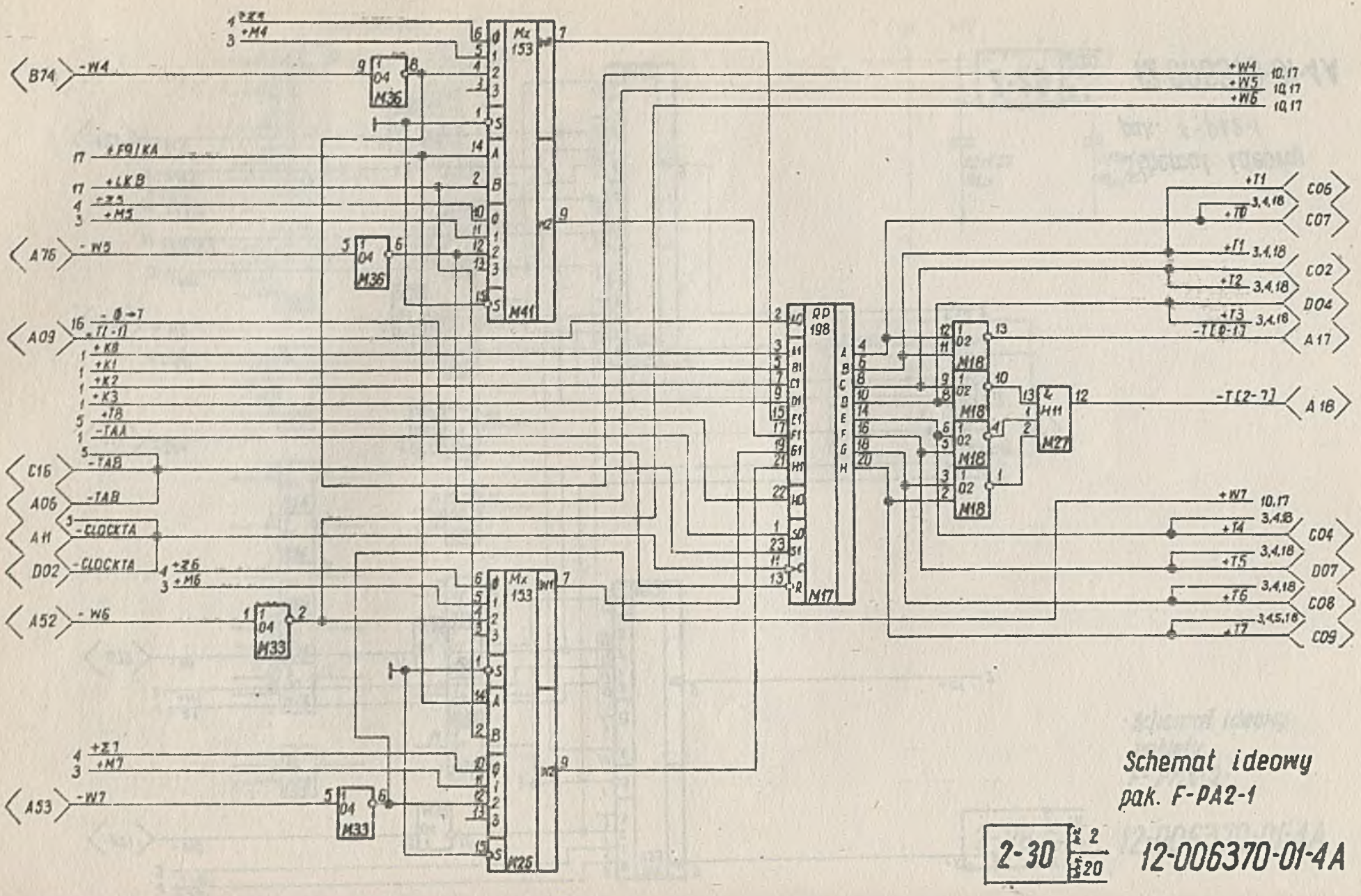
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-29 ±1 ±20

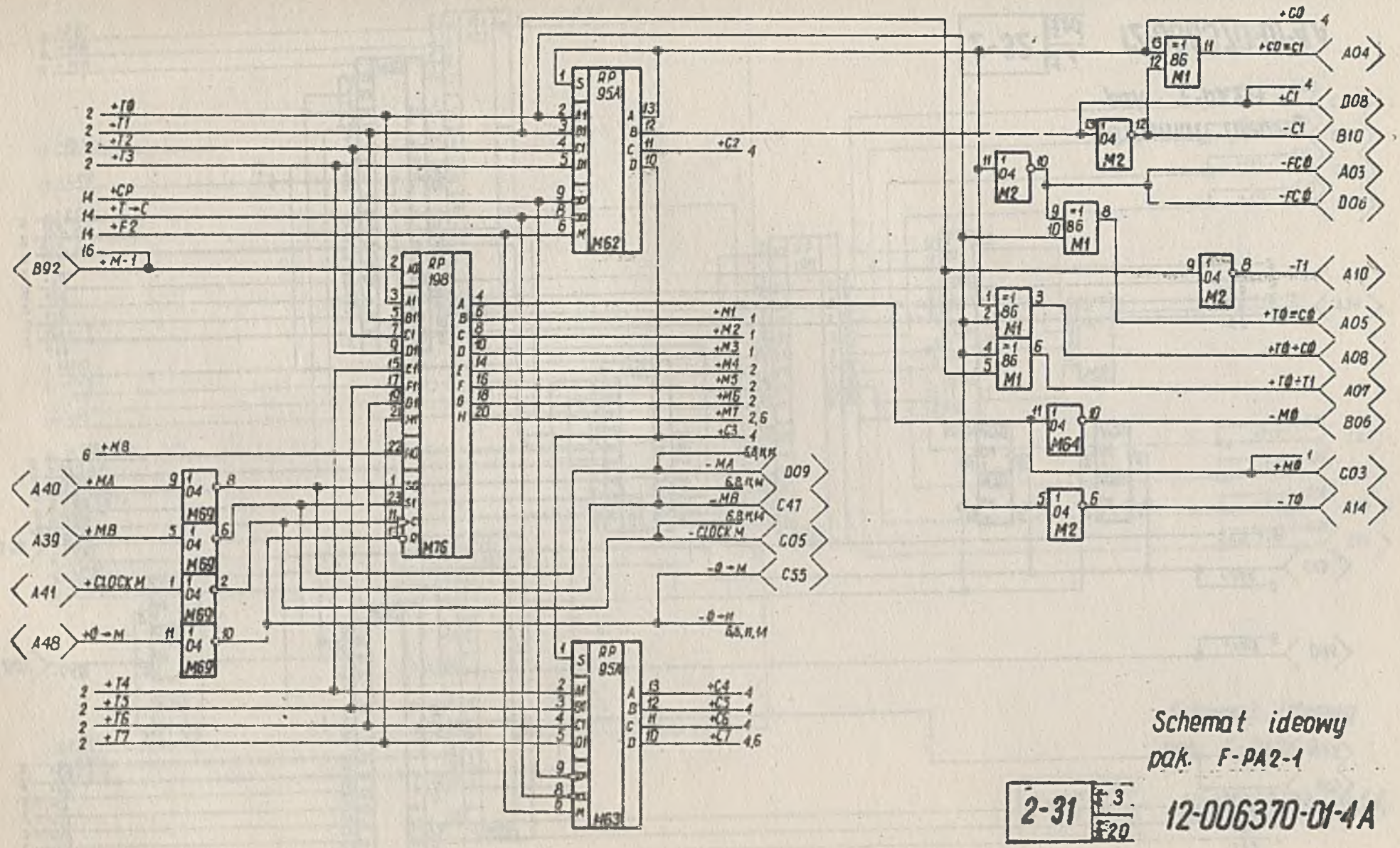
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-30 ark 2 z 20

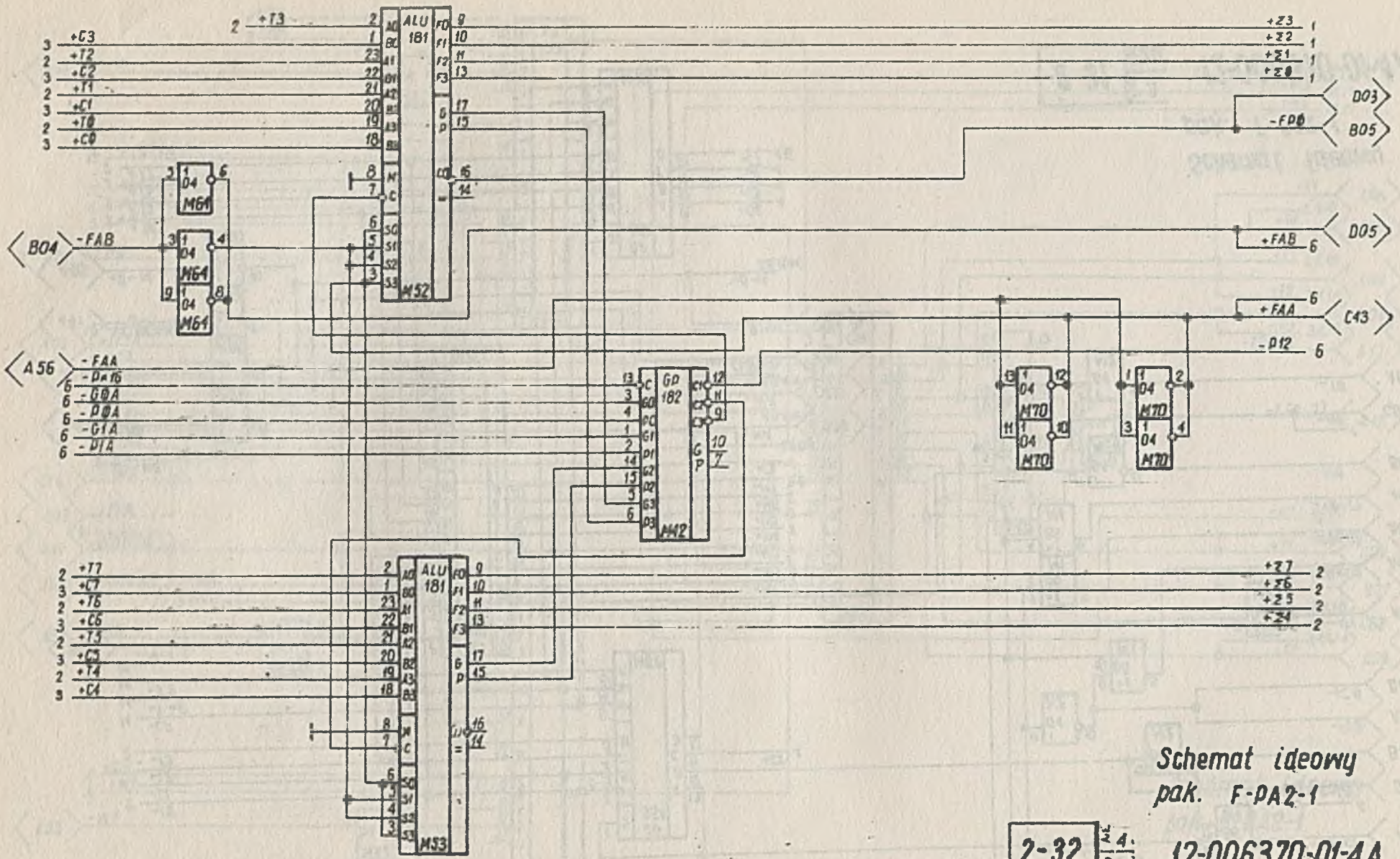
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-31 F3 F20

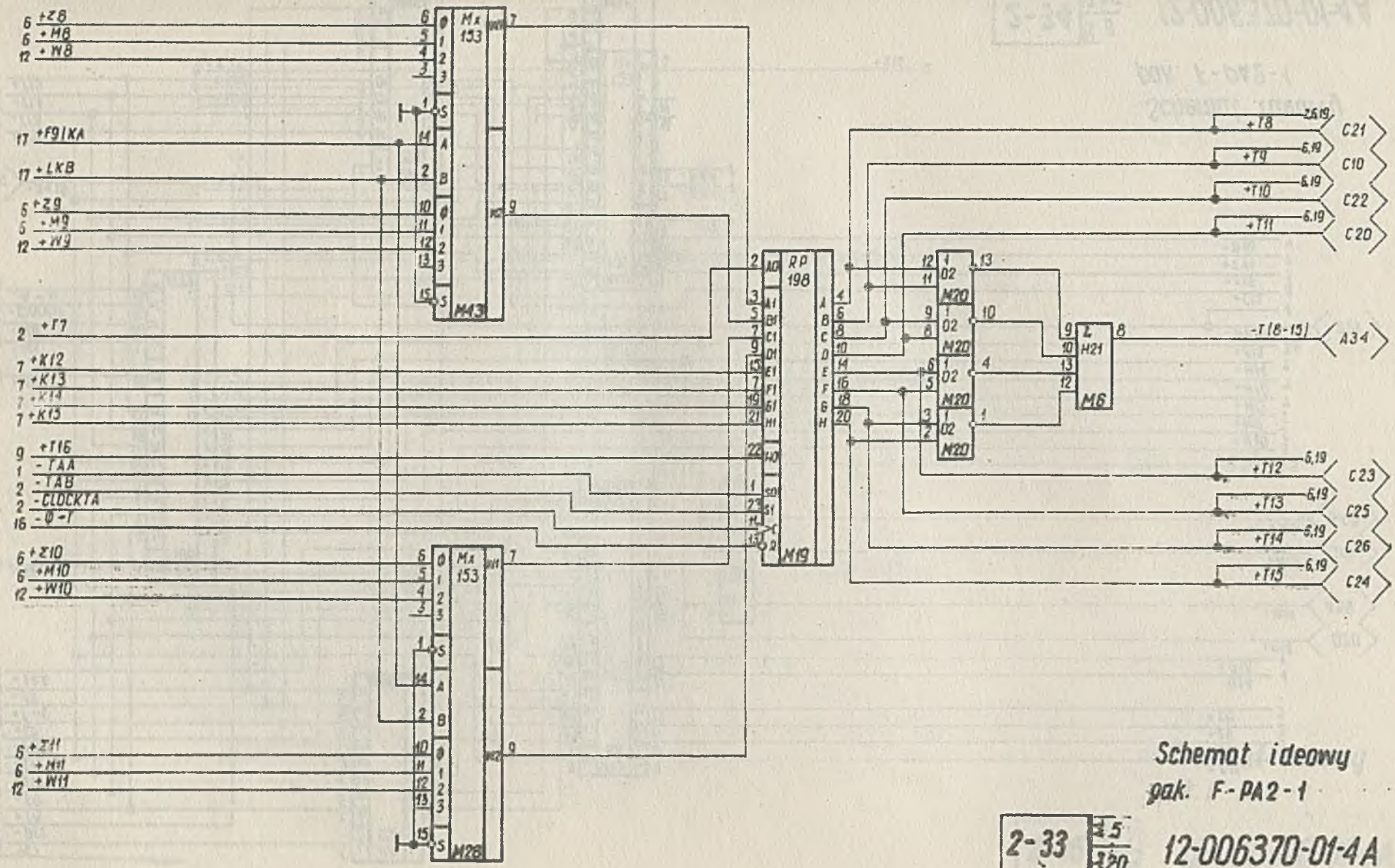
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-32 4.

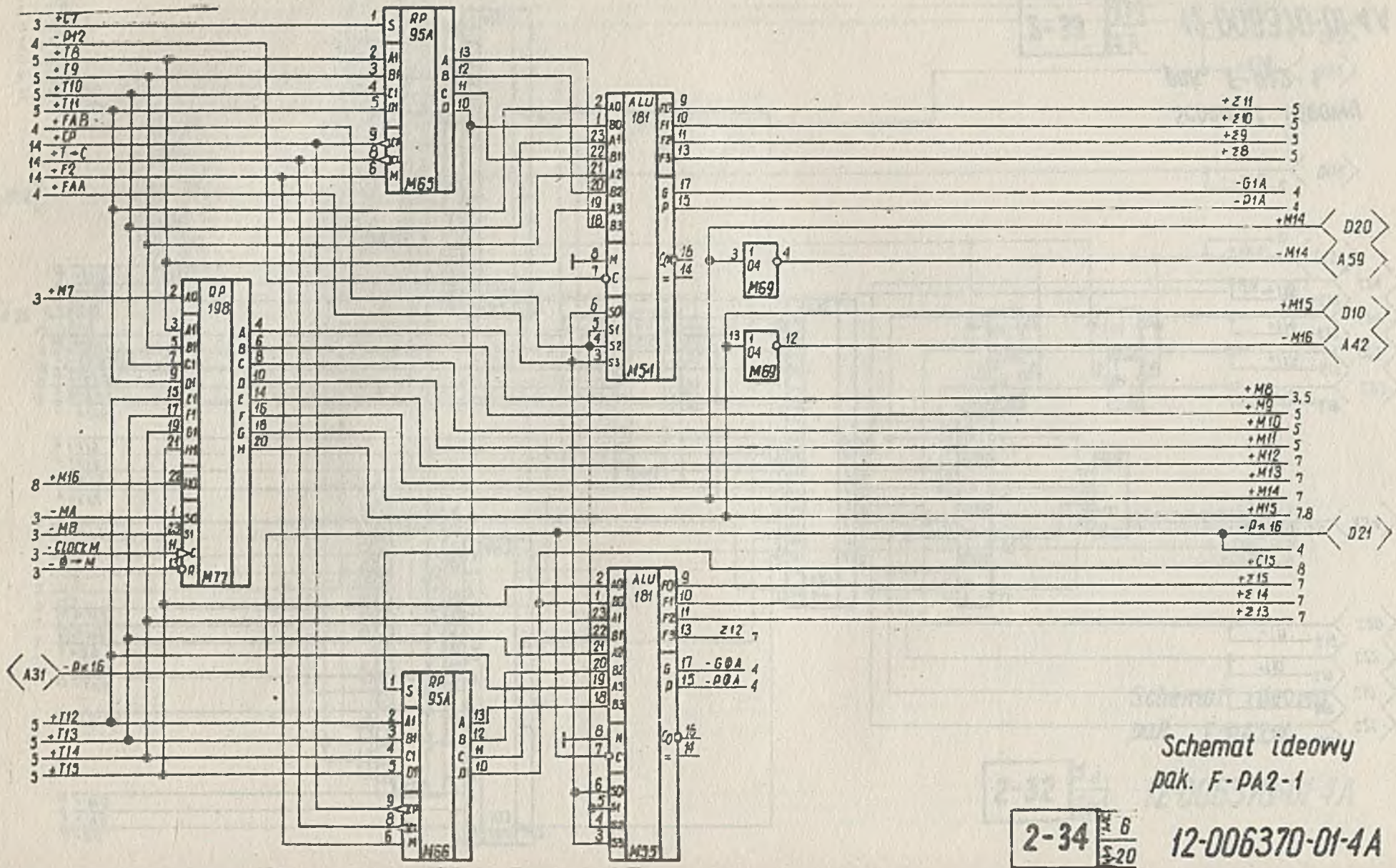
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-33 4,5 320

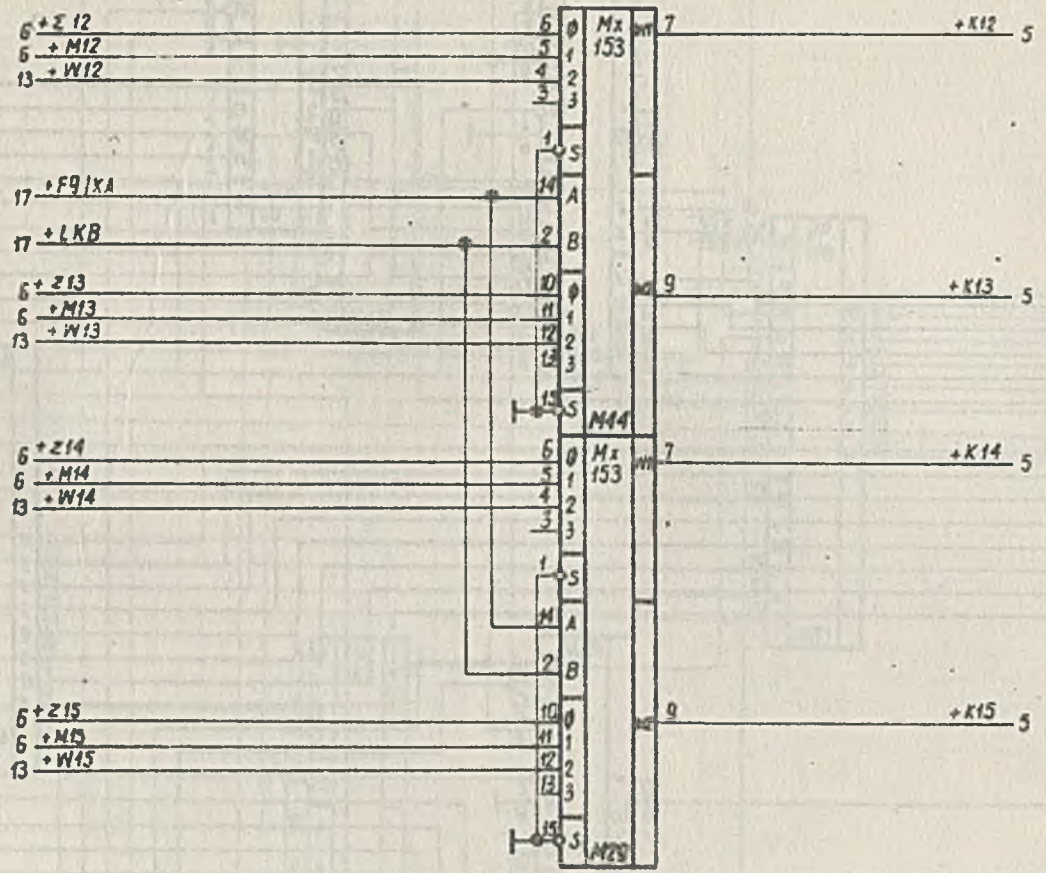
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-34 | 6 / 20

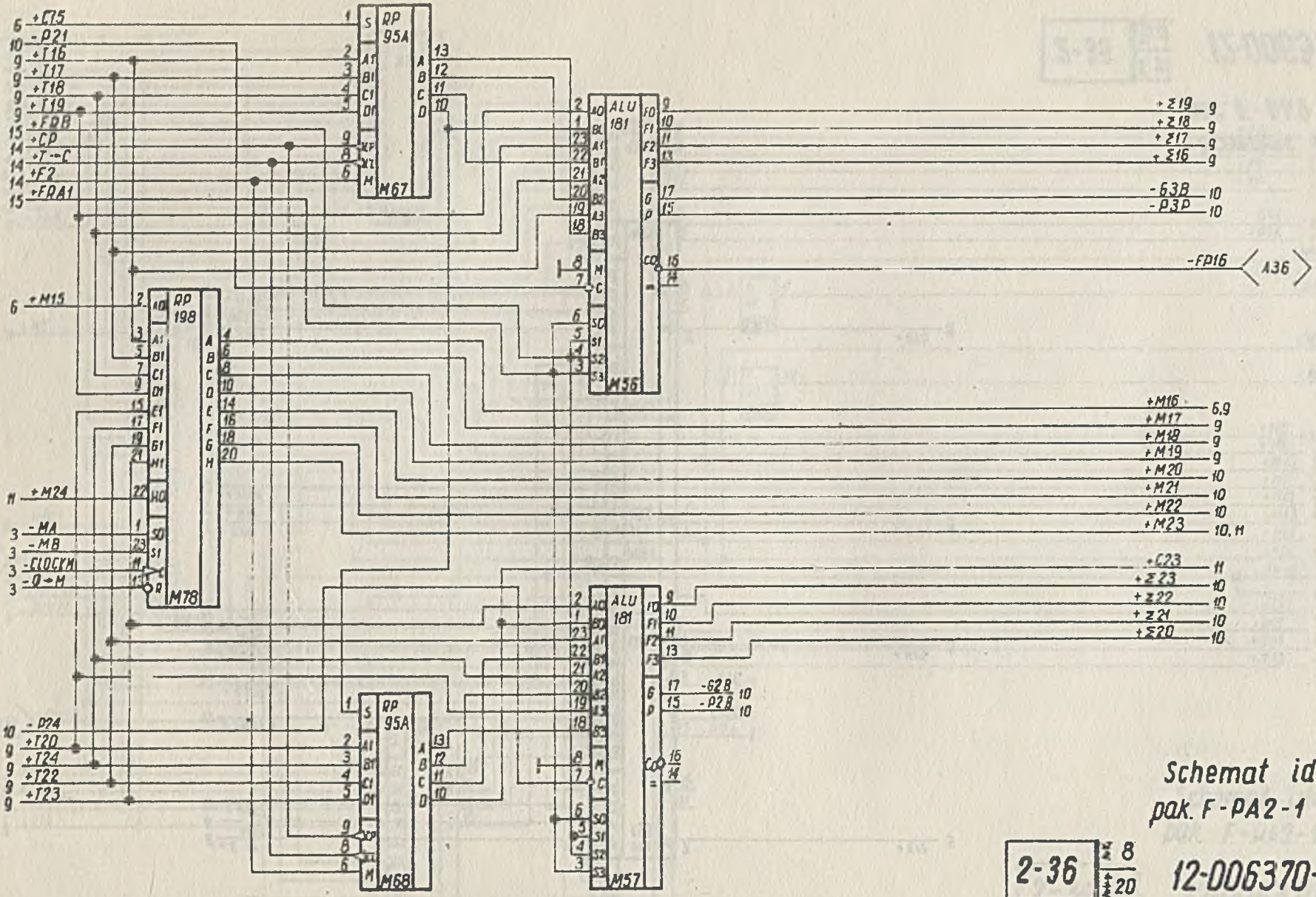
12-006370-01-4A



Schemat ideowy
pak. F - PA2 - 1

2-35

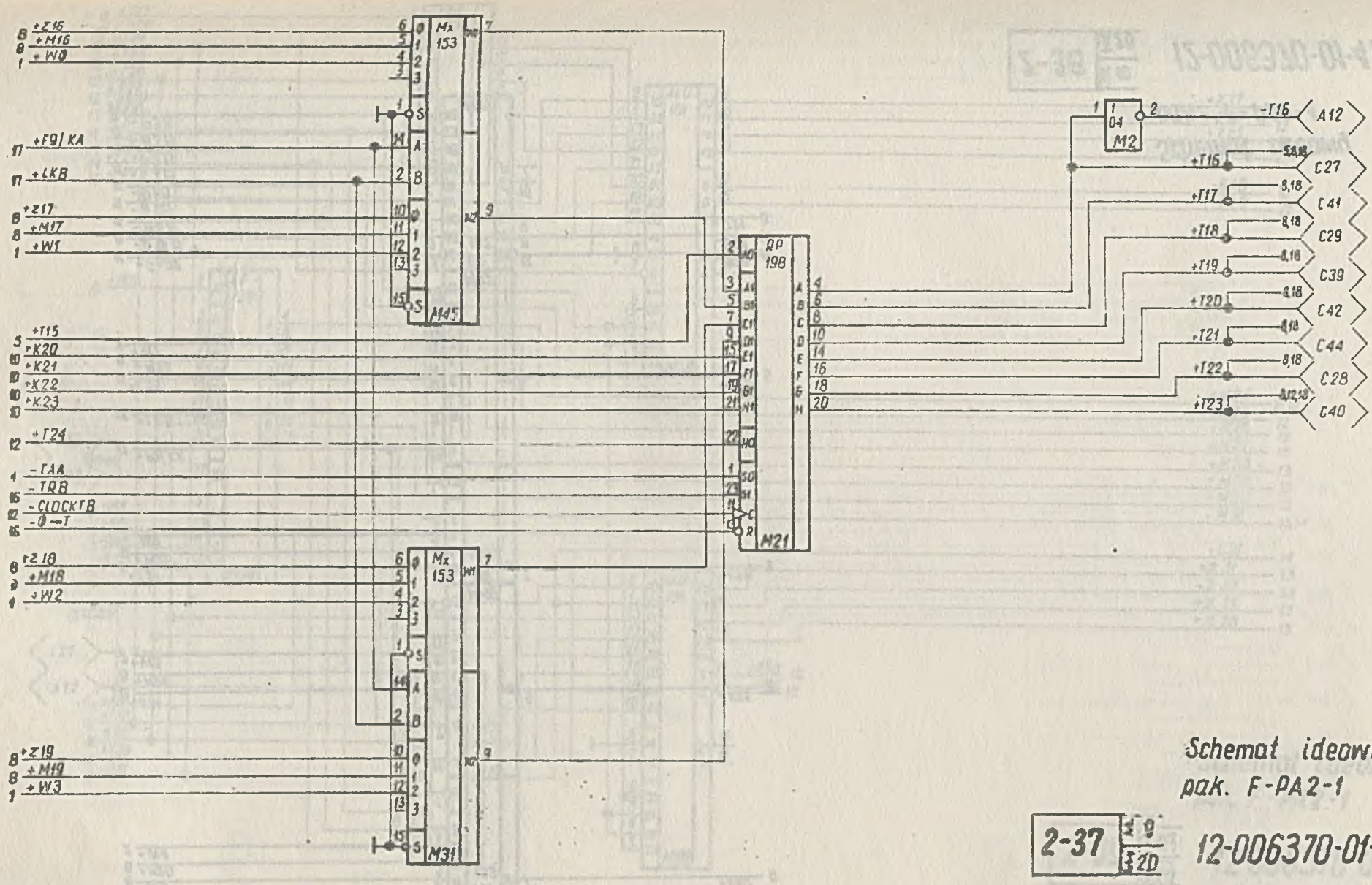
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-36 | 8 / 20

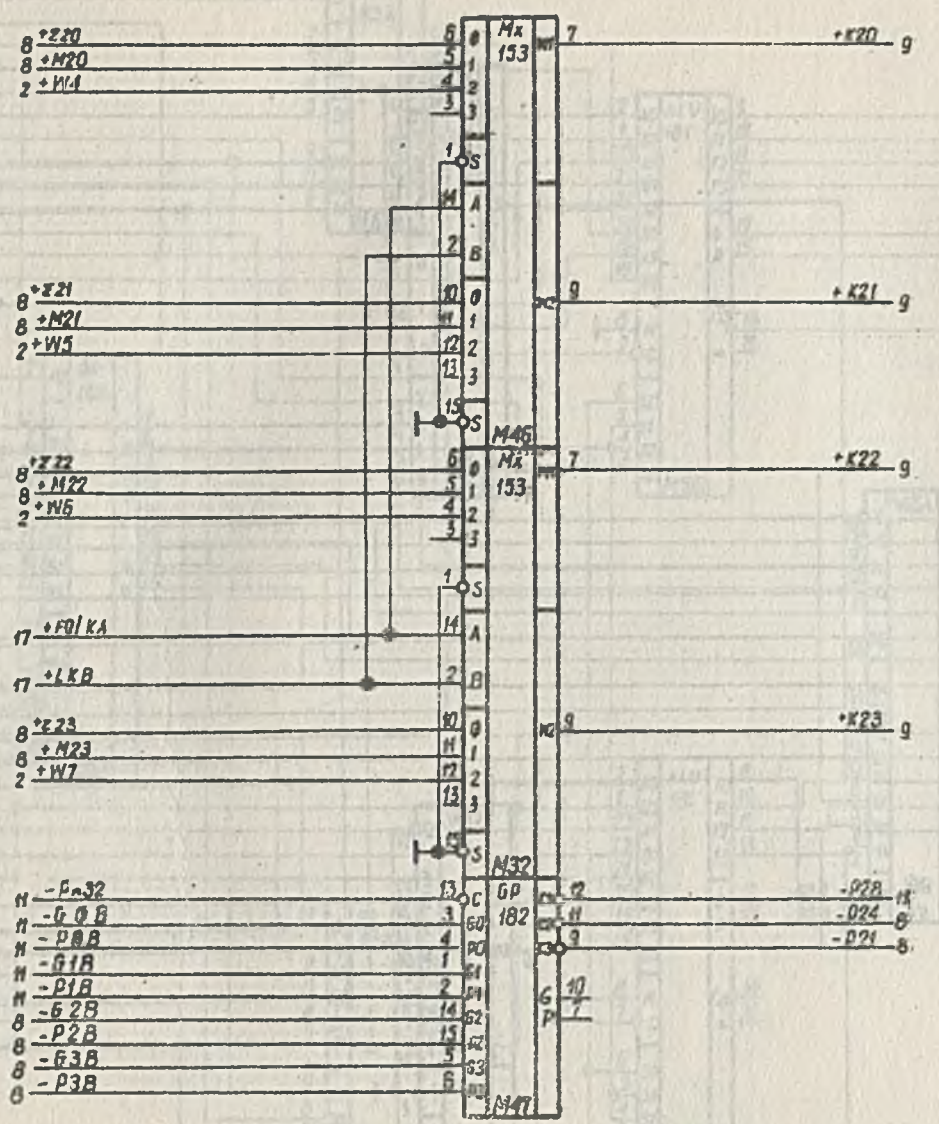
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-37

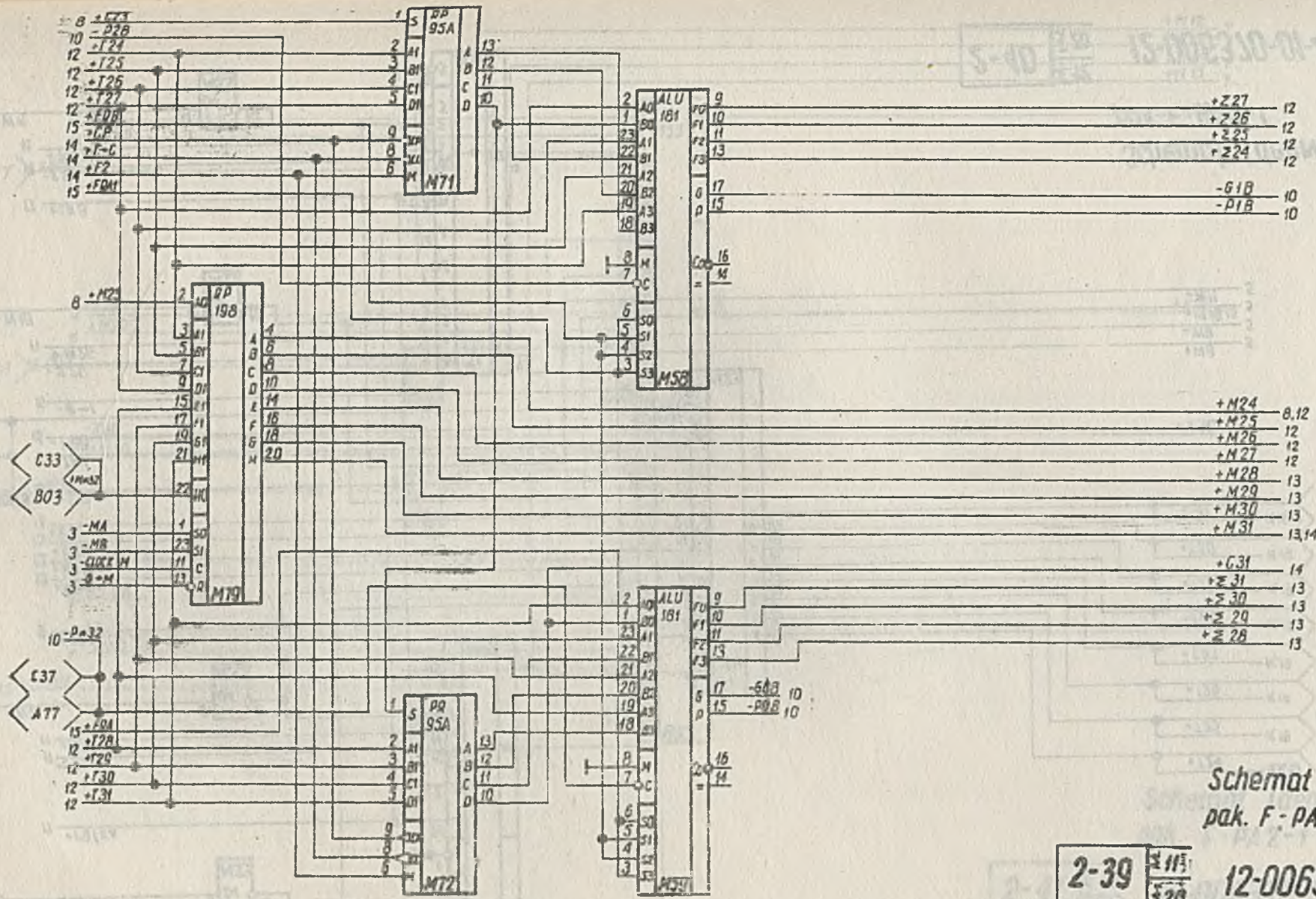
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-38 10/20

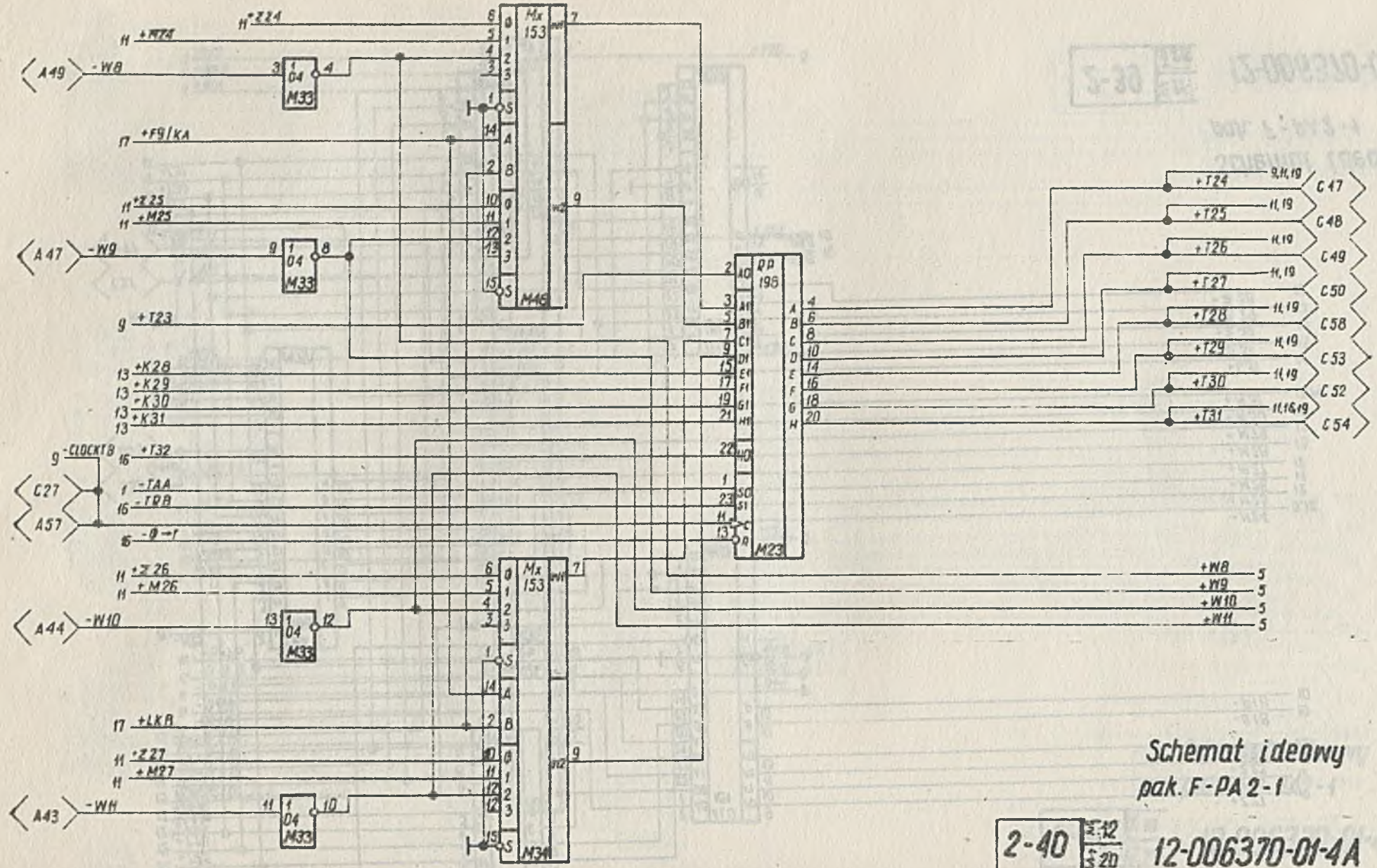
12-006370-01-4A



Schemat ideowy
pak. F: PA2-1

2-39

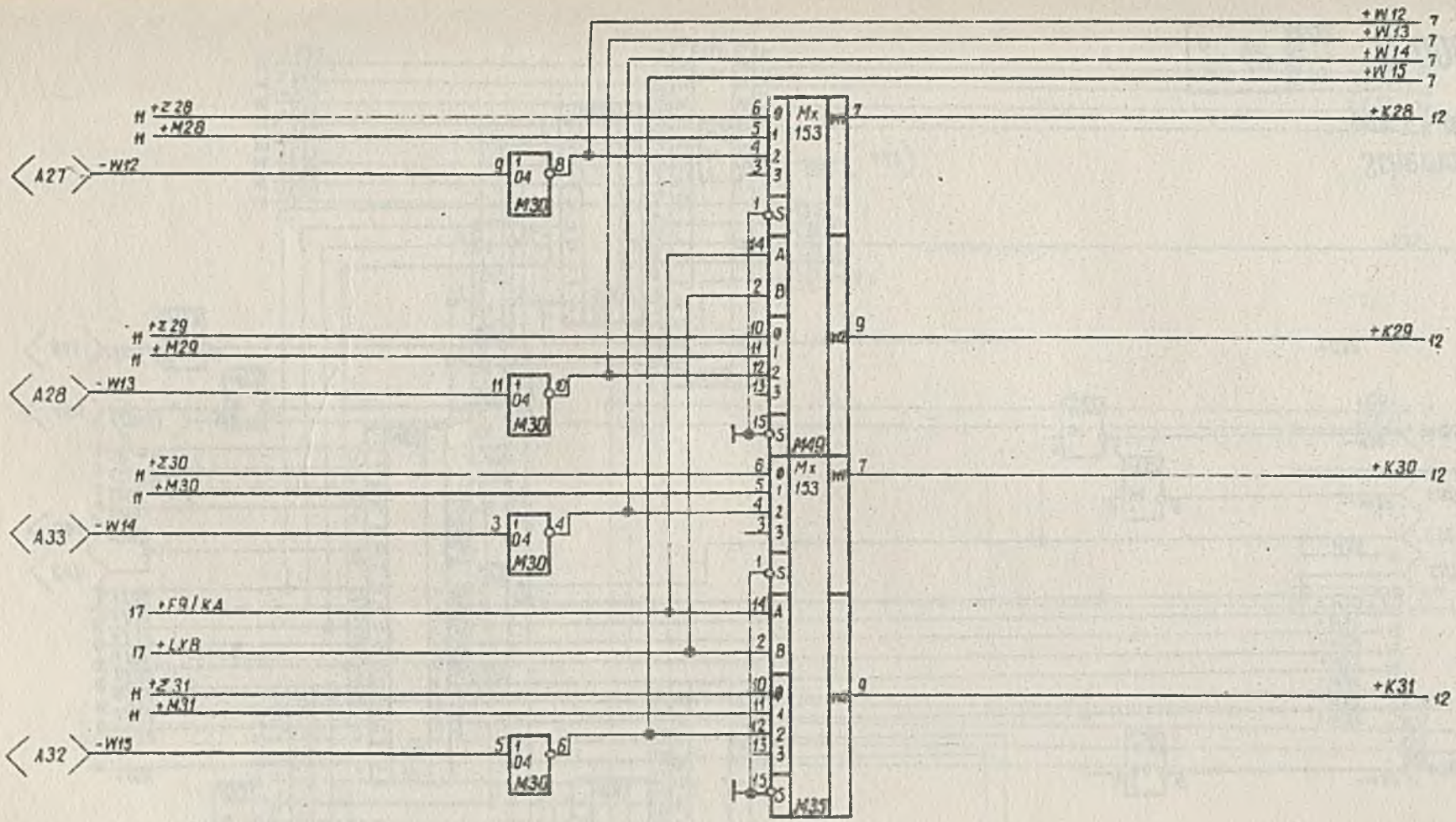
12-006370-01-4A



Schemat ideowy
pak. F-PA 2-1

2-40 ark 12 ark 20

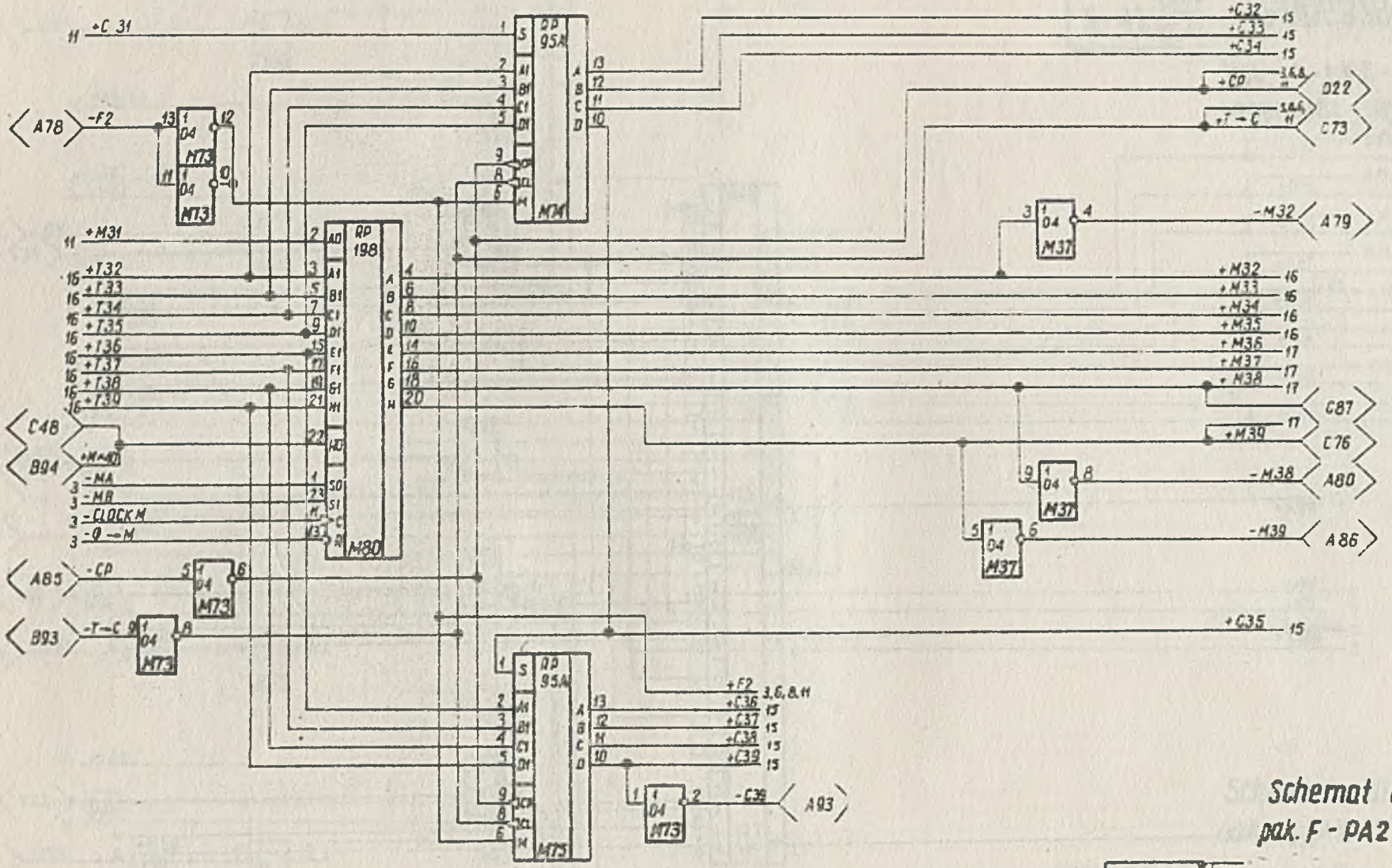
12-006370-01-4A



Schemat ideowy
pak. F-PA 2-1

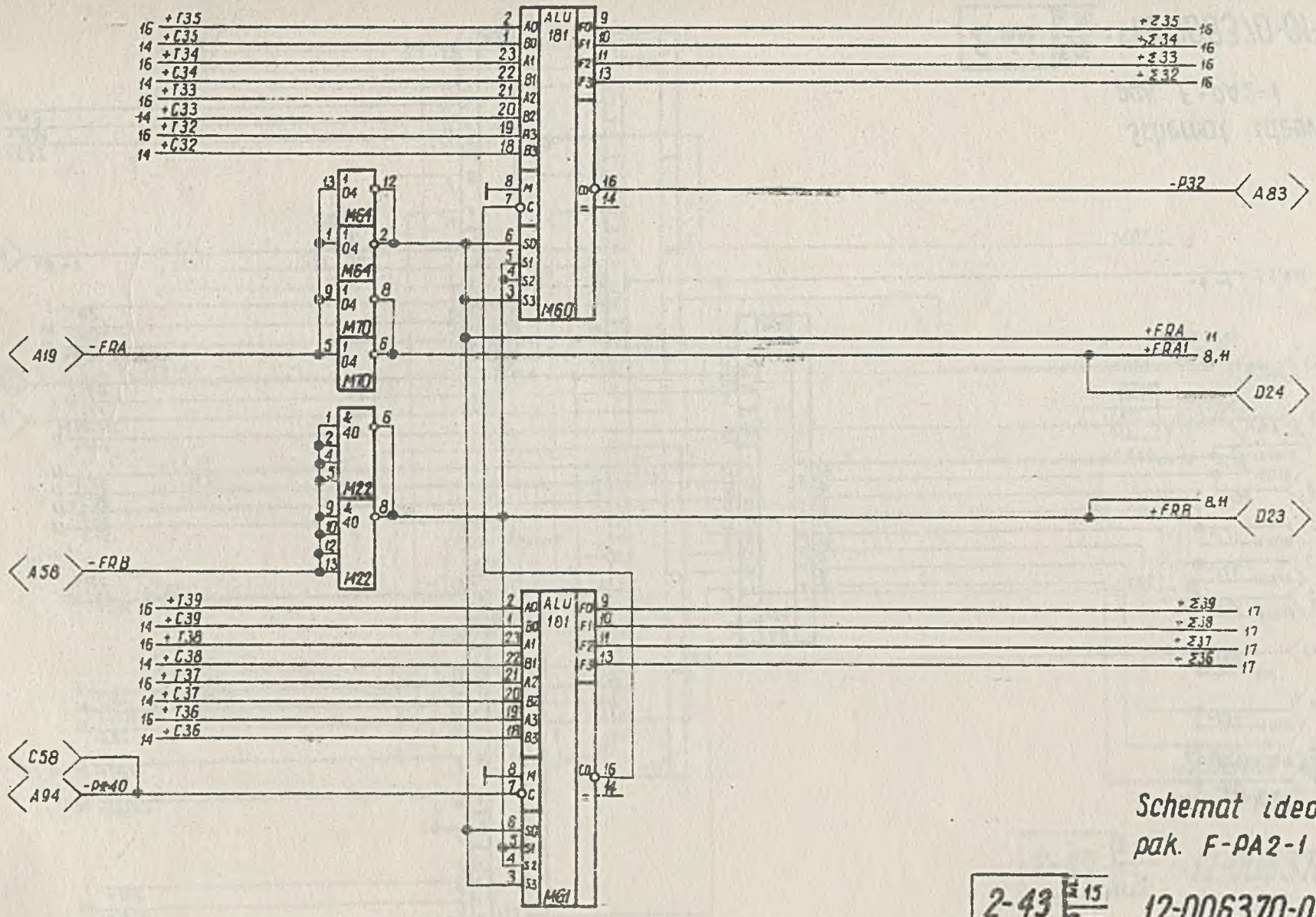
2-41 | 13/20

12-006370-01-4A



Schemat ideowy
pak. F - PA2 - 1

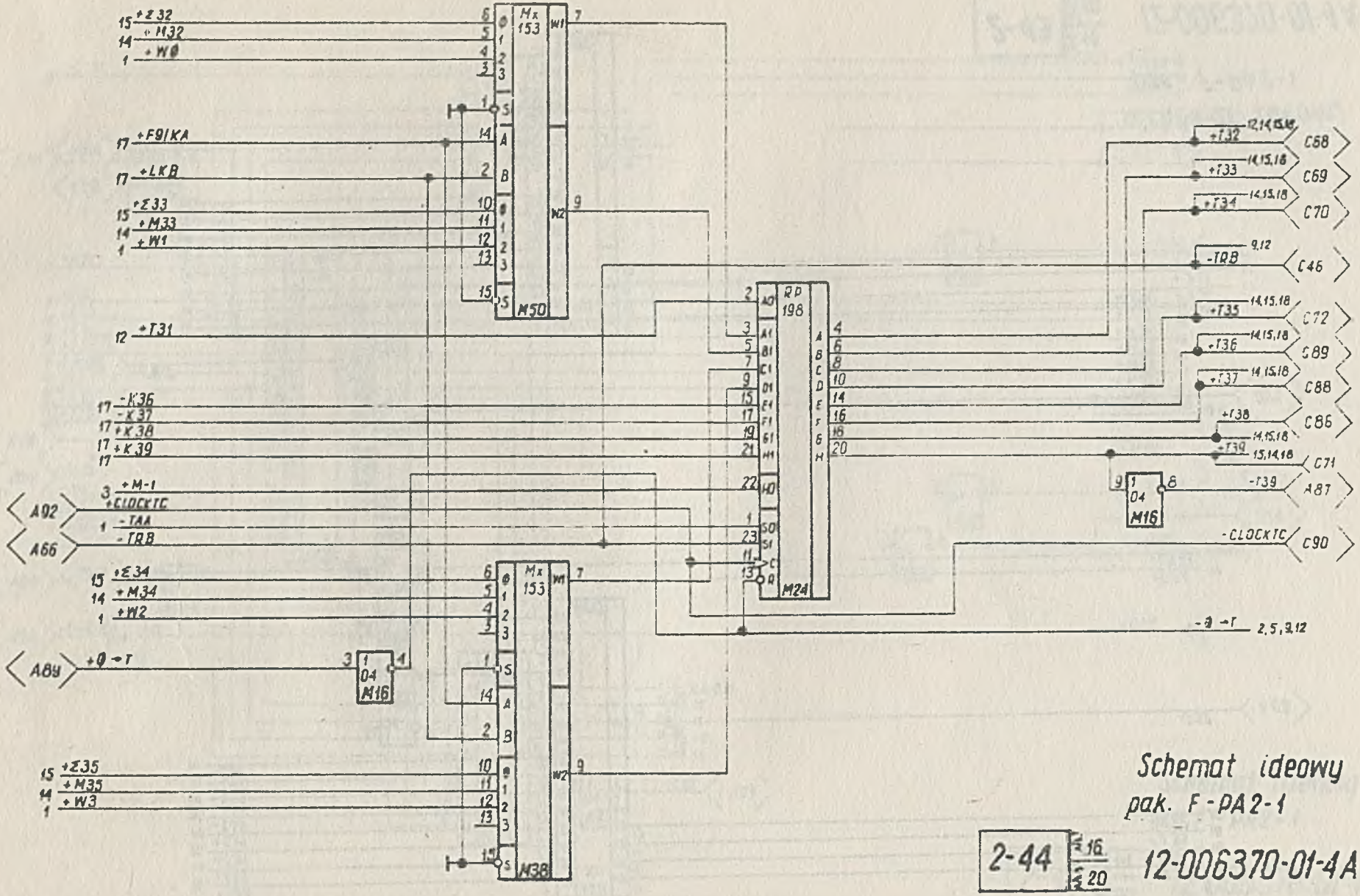
2-42 14/20 12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-43 15 20

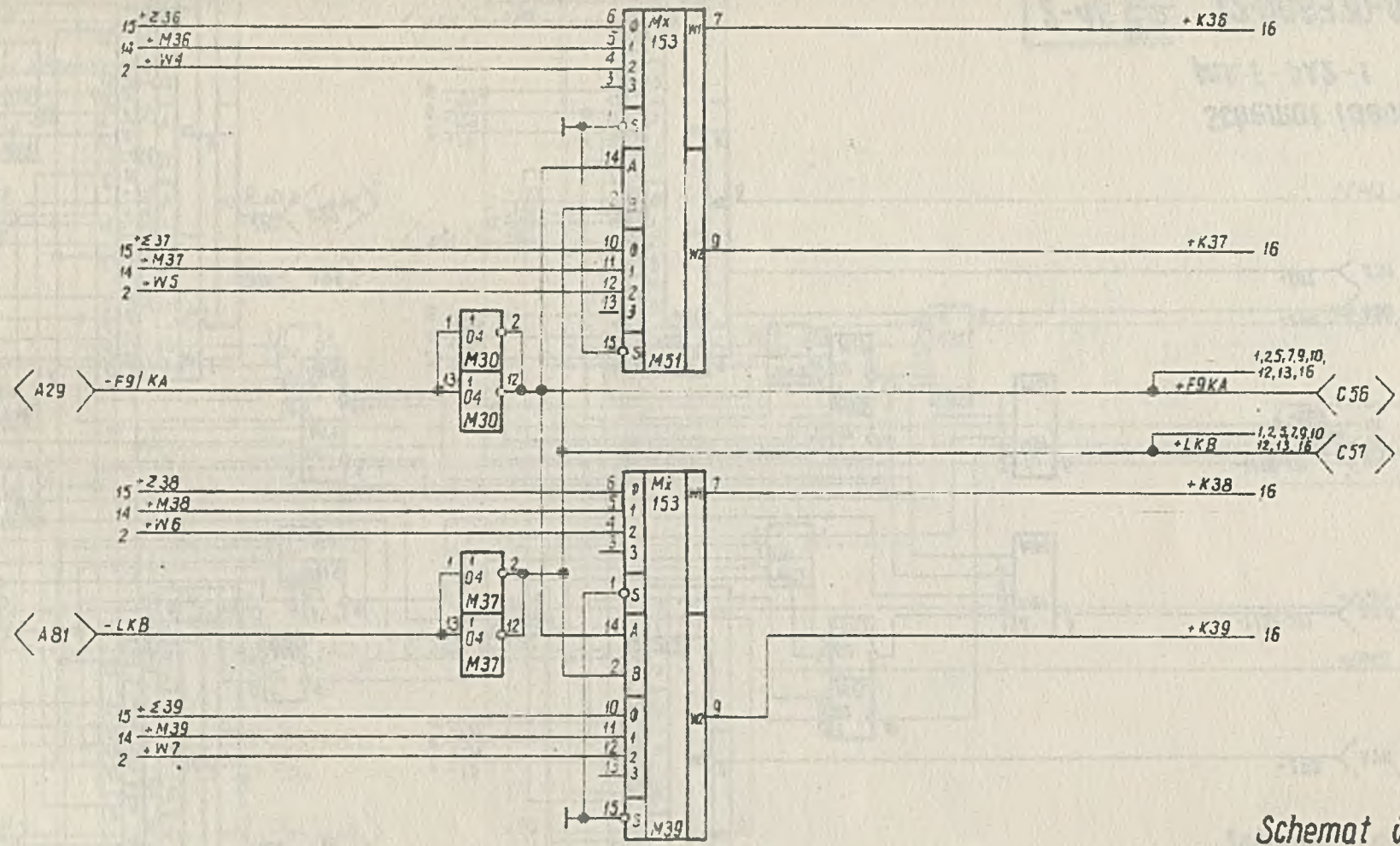
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-44 ∑16 ∑20

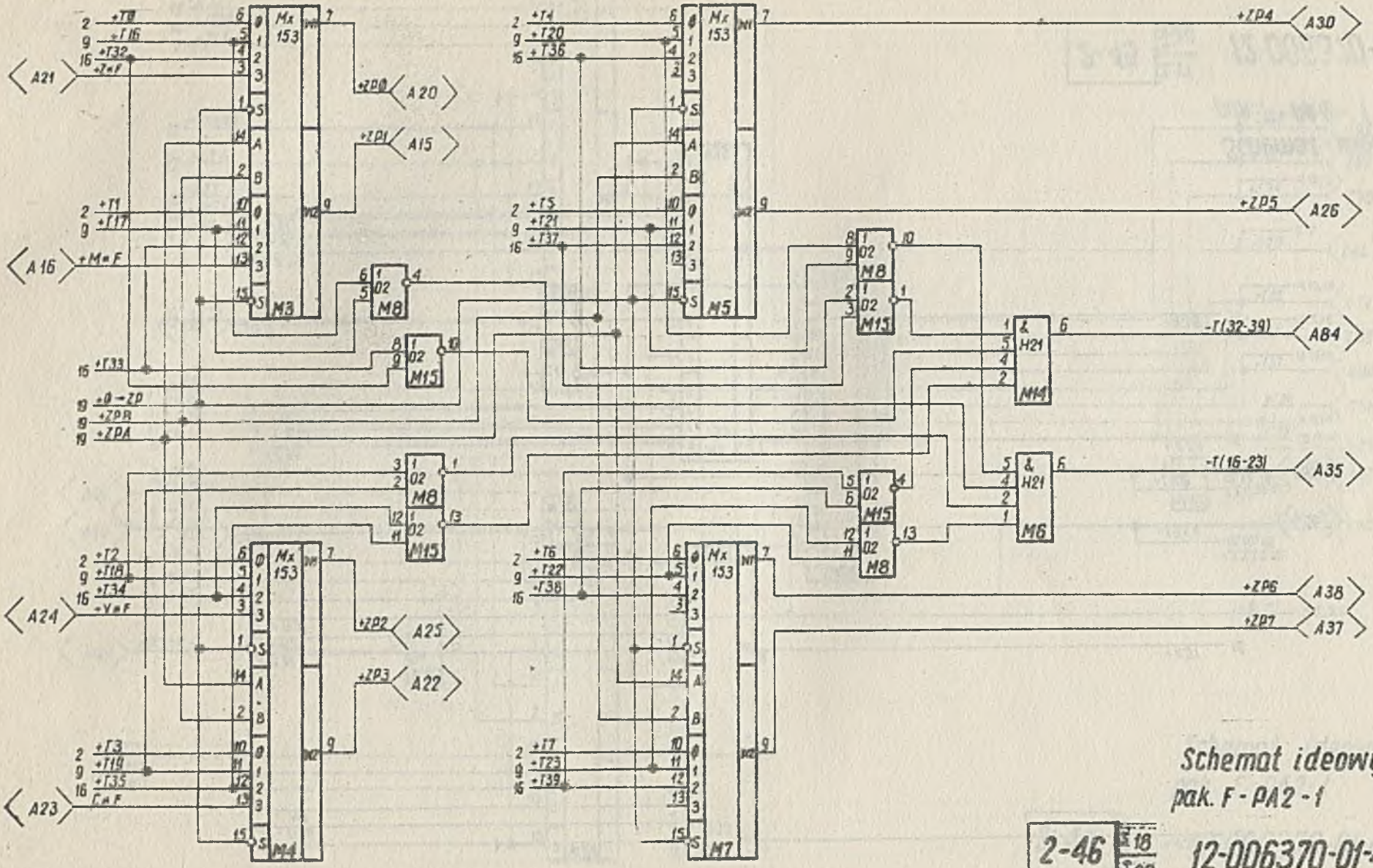
12-006370-01-4A



Schemat ideowy
pak. F-PA2-1

2-45 | 17 | 20

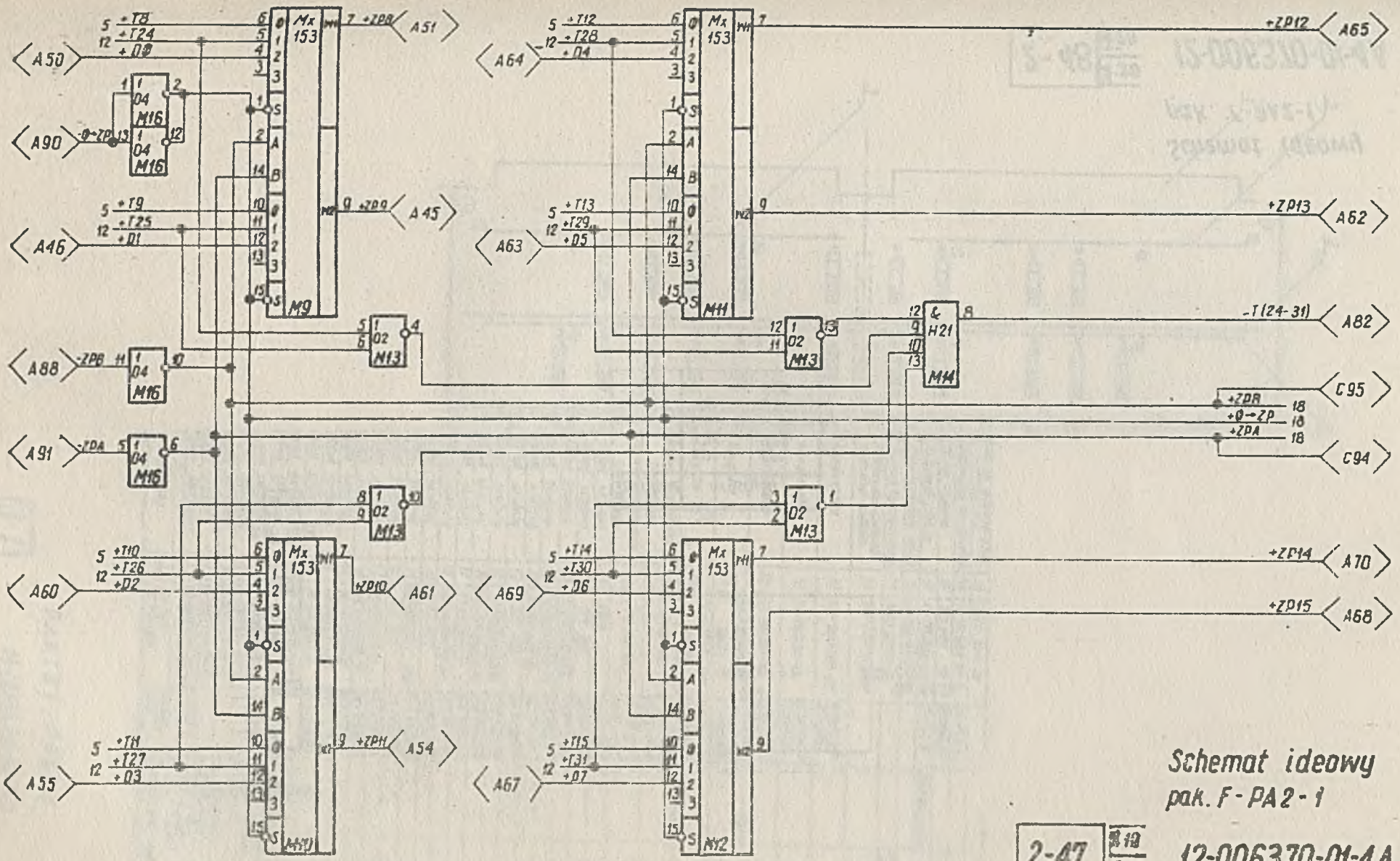
12-006370-01-4A



Schemat ideowy
pak. F - PA2 - 1

2-46

12-006370-01-4A

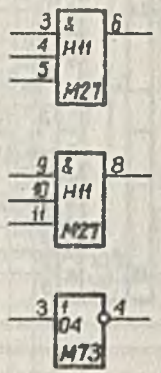


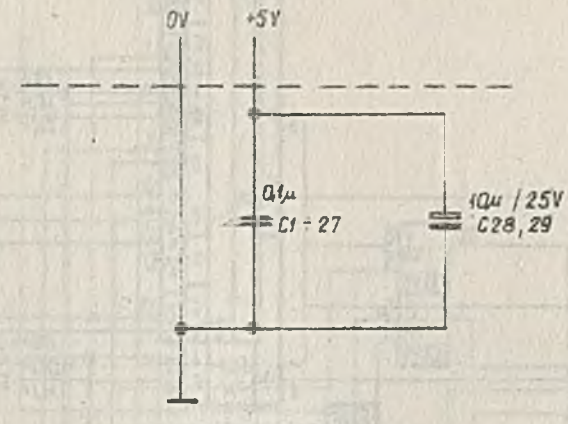
Schemat ideowy
pak. F-PA2-1

2-47 | 19 | 20

12-006370-01-4A

Wolne bramki



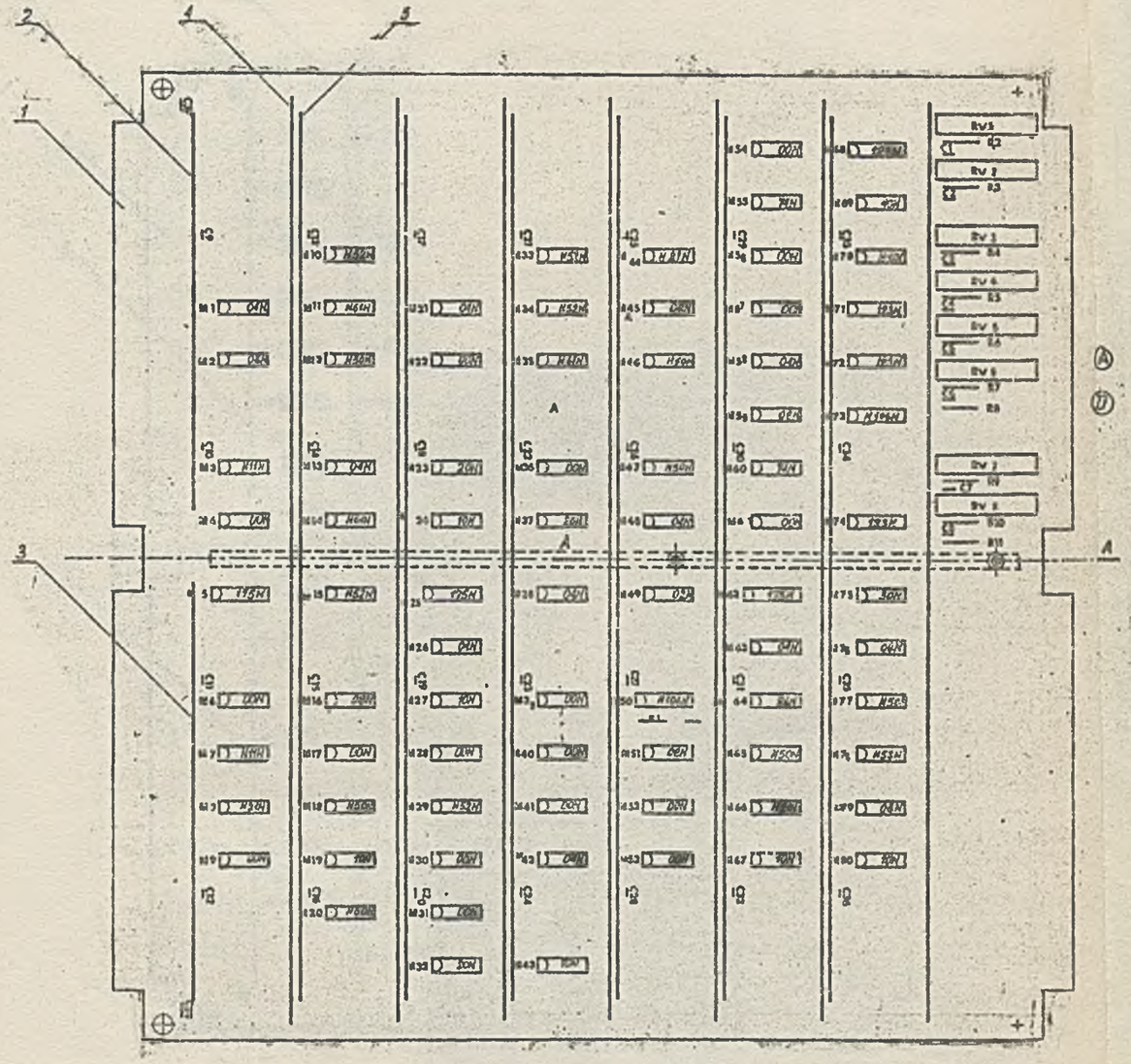


Zasilanie	Nr styku	
0V	A01 A96	B01 B96
+5V	A02	B02 B95

Schemat ideowy
pak. F-PA2-1

2-48 3-20 4-20

12-006370-01-4A



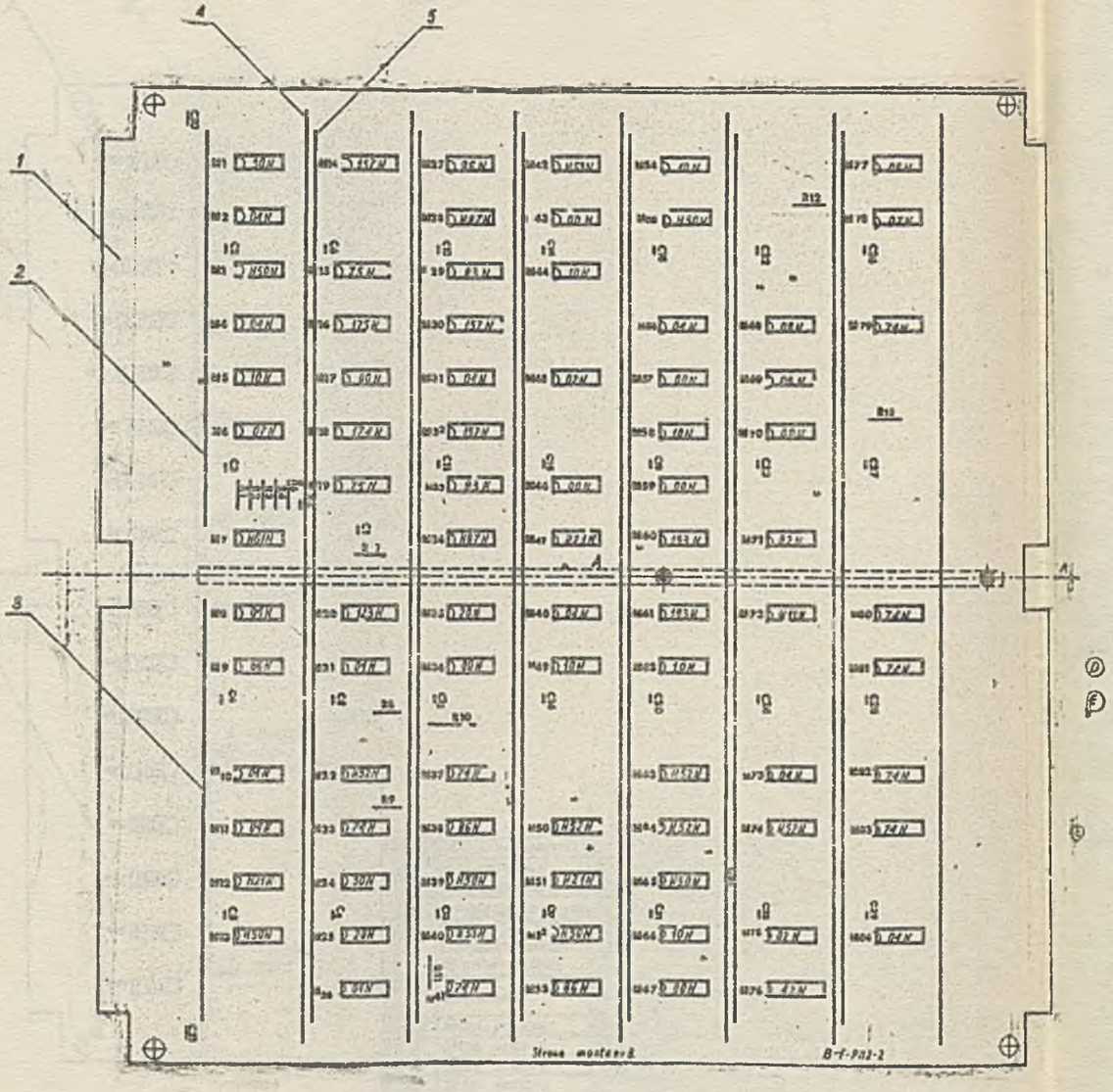
	C		Klejnik montażowy M11G	38	DICC ANG 30			
			Instrukcja uruchomienia	38	13-003904-01-1	F-PS2-1		
		M 10,15,29,33,34	5	Układ scalony	37	TEX. INST.	SN74H52N	
			1	Schemat ideowy	36	02-003902-01-3	F-PS2-1	
	C			Klej epoksydowy MF-1R	35	ZN-7171-6379-01		
	B			Spoiwo cyrkonowo-ołowiowe	34	K-10-00251-E		
	D	A	C 37,38	Kondensator elektrolit. 1650-1700 µF-85%+20%	33	MT-7/1L-17/66I		
	E	D A	C9÷36	Kondensator	32	BM-78/3281-42		
	E	B	C3,7	Kondensator	31	BM-75/381-41		
	E	B	C1,2,4,5,6,8	Kondensator	30	BM-75/381-41		
	E		R2÷6,7,9,10	Rezystor	29	ZN-72/MPH-14/L-18/001		
	E		R1,8,11	Rezystor	28	ZN-72/MPH-14/L-18/001		
		D	RV 1,2,4,5,6,8	Trymer rezystorowy cermetalowy	27	ZN-7470MPH-7/050	CI32-47k ±20% - 1W	
		A	RV 3,7	Trymer rezystorowy cermetalowy	26	ZN-7470MPH-7/05G	CI32-4,7k ±20% - 1W	
		C	N 5,25,62	Układ scalony	25	CEMI	UCY74123N	
			N 68,71,72,74	Układ scalony	24	TEX. INST.	SN74123N	
		D	N 50,73	Układ scalony	23	CCAHOY CCAI6C	SN74H106N	
			N 61	Układ scalony	22	TWT-75/CEMI/B-34	UCY7486N	
		D A	N 55,60	Układ scalony	21	TWT-75/CEMI/B-33	UCY7474N	
			N 11,14,35	Układ scalony	20	TEX. INST.	SN74H51N	
			M 76	Układ scalony	19	TWT-75/CEMI/B-42	UCY74H53N	
			N 12,18,20,46,47,65,77	Układ scalony	18	TWT-75/CEMI/B-44	UCY74H50N	
		D B	N 69	Układ scalony	17	TWT-75/CEMI/B-44	UCY7410N	
		B	N 75	Układ scalony	16	TWT-76/CEMI/B-45	UCY7430N	
			M 44,8,66	Układ scalony	15	TEX. INST.	SN74H21N	
		D B	N 23,32,37	Układ scalony	14	TWT-75/CEMI/B-45	UCY7420N	
			N 3,7,70	Układ scalony	13	TEX. INST.	SN74H10N	
		D B	N 19,24,27,43,67,80	Układ scalony	12	TWT-75/CEMI/B-43	UCY7410N	
		E	N 2,16,45,51,59,76,79	Układ scalony	11	TWT-75/CEMI/B-34	UCY7400N	
		D A	N 13,21,26, 38,42,48,58,63	Układ scalony	10	TWT-75/CEMI/B-27	UCY7401N	
		B	N 49	Układ scalony	9	TWT-75/CEMI/B-62	UCY7402N	
		D	N 4,6,9,17,22,24,30,35,39,44,52,54,55,57,64	Układ scalony	8	TWT-75/CEMI/B-01	UCY7400N	
				Kołek dystansowy	7	10-003782-01-6		M-DE-00234-01-12
				Listwa ślizgowa	6	10-003781-01-8		M-DT-00210-11-04
				Szyna zasilania	5	10-003784-23-0		M-DE-00247-23-C3
				Szyna zasilania	4	10-003784-24-6		M-DE-00247-24-C6
				Szyna zasilania	3	10-003784-32-0		M-DE-00247-32-C4
				Szyna zasilania	2	10-003784-31-2		M-DE-00247-34-C5
	E	D		Płytka drukowana	1	10-003781-01-6	F-PS2-1	M-DE-00253-00-10

Oznaczenia elementów	Ark.	NAZWA	Nr rys. Nr normy	Symbol mat.	Nr indeksu zmian

PAKIET F-PS2-1

3-1

11-006370-01-6A

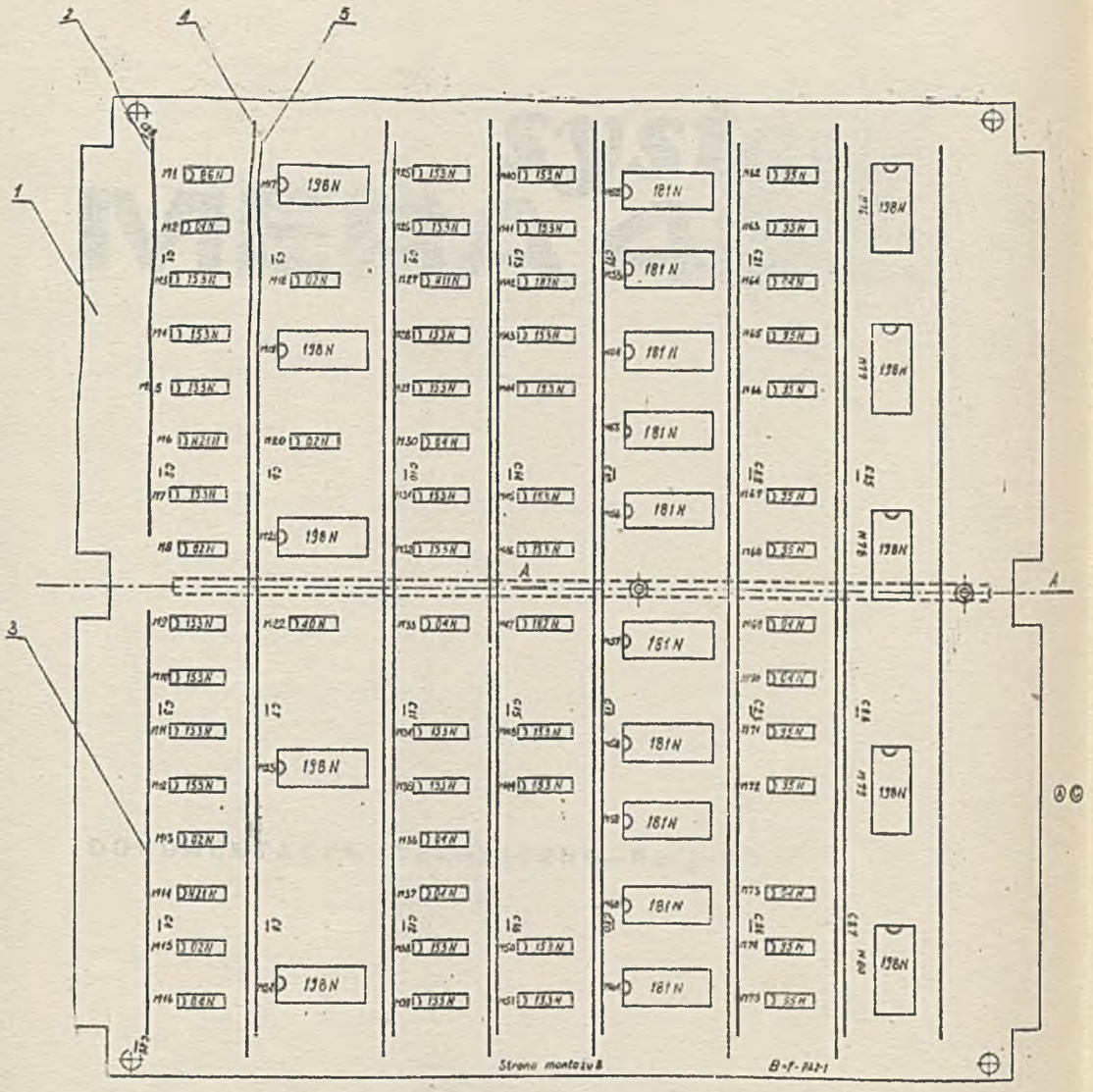


E		C32	X	kondensator	44	BN-78/3281-42	[illegible]	
			X	Instrukcja uruchomiania	43	13-003905-01-8	F-PM2-2	
	C		X	Przewód zrobiony w [illegible]	42	BICC AWG30		
			X	Schemat ideowy	41	12-003783-01-1	F-PM2-2	K-SI-00152-01-[illegible]
	C		X	Klej epoksydowy HE-1R	40	ZN-71/L-6378-01		
	B		X	Spoiwo cynowo ołowiowe	39	K-10-00251-E		[illegible]
D	A	C30,31	2	Kondensator elektrolit. 1960-10μF-25V±20%	38	BN-78/3281-44		
D	B	C2÷C6, C8÷C29	27	Kondensator	37	BN-78/3281-42	[illegible]	
D	A	C1	1	Kondensator	36	BN-76/3281-41	[illegible]	
E		R7	1	Rezystor	35	ZN-72/MPM-14/L-18/001	[illegible]	
E		R8÷13	6	Rezystor	34	ZN-72/MPM-14/L-18/001	[illegible]	
E		R1÷6	6	Rezystor	33	ZN-72/MPM-14/L-18/001	[illegible]	
D	C	M60,61	2	Układ scalony	32	TWT-77/CEMI/13-87	UCY74193N	
D	C	M16	1	Układ scalony	31	TWT-77/CEMI/B-103	UCY74175N	
D	C	M18	1	Układ scalony	30	TWT-78/CEMI/B-112	UCY74174N	
	B	M14,30,32	3	Układ scalony	29	TWT-74/CEMI/B-10/C-4	UCY74157N	
E		M20	1	Układ scalony	28	TWT-76/CEMI/B-15	UCY74123N	
		M28,34	2	Układ scalony	27	TEX. INST.	SN74H87N	
D		M9,27,38,53	4	Układ scalony	26	TWT-75/CEMI/B-34	UCY7486N	
	A	M29,33	2	Układ scalony	25	TWT-73/CEMI/B-21	UCY7483N	
	B	M15,19	2	Układ scalony	24	TWT-75/CEMI/B-32	UCY7475N	
D	A	M23,37,41,79÷83	8	Układ scalony	23	TWT-76/CEMI/B-23	UCY7474N	
		M7	1	Układ scalony	22	TEX. INST.	SN74H61N	
D	B	M40,42	2	Układ scalony	21	TWT-75/CEMI/B-42	UCY74H53N	
		M22,50,63,64,74	5	Układ scalony	20	TEX. INST.	SN74H52N	
D	B	M3,13,39,52,55,65	6	Układ scalony	19	WT-75/CEMI/B-41	UCY74H50N	
	B	M76	1	Układ scalony	18	TWT-76/CEMI/B-10/B-2	UCY7442N	
D	A	M1,24	2	Układ scalony	17	WT-76/CEMI/B-15	UCY7430N	
		M12,47,51	3	Układ scalony	16	TEX. INST.	SN74H21N	
D	A	M25,35	2	Układ scalony	15	TWT-76/CEMI/B-16	UCY7420N	
		M72	1	Układ scalony	14	TEX. INST.	SN74H11N	
D	A	M5,14,49,54,58,62,66	7	Układ scalony	13	TWT-76/CEMI/B-02	UCY7410N	
	C	M68,69,77	3	Układ scalony	12	TWT-76/CEMI/B-31	UCY7408N	
	B	M6,78	2	Układ scalony	11	TWT-75/CEMI/B-30	UCY7407N	
D	A	M2,4,8,10,11,21,26,31,48,56,73,84	12	Układ scalony	10	TWT-75/CEMI/B-27	UCY7404N	
D	B	M45,71,75	3	Układ scalony	9	TWT-76/CEMI/B-20	UCY7402N	
D	A	M17,36,43,46,57,59,67,70	8	Układ scalony	8	TWT-76/CEMI/B-01	UCY7400N	
			2	Kołek dystansowy	7	10-003792-01-6		M-DM-00391-01-[illegible]
			1	Listwa ślizgowa	6	10-003791-01-8		M-DM-00390-01-[illegible]
			5	Szyna zasilania	5	10-003794-23-8		M-DE-00247-23-[illegible]
			7	Szyna zasilania	4	10-003794-24-6		M-DE-00247-24-[illegible]
			1	Szyna zasilania	3	10-003794-32-0		M-DE-00247-32-01
			1	Szyna zasilania	2	10-003794-31-2		MDE-00247-31-[illegible]
E	D		1	Płytka drukowana	1	10-003768-01-6	C-F-PM2-2	M-DE-00682-00[illegible]
		Oznaczenia elementów	01-2	Nazwa	Pat	Nr rys. Nr normy	Symbol mat.	Nr indeksu mat.

PAKIET F-PM2-2

3-2

11-006370-01-6A



			Instrukcja uruchamiania	23	13-003906-01-6	F-PA2-1	
			Schemat ideowy	24	12-003784-01-9	F-PA2-1	11-SE-00141-01-40
C			Klej epoksydowy NE-10	25	ZM-741/L-6378-01		
B			Spoiwo cynowo ołowiowe	22	K-10-00251-E		
C			Przewód srebrzony w izol. „KYNAR" Ø23	21	BICC	AWG 30	
D	C28,29	2	Kondensator elektrolit. 196D-10μF-25V±20%	20	WT-66111-17/75		
A	C1÷27	27	Kondensator	19	WT-73/L-5-414	2,2nF±10 5÷5+ 4,7μF±20 63÷63	
C	M 17,19,21,23,24,76÷80	10	Układ scalony	18	CEMI	UCY74198N	
	M 42,47	2	Układ scalony	17	TEX. INST.	SN74162N	
C	M 52÷61	10	Układ scalony	16	CEMI	UCY74181N	
B	M 3,4,5,7,9÷11,25,26,28,29,31,32,34,35,38÷41,43÷46,48÷51	28	Układ scalony	15	TMT-TSKEMI B-1016-1	UCY74153N	
C	M 62,63,65÷68,71,72,74,75	10	Układ scalony	14	CEMI	UCY7405N	
	M1	1	Układ scalony	13	UNITRA-CEMI	UCY7408N	
D	M 22	1	Układ scalony	12	TMT-TSKEMI B-44	UCY7440N	
	M6,14	2	Układ scalony	11	TEX. INST.	SN74H21N	
	M 27	1	Układ scalony	10	TEX. INST.	SN74H11N	
A	M 2,16,30,33,36,37,64,69,70,73	10	Układ scalony	9	TMT-TSKEMI B-27	UCY7404N	
A	M 8,13,15,18,20	5	Układ scalony	8	TMT-TSKEMI B-1018-8	UCY7402N	
		2	Kołek dystansowy	7	10-003782-01-6		11-DM-00334-01-40
		1	Listwa ślizgowa	6	10-003791-01-8		11-DM-00340-01-DY
		7	Szyna zasilania	5	10-003794-23-8		11-DE-00241-23-CZ
		6	Szyna zasilania	4	10-003794-24-6		11-DE-00241-24-CE
		1	Szyna zasilania	3	10-003794-32-0		11-DE-00241-32-C
		1	Szyna zasilania	2	10-003794-31-2		11-DE-00241-31-CI
		1	Płytka drukowana	1	10-003769-01-4	F-PA2-1	11-DE-00681-00-40
Oznaczenia elementów		01-8	NAZWA	Ilość	Nr rys. Nr normy	Symbol mat.	Nr indeksu inst.

PAKIET F-PA2-1

3-3

11-006370-01-6A

System MERA 400

DOKUMENTACJA TECHNICZNO–RUCHOWA

TOM IV

część 9

MODUŁ KANAŁU ZNAKOWEGO MKZ–400

Nowości w opisie są zaznaczane na marginesie. Znak przy numerze strony dotyczy numeracji stron.

ZAPIS ZMIAN

ZMIANA	OPIS
"A" 30.12.78.	Oryginał

Uwagi kierować do : Centrum Naukowo Produkcyjne Techniki Komputerowych i Pomiarów
Im.J.Krasickiego , ul. Łopuszańska 117/123 02-232 Warszawa

Producent zastrzega sobie prawo wprowadzania zmian w dokumentacji.

S P I S T R E Ś C I

Str.

ROZDZIAŁ 1.

CHARAKTERYSTYKA TECHNICZNA MODUŁU MKZ–400 1-1

ROZDZIAŁ 2.

KANAŁ ZNAKOWY 1-3

ROZDZIAŁ 3.

ZASADY DZIAŁANIA JEDNOSTEK STERUJĄCYCH 1-21

ROZDZIAŁ 4.

SCHEMATY IDEOWE

Schemat ideowy pakietu SM–KZA–11 2-1
Schemat ideowy pakietu SM–KZB–11 2-10

RYSUNKI PAKIETÓW

Pakiet SM–KZA–11 3-1
Pakiet SM–KZB –11 3-4

ROZDZIAŁ 1.

CHARAKTERYSTYKA TECHNICZNA MODUŁU KANAŁU ZNAKOWEGO MKZ–400

1. PRZEZNACZENIE

Moduł kanału znakowego MKZ–400 jest przeznaczony do dołączania do minikomputera MERA–400 urządzeń zewnętrznych pracujących start–stopowo lub synchronicznie o niewielkiej szybkości przesyłania danych.

2. PODSTAWOWE DANE TECHNICZNE:

- typ kanału – programowany, w którym każde przesłanie informacji wymaga użycia rozkazu wejścia/wyjścia OU lub IN.
- Format informacji – znaki 8–bitowe lub słowa 16–bitowe.
- Maksymalna szybkość transmisji – ⩽20 tys. znaków (słów) na sekundę przy pracy pod kontrolą systemu operacyjnego
  200÷500 tys. znaków (słów) na sekundę przy pracy poza systemem operacyjnym.
- Liczba urządzeń dołączonych do kanału – maks.8
- Liczba kanałów znakowych w zestawach MERA–400 – maks. 16
- Warunki eksploatacji – jak dla modułu MJC–400 (część 2 TOM IV DTR).
- zasilanie – +5 V ±1%, 45 VA
- wymiary – 150x300x30 mm
- masa – 0,5 kg

3. ROZWIĄZANIE KONSTRUKCYJNE

Moduł kanału znakowego MKZ–400 składa się z dwóch pakietów SM–KZA11 i SM–KZB11 o wymiarach 150x300 mm, instalowanych w modułach szufladowych systemu MERA–400 takich jak: MJC–400, MPZ–400. Pakiety kanału znakowego o numerze fizycznym 15 są integralną częścią modułu MJC–400, tzn. wchodzą w skład każdego zestawu MERA–400.

MODUŁ KANAŁU ZNAKOWEGO MKZ 400

1. pakiet KZ–A
2. pakiet KZ–B

ROZDZIAŁ 2

KANAŁ ZNAKOWY

1. WSTĘP

Kanał znakowy minikomputera jest prostym, programowanym kanałem umożliwiającym przesyłanie danych pomiędzy rejestrami uniwersalnymi jednostki centralnej a jednostkami sterującymi urządzeń zewnętrznych. Do kanału znakowego może być dołączonych od jednej do ośmiu jednostek sterujących. Poprzez kanał znakowy mogą współpracować urządzenia pracujące start–stopowo lub synchronicznie z niewielką szybkością przesyłania danych.
Interfejs znakowy pomiędzy kanałem a jednostkami sterującymi umożliwia przesyłanie danych o dowolnym formacie informacji nieprzekraczającym 16 bitów.

2. OPIS FUNKCJONALNY

W niniejszym rozdziale omówiono funkcje kanału, rodzaje i kody operacji oraz sposób zgłaszania przerwań z kanału znakowego.

2.1. Funkcje kanału znakowego

Kanał znakowy realizuje niżej wymienione funkcje:

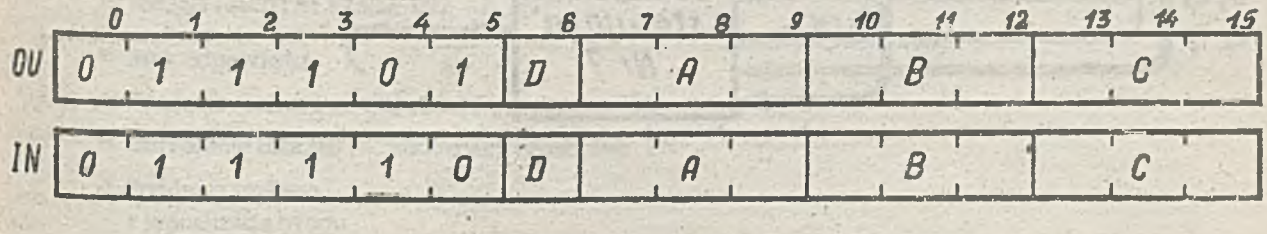
- separacja i powielanie mocy sygnałów interfejsu głównego systemu doprowadzanych do jednostek sterujących;
- koncentrowanie i ustalanie priorytetu przerwań z jednostek sterujących urządzeń zewnętrznych i zgłaszanie ich do jednostki centralnej;
- wykonywanie operacji kanałowych, związanych głównie z pracą dwuprocesorową systemu.

Umiejscowienie kanału znakowego jako modułu funkcjonalnego systemu MERA–400 ilustruje rysunek 1. Kanał znakowy współpracuje z jednej strony poprzez interfejs główny z procesorem (lub procesorami dla zestawów dwuprocesorowych), zaś z drugiej strony poprzez interfejs znakowy z jednostkami sterującymi urządzeń zewnętrznych. Interfejs główny umożliwia dołączenie do 16 kanałów dowolnego typu, w szczególności kanałów znakowych, natomiast jeden kanał znakowy może sterować pracą do ośmiu jednostek sterujących.

2.2. Rozkazy wejścia/wyjścia

Procesor współpracuje z kanałem znakowym przy pomocy dwóch dwuargumentowych rozkazów wejścia/wyjścia OU i IN.

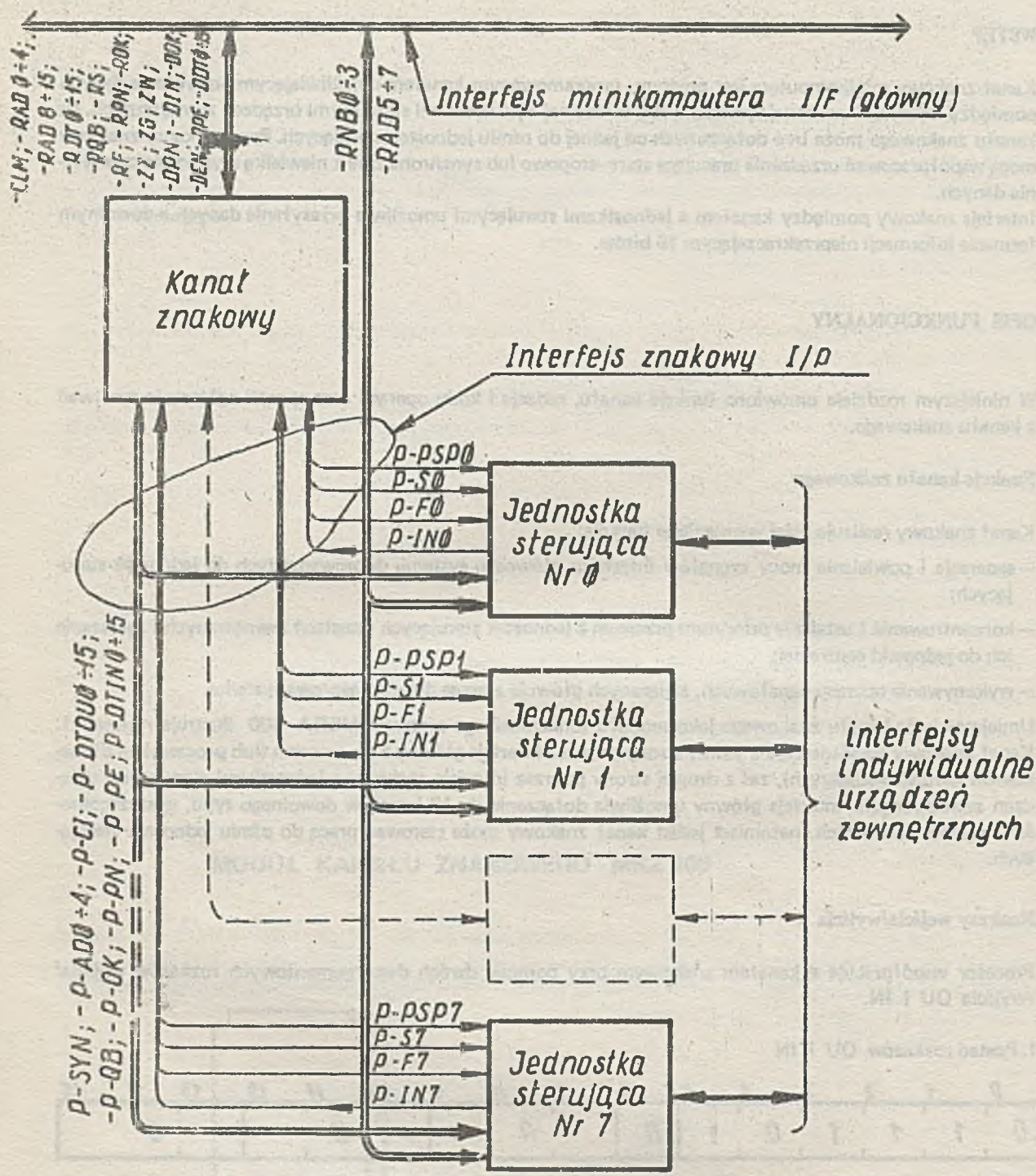
2.2.1. Postać rozkazów OU i IN



Pozycje 1 ÷ 5 – kod rozkazu OU i IN interpretowany przez procesor

Pozycja 6 – bit adresowania pośredniego (D–modyfikacji) drugiego argumentu rozkazu

Pozycje 7 ÷ 9 – numer rejestru uniwersalnego, którego zawartość jest pierwszym argumentem rozkazów OU lub IN. Pierwszy argument dalej,oznaczany symbolem R/A/, nie podlega modyfikacji.

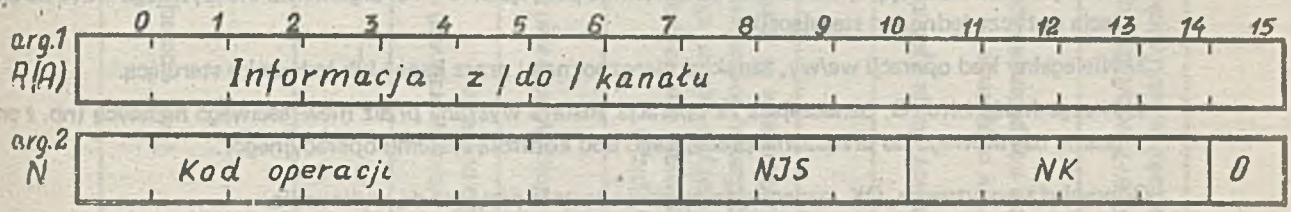


Rys. 1 Umiejscowienie kanału znakowego w systemie MERA-400

Pozycje 10 ÷11 — numer rejestru uniwersalnego, służącego do B—modyfikacji drugiego argumentu rozkazu.
Rejestr uniwersalny wskazany w polu B rozkazu jest wykorzystany jako rejestr indeksowy.

Pozycje 12 ÷15 — pole C rozkazu, wskazujące drugi argument w postaci pierwotnej (bez modyfikacji). Gdy C≠O, drugim argumentem rozkazu jest rejestr uniwersalny R/C/. Gdy C=O, drugim argumentem jest zawartość następnego słowa za rozkazem OU lub IN. W początkowej fazie wykonywania rozkazu następuje wyznaczenie argumentu efektywnego N poprzez wykonanie wszystkich modyfikacji argumentu pierwotnego.

2.2.2. Postać argumentów rozkazów OU i IN.



Argument pierwszy rozkazu R/A/ jest 16-bitową informacją przesyłaną do kanału w przypadku rozkazu OU lub pobieraną z kanału dla rozkazu IN. Najczęściej informacją tą są dane przesyłane z/do urządzenia zewnętrznego.

Argument drugi N niezależnie od rodzaju rozkazu jest przesyłany do kanału i zawiera poniższe informacje:

Pozycje O ÷7 — kod operacji interpretowany przez kanał lub jednostkę sterującą. W zależności od zawartości pozycji O ÷7 argumentu N rozkazy OU i IN mogą realizować różne funkcje dalej zwane operacjami wejścia/wyjścia.

Pozycje 8 ÷10 — numer jednostki sterującej (urządzenia), do której wysyłany jest rozkaz.

Pozycje 11 ÷ 14 — numer kanału, do którego wysyłany jest rozkaz.

Operacje wejścia/wyjścia mogą dotyczyć kanału lub jednostek sterujących. Wyróżnia się operacje związane z transmisją danych oraz operacje sterujące.

2.2.3. Odpowiedzi zwrotne kanału

W zależności od rodzaju operacji wejścia/wyjścia i stanu kanału lub jednostki sterującej mogą wystąpić cztery rodzaje reakcji na rozkaz OU lub IN:

- Brak odpowiedzi
- Przyjęcie rozkazu — odpowiedź pozytywna OK
- Odrzucenie rozkazu — odpowiedź negatywna EN
- Przyjęcie rozkazu z sygnalizacją błędu parzystości — odpowiedź OK + PE

W zależności od rodzaju odpowiedzi kanału w trakcie wykonywania rozkazu OU lub IN ma miejsce rozgałęzienie programu.

Licznik rozkazów IC ustawiany jest następująco:

IC = S/IC/ w przypadku braku odpowiedzi

IC = S/IC+1/ w przypadku odpowiedzi OK

IC = S/IC+2/ w przypadku odpowiedzi EN

IC = S/IC+3/ w przypadku odpowiedzi OK + PE

gdzie S/IC/ jest zawartością następnego słowa za rozkazem OU lub IN, S/IC+1/ jest zawartością drugiego z kolei słowa za rozkazem OU lub IN, itd.

Brak odpowiedzi na operację we/wy może wystąpić w poniższych sytuacjach:

1/ Brak kanału znakowego o numerze podanym na pozycjach 11÷14 argumentu efektywnego N.

2/ Brak jednostki sterującej o numerze podanym na pozycjach 8 ÷10 argumentu efektywnego N (o ile operacja dotyczy jednostki sterującej).

3/ Nielegalny kod operacji we/wy, tzn. kod nierozpoznany przez kanał lub jednostkę sterującą.

4/ Niezgodność bitu Q, oznaczająca że operacja została wysłana przez niewłaściwego nadawcę (np. z programu użytkowego do urządzenia pracującego pod kontrolą systemu operacyjnego).

Odpowiedź pozytywna OK oznacza, że operacja została przyjęta do wykonania.
Odpowiedź negatywna EN oznacza, że operacja nie została przyjęta ze względu na niegotowość jednostki sterującej lub urządzenia.
Odpowiedź pozytywna OK + PE oznacza przyjęcie operacji we/wy lecz w przesyłanej informacji wystąpiło przekłamanie (np. wykrycie błędu parzystości).

2.3. Operacje wykonywane przez kanał znakowy

Operacje we/wy dzielą się na operacje dotyczące kanału i operacje dotyczące urządzeń zewnętrznych. Operacje dotyczące kanału są przyjmowane przez kanał tylko wtedy, gdy są wysyłane przez system operacyjny (bit Q=0/. Operacje do urządzeń są przesyłane przez kanał do jednostek sterujących niezależnie od tego czy są wysyłane przez system operacyjny czy też przez program użytkowy. Wskaźnik pracy systemu – bit Q – jest badany w jednostce sterującej.

Operacje wykonywane przez kanał znakowy przedstawia tabela 1.

2.4. Blokada zgłaszanych przerwań

Kanał znakowy zawiera układ blokady przerwań, umożliwiający wstrzymanie zgłaszania przerwań z urządzeń do jednego lub obu procesorów. Po wyzerowaniu wstępnym kanału przerwania są odblokowane. Blokada przerwań może być wykonana przy pomocy jednej z operacji blokady przerewań (wg tabeli 1) lub może być założona samorzutnie, jeżeli procesor nie pokwituje zgłoszenia przerwania przez kanał w czasie 4 uS. Każda operacja przyjęta przez kanał z wyjątkiem "blokuj przerwania do procesora o nr PN" zdejmuje blokadę przerwań do procesora PN (tzn. do procesora wysyłającego daną operację).

2.5. Allokacja (przydział) urządzeń

Rejestr allokacji kanału znakowego stanowi 8–mio bitowy rejestr równoległy, służący do przechowywania numerów procesorów aktualnie wykorzystujących jednostki sterujące. Po wyzerowaniu wstępnym wszystkie pozycje rejestru allokacji są ustawiane w stan $RAL_{0 \div 7} = 0$. Operacja "Przydziel urządzenie procesorowi o nr PN" oraz każda operacja dotycząca urządzenia, potwierdzona odpowiedziami OK i EN z wyjątkiem operacji "Sprawdź istnienie urządzenia" wpisuje do pozycji RAL_i (i–numer urządzenia) numer procesora wysyłającego operację.

TABELA 1

Rozkaz	Kod operacji /bity O ÷ 4 argumentu efektywnego N/ 0 1 2 3 4	Nazwa operacji	Treść operacji	Odpowiedź kanału znakowego
OU	0 0 0 0 0	Sprawdź istnienie kanału	—	OK
	0 0 0 0 1	Blokuj przerwanie do procesora o nr PN	Ustawienie blokady przerwań do procesora wysyłającego operację.	OK
	0 0 0 1 0	Blokuj przerwanie do procesora o nr PN	Ustawienie blokady przerwań do drugiego procesora	OK
	0 0 0 1 1	Przydziel urządzenie procesorowi o nr PN	PN → RAL gdzie: PN — nr procesora wysyłającego operację RAL_i — i–ta pozycja rejestru allokacji kanału i — nr urządzenia, podany na pozycjach 8÷10 argumentu N rozkazu	OK
IN	0 0 0 0 0	Sprawdź istnienie kanału		OK
	0 0 0 0 1	Podaj specyfikację przerwania	DT 0÷7:=specyfikacja z jednostki sterującej DT 8÷10:= nr urządzenia Przesłanie na stos przerwań specyfikacji przerwania.	OK
	0 0 0 1 1	Podaj stan rejestru allokacji	RAL→ R/A/ 0÷7 wczytanie do rejestru uniwersalnego zawartości rejestru allokacji kanału	OK

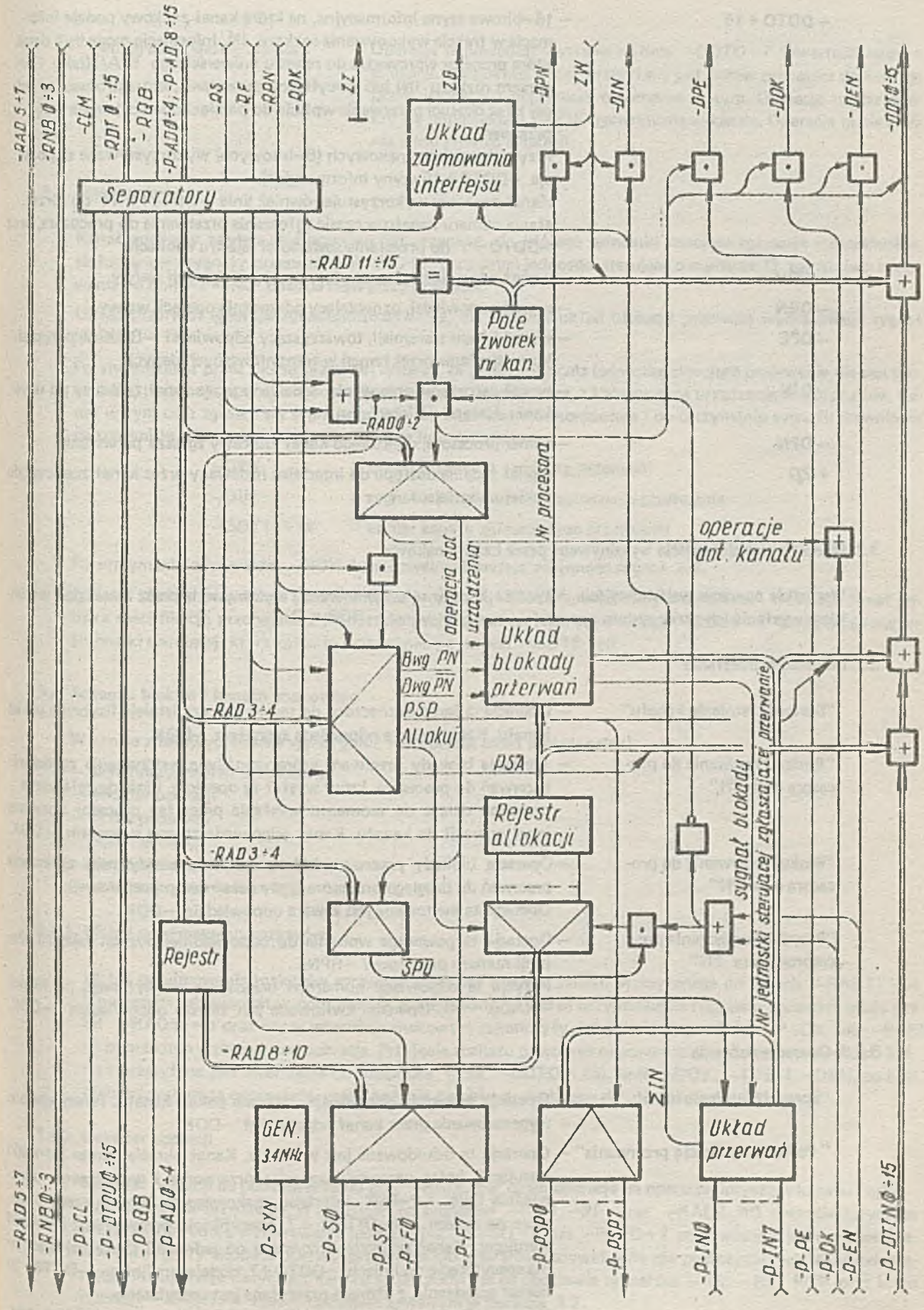
3. BUDOWA I DZIAŁANIE KANAŁU ZNAKOWEGO

Niniejszy rozdział zawiera opis budowy i działania kanału znakowego. Omówiony jest w nim także sposób zgłaszania do procesora przerwań generowanych w jednostkach sterujących. W celu pełniejszego zobrazowania działania kanału załączono schematy czynnościowe operacji przesłania, pobrania oraz zgłaszania przerwań (rys. 3,4,5).
Na rysunku 2 przedstawiono schemat blokowy kanału znakowego.

3.1. Opis sygnałów interfejsu głównego systemu MERA–400 wykorzystywanych przez kanał znakowy.

3.1.1. Sygnały odbierane przez kanał znakowy:

- – RS – sygnał wiodący operacji przesłania, nadawany przez procesor w trakcie wykonywania rozkazu przesłania OU;
- – RF – sygnał wiodący operacji pobrania, nadawany przez procesor w trakcie wykonywania rozkazu pobrania IN;
- – RADO÷15 – 16–bitowa szyna adresowa interfejsu, na którą procesor wyprowadza dla rozkazów OU lub IN zawartość argumentu efektywnego N z zachowaniem przeznaczenia poszczególnych pozycji.
  - – RADO÷4 – kod operacji
  - – RAD5÷7 – przedłużenie kodu operacji. Bity nie wykorzystywane przez kanał znakowy, lecz przesyłane do jednostek sterujących
  - – RAD8÷10 – numer urządzenia, do którego wysyłana jest operacja (dla operacji urządzeniowych)
  - – RAD11÷14 – numer kanału, do którego wysyłana jest operacja.
  - – RAD15 – dla rozkazów adresowanych do kanałów – RAD15=0.
- – RDTO÷15 – 16–bitowa szyna informacyjna, na którą procesor w trakcie wykonywania rozkazu OU wyprowadza argument I rozkazu (zawartość rejestru uniwersalnego R/A/). Służy do przesyłania danych lub informacji sterujących. Przy transmisjach znakowych (8–bitowych) wykorzystywane są pozycje –RDT8÷15 szyny informacyjnej.
- – RPN – numer procesora wysyłającego operację we/wy.
- – RQB – wskaźnik pracy systemu operacyjnego informuje kanał i jednostki sterujące, że operacja jest wysyłana przez system operacyjny (bit Q=0) lub program użytkowy (bit Q=1).
- – RNBO÷3 – 4–bitowa szyna numeru bloku pamięci operacyjnej z którego pobrano i wysłano operację we/wy.
  Sygnały niewykorzystywane przez kanał znakowy, lecz doprowadzane do jednostek sterujących w celu ewentualnego wykorzystania dla zapewnienia ochrony przed wzajemną ingerencję programów użytkowych w działanie urządzeń zewnętrznych (dotyczy urządzeń oprogramowanych poza systemem operacyjnym).
- – ROK – sygnał odpowiedzi z procesora, kwitującej odebranie przerwania zgłaszanego przez kanał znakowy po linii –DIN.
- + ZW – sygnał zezwolenia na dostęp kanału znakowego do interfejsu głównego, nadawany przez pakiet interfejsu.
- – CLM – sygnał zerowania ogólnego.
- –ZZ – sygnał do pakietu interfejsu oznaczający obecność kanału.



Interfejs znakowy I/P

Rys. 2 Schemat blokowy kanału znakowego

3.1.2. Sygnały nadawane do interfejsu przez kanał znakowy

– DDTO ÷ 15	– 16–bitowa szyna informacyjna, na którą kanał znakowy podaje informacje w trakcie wykonywania rozkazu IN. Informacją mogą być dane, które procesor wprowadza do rejestru uniwersalnego R/A/ (jako I argument rozkazu IN) lub specyfikacja przerwania, którą procesor w jednej z faz obsługi przerwania wpisuje do pamięci operacyjnej na stos przerwań. Przy transmisjach znakowych (8–bitowych) wykorzystywane są pozycje –DDT8 ÷ 15 szyny informacyjnej. Kanał znakowy wykorzystuje również linie –DDT11 ÷ 14 do przesłania numeru kanału w czasie zgłoszenia przerwania do procesora, oraz –DDTO ÷ 7 do przesłania zawartości rejestru allokacji.
– DOK	– sygnał odpowiedzi, oznaczający przyjęcie operacji we/wy.
– DEN	– sygnał odpowiedzi, oznaczający odrzucenie operacji we/wy.
– DPE	– sygnał błędu transmisji, towarzyszący odpowiedzi –DOK w przypadku wystąpienia przekłamań w transmitowanych danych.
– DIN	– sygnał zgłoszenia przerwania, nadawany przez kanał znakowy po uzyskaniu dostępu do interfejsu.
– DPN	– numer procesora, do którego kanał znakowy zgłasza przerwanie.
+ ZG	– sygnał żądania dostępu do interfejsu nadawany przez kanał znakowy do pakietu interfejsu.

3.2. Operacje wejścia/wyjścia wykonywane przez kanał znakowy

Wszystkie operacje wejścia/wyjścia dotyczące kanału są przyjmowane i wykonywane przez kanał pod warunkiem wysłania ich przez system operacyjny, tzn. gdy sygnał –RQB = 0.

3.2.1. Operacje przesłania

"Sprawdź istnienie kanału"	– Operacja ta jest przeznaczona do testowania czy istnieje fizycznie pakiet kanału. Kanał zawsze odpowiada sygnałem –DOK.
"Blokuj przerwanie do procesora o nr PN"	– Operacja blokady przerwań, która umożliwia wstrzymanie zgłoszenia przerwań do procesora, który wysłał tę operację. Blokada zgłaszania przerwań działa do momentu wysłania przez ten procesor dowolnej innej operacji do kanału. Kanał odpowiada zawsze sygnałem – DOK.
"Blokuj przerwanie do procesora o nr PN"	– Operacja blokady przerwań, która umożliwia wstrzymanie zgłaszania przerwań do drugiego procesora (przy pracy dwuprocesorowej). Operacja ta kwitowana jest zawsze odpowiedzią –DOK.
"Przydziel urządzenie procesorowi o nr PN"	– Operacja ta powoduje wpisanie do odpowiedniej pozycji rejestru allokacji numeru procesora / –RPN/. Pozycja ta odpowiada numerowi urządzenia przesyłanego po liniach –RAD8 ÷ 10. Operacja kwitowana jest zawsze odpowiedzią –DOK.

3.2.2. Operacje pobrania

"Sprawdź istnienie kanału"	– Operacja ta testuje czy istnieje fizycznie pakiet kanału. Powoduje ona wygenerowanie przez kanał odpowiedzi –DOK.
" Podaj specyfikację przerwania"	– Operacja ta dekodowana jest w kanale. Kanał określa numer jednostki sterującej, która uprzednio zgłosiła przerwanie i wysterowuje odpowiednią linię –P–PSP interfejsu znakowego, w wyniku czego otrzymuje na liniach –P–DTINO ÷7 specyfikację przerwania z jednostki sterującej. Kanał przesyła otrzymaną od jednostki sterującej urządzenia specyfikację po liniach –DDTO ÷7, dodając na liniach –DDT8÷10 numer urządzenia, z którego przesyłana jest specyfikacja. Operacja kończy się odpowiedzią –DOK generowaną w kanale.

"Podaj stan rejestru allokacji" – Operacja ta powoduje wysłanie na linie –DDTO÷7 zawartości rejestru allokacji. Na pozycji i–tej przesyłany jest numer procesora do którego przydzielone jest urządzenie o numerze i–tym. Operacja zawsze kończy się odpowiedzią –DOK generowaną w kanale. Operacja ta nie zmienia stanu rejestru allokacji.

3.3. Przerwania

Kanał znakowy zawiera 8–bitowy układ przerwań, do którego jednostki sterujące zgłaszają indywidualne, stałoprądowe sygnały przerwań –P–INO÷7, przy czym jednostka sterująca o numerze 0 zgłaszająca przerwanie po linii –P–INO posiada najwyższy priorytet.

Układ przerwań ignoruje zgłaszane przerwania, dla których układ blokady przerwań wypracowuje sygnał blokady.

Po stwierdzeniu przez układ przerwań sytuacji, że zgłaszane przez jednostkę sterującą przerwanie nie jest blokowane, następuje operacja zgłoszenia przerwania do procesora, z którym dane urządzenie współpracuje. Kanał w tym celu zgłasza się sygnałem ZG do interfejsu minikomputera i po otrzymaniu sygnału zezwolenia na transmisję ZW wysterowuje następujące linie interfejsu:

–DPN	– numer procesora (adresata przerwań)
–DIN	– sygnał wiodący operacji zgłoszenia przerwania
–DDT11÷14	– numer kanału zgłaszającego przerwanie

Po otrzymaniu odpowiedzi –ROK kanał zwalnia interfejs, zdejmując sygnał ZG.

Podczas obsługi przerwania procesor wysyła operację "Podaj specyfikację przerwania". Wówczas kanał pobiera specyfikację przerwania z jednostki sterującej, przesyłając ją po liniach –DDTO÷7 oraz podaje numer jednostki sterującej, która zgłosiła przerwanie, po liniach –DDT8 ÷10.

3.4. Schemat blokowy kanału znakowego

W kanale znakowym można wyodrębnić następujące bloki funkcjonalne:

– układ przyjmowania rozkazów
– dekoder operacji
– układ przerwań
– rejestr allokacji
– układ blokady przerwań
– układ zajmowania interfejsu.

3.4.1. Układ przyjmowania rozkazów

Układ przyjmowania rozkazów sprawdza zgodność numeru kanału przesyłanego po liniach –RAD11 ÷14 z numerem ustawionym w polu zworek pakietu kanału. Układ przyjmowania rozkazów sprawdza także czy bit –RAD15=0 oraz czy w interfejsie znakowym zakończyły się sygnały odpowiedzi –P–OK lub –P–EN na poprzednio wykonywane operacje. Przyjęcie rozkazu powoduje otworzenie: toru informacyjnego, po którym przesyłana jest informacja do procesora (linie –DDTO ÷15), linii –DOK, –DPE i –DEN, po których przesyłane są odpowiedzi oraz wysłanie sygnału strobującego do dekodera operacji.

3.4.2. Dekoder operacji

Dekoder operacji na podstawie stanu linii –RADO÷2 dzieli operacje na operacje dotyczące kanału i operacje dotyczące urządzenia. W zależności od sygnałów –RS i –RF oraz –RAD8 ÷10 operacje dotyczące urządzeń powodują wysterowanie jednej z linii –P–SO ÷7 lub –P–FO ÷7 stanowiących w interfejsie znakowym sygnały wiodące operacji przesłania lub pobrania, indywidualne dla poszczególnych jednostek sterujących. Operacje dotyczące kanału są dekodowane na podstawie sygnałów –RS; –RF; RQB oraz kodu operacji –RADO÷4 zgodnie z opisem zawartym w punkcie 3.2.

3.4.3. Układ przerwań

Do układu przerwań doprowadzone są indywidualne linie –P–INO ÷7 z jednostek sterujących. Układ przerwań próbkuje kolejno stan każdej linii. Jeżeli w wyniku próbkowania zostanie wykryte zgłoszenie przerwania z urządzenia, zapalany zostaje przerzutnik przyjęcia przerwania przez kanał (pod warunkiem, że przerwanie do procesora z którym współpracuje jednostka zgłaszająca przerwanie nie są zablokowane). Sygnał blokady wypracowuje układ blokady przerwań. Po zapaleniu przerzutnika przyjęcia przerwania, próbkowanie zostaje wstrzymane. Fakt wystąpienia przerwania zostaje zgłoszony do układu zajmowania interfejsu w celu uruchomienia operacji zgłoszenia przerwania do określonego procesora. Podczas zgłaszania przerwania, układ przerwań wysterowuje linię –DIN, podając po linii –DPN numer procesora, do którego jest kierowane przerwanie oraz po liniach DDT11 ÷14 numer kanału zgłaszającego przerwanie.

Podczas operacji obsługi przerwania kanał pobiera specyfikację przerwania z jednostki sterującej, której przerwanie zostało uprzednio zgłoszone, wysterowując linię –P–PSP. Następnie przesyła pobraną specyfikację do procesora, podając numer jednostki sterującej na liniach –DDT8 ÷10. Numer jednostki sterującej wyznaczany jest w układzie przerwań. Po obsłudze przerwania przerzutnik przyjęcia przerwania zostaje zgaszony. Rozpoczyna się ponownie przeszukiwanie linii –P–INO ÷7 poczynając od –P–INO.

3.4.4. Rejstr allokacji

Rejestr allokacji jest ośmiopozycyjnym rejestrem zbudowanym na przerzutnikach typu D. Pozycje rejestru są przyporządkowane poszczególnym numerom urządzeń. Wszystkie pozycje tego rejestru są zerowane podczas wstępnego zerowania kanału sygnałem –CLM. Rejestr ten służy do przechowywania numerów procesorów aktualnie wykorzystujących jednostki sterujące. Wpisanie numeru procesora na linii –RPN do określonej pozycji rejestru allokacji ma miejsce w przypadku zdekodowania przez kanał operacji "Przydziel urządzenie procesorowi o nr PN" lub przy operacji dotyczącej urządzenia, potwierdzonej odpowiedzią –P–OK lub –P–EN. Wyjątek stanowi operacja "Sprawdź istnienie urządzenia", która nie zmienia stanu rejestru allokacji. Numer pozycji rejestru allokacji odpowiada numerowi urządzenia przesyłanemu na liniach –RAD8 ÷10.

3.4.5. Układ blokady przerwań

Układ blokady przerwań umożliwia wstrzymanie przerwań do jednego lub obu procesorów na rozkaz z dowolnego procesora. W tym celu układ blokady wykorzystuje symetryczne operacje "Blokuj przerwania do procesora o nr PN" i "Blokuj przerwania do procesora o nr $\overline{PN}$", linię –RPN, zawartość rejestru allokacji oraz numer urządzenia zgłaszającego przerwania, podawany z układu przerwań. Po przyjęciu przez kanał dowolnej operacji (z wyjątkiem operacji "Blokuj przerwania do procesora o nr PN") ma miejsce zdjęcie blokady przerwań do procesora, który wysłał tą operację.

Po wstępnym zerowaniu przerwania do obydwu procesorów są odblokowane. Brak odpowiedzi –ROK z procesora przez czas dłuższy niż 4 μs, potwierdzającej przyjęcie zgłaszanego przerwania, powoduje zablokowanie przerwań do tego procesora.

3.4.6. Układ zajmowania interfejsu

Układ zajmowania interfejsu służy do rezerwacji interfejsu w celu zgłoszenia przerwania do procesora. Po zapaleniu przerzutnika przyjęcia przerwania zostaje wysterowana linia +ZG. Po otrzymaniu zezwolenia +ZW przesyłane jest zgłoszenie przerwania do procesora w sposób podany w opisie układu przerwań. Linia +ZG wysterowana jest do momentu zaniku odpowiedzi –ROK z procesora.

3.5. Drogi przepływu informacji

Kanał znakowy przekazuje informacje z procesora do jednostek sterujących oraz z jednostek sterujących do procesora poprzez dwa niezależne szesnastobitowe tory informacyjne. Tor informacyjny po którym przesyłane są informacje z procesora do jednostek sterujących zawiera warstwę separatorów.

Tor informacyjny po którym przesyłane są informacje do procesora, posiada oprócz dwu warstw separatorów, warstwę demultiplexerów SN75157, która umożliwia właściwe wysterowanie informacji na linie –DDTO ÷15.

Informacje przesyłane są bądź z jednostek sterujących przy operacjach pobrania dotyczących urządzeń, bądź z kanału przy operacji "Podaj stan rejestru allokacji" oraz przy zgłaszaniu przerwań. Natomiast operacja "Podaj specyfikację przerwania" pobiera informację z jednostki sterującej (specyfikacja) i z kanału (numer urządzenia).

3.6. Schematy czynnościowe

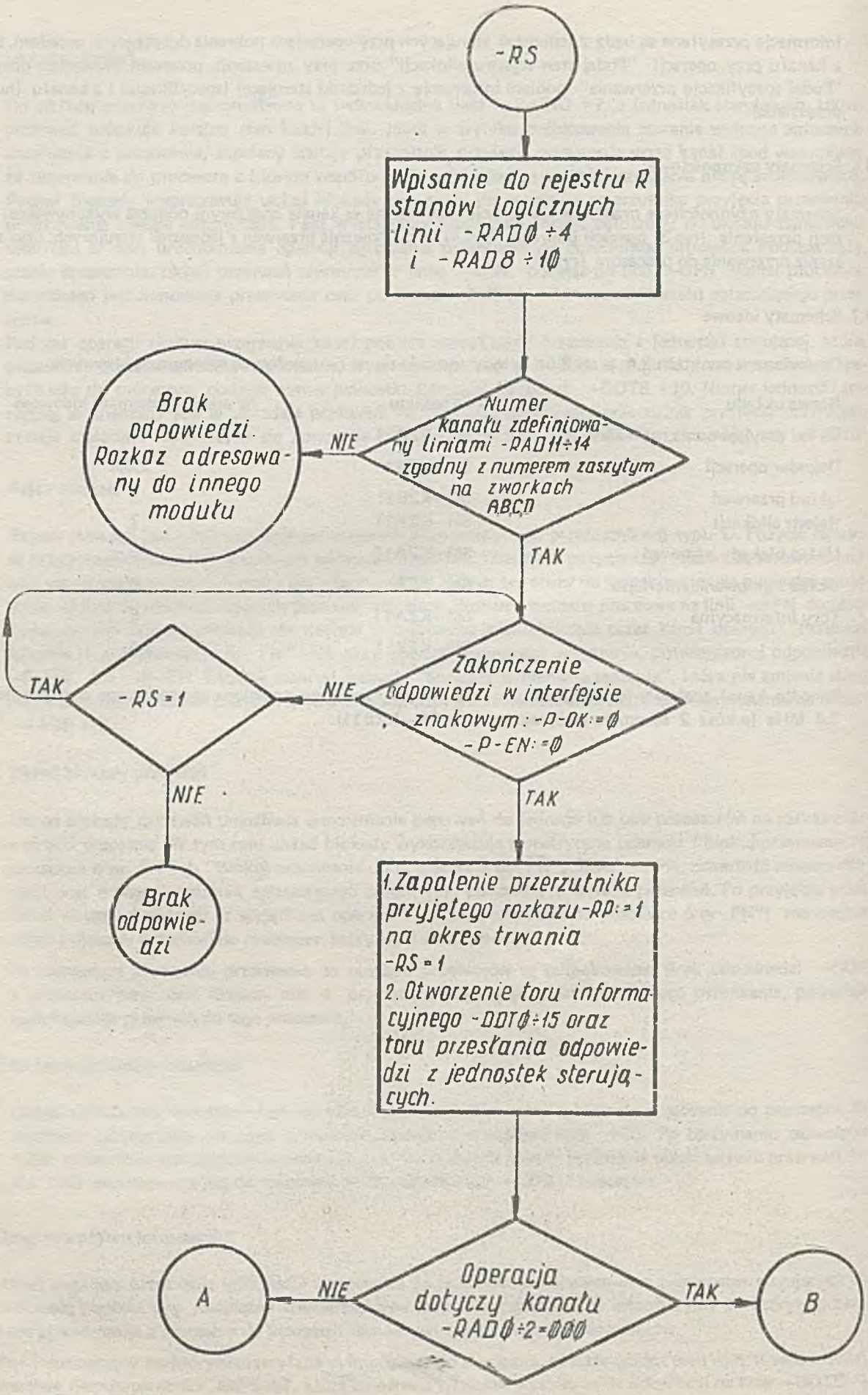
Schematy czynnościowe przedstawiają funkcje realizowane w kanale znakowym podczas wykonywania: operacji przesłania (rys.3) operacji pobrania (rys.4), przyjmowania przerwań z jednostek sterujących, oraz zgłoszenia przerwania do procesora (rys.5).

3.7. Schematy ideowe

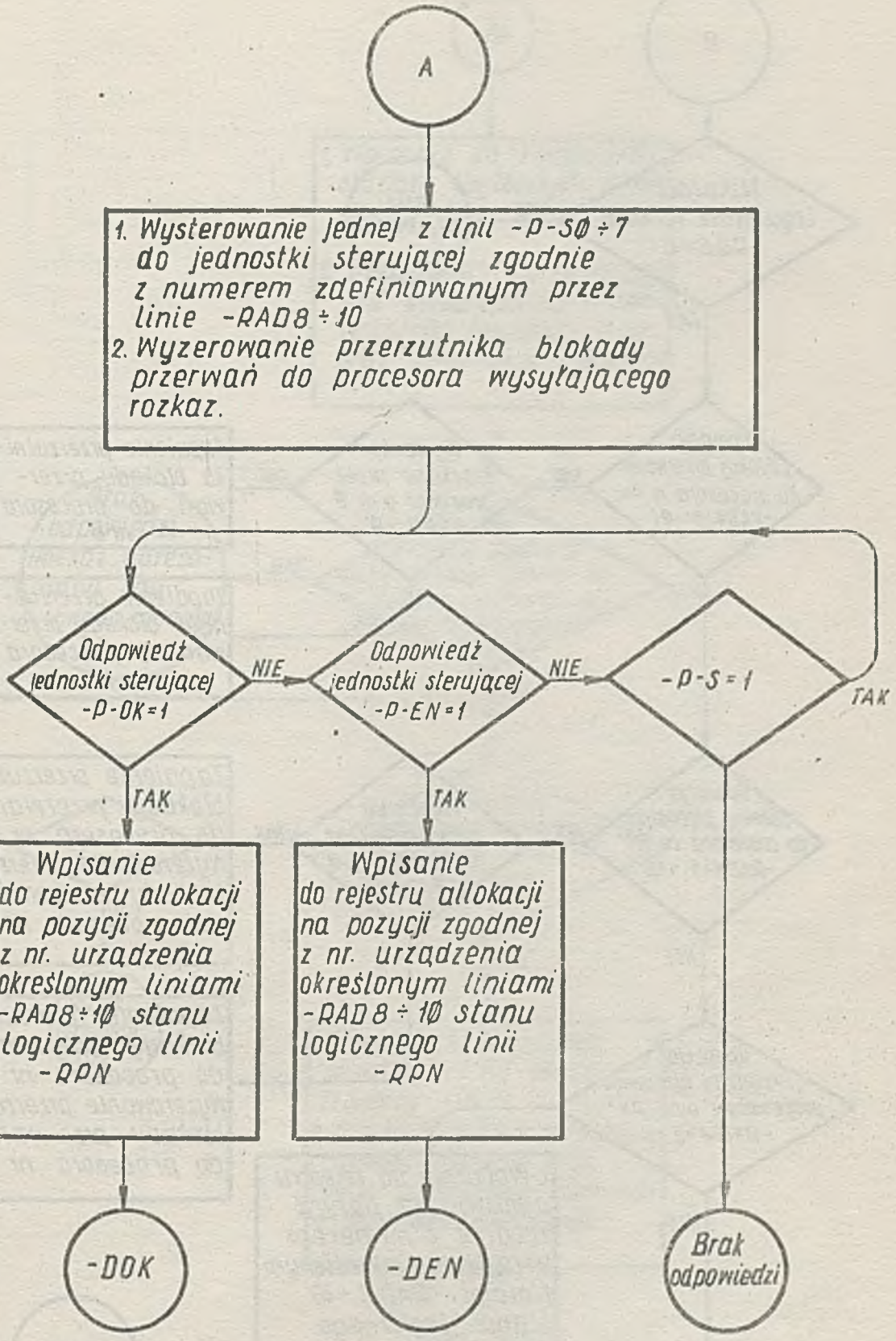
Omówione w punktach 3.4. oraz 3.5. układy znajdują się na następujących schematach ideowych:

Nazwa układu	Typ pakietu	Nr arkusza schematu ideowego
Układ przyjmowania rozkazów	SM–KZA11	1
Dekoder operacji	SM–KZA11	2,3,4
Układ przerwań	SM–KZB11	3
Rejestr allokacji	SM–KZA11	7
Układ blokady przerwań	SM–KZA11	8
Układ zajmowania interfejsu	SM–KZA	6
Tory informacyjne	SM–KZA11	5
	SM–KZB11	1,4

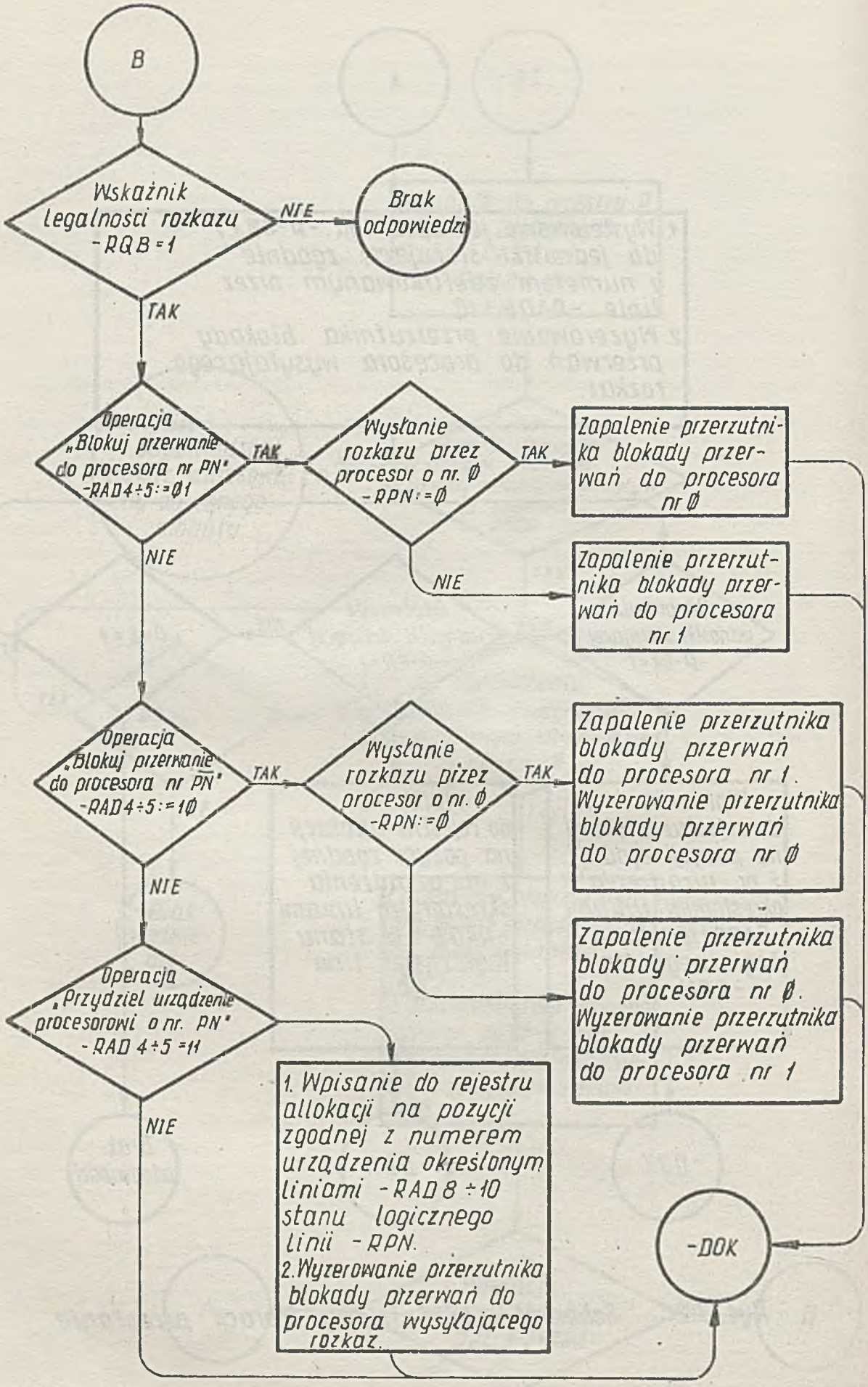
Ponadto kanał znakowy jest wyposażony w generator kwarcowy przebiegu prostokątnego o częstotliwości 3,4 MHz (arkusz 2 schematu ideowego pakietu SM–KZB11).



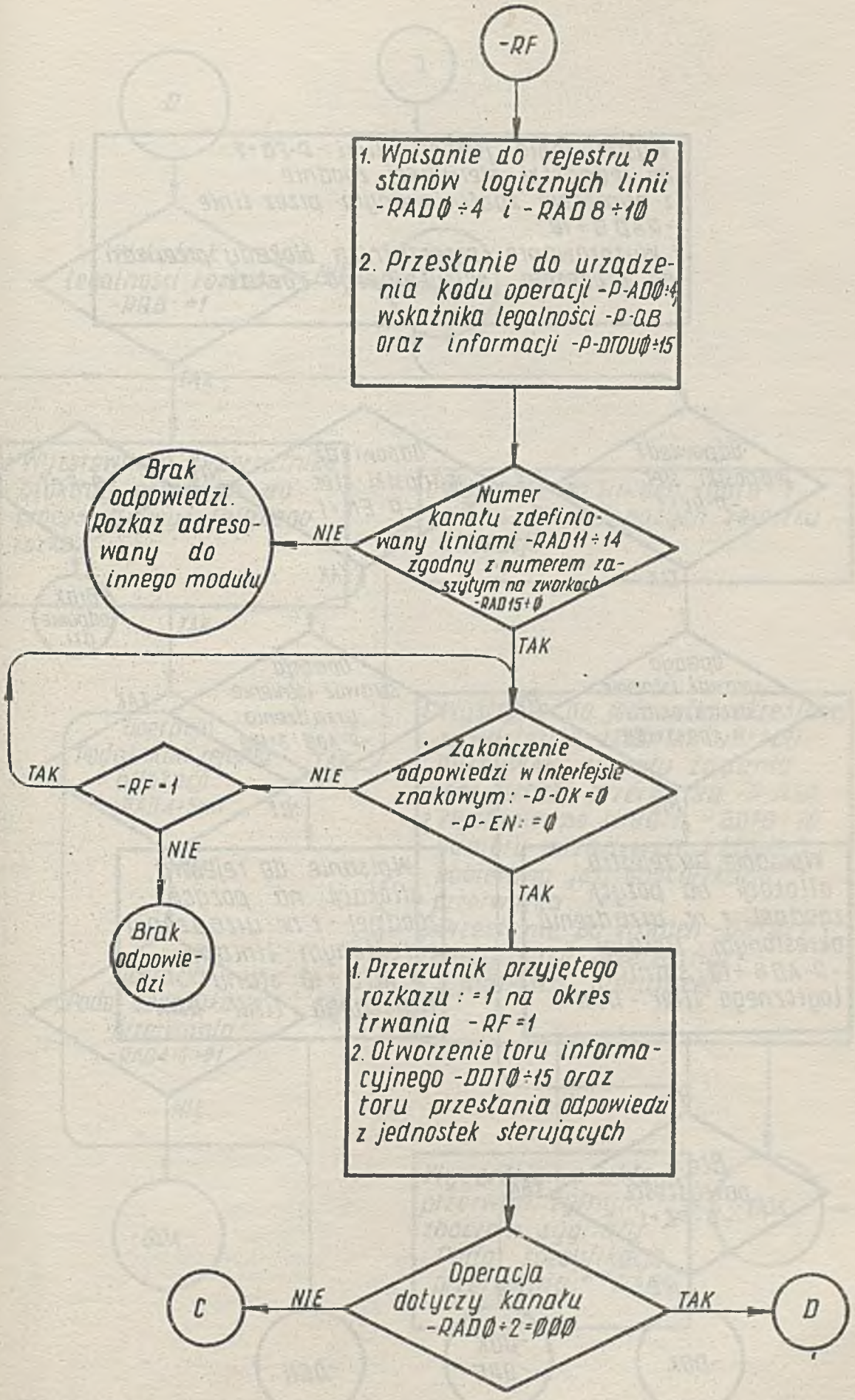
Rys. 3.1 Schemat czynnościowy operacji przesłania



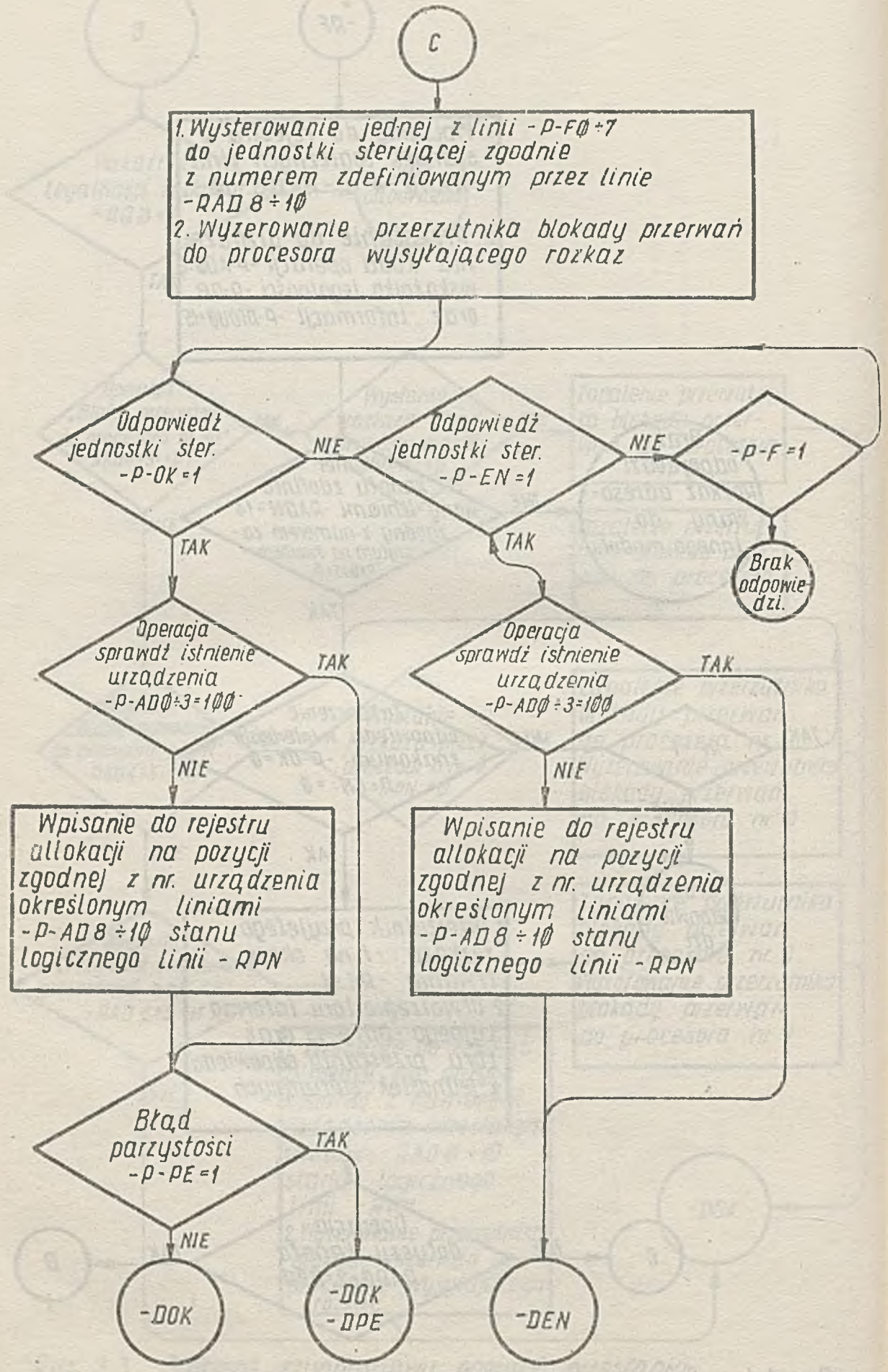
Rys. 3.2 Schemat czynnościowy operacji przesłania



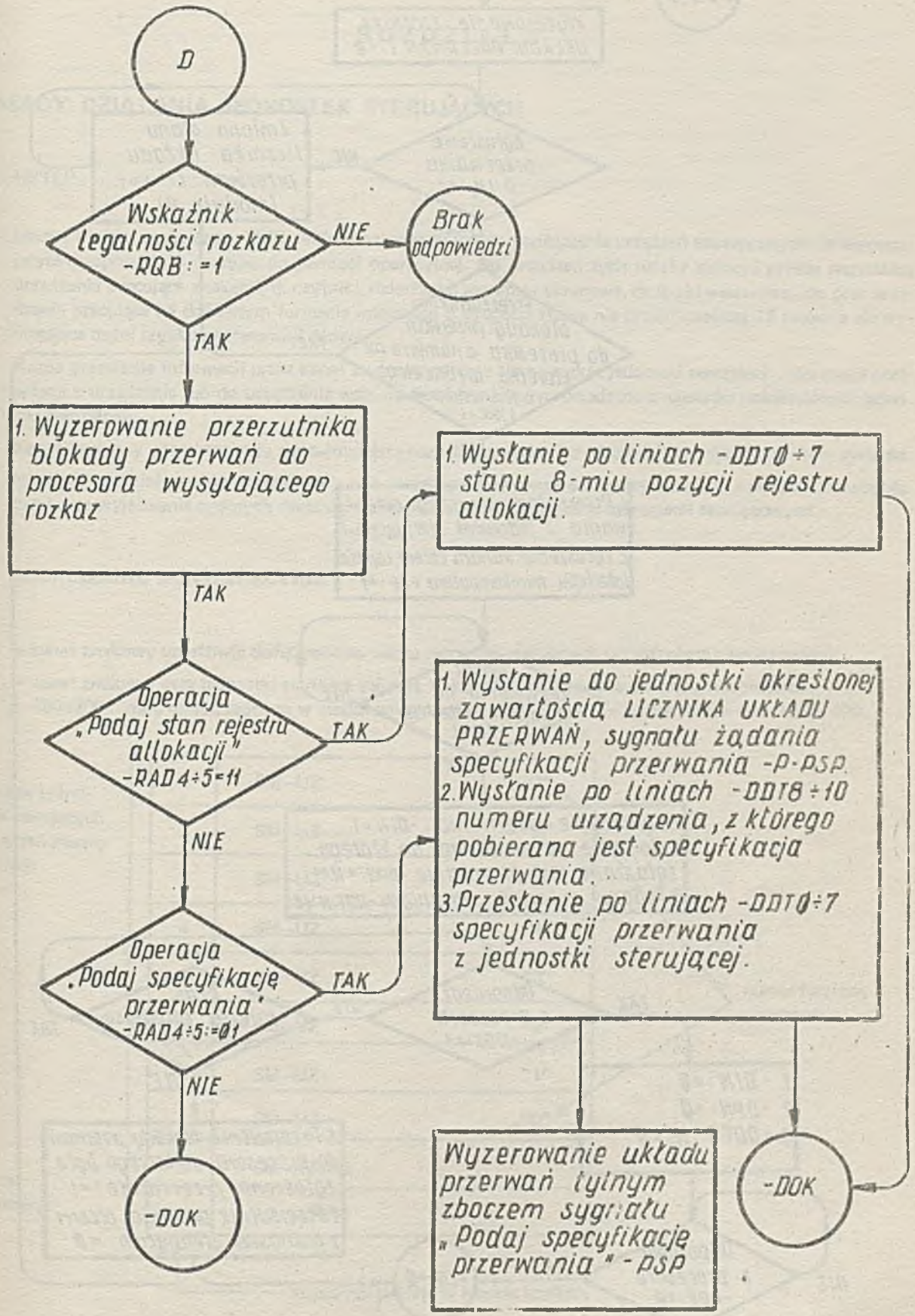
Rys. 3.3 Schemat czynnościowy operacji przesłania



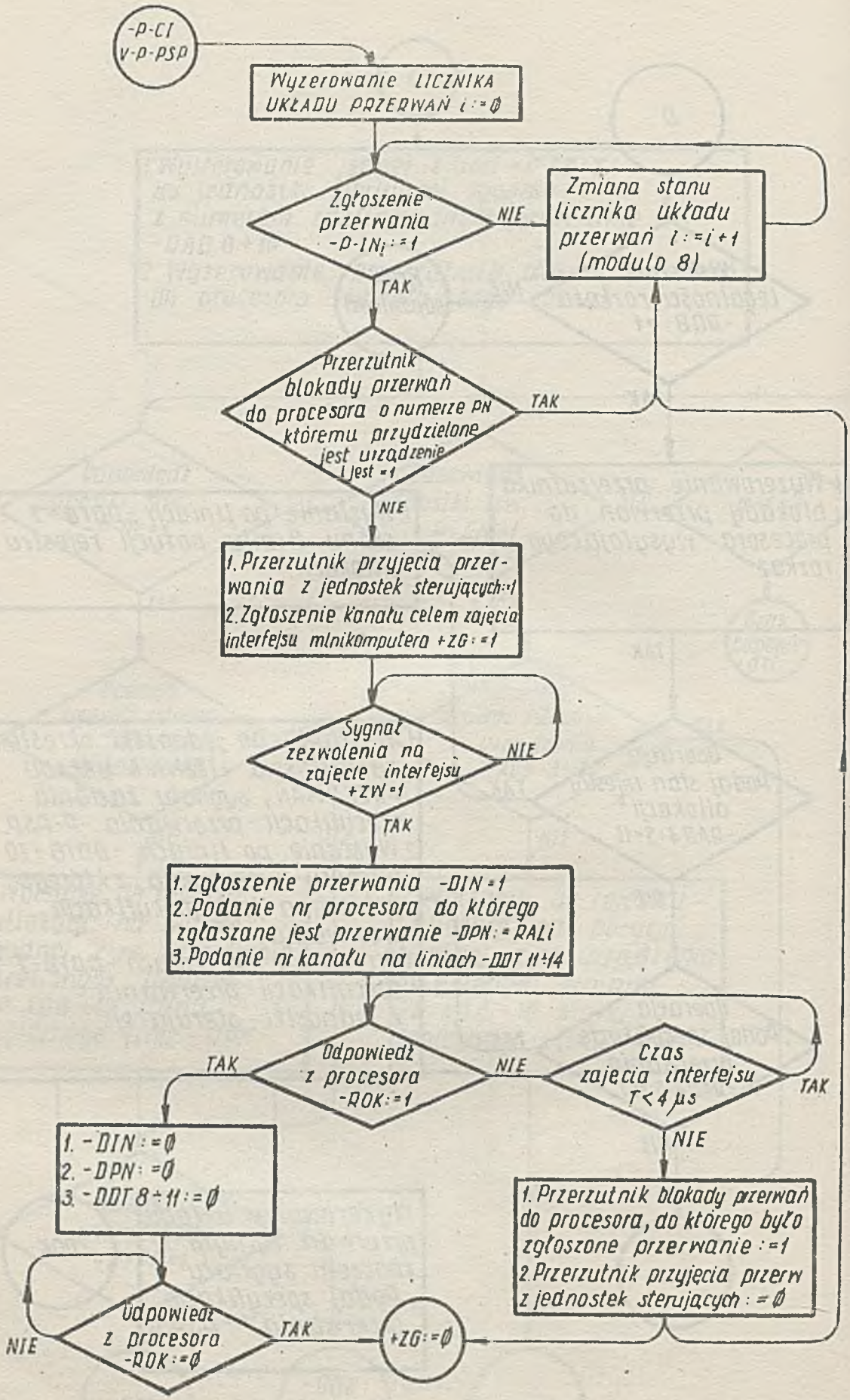
Rys. 4.1 Schemat czynnościowy operacji pobrania



Rys. 4.2 Schemat czynnościowy operacji pobrania



Rys. 4.3 Schemat czynnościowy operacji pobrania



Rys. 5 Schemat czynnościowy przyjmowania przerwań z jednostek sterujących i zgłoszenia przerwań do procesora

ROZDZIAŁ 3

ZASADY DZIAŁANIA JEDNOSTEK STERUJĄCYCH

1. WSTĘP

Moduł kanału znakowego MKZ–400 przeznaczony jest do podłączenia urządzeń zewnętrznych nie wymagających bezpośrednio dostępu do pamięci operacyjnej. Do urządzeń tych należy zaliczyć przede wszystkim urządzenia pracujące znakami, tj. czytniki, dziurkarki, monitory ekranowe, drukarki wierszowe, itp. oraz urządzenia pracujące na dowolnym formacie informacji o długości słowa nie przekraczającej 16 bitów, a nie wymagające dużej szybkości transmisji danych.

Każde przesłanie informacji przez kanał znakowy odbywa się na rozkaz jednostki centralnej. Informacja przesyłana z urządzenia lub do urządzenia wprowadzona jest lub wyprowadzana z rejestrów uniwersalnych jednostki centralnej.

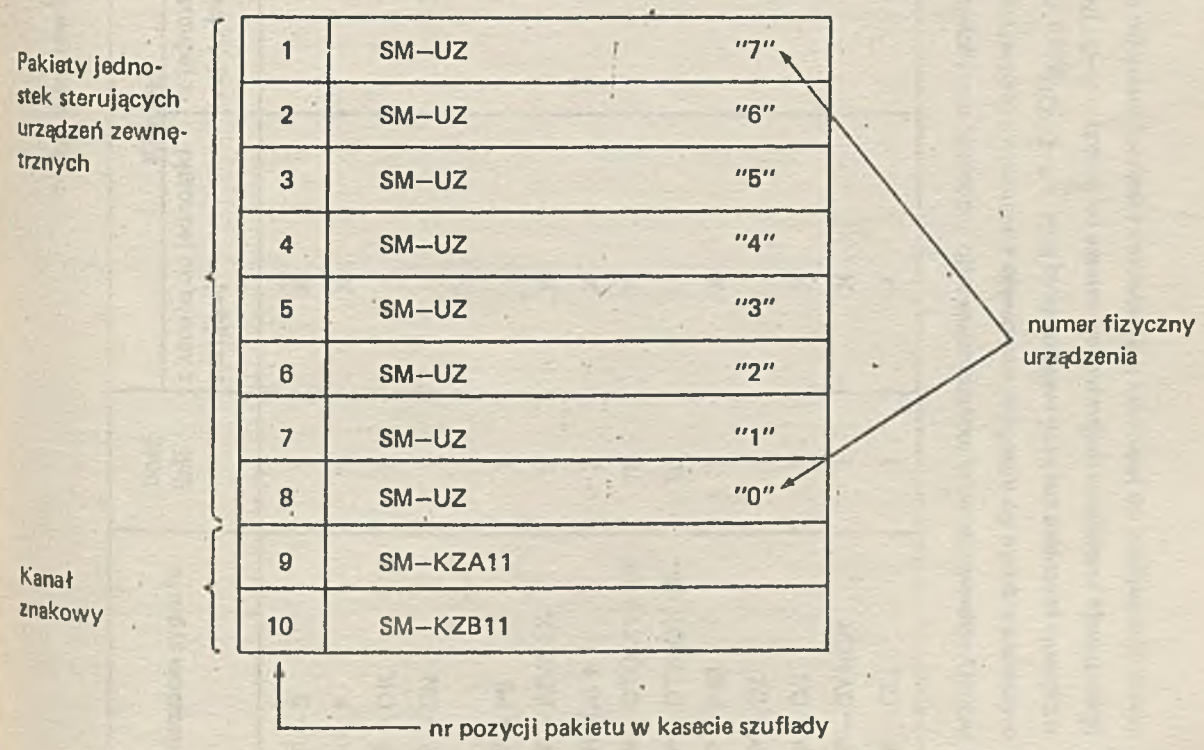
Kanał znakowy charakteryzuje się najmniejszą rozbudową techniczną spośród wszystkich kanałów systemu.

Niniejszy rozdział zawiera szczegółowy opis interfejsu znakowego pomiędzy kanałem a jednostkami sterującymi oraz wyjaśnienie ogólnych zasad działania jednostek sterujących urządzeniami zewnętrznymi.

2. ROZWIĄZANIE KONSTRUKCYJNE

– kanał znakowy umożliwia dołączenie do ośmiu jednostek sterujących urządzeniami zewnętrznymi;

– kanał znakowy oraz jednostki sterujące zajmują 10 sąsiadujących ze sobą pakietów o wymiarach 150x300 mm, umieszczonych w modułach szufladowych systemu, takich jak MJC–400 MPZ–400.



Rys. 3. Rozmieszczenie pakietów kanału znakowego i jednostek sterujących w kasecie.

– jeden pakiet jednostki sterującej może zawierać nie więcej niż 48 elementów scalonych;

– w przypadku, gdy jednostka sterująca urządzenia przekracza 48 elementów scalonych stosowane są następujące rozwiązania:

a/ Przydzielenie jednostce sterującej kilku pakietów w kasecie – kosztem zmniejszenia liczby urządzeń dołączonych do danego kanału. Sygnały indywidualne definiujące numer fizyczny jednostki należy wykorzystać na jednym pakiecie, pozostałe sygnały – dowolnie w zależności od podziału układów jednostki sterującej na pakiety.

b/ Umieszczenie dodatkowych pakietów w innej dowolnej kasecie systemu lub w zewnętrznym bloku sprzęgającym i połączenie kablem zewnętrznym z pakietem znajdującym się w kasecie kanału znakowego.

– wszystkie miejsca pakietowe w kasecie przewidziane dla jednostek sterujących są okablowane sygnałami interfejsu kanału znakowego. Przyjęto ujednolicony rozkład sygnałów na piórkach pakietów jednostek sterujących.

– fizyczny numer urządzenia związany jest z miejscem w kasecie, zajmowanym przez jednostkę sterującą tym urządzeniem. Zmiana numerów fizycznych urządzeń sprowadza się do odpowiedniego przestawienia pakietów jednostek sterujących. Pod numerem fizycznym urządzenia (jednostki sterującej) należy rozumieć liczbę określoną na pozycjach 8÷10 II argumentu rozkazów wejścia/wyjścia OU i IN.

– pakiet jednostki sterującej zaopatrzony jest w dwie łączówki przednią i tylną. Przez łączówkę przednią doprowadzane są sygnały interfejsu kanału znakowego, natomiast łączówka tylna służy do wyprowadzenia z jednostki sterującej kabla logicznego bezpośrednio do urządzenia zewnętrznego.

TABELA 1

Wykaz sygnałów interfejsu znakowego

Oznaczenie sygnału	Ilość linii	Kierunek		Uwagi dotyczące sposobu nadawania	Przeznaczenie sygnału
		z kanału do jednostki sterującej	z jednostki sterującej do kanału		
–P–S	1	X		1	strob operacji przesłania
–P–F	1	X		1	strob operacji pobrania
–P–OK	1		X	2	przyjęcie operacji
–P–EN	1		X	2	nie przyjęcie operacji ze względu na zajętość jednostki sterującej
–P–PE	1		X	2	błąd parzystości
–P–ADO÷4	5	X			kod operacji
–RAD5÷7	3	X		4	rozszerzenie kodu operacji
–P–DTOUO÷15	16	X		3	informacja do jednostki sterującej
–P–DTINO÷15	16		X	2	informacja z jednostki sterującej
–P–PSP	1	X		1	pobranie specyfikacji przerwania z j.s.
–P–IN	1		X	1	zgłoszenie przerwania
–P–QB	1	X			bit Q – wskaźnik legalności rozkazu
–P–SYNCH	1	X			synchronizacja (zegar 3.4 MHz)
–P–CL	1	X			zerowanie ogólne

1/ sygnały doprowadzone są indywidualnie z/do jednostek sterujących

2/ nadawanie sygnału do interfejsu znakowego z elementu z rozwartym kolektorem

3/ urządzenia pracujące znakami wykorzystują linie $-P-DTOU_{8\div15}$ oraz $-P-DTIN_{8\div15}$
Specyfikacja przerwania nadawana jest zawsze po liniach $-P-DTIN_{0\div7}$

4/ linie doprowadzone do jednostek bezpośrednio z pakietu interfejsu minikomputera.

3. OPIS INTERFEJSU ZNAKOWEGO

Interfejs kanału znakowego zawiera 54 sygnały wyszczególnione w tabeli 1. Schemat interfejsu przedstawia rys. 3 w rozdziale "KANAŁ ZNAKOWY". Sygnały –RNBO÷3 oraz –RAD5÷7 doprowadzone są do jednostek sterujących bezpośrednio z interfejsu głównego minikomputera z ominięciem kanału znakowego.

3.1. Opis sygnałów interfejsu znakowego

–P–S — Strob operacji przesłania

Pojawia się po upływie 150 nS od ustalenia się poziomów sygnałów na liniach: –P–ADO÷4; –P–DTOUO÷15; –P–QB i –RAD5÷7. Sygnał –P–S umożliwia prawidłowe dekodowanie kodu operacji z linii –P–ADO÷4, warunku przyjęcia rozkazu –P–QB oraz prawidłowy odczyt informacji z linii –P–DTOUO÷15 przez jednostkę sterującą. Sygnał –P–S kwitowany jest przez jednostkę sterującą jedną z alternatywnych odpowiedzi: –P–OK lub –P–EN. W przypadku nie rozpoznania kodu operacji lub nieakceptowalności operacji (niezgodność bitu Q), jednostka sterująca nie daje żadnej odpowiedzi.

–P–F — Strob operacji pobrania

Pojawia się po upływie 150 nS od ustalenia się poziomów sygnałów na liniach: –P–ADO ÷4; –P–QB i –RAD5÷7. Umożliwia prawidłowe dekodowanie kodu operacji z linii –P–ADO ÷4 i sygnału legalności rozkazu –P–QB. W przypadku przyjęcia operacji jednostka sterująca podaje na liniach –P–DTINO÷15 informację i wysterowuje linię –P–OK w stan –P–OK = 1. W przypadku odpowiedzi negatywnej jednostka sterująca wysterowuje linię –P–EN w stan –P–EN = 1.

–P–ADO÷4 — Kod operacji

5 linii określających kod operacji przesłania lub pobrania.

–RAD5÷6 — Rozszerzenie kodu operacji

2 linie doprowadzone do jednostek sterujących bezpośrednio z pakietu interfejsu. Linie te umożliwiają rozszerzenie kodów operacji przesłania i pobrania.

–P–DTOUO÷15 — Informacja do jednostki sterującej

16 linii służących do przesyłania informacji do jednostki sterującej. Urządzenia pracujące znakami wykorzystują linie –P–DTOU8÷15.

–P–DTINO÷15 — Informacja z jednostki sterującej

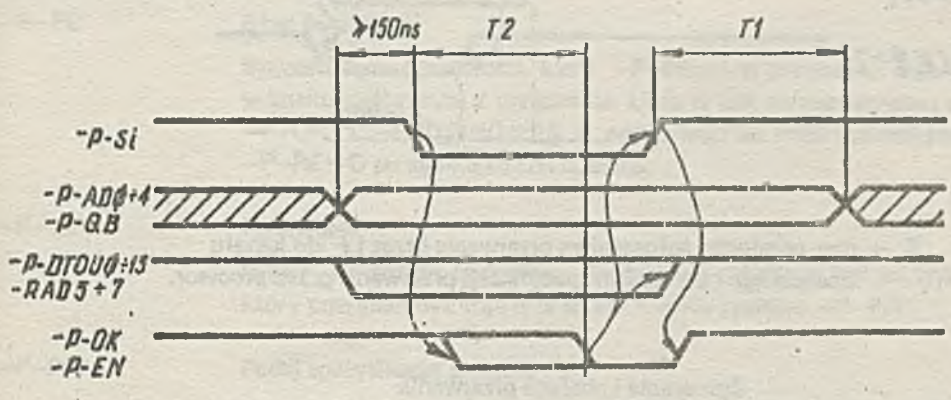
16 linii służących do pobierania informacji z jednostki sterującej. Urządzenie pracujące znakami podają informację na linie –P–DTIN8÷15. W przypadku zapytania o specyfikację przerwania sygnałem –P–PSP jednostka sterująca podaje na linie –P–DTINO÷7. specyfikację przerwania.

–P–OK — Potwierdzenie przyjęcia operacji

Sygnał odpowiedzi pozytywnej, generowany w przypadku gotowości jednostki sterującej i urządzenia do wykonania operacji. W przypadku, gdy wysyłana jest operacja przesłania /–P–S/ jednostka sterująca podaje odpowiedź –P–OK po odczytaniu informacji z linii –P–DTOUO÷15. W przypadku operacji pobrania /–P–F/ jednostka sterująca wysterowuje linię –P–OK w stan –P–OK = 1 jednocześnie z podaniem informacji.
Sygnał –P–OK powinien przejść w stan –P–OK = 0 po zaniku strobu operacji –P–S lub –P–F.

SCHEMATY

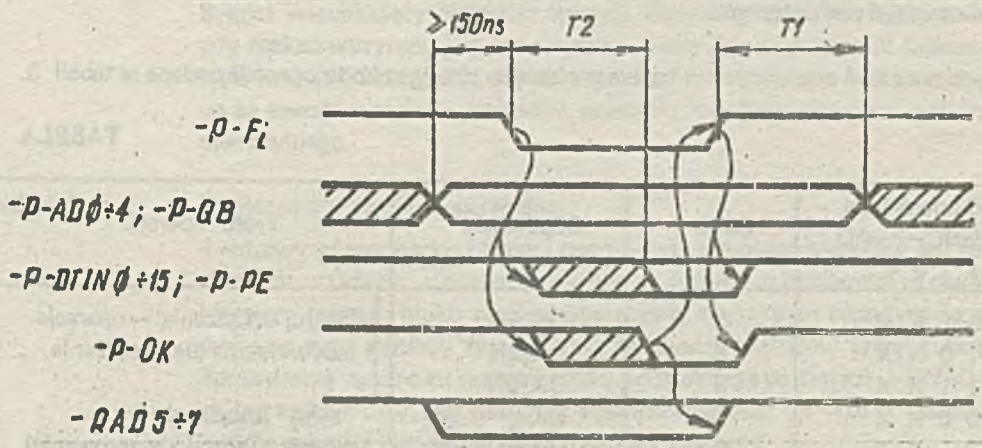
4. Harmonogramy czasowe interfejsu znakowego



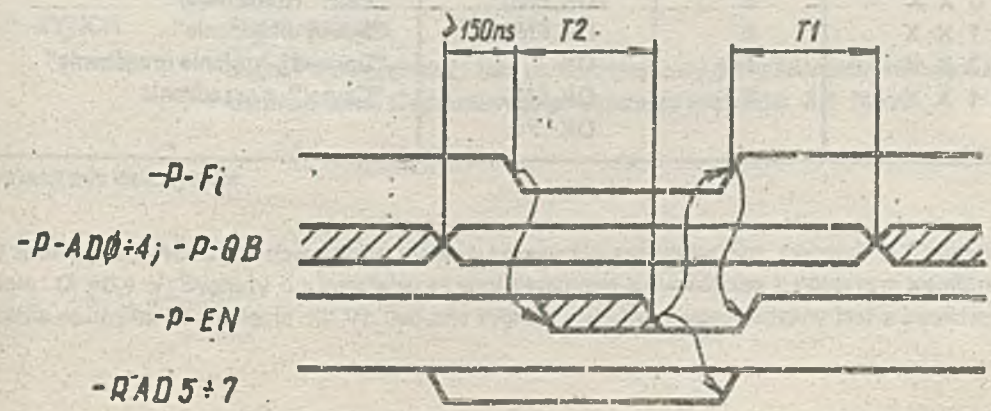
Operacja przesłania (-P-S)

$T_1 > 200$ nS — czas w którym informacja na liniach –P–ADO ÷ 4, –P–QB nie ulegnie zmianie. Zmiana informacji dokonywana jest w wyniku wysłania przez procesor następnego rozkazu IN lub OU

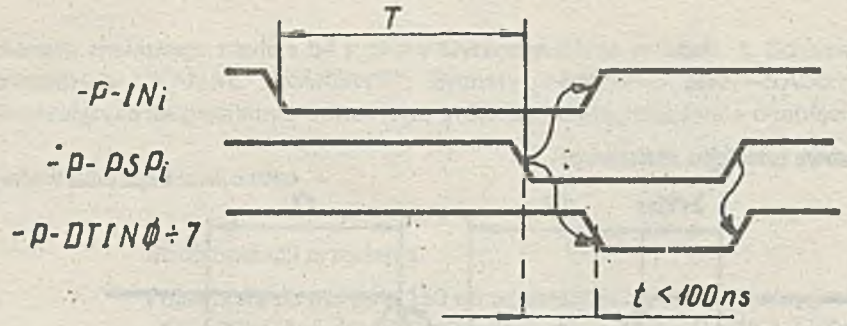
$T_2 \leq 1.5\ \mu s$ — czas pobrania informacji z linii –P–DTOU przez jednostkę sterującą.



Operacja pobrania – zakończona potwierdzeniem jej wykonania (–P–F).



Operacja pobrania – zakończona potwierdzeniem jej nie wykonania (–P–F)



T — czas pomiędzy zgłoszeniem przerwania przez j.s. do kanału znakowego a pobraniem specyfikacji przerwania przez procesor.

Zgłoszenie i obsługa przerwania

5. Zasady działania standardowych jednostek sterujących

Niniejszy rozdział obejmuje ujednolicone kody dla typowych operacji przesłania i pobrania wejścia/wyjścia, kody typowych przerwań oraz skrótowy opis automatu współpracy kanał — jednostka sterująca dla standardowych urządzeń zewnętrznych systemu MERA–400.

5.1. Operacje do urządzeń zewnętrznych

Dla typowych urządzeń pracujących w kanale znakowym przyjęto kody operacji podane w tabeli 3.

TABELA 3

Lp.	Kod operacji na liniach –P–AD 0 1 2 3 4	Strob	Odpowiedź	Treść operacji
1.	0 0 1 X X	S	OK,EN	"steruj urządzenię"– operacje
2.	0 1 0 X X	S	OK,EN	indywidualne dla urządzenia
3.	0 1 1 X X	S	OK,EN	
4.	1 0 0 X X	S	OK	"zeruj" urządzenie
5.	1 0 1 X X	S	OK,ENG	"Odłącz" (miękkie zerowanie)
6.	1 1 0 X X	S	OK,ENC	"Pisz" (transmisja)
7.	1 1 1 X X	S	OK,ENG	"Steruj urządzenie"
8.	1 0 0 X X	F	OK	"Sprawdź istnienie urządzenia"
9.	1 0 1 X X	F	OK,EN, OK+PE	"Czytaj" z urządzenia

–P–EN — Potwierdzenie niewykonania operacji

Sygnał negatywnej odpowiedzi zwrotnej generowany w przypadku niegotowości jednostki sterującej lub urządzenia do wykonania operacji. Niegotowość jednostki sterującej może być spowodowana wykonywaniem poprzedniej operacji, koniecznością podczytania informacji z urządzenia, itp. Sygnał –P–EN powinien przejść w stan –P–EN = 0 po zaniku strobu –P–S lub –P–F.

–P–PE — Błąd parzystości

Sygnał błędu parzystości. Linia –P–PE:=1 w przypadku wykrycia błędu parzystości w znaku odebranym z urządzenia. Linia ta jest wysterowywana równocześnie z liniami –P–OK i –P–DTINO ÷ 15 w odpowiedzi na strob operacji pobrania –P–F. Sygnał –P–PE:=0 po zaniku strobu operacji.

–P–IN — Przerwanie

Sygnał zgłoszenia przerwania. Przerwanie zgłaszane jest po linii –P–IN poziomem, który powinien być zdjęty w czasie trwania sygnału –P–PSP.

–P–PSP — Podaj specyfikację przerwania

Sygnał żądania specyfikacji przerwania. Specyfikacja przerwania powinna pojawić się nie później niż po 100 ns od momentu pojawienia się sygnału –P–PSP i powinna być zdjęta natychmiast po jego zaniku.

–P–CL — Zerowanie

Sygnał zerowania ogólnego. Służy do wstępnego ustawienią stanu jednostek sterujących.

–P–QB — Wskaźnik legalności rozkazu

Sygnał warunkujący przyjęcie operacji. Przyjmuje wartość logiczną 0 w przypadku, gdy rozkaz wysyłany jest przez system operacyjny oraz wartość logiczną 1, gdy rozkaz wysyłany jest z programu użytkowego. Operacje wysyłane z bloku systemu operacyjnego są zawsze przyjmowane przez jednostki sterujące pracujące pod kontrolą systemu operacyjnego.

–RNBO÷3 — Numer bloku pamięci operacyjnej

4–bitowy numer bloku pamięci operacyjnej, z którego wysyłany jest rozkaz. Jednostki sterujące urządzeń oprogramowane poza systemem operacyjnym,mają możliwości porównania numeru bloku pamięci operacyjnej z numerem zaszytym na pakiecie indywidualnym przy pomocy zworek i przyjmowania rozkazów tylko z określonego bloku. Sprawdzanie zgodności numeru bloku podawanego po liniach –RNBO÷3 wykonywane jest tylko wtedy, gdy wskaźnik legalności rozkazu –P–QB = 1 zapewniając ochronę przed wzajemną ingerencją programów użytkowych.

–P–SYNCH — Synchronizacja

Sygnał synchronizacji jest wykorzystywany,przez jednostki sterujące urządzeniami synchronicznymi. Częstotliwość powtarzania impulsów 3,4 MHz.

3.2. Wymagania elektryczne

W interfejsie znakowym obowiązuje ujemna konwencja sygnałów tzn. stanowi "1" sygnału odpowiada poziom 0 ÷0,4 V. Sygnały do interfejsu są wyprowadzane z funktorów z otwartym kolektorem (bez podwieszania opornika do napięcia +5 V). Jedynie sygnał –P–IN wyprowadzany jest z zwykłego funktora TTL.

Odbiornikiem sygnałów powinny być funktory jednowejściowe lub wielowejściowe o wszystkich wejściach zwartych. Sygnały wspólne, doprowadzone do wszystkich jednostek sterujących można obciążać 1 funktorem na 1 pakiet jednostki sterującej. Obciążenie sygnałów indywidualnych –P–S, –P–F, –P–PSP nie powinno przekraczać 8 jednostek.

3.3. Przyporządkowanie piórek łączówek przedniej pakietów jednostek sterujących

Standardowe przyporządkowanie piórek sygnałom interfejsu znakowego wg tabeli 2 pozwala na łatwą kompletację jednostek sterujących, bez konieczności wykonywania zmian w okablowaniu plateru.

TABELA 2

Standardowe okablowanie pakietów jednostek sterujących.

Nr piórka	Nazwa sygnału	Nr piórka	Nazwa sygnału	Nr piórka	Nazwa sygnału
1	+5 V	29	–RNB1	57	–P–DTIN6
2	GND	30	–P–F	58	–P–DTOU13
3	–15 V	31	–RNB2	59	–P–DTINO
4	GND	32	–P–SYN	60	–P–DTOU12
5	–5V	33	–RNB3	61	–P–DTIN1
6	–P–DTIN15	34	–P–ADO.	62	–P–S
7	–P–DTIN13	35	K lub T	63	
8	–P–DTIN9	36	–P–DTOU10	64	–P–PSP
9	K lub T */	37	–P–DTOU7	65	–P–DTIN2
10	–P–DTIN14	38	–P–DTOU9	66	–P–AD2
11	K lub T	39	–P–AD3	67	–P–DTIN3
12	–P–DTIN12	40	–P–DTOU11	68	–P–AD1
13	–RAD5	41	–P–AD4	69	–P–DTIN4
14	K lub T	42	K lub T	70	K lub T
15	–RAD6	43	–P–DTOU6	71	K lub T
16	–P–DTIN8	44	–P–DTOU8	72	K lub T
17	K lub T	45	–P–DTOU5	73	
18	–P–DTIN11	46	K lub T	74	–P–CL
19	**/	47	–P–DTOU4	75	
20	–P–DTIN10	48	K lub T	76	K lub T
21		49	–P–DTOU3	77	K lub T
22	K lub T	50	–P–DTOU15	78	–P–QB
23		51	–P–DTOU2	79	K lub T
24	–P–IN	52	–P–DTOU14	80	–P–PE
25	K lub T	53	–P–DTOU1	81	+15 V
26	–P–OK	54	–P–DTIN7	82	GND
27	–RNBO	55	–P–DTOUO	83	+5 V
28	–P–EN	56	–P–DTIN5	84	GND

*/ K lub T – wejścia i wyjścia kontrolne lub testowe pakietu.

**/ Piórka bez oznaczeń – rezerwowane na ewentualne dodatkowe połączenia.

5.2. Przerwania

Tabela 4 zawiera ujednolicone specyfikacje przerwań dla typowych urządzeń znakowych:

Kod przerwania na liniach –P–DTIN	Symbol	Treść przerwania
0 1 2 3 4 5 6 7		
0 0 0 0 0 0 0 0	NI	Przerwanie nieaktualne
0 0 0 0 0 0 0 1	R	Gotowość
0 0 0 0 0 0 1 0	F	Awaria
0 0 0 0 0 0 1 1	OPRQ	Zgłoszenie operatora
0 0 0 0 0 1 0 0	WO	Ostrzeżenie
0 0 0 0 0 1 0 1	LCH	Nie nadążanie transmisji

NI — Specyfikacja przerwania, którą jednostka sterująca podaje w przypadku dezaktualizacji uprzednio zgłoszonego przerwania. Dezaktualizacja przerwania może nastąpić na skutek wysyłania przez procesor rozkazu zmieniającego stan jednostki sterującej w okresie oczekiwania na obsługę zgłoszonego przerwania.

R — Przerwanie informujące jednostkę centralną o gotowości jednostki sterującej do wykonania operacji uprzednio pokwitowanej sygnałem –P–EN.

OPRQ — Przerwanie zgłaszane w wyniku akcji operatora.

F — Przerwanie awarii informuje procesor o zaistnieniu sytuacji, w której dalsza współpraca z urządzeniem jest niemożliwa (wyłączenie z sieci, uszkodzenie mechanizmu, itp.).

WO — Przerwanie informujące procesor o czasowej zdolności do pracy urządzenia peryferyjnego (sygnalizacja kończącego się papieru w drukarkach, taśmy perforowanej w dziurkarkach, itp.).

LCH — Przerwanie zgłaszane w przypadku wykrycia przez jednostkę sterującą nienadążania transmisji z/do urządzenia z niekontrolowanym napływie informacji (urządzenia transmisji danych, monitory ekranowe pracujące z wykorzystaniem transmisji blokowej, itp.).

5.3. Sygnał –P–QB

Sygnał –P–QB doprowadza do jednostek sterujących wskaźnik pracy systemu operacyjnego

–P–QB = 1 — gdy rozkaz wysyłany jest z programu użytkowego

–P–QB = 0 — gdy rozkaz wysyłany jest z systemu operacyjnego.

5.4. Sygnalizacja błędu transmisji

Jednostki sterujące pracujące znakami, o ile przesyłaniu znaków towarzyszy kontrola parzystości, przy nadawaniu do urządzenia generują bit parzystości oraz sprawdzają bit parzystości przy odbiorze znaku z urządzenia.

W przypadku wykrycia błędu parzystości w znaku odebranym z urządzenia jednostka sterująca podaje "1" na linii –P–PE równocześnie z odpowiedzią –P–OK i wysyłanym znakiem na liniach –P–DTIN.

Jednostki sterujące prowadzące transmisje bez kontroli parzystości nie wykorzystują bitu –P–DTIN8 lub wykorzystują ten bit do przesyłania informacji.

5.5. Automat współpracy kanał – jednostka sterująca

Rozwiązanie układowe jednostek sterujących urządzeniami zewnętrznymi oprócz spełnienia założeń dotyczących kodów operacji i przerwań zapewniają określoną i jednakową reakcję na rozkazy wysyłane z procesora, zapytania o przyczynie przerwania, itp.
Takie podejście pozwala na uzyskanie wymienności pewnej liczby urządzeń zewnętrznych bez potrzeby każdorazowej adaptacji software'u standaryzuje sposob współpracy jednostki centralnej z urządzeniem z punktu widzenia software'u. W związku z powyższym każda z jednostek sterujących zawiera na styku z kanałem, jednakowy w sensie fukcjonalnym układ, który przyjęto nazywać automatem współpracy kanał – jednostka sterująca.

Rysunek 3 przedstawia wykres stanów i przejść automatu natomiast tabela 5 określa wybór jednej z trzech alternatywnych odpowiedzi automatu w zależności od jego stanu i rodzaju operacji.

Wyróżnia się 3 stany automatu:

W – stan wyłączony

N – stan neutralny

E – stan po potwierdzeniu nieprzyjęcia operacji sygnałem –P–EN.

W stanie W jednostka sterująca ma zablokowane nadajniki do interfejsu znakowego. Dozwolone są dowolne czynności serwisowe w urządzeniu peryferyjnym. Jedynym przerwaniem, które można zgłosić w stanie W=1 automatu jest zgłoszenie operatora OPRQ.

W stanach N i E jednostka sterująca jest włączona do systemu (przydzielona do określonego procesora). Przejście ze stanu W do stanu N realizuje każda operacja przyjętą odpowiedzią –P–OK, natomiast przejście ze stanu W do E – operacja nieprzyjęta i pokwitowana sygnałem –P–EN. Wyjątek stanowią operacje "Odłącz" i "Zeruj", które nie zmieniają stanu automatu. Przejście ze stanu N do E ma miejsce w przypadku pokwitowania operacji sygnałem –P–EN.

Stany N i E różnią się jedynie liczbą zgłaszanych przerwań.
W stanie E zgłaszane jest dodatkowe przerwanie R w przypadku pojawienia się gotowości na wykonanie nieprzyjętej uprzednio operacji.

Operacje "Sprawdź istnienie urządzenia" i "Zeruj" w przypadku zgodności bitu Q są wykonywane i kwitowane odpowiedzią –P–OK, niezależnie od stanu automatu i jednostki sterującej.

Zapytanie o przerwanie –P–PSP wyczytuje specyfikacje przerwania i powoduje przejście automatu zgodnie z rys. 3.

Operacja "Zeruj" powoduje wyzerowanie jednostki sterującej niezależnie od stanu w jakim się ona znajduje (działanie analogiczne jak w przypadku sygnału zerowania ogólnego –P–CL). Jednostka sterująca odpowiada na operację "Zeruj" sygnałem –P–OK.

Operacja "Odłącz" (miękkie zerowanie). Operacja przeznaczona do wyłączania jednostki sterującej bez zakłócenia rozpoczętego przez urządzenie cyklu pracy.

Operacje "Czytaj" i "Pisz" przeznaczone są do transmisji danych do i z urządzenia zewnętrznego.

Operacje "Steruj" służą do przesyłania do jednostek sterujących operacji o indywidualnym charakterze. W przypadku konieczności przesłania większej liczby operacji można rozszerzyć kod operacji o bity –P–AD3 ÷ 4 oraz –RAD5 ÷ 7. Operacje sterowania mogą służyć do ustawienia rodzaju parzystości, wielkości wysuwu papieru, itp. Przeznaczenie operacji sterowania i ich kody są ujęte w dokumentacji technicznej jednostek sterujących.

Operacja "Sprawdź istnienie urządzenia" nie zmienia stanu jednostki sterującej. Jednostka odpowiada na powyższą operację sygnałem –P–OK.

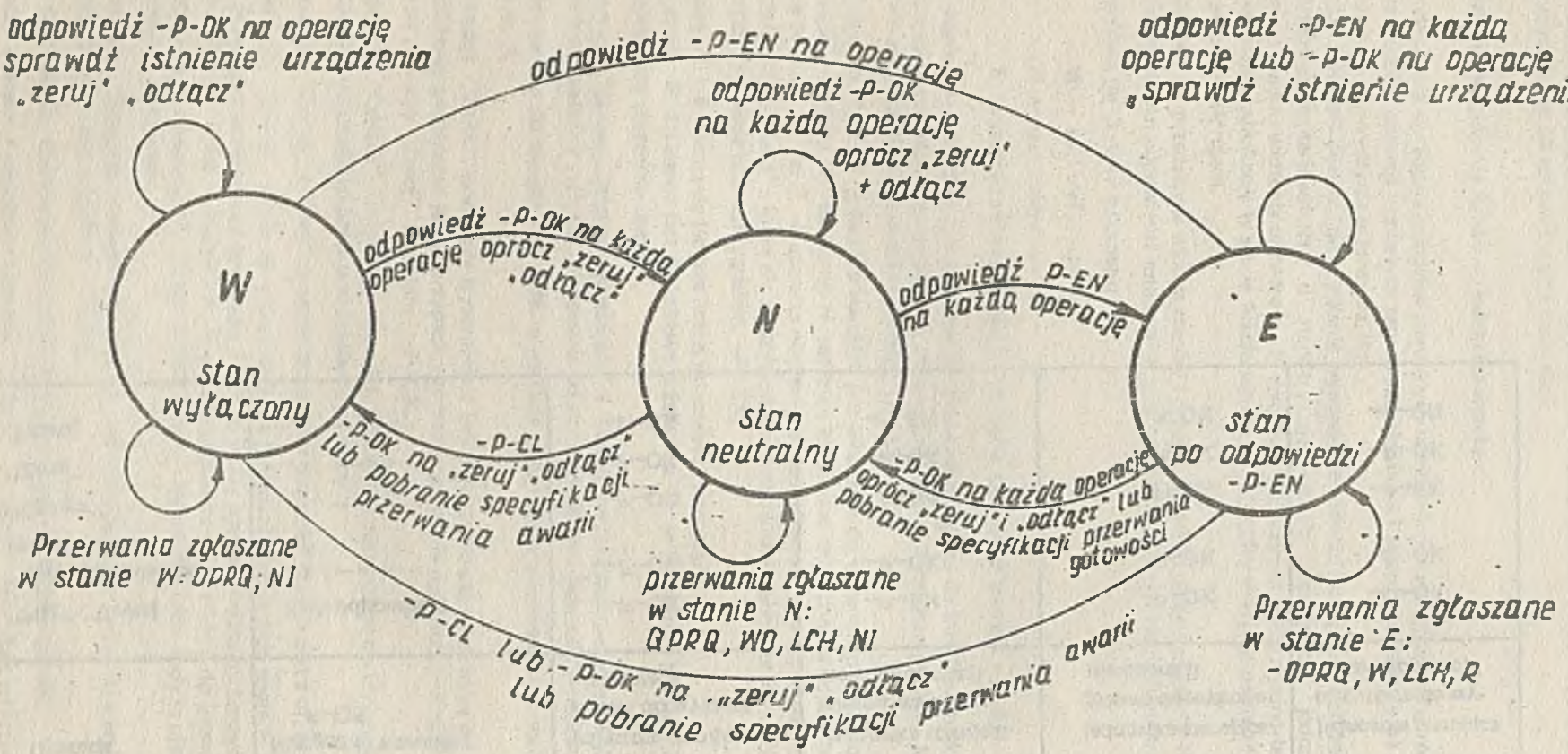
Urządzenia nie odpowiadają na rozkazy o nieprawidłowym kodzie operacji.

Każda operacja z wyjątkiem operacji "odłącz" i "zeruj" powoduje włączenie automatu jednostki sterującej, tzn. przejście do stanu N lub E.

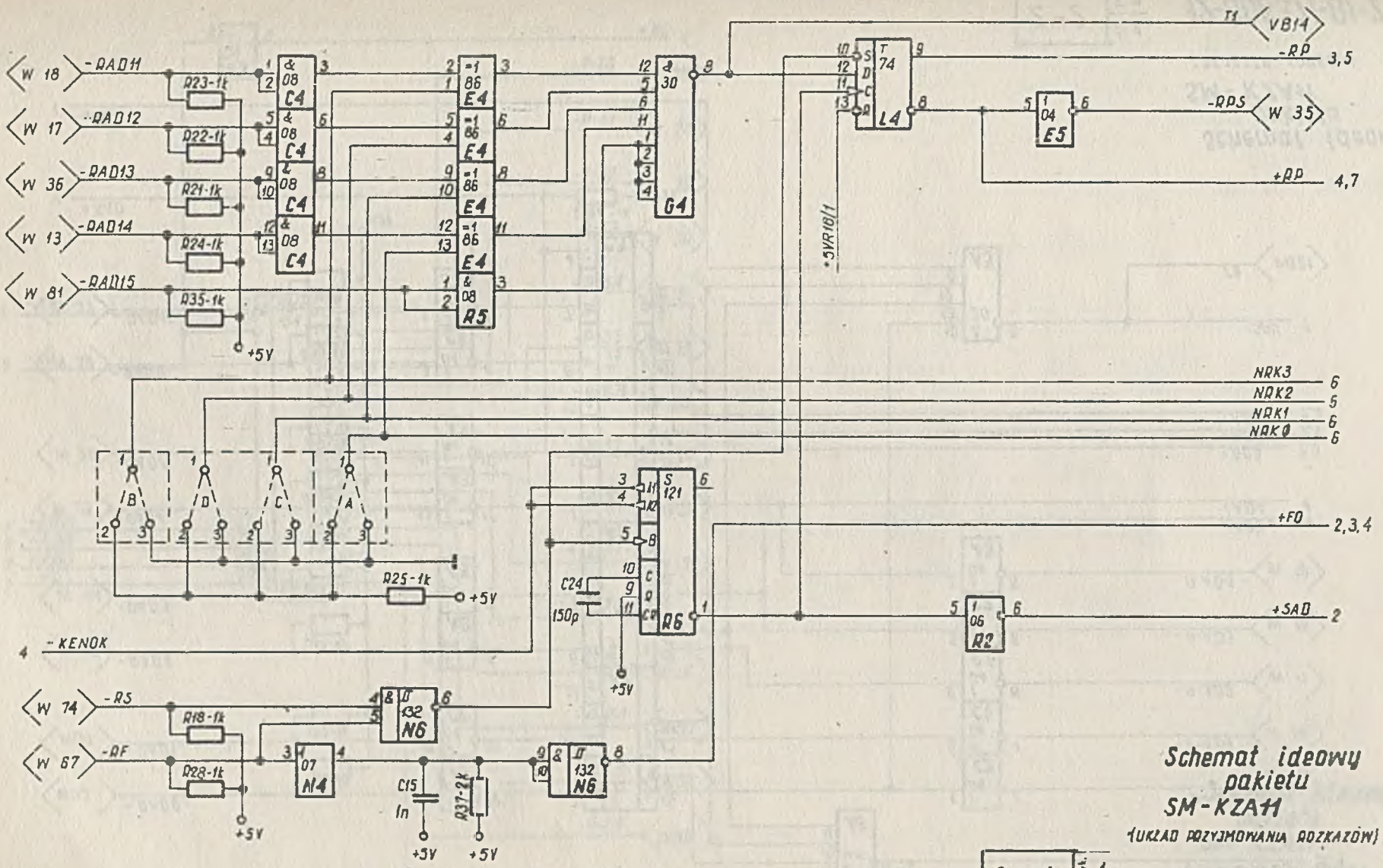
Zestawienie alternatywnych odpowiedzi
–P–OK, –P–EN

TABELA 5.

Okoliczności przyjęcia operacji		Zgodny warunek –P–QB			
		Jednostka sterująca w stanie W		Jednostka sterująca w stanie N lub E	
Operacja	Niezgodny warunek –P–QB	jednostka sterująca gotowa do wykonania operacji	jednostka sterująca niegotowa do wykonania operacji	jednostka sterująca gotowa do wykonania operacji	jednostka sterująca niegotowa do wykonania operacji
"Pisz" "Czytaj	Brak odpowiedzi	–P–OK	–P–EN	–P–OK	–P–OK
"Sprawdź istnienie urządzenia"	— " —	–P–OK	–P–OK	–P–OK	–P–OK
"Odłącz"	— " —	–P–OK	–P–OK	–P–OK	–P–EN
"Zeruj"	— " —	–P–OK	–P–OK	–P–OK	–P–OK
"Steruj	— — " —	–P–OK	–P–EN	–P–OK	–P–EN



Rys. 4 Stany i przejścia automatu współpracy Kanał - jednostka sterująca

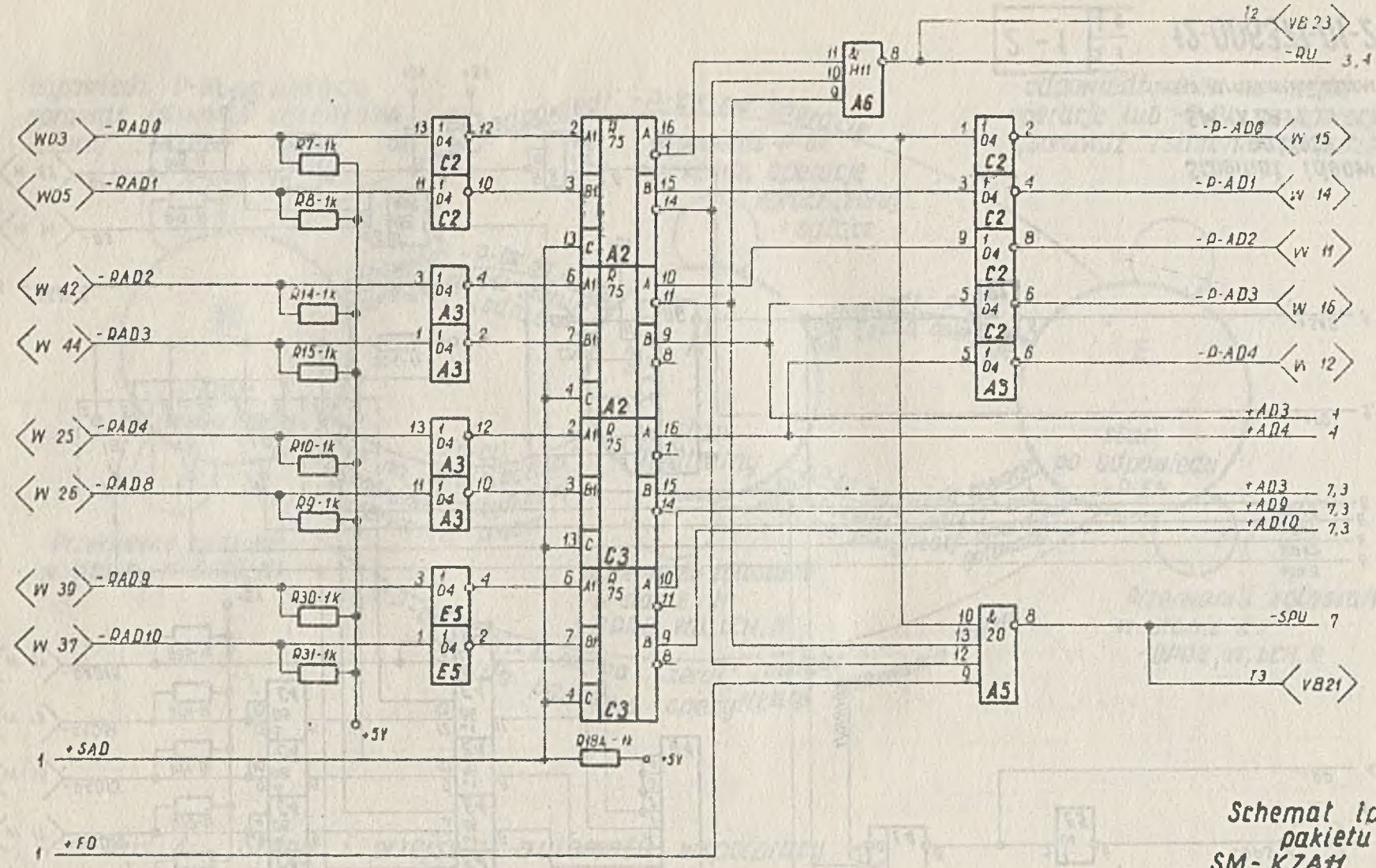


Schemat ideowy pakietu SM-KZA11

(UKŁAD PRZYJMOWANIA ROZKAZÓW)

2 - 1

12-006371-01-2A

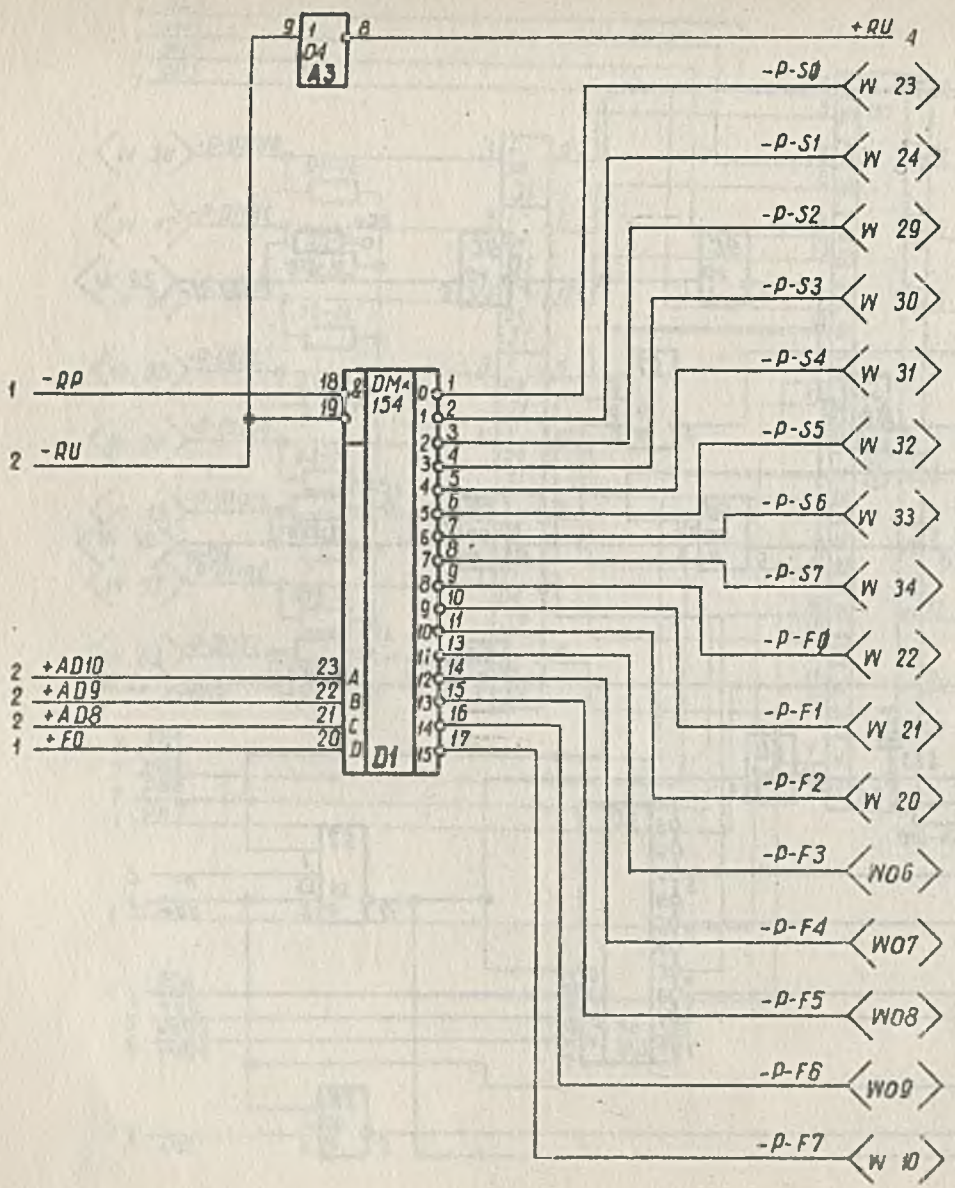


Schemat ideowy pakietu SM-KZAH

(REJESTR ADRESU)

2-2

12-006371-01-2A

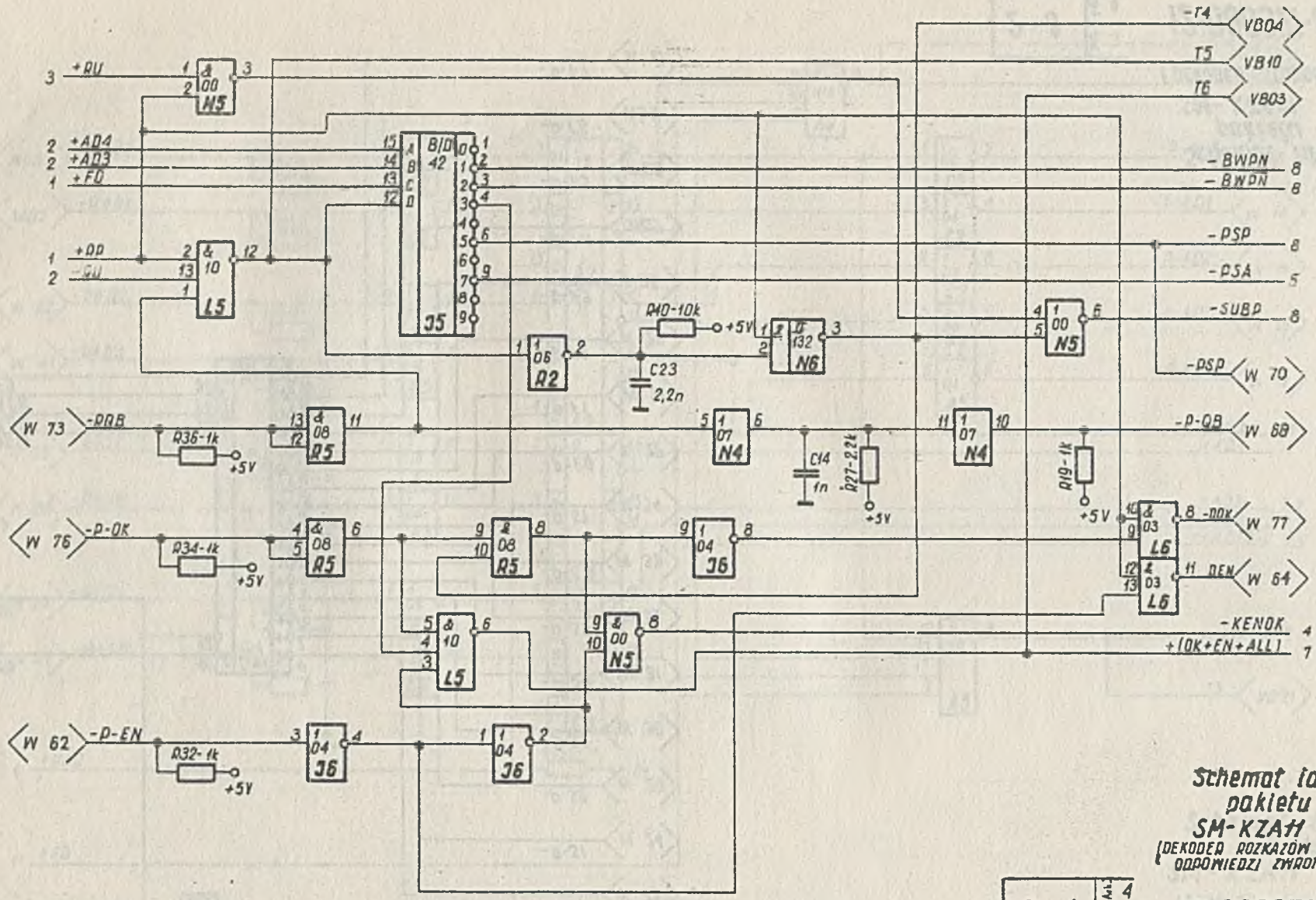


Schemat ideowy
pakietu
SM- KZA11
(DEKODER STROBÓW)

2 - 3

Ark 3
Ark 9

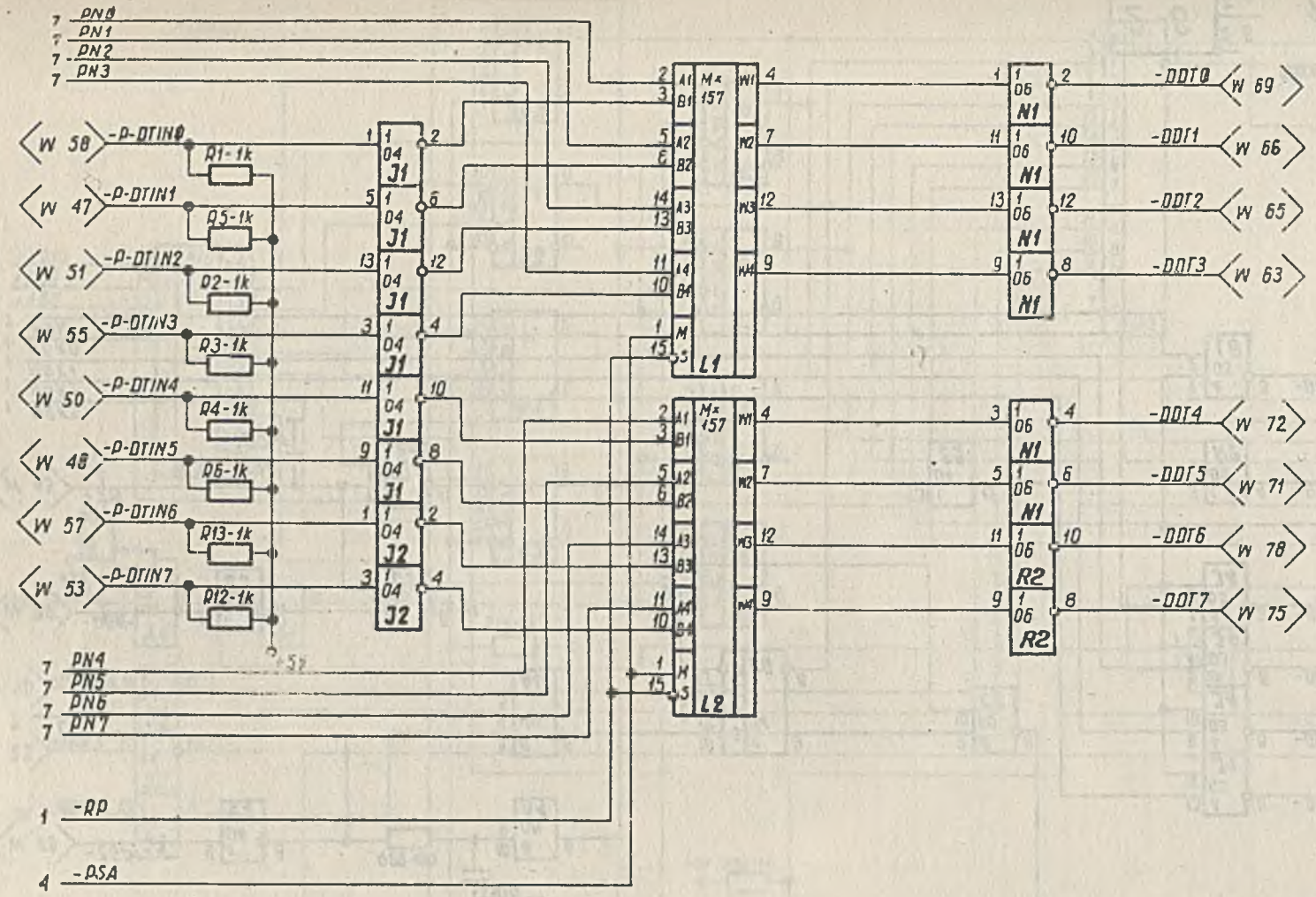
12-006371-01-2A



Schemat ideowy pakietu SM-KZA11 (DEKODER ROZKAZÓW I UKŁAD ODPOWIEDZI ZWROTNYCH)

2-4 | Ark 4 | Arkuszy 9

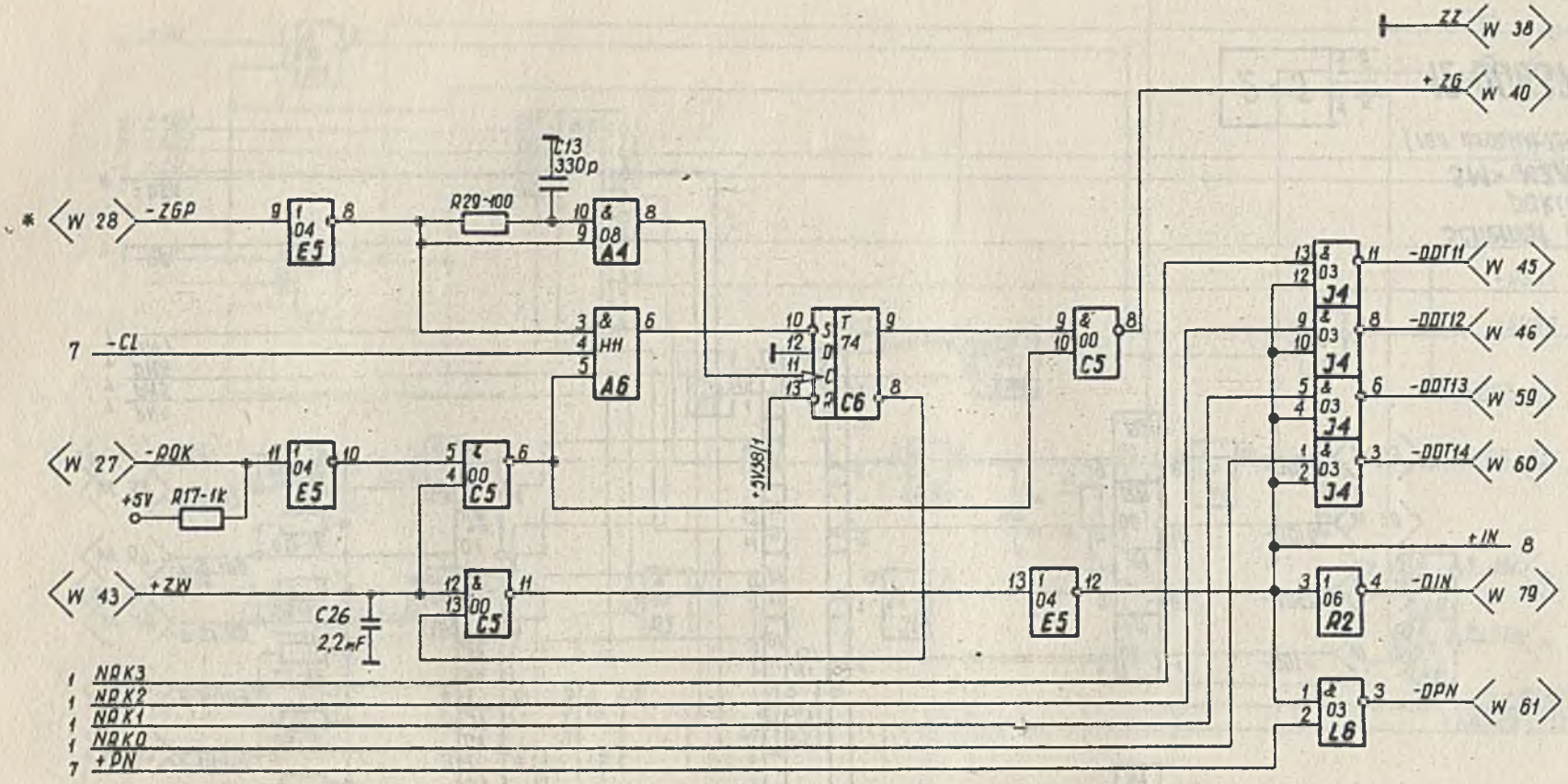
12-006371-01-2A



Schemat ideowy
pakietu
SM- KZA11
(TOR INFORMACYJNY B)

2 - 5 | Nr 5 | Nr 9

12-006371-01-2A

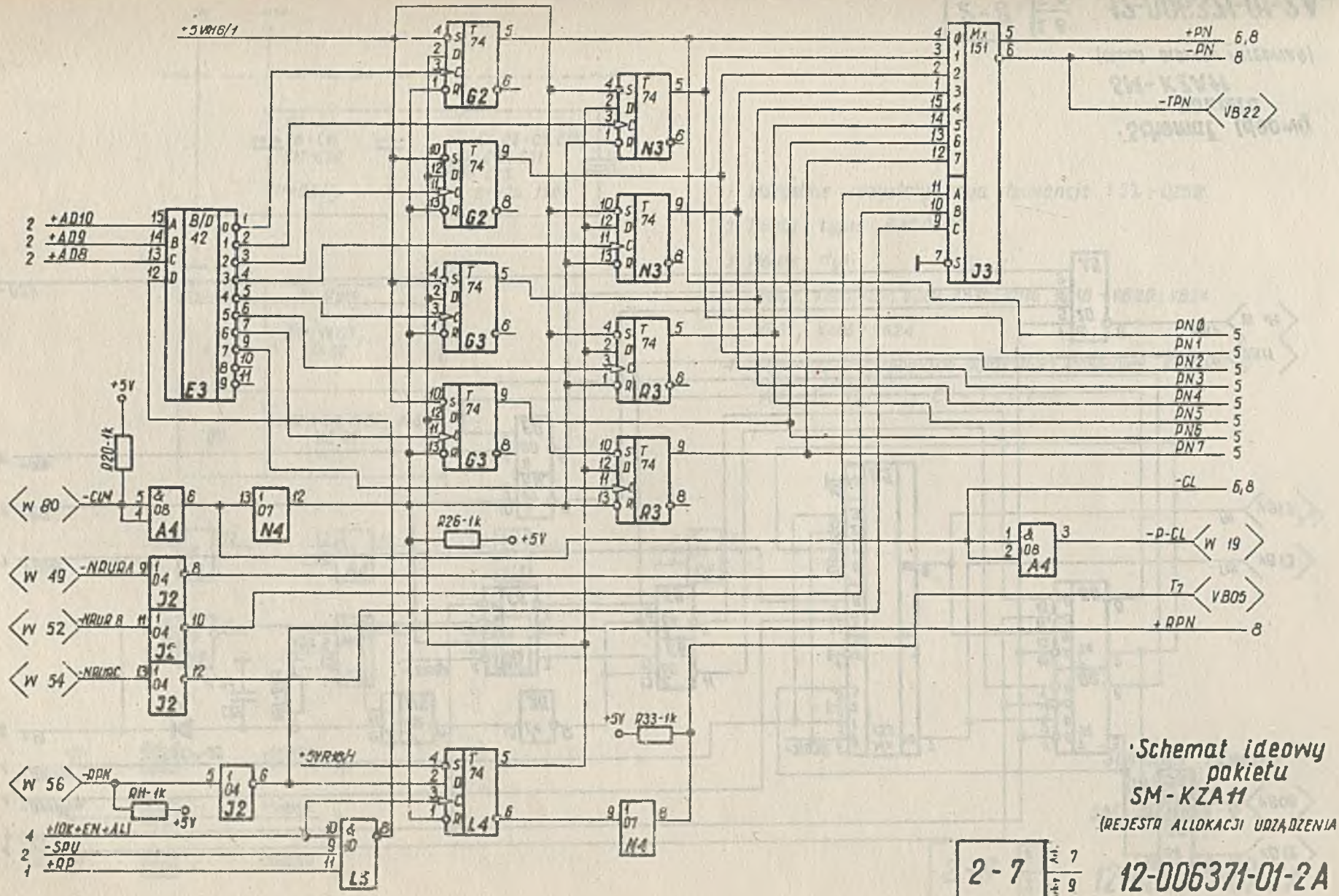


Schemat ideowy
pakietu
SM-KZA11

UKŁAD ZAJMOWANIA INTERFEJSU)

2-6

12-006371-01-2A

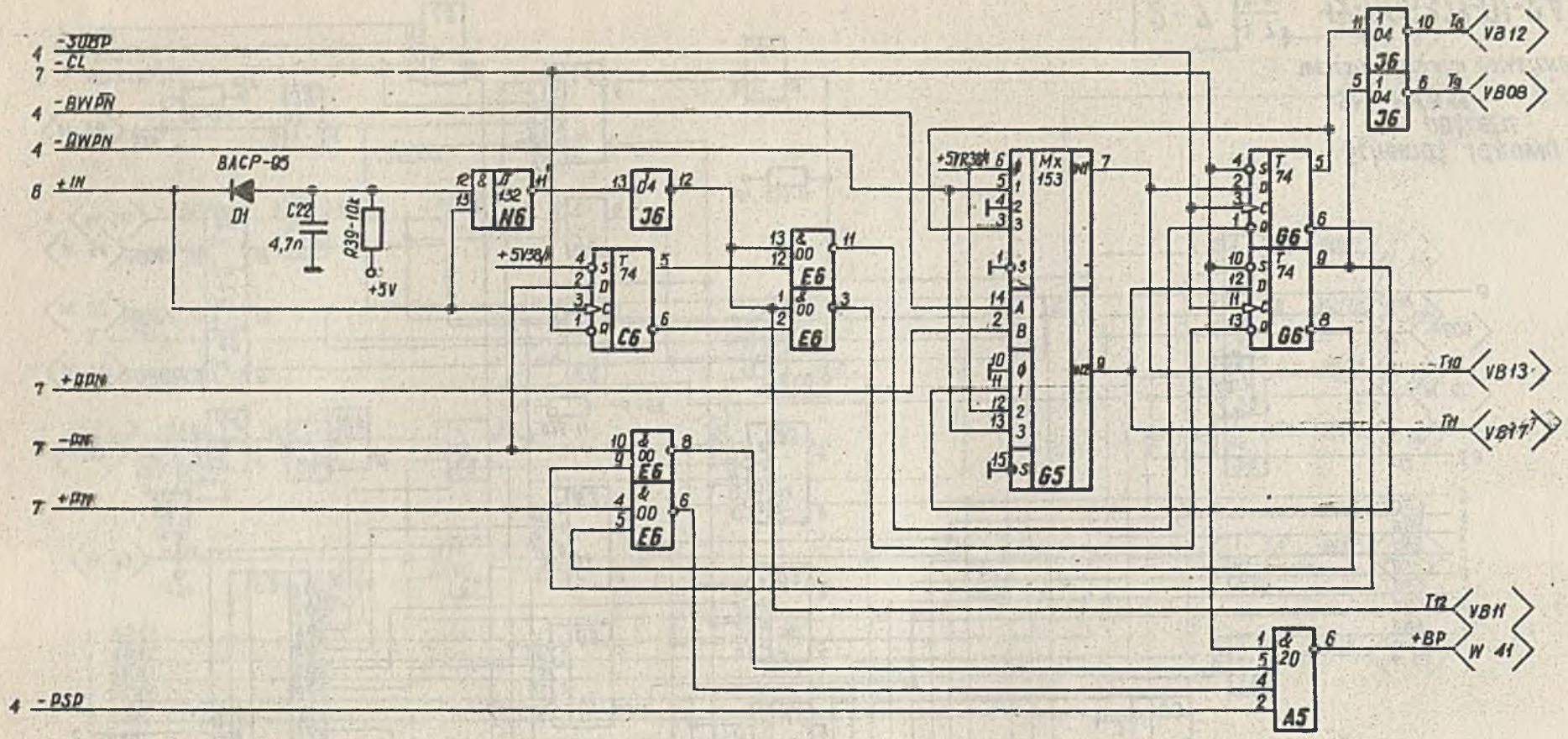


Schemat ideowy pakietu SM-KZA11

(REJESTR ALLOKACJI URZĄDZENIA

2-7

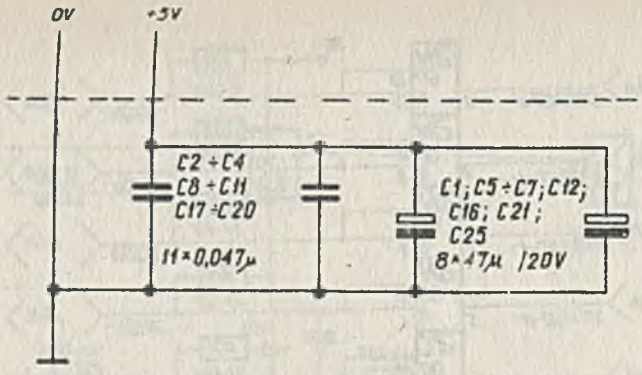
12-006371-01-2A



Schemat ideowy pakietu SM-KZA11 (UKŁAD BLOKADY PRZEDMAŃ)

2-8 Ark. 8 / 9

12-006371-01-2A

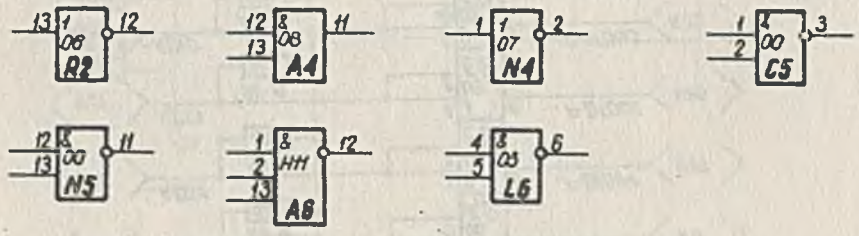


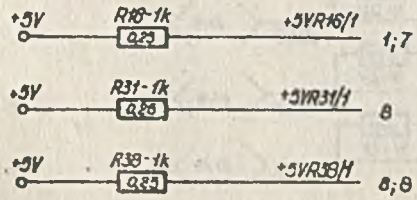
Zasilanie	Nr styku
+5V	W01; W83; VA02
0V	W02; W04; W82; W84; VB01

1. Wszystkie rezystory mają tolerancję ± 5% - 0,25W
2. Diody typu BACP-95
3. Wolne styki :

   VB02, VB06, VB07, VB09, VB15, VB16, VB18 ÷ VB20; VB24

   VA01, VA03 ÷ VA24
4. Wykonać następujące połączenia mostkowe kodując Nr kanału jako 04:
   A1→3; B1→3; C1→3; D1→2.

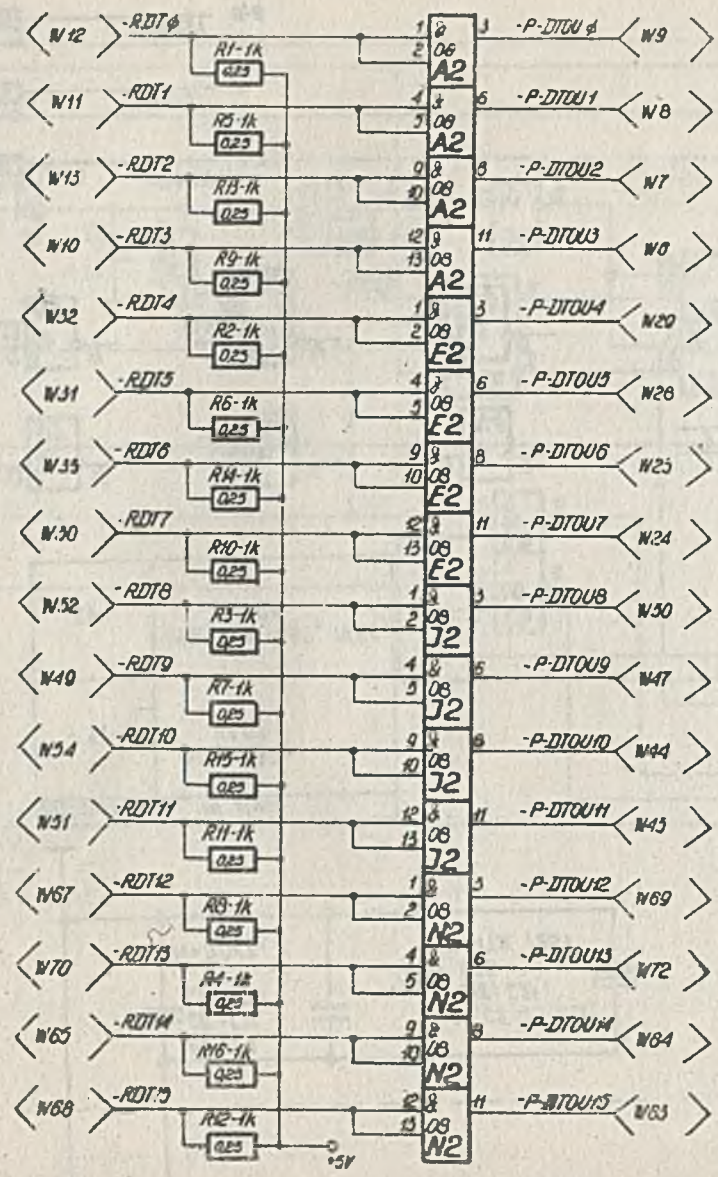




Schemat ideowy pakietu SM-KZA11

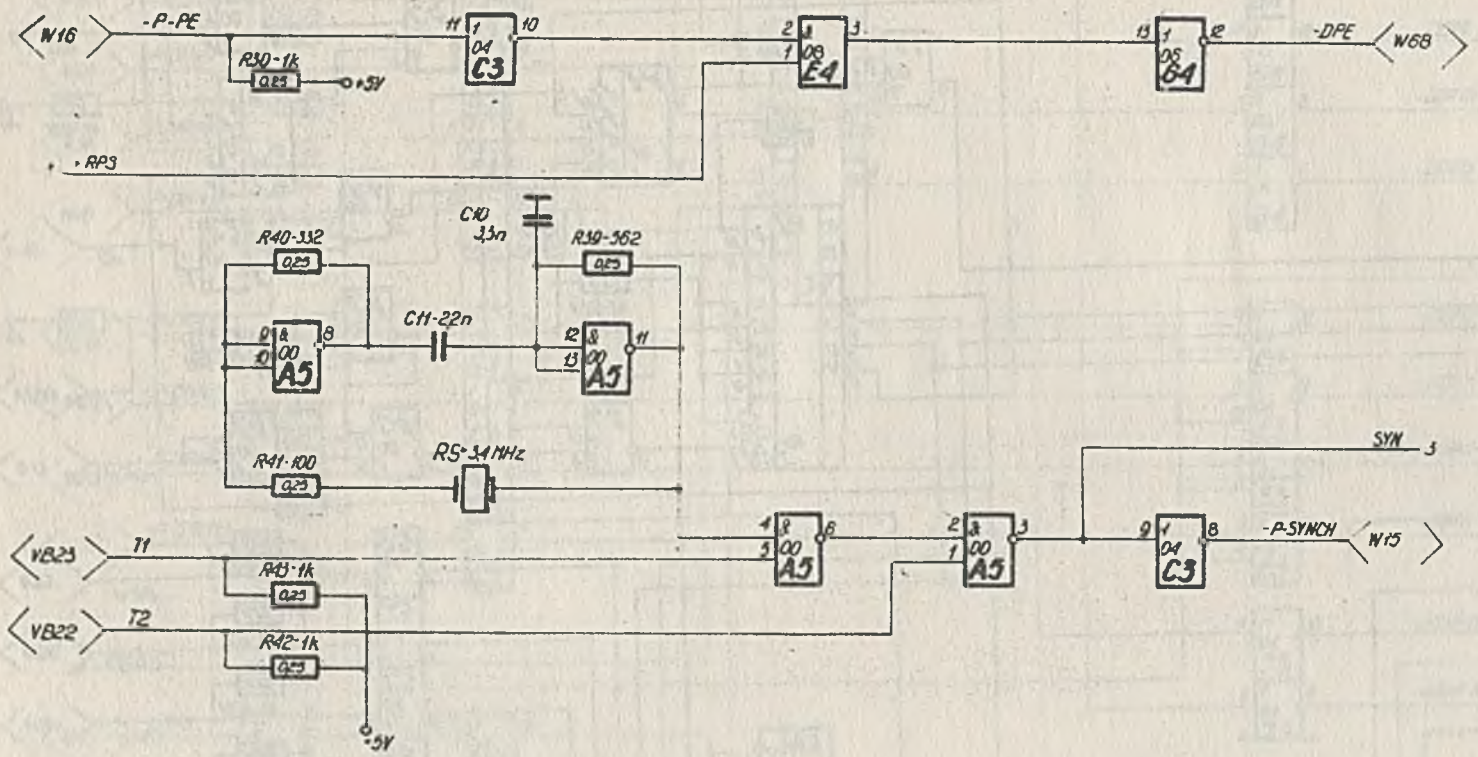
2-9 Ark. 9 / Ark. 9

12-006371-01-2A



Schemat ideowy pakietu
SM-KZB11
(Tor informacyjny)

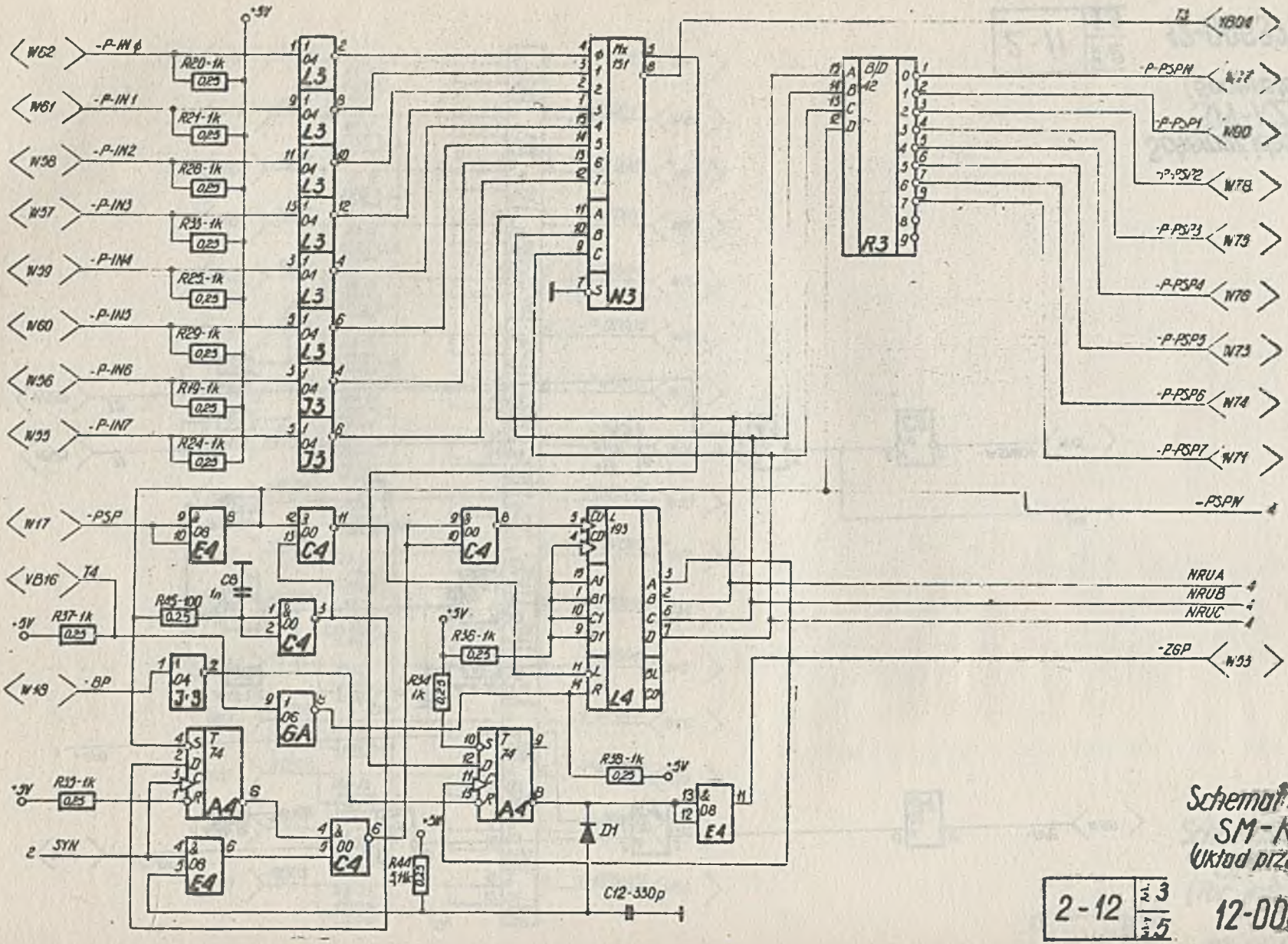
12-006371-01-2A



Schemat ideowy pakietu
SM-KZB11
(Generator)

2-11	2 / 5

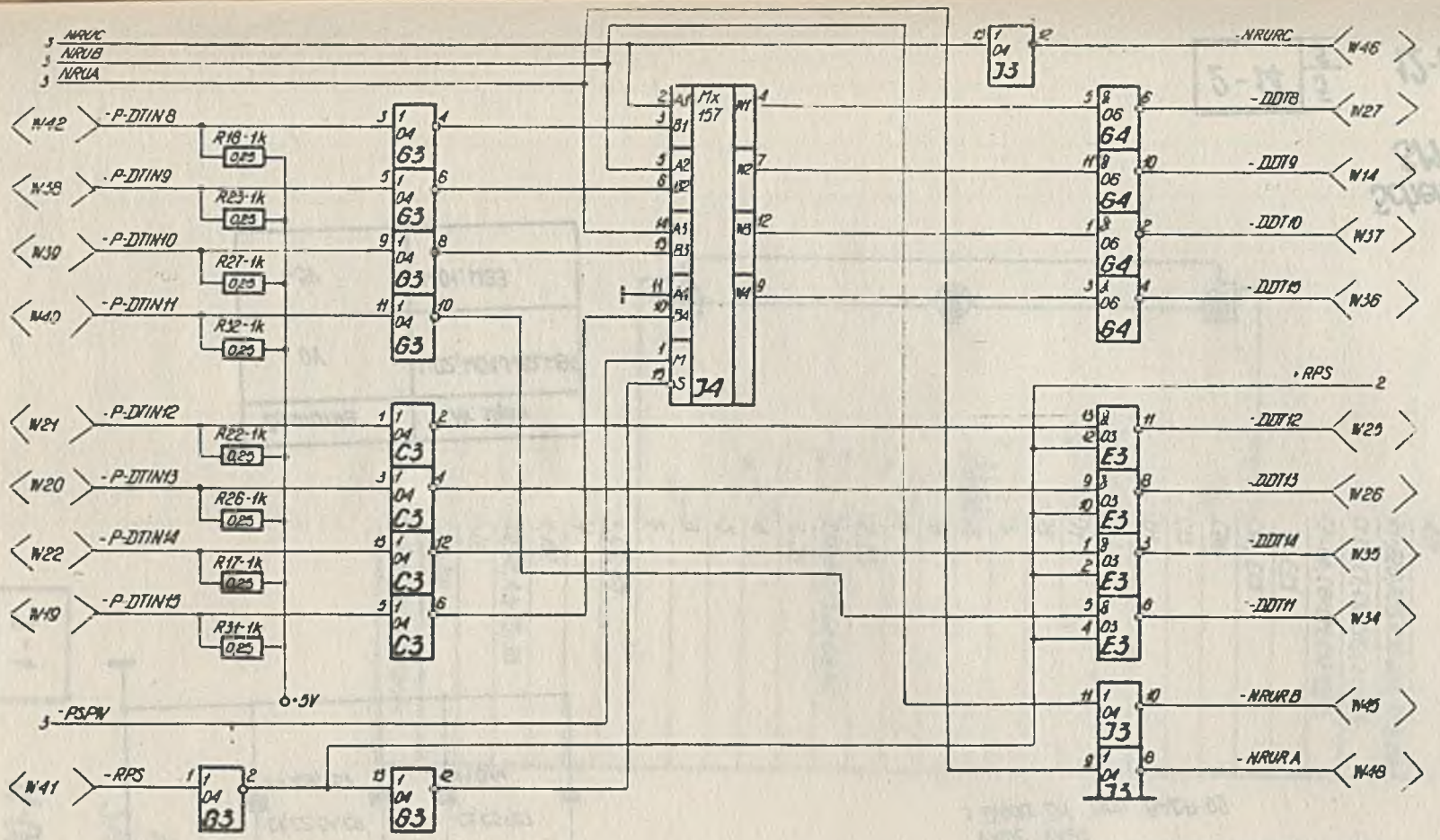
12-006371-01-2A



Schemat ideowy pakietu
SM-KZB11
(Układ przyjmowania przerw)

2-12	Ark. 3 / Mkt. 5

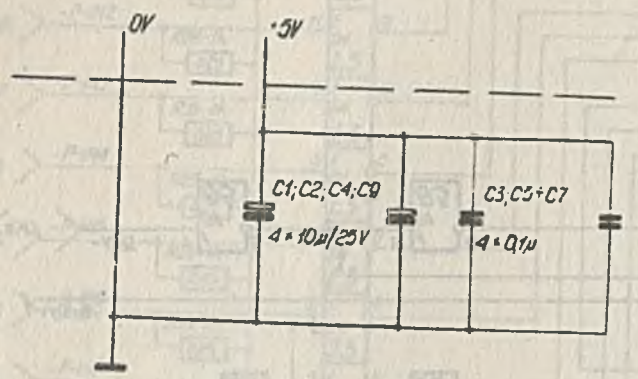
12-006371-01-2A



Schemat ideowy pak.
SM-KZB11
(Tor informacyjny A)

2 - 13	Nr 4 / Ry 5

12-006371-01-2A



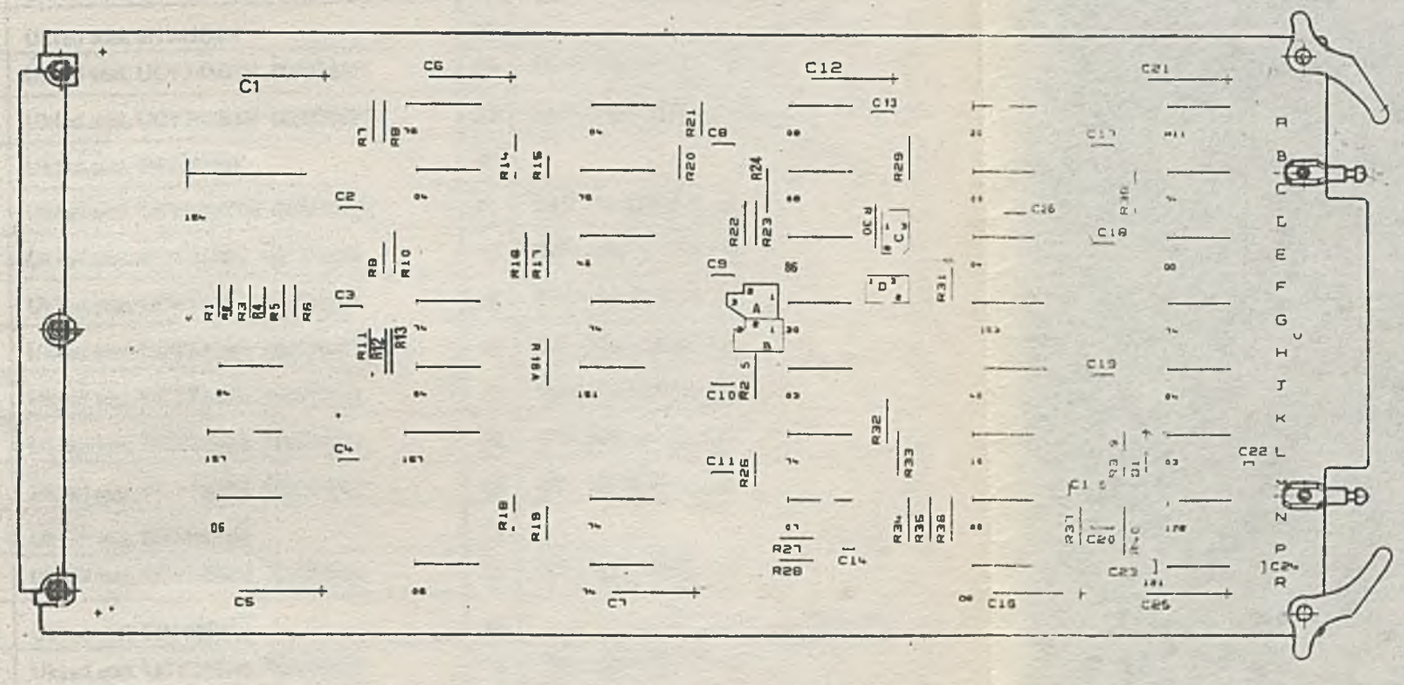
1. Wszystkie rezystory mają tolerancję ± 2%.
2. Wolne styki W05 i W79
   VB01 ; VB02 ; VB05÷VB15 ; VB17÷VB21 ; VB24
   VA02 ÷VA24
3. Dioda D1 typu BACP-95.

Zasilanie	Nr. styku
0V	W02; W04; W82; W84
+5V	W01; W83

Schemat ideowy pakietu
SM-KZB11

2-14	5/5

12-006371-01-2A



Wyk. CK.	Elem. poz.	Oznaczenie elementu
	7	C5;N5;E6
	8	J4;L6
	9	J1;C2;J2;A3;E5;J6
	10	N1;R2
	11	N4
	12	A4;C4;R5
	13	L5
	14	A8
	15	A5
	16	G4
	17	E3;J5
	18	G2;G3;N3;R3;L4;C6;G8
	19	A2;C3
	20	E4
	21	R6
	22	N6
	23	J3
	24	G5
	25	D1
	26	L1;L2
	27	D1
	28	C13
	29	C24
	30	C14; C15
	31	C23
	32	C2÷C4; C8÷C11; C17÷C20
	33	C1 C5÷C7; C12;C16;C21;C25;
	34	R1÷R26;R28,R30÷R36; R38,R40a
	35	R37
	36	R27
	37	R39; R40
	38	R29
	45	C22
	46	C28

01-9

Pakiet
SM-KZA11

3-1

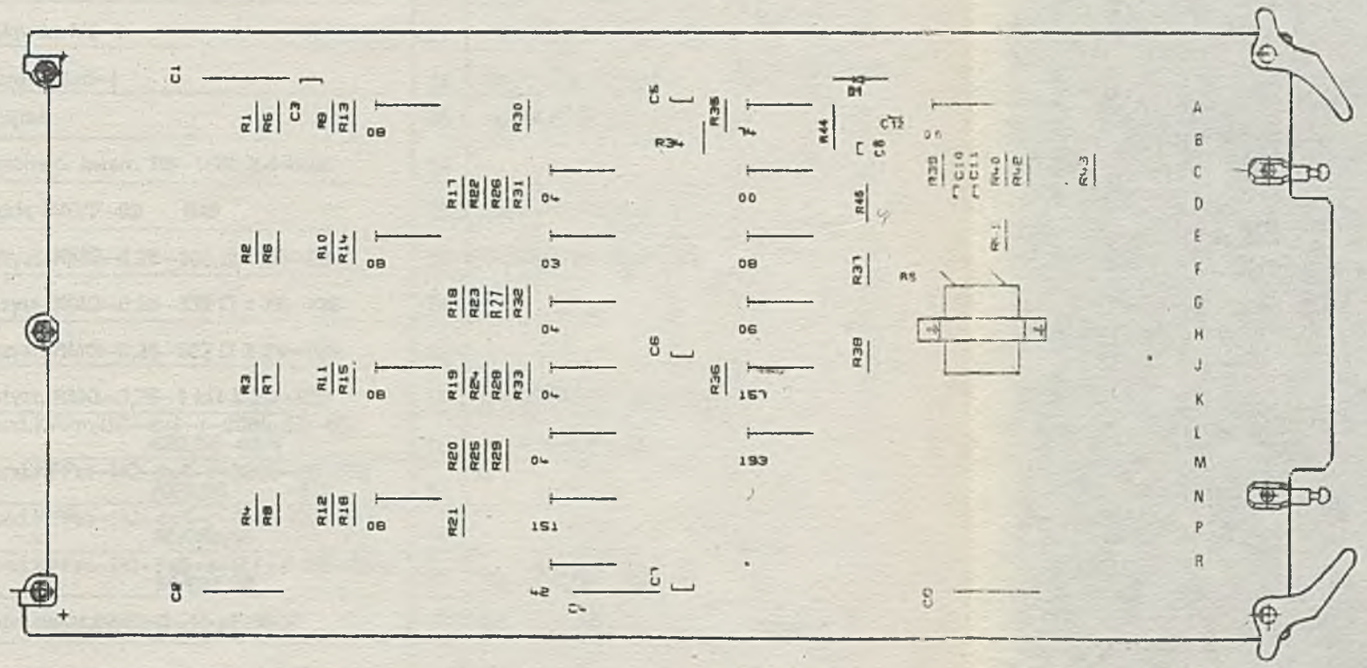
11-006371-01-4A

		1	Kond.KFPm–IIC–5x5–r–47000pF–20–63 –55–085–21	32	BN–75/3281–42	
		1	Kond.KFPm–IIC–4x4–r–2200pF–20–63 –55–085–56	31	– " –	
		2	Kond.KFPm–IIC–4x4–r–1000pF-20-63 –55–085–56	30	BN–75/3281–42	
		1	Kond.KCPm–IB–N150–5x5–r–150pF± 5– –63–55–125–56	29	BN–75/3281–41	
		1	Kond.KCPm–IB–N150–8x8–r–330pf± 5– –63–55–125–56	28	BN–75/3281–41	
		1	Dioda BAYP–95 546	27	TWT–72/CEMI/A–53	
		2	Układ scal. UCY74157N 00/070/21	26	TWT–74/CEMI 10/B4	
		1	Układ scal. SN74154N	25		TEXAS
		1	Układ scal. UCY74153N 00/070/21	24	TWT–73/CEMIB–10/B–11	
		1	Układ scal. UCY74151N 00/070/21	23	TWT–73/CEMI/B–10/B–3	B–10
		1	Układ scal. SN74132N	22		TEXAS
		1	Układ scal. UCY74121N 00/070/21	21	TWT–75/CEMI/B–35	
		1	Układ scal. UCY7486N 00/070/21	20	TWT–75/CEMI/B–34	
		2	Układ scal. UCY7475N 00/070/21	19	TWT–75/CEMI/B–32	
		7	Układ scal. UCY7474N 00/070/21	18	WT–76/CEMI/B–23	
		2	Układ scal. UCY7442N 00/070/21	17	TWT–74/CEMI10/B–2	
		1	Układ scal. UCY7430N 00/070/21	16	WT–76/CEMI/B–15	
		1	Układ scal. UCY7420N 00/070/21	15	WT–76/CEMI/B–16	
		1	Układ scal. SN74H11N	14		TEXAS
		1	Układ scal. UCY7410N 00/070/21	13	WT–76/CEMI/B–02	
		3	Układ scal. SN7408N	12		TEXAS
		1	Układ scal. UCY7407N 00/070/21	11	TWT–75/CEMI/B–30	
		2	Układ scal. SN7406N	10		TEXAS
		6	Układ scal. UCY7404N 00/070/21	9	WT–76/CEMI/B–27	
		2	Układ scal. UCY7403N 00/070/21	8	WT–76/CEMI/B–63	
		3	Układ scal. UCY7400N 00/070/21	7	WT–76/CEMI/B–01	
		x	Przewód TDY 1x0,5 mm	6	PN–74/T–90204	
		x	Spoiwo cynowo–ołowiowe	5	K–IO–00251–E	kat.OBRSM str. 2.18
		2	Kołek sprężysty 3x8	4	PN/M–85023	Fe/Cd–b– –12c
		2	Wyciągacz	3	10–000894–01–3	
		1	Płytka pakietu B–SM–KZA11	2	10–002786–01–9	
		x	Schemat ideowy pakietu SM–KZA11	1	12–002784–01–0	
Ilość			Nazwa części	Poz.	Nr rysunku lub normy	Uwagi
03	02	01				

Pakiet SM–KZA11

Ilość			Nazwa części	Poz.	Nr rysunku lub normy	Uwagi
03	02	01				
		1	Kond.KFPm–IIC–5x5–r–2200–20–63–55 –085–56	46	BN–75/3281–42	
		1	Kond.KFPm–IIC–5x5–r–4700–20–63–55 –085–56	45	BN–75/3281–42	
		1	Złącze 831 084 01 3 1 000 1	44	ZN–77/MPM–14/T–15–103	
		3	Nakrętka M2,5 –I	43	PN–75/M–82144	Fe/Cd–b– –5c
		3	Wkręt M2,5x10–I	42	PN–74/M–82227	Fe/Cd–b– –5c
		2	Podkładka 2,7	41	PN–67/M–82006	Fe/Cd–b– –12c
		2	Nit rurkowy 2,5x6 MS	40	PN/M–82972	Cu/t JP–197/TT
		2	Bolec	39	10–002281–01–1	
		1	Rezystor MŁT–0,25–100 Ω–5–A–435	38	BN–70/3281–36	
		2	Rezystor MŁT–0,25–10 kΩ–5–A–435	37	BN–70/3281–36	
		1	Rezystor MŁT–0,25–2,2 kΩ–5–A–435	36	BN–70/3281–36	
		1	Rezystor MŁT–0,25–2 kΩ–5–A–435	35	BN–70/3281–36	
		36	Rezystor MŁT–0,25–1 kΩ–5–A–435	34	BN–70/3281–36	
		8	Kond.elektr. 158D–47 μF± 20%–20V–434	33	WT–77/L–17–661	

Pakiet SM–KZA 11



Wyk. CK	Elem.nt poz.	Oznaczenie elementu
	30	R44
	29	C12
	24	K1
	23	D1
	22	R41, R45
	21	R40
	20	R39
	19	R1÷R38; R42; R43
	18	C10
	17	C11
	16	C8
	15	C3; C5; C6; C7
	14	C1; C2; C4; C9
	13	L4
	12	J4
	11	N3
	10	A4
	9	R3
	8	A2; E2; J2; N2; E4
	7	G4
	6	C3; G3; J3; L3
	5	E3
	4	C4; A5

01-5

Pakiet SM-KZB11

3-4

11-006371-01-4A

		1	Rezyst.RMG–0,25–5,11 kΩ ± 2%–425	30	ZN–72/MPM–14/L-18/001	
		1	Kond.KCPm–IB–N150–8x8–r–330–5–63 55/125/56	29	BN–75/3281–41	
		1	Podkładka do wkrętu 2,2	28	PN–62/M–82007	Fe/Cd–b––12c
		1	Nakrętka M2–I	27	PN–75/M–82144	Fe/Cd–b––5c
		2	Wkręt M2x6–I	26	PN–74/M–82227	Fe/Cd–b––5c
		1	Obejma	25	10–002922–01–0	
		1	Rezonstor kwarc. RS–1006 3,4 MHz	24		OMIG
		1	Dioda BAYP–95 546	23	TWT–72/CEMI/A–53	
		2	Rezyst. RMG–0,25–100 Ω ± 2%–425	22	ZN-72/MPM-14/L-18/001	
		1	Rezyst. RMG–0,25–332 Ω ± 2%–425	21	– " –	
		1	Rezyst. RMG–0,25–562 Ω ± 2%–425	20	– " –	
		40	Rezyst. RMG–0,25–1 kΩ ± 2%–425	19	ZN–72/MPM-14/L-18/001	
		1	Kond.KFPm-IIC–4x4–r–3300–20–55 /085/56–63 V	18	BN–75/3281–42	
		1	Kond.KFPm–IIC–4x4–r–2200–20–55/ /085/56 –63V	17	– " –	
		1	Kond.KFPm–IIC–4x4–r–1000–20–63 V 55/085/56	16	– " –	
		4	Kond.KFPm–IIC–5x5–r–0,1 μF–20–63 V 55/085/56	15	BN–75/3281–42	
		4	Kond.elektr.02/E–II–10 μF/63 V	14	BN–77/3281–38	ELWA
		1	Układ scal. UCY74193N 00/070/21	13	TWT–77/CEMI/B–87	
		1	Układ scal. UCY74157N 00/070/21	12	TWT–74/CEMI/B-10/B-4	
		1	Układ scal. UCY74151N 00/070/21	11	TWT–73/CEMI/B-10/B-3	
		1	Układ scal. UCY7474N 00/070/21	10	WT–76/CEMI/B–23	
		1	Układ scal. UCY7442N 00/070/21	9	TWT–74/CEMI/B-10/B-2	
		5	Układ scal. UCY7408N 00/070/21	8	TWT–76/CEMI/B–74	
		1	Układ scal. UCY7406N 00/070/21	7	TWT–76/CEMI/B–49	
		4	Układ scal. UCY7404N 00/070/21	6	WT–76/CEMI/B–27	
		1	Układ scal. UCY7403N 00/070/21	5	WT–76/CEMI/B–03	
		2	Układ scal. UCY7400N 00/070/21	4	WT–76/CEMI/B–01	
		x	Spoiwo cynowo–ołowiowe	3	K–IO–00281–E	Kat.OBRSM str.2-18
		1	Płytka pakietu C–SM–KZB11	2	10–002710–01–8	
		x	Schemat ideowy pakietu SM–KZB11	1	12–002709–01–7	

Ilość			Nazwa części	Poz.	Nr rysunku lub normy	Uwagi
03	02	01				

Pakiet SM–KZB 11

		2	Nit rurkowy 2,5x6 Ms	38	PN/M–82972	Cu/t JP–197/TT
		2	Bolec	37	10–002281–01–1	
		2	Kołek sprężysty 3x8	36	PN/M–85023	Fe/Cd–b––12c
		2	Wyciągacz	35	10–000894–01–3	
		3	Wkręt M2,5x10–I	34	PN–74/M–82227	Fe/Cd–b––5c
		2	Podkładka okrągła 2,7	33	PN–67/M–82006	Fe/Cd–b––12c
		3	Nakrętka M2,5–I	32	PN–75/M–82144	Fe/Cd–b––6c
		1	Złącze 831 084 01 3 1 000 1	31	ZN–77/MPM–14/T–15-103	
Ilość			Nazwa części	Poz.	Nr rysunku lub normy	Uwagi
03	02	01				

Pakiet SM–KZB11