PEŁNOMOCNIK RZĄDU
DO SPRAW
ELEKTRONICZNEJ TECHNIKI OBLICZENIOWEJ

ELEKTRONICZNA TECHNIKA OBLICZENIOWA

BIBLIOTEKA GŁÓWNA
P. 3057/68

NOWOŚCI

1/1968

INSTYTUT MASZYN MATEMATYCZNYCH
DZIAŁOWY OŚRODEK INTE

Wydaje

INSTYTUT MASZYN MATEMATYCZNYCH

D z i a ł o w y O ś r o d e k I n f o r m a c j i N a u k o w e j

T e c h n i c z n e j i E k o n o m i c z n e j

KOMITET REDAKCYJNY

Eugeniusz Nowak, Dorota Prawdzic /red. nacz./,
Ryszard Rawski, Zbigniew Świątkowski
Witold Wudel /sekr. red./

Adres Redakcji: Warszawa, ul. Koszykowa 79,
tel. 21-84-41, wewn. 131 lub 28-37-29

Wykonano w Instytucie Maszyn Matematycznych
Nakład 400 egz. papier offset kl. III g. 80 zam. nr 23/68, GP-IV/1843/67

P.3057/68

ELEKTRONICZNA TECHNIKA OBLICZENIOWA

N O W O Ś C I

Rok VII Nr 1/17/ luty 1968

S p i s t r e ś c i

str.

Mgr inż. JERZY DAŃDA, mgr inż. JERZY FIETT: Postępy automatyzacji wytwarzania maszyn cyfrowych 3

Dr inż. ZYGMUNT SAWICKI: Pewne aspekty techniczno-ekonomiczne szybkich pamięci masowych 25

Mgr inż. ZDZISŁAW WRZESZCZ, mgr inż. JAN RYŻKO, mgr inż. JERZY DAŃDA: Projekt standardu dotyczącego materiałów, rdzeni i ramek pamięci operacyjnych EMC 45

Dr inż. ZYGMUNT SAWICKI: Bloki nośnika informacji na elementach nadprzewodzących /kriotronach/ 67

Mgr inż. JERZY EKNER: O technologii montażu modułów i podsystemów mikroelektronicznych, stosowanej w zakładach produkcyjnych International Computers A. Tabulatores, Ltd 87

Mgr inż. JERZY JAGIELSKI: Propozycja rozwiązania niektórych układów modułu drukarki wierszowej z mechanizmem ICT 666 95

Tabela: Przewidywana wartość produkcji maszyn matematycznych i urządzeń zewnętrznych w krajach Europy Zachodniej w roku 1968 w milionach dolarów 99

Spis alfabetyczny prac 101

Mgr inż. JERZY DAŃDA
Instytut Maszyn Matematycznych
Mgr inż. JERZY FIETT
Przemysłowy Instytut Telekomunikacji

681.322.004.14:681.3.06.004.14:681.322.001.2

POSTĘPY AUTOMATYZACJI WYTWARZANIA MASZYN CYFROWYCH
Część 1

Spis treści*

1. Wstęp
2. Ogólna charakterystyka automatyzacji projektowania maszyn cyfrowych
3. Automatyzacja projektowania maszyn
   3.1. Zastosowanie języków symulacyjnych do analizy prekonstrukcyjnej makrostruktury maszyny
   3.2. Automatyzacja projektowania "hardware'u"
4. Automatyczna generacja schematów logicznych
5. Programy symulacji działania sieci logicznych
6. Sytuacja krajowa w zakresie języków specjalizowanych do projektowania logicznego
7. Propozycje
8. Zagadnienia realizacji fizycznej układów i sieci logicznych
9. Programy-generatory testów programowych dla diagnozy uszkodzeń sieci logicznych
10. Automatyzacja projektowania "software'u"
11. Sytuacja krajowa i potrzeby w zakresie automatyzacji projektowania "hardware'u" i "software'u"
12. Automatyzacja procesów produkcyjnych stosowanych przy wytwarzaniu maszyn cyfrowych
    12.1. Automatyzacja wybranych procesów technologicznych
    12.2. Półautomatyzacja uruchamiania technicznego i programowego maszyn cyfrowych

* Spis treści dotyczy całej pracy, nie tylko części 1.

12.3. Mała mechanizacja prac pomocniczych przy wytwarzaniu maszyn cyfrowych
13. Satelitarny system kompleksowej półautomatyzacji w zakładach IBM w San Jose w Kalifornii
13.1. Schemat organizacyjny systemu
13.2. Składniki systemu i ich przeznaczenie
14. Perspektywy automatyzacji wytwarzania maszyn cyfrowych i potrzeby krajowe

1. Wstęp

W ostatnich latach jesteśmy świadkami coraz szerszego wprowadzania automatyzacji procesu wytwarzania maszyn matematycznych w szerszym rozumieniu tego słowa. W tym znaczeniu proces automatyzacji obejmuje zarówno projektowanie maszyn cyfrowych jak i ich produkcję. W chwili obecnej wyraźnie przeważają prace dotyczące automatycznego projektowania. Liczbę pozycji fachowych z tego zakresu można szacować na ok. 500 pozycji i liczba ta ciągle wzrasta.

Charakterystyczną cechą tych prac jest wycinkowe traktowanie zagadnienia. Spośród ważniejszych przykładów zintegrowanego podejścia do sprawy należy wymienić dwie pozycje literatury fachowej. Przede wszystkim na uwagę zasługuje podejście zastosowane przez firmę IBM w Stanach Zjednoczonych, która przy opracowaniu nowej serii maszyn IBM 360 wprowadziła w życie system automatycznego projektowania obejmujący automatyczne sporządzanie dokumentacji logicznej, automatyczne sporządzanie tabel połączeń, aż do produkowania taśm sterujących pracą urządzeń wykonywujących połączenia metodą okręcania przewodów oraz automatycznym naświetlaniem matryc do produkcji obwodów drukowanych. Artykuł o tych zagadnieniach został opublikowany w 1964 roku.

Drugim istotnym przykładem całościowego ujęcia, tym razem dotyczącym ściśle zagadnień produkcji jest wprowadzenie przez tę samą firmę w jej Zakładach San Jose w Kalifornii hierarchicznego systemu sterowania procesem produkcji takich żespołów wchodzących w skład maszyn cyfrowych, jak np. pamięci dyskowe. Maszyny cyfrowe zostały tutaj zastosowane przede wszystkim do półautomatyzacji procesu uruchamiania i sprawdzania /tes-

towania/ wyprodukowanych urządzeń, do sterowania procesami produkcyjnymi i do małej automatyzacji w zakresie prac pomiarowych prowadzonych tradycyjnymi metodami. Artykuł na ten temat ukazał się w lipcu 1967 r.

Użyliśmy jako przykładów osiągnięć firmy IBM z dwu powodów. Po pierwsze firma ta, chyba jako pierwsza, wprowadziła na tak szeroką skalę automatyzację zarówno do procesu projektowania jak i do procesu wytwarzania maszyn cyfrowych, a równocześnie opublikowała dość szczegółowo swoje osiągnięcia. Prawdopodobnie również szereg pomniejszych firm z krajów kapitalistycznych stosuje już w jakiejś mierze te metody przy opracowaniu i produkcji maszyn cyfrowych. Ponieważ jednak zagadnienia tego typu należą do najsilniej strzeżonych tajemnic firmowych, ilość publikacji syntetycznych i obejmujących podobnie kompleksowo napotykane w praktyce problemy, jest niewielka.

Aczkolwiek głównym przedmiotem niniejszego cyklu artykułów* są postępy automatyzacji wytwarzania maszyn cyfrowych, należy w tym miejscu wspomnieć, że w ostatnich latach obserwuje się również tendencje do stosowania maszyn matematycznych w procesie projektowania układów mechanicznych i elektronicznych szerokiego przeznaczenia. Postępy jakie uzyskuje się w tej dziedzinie mają również bardzo silny wpływ na same metody projektowania maszyn matematycznych, które charakteryzują się zastosowaniem najnowszych zdobyczy elektroniki i stawiają najwyższe wymagania w zakresie niezawodności. Metody automatycznego projektowania lub jak to się określa "projektowania wspomaganego przez maszynę", mają za cel główny uzyskiwanie przyspieszenia procesu projektowania rzędu trzech do pięciu razy oraz uzyskanie wyrobu o niezawodności niemożliwej do uzyskania przy pomocy klasycznych, tradycyjnych metod projektowania. Tym niemniej dziedzina ta, posiadając znacznie szersze zastosowania /nie tylko w projektowaniu maszyn/ w niniejszym artykule nie będzie omawiana. Zainteresowanemu Czytelnikowi warto polecić cykl artykułów publikowanych w miesięczniku ELECTRONICS, który dotyczy przede wszystkim projektowania wspomaganego przez maszynę w zakresie analizy i syntezy układów elektronicznych [11].

Zamierzeniem autorów niniejszego artykułu nie jest jeszcze jeden artykuł czysto przeglądowy, bowiem w takim przypadku znacznie celowiej byłoby przetłumaczyć jedną z dobrych pozycji dotyczących automatyzacji

---

* Drugi artykuł tego cyklu ukaże się w Nr 2 ETO Nowości, 1968.

procesów projektowania maszyn cyfrowych. Do takich pozycji należy bez wątpienia zaliczyć pracę M.A. Breuera [3], która ukazała się w grudniu 1966 roku. Artykuł niniejszy jest w znacznej mierze oparty o tę właśnie pracę. Naszym celem jest przede wszystkim przedstawienie wybranych kierunków w automatyzacji projektowania i wytwarzania maszyn cyfrowych takich, które naszym zdaniem są dotychczas w niewystarczający sposób wyeksponowane. Drugim zadaniem jest zwrócenie uwagi matematyków, programistów i konstruktorów na te dziedziny, związane z automatyzacją projektowania maszyn i urządzeń cyfrowych, w których osiągnięcie odpowiedniego poziomu automatyzacji jest warunkiem sine qua non prawidłowego rozwoju techniki cyfrowej w Polsce.

W poprzedniej naszej pracy [4] opublikowanej w Maszynach Matematycznych nr nr 4 i 5, 1967, dawaliśmy wyraz poglądowi, że odrobienie zaległości w dziedzinie programowania w zastosowaniu do procesów projektowych wymaga przede wszystkim przeprowadzenia zakrojonych na szeroką skalę i dobrze koordynowanych prac teoretycznych, a w mniejszym stopniu zapewnienia odpowiednich środków technicznych.

W niniejszym artykule postaramy się bardziej sprecyzować to stanowisko. Kolejnym naszym celem jest zwrócenie uwagi na konieczność dokonania zakupów w dziedzinie maszyn matematycznych z odpowiednim oprogramowaniem. Ostatnio sprawa zakupu maszyn dla przetwarzania danych z pełnym oprogramowaniem znalazła pozytywne rozwiązanie. Tymczasem w dziedzinie oprogramowania zagadnień projektowych /STRESS, NET, ECAP, APT/ poczyniono ostatnio na świecie takie postępy, że jak się wydaje najwłaściwszą drogą szybkiego nadrobienia naszych opóźnień w tym zakresie byłoby skorzystanie z gotowego oprogramowania.

Wreszcie ostatnim zamierzeniem autorów artykułu jest zwrócenie uwagi na konsekwencje jakimi jest obarczone zastępowanie dalszego postępu automatyzacji projektowania ekstensywną gospodarką potencjałem umysłowym projektantów. Rozpoczniemy od próby ogólnego scharakteryzowania postępu we wprowadzaniu automatyzacji do wytwarzania maszyn cyfrowych, oddzielając automatyzację projektowania od zagadnień automatyzacji produkcji, które zostaną omówione oddzielnie.

2. Ogólna charakterystyka automatyzacji projektowania maszyn cyfrowych

Charakterystyczną cechą wprowadzania automatyzacji do projektowania maszyn cyfrowych jest stosunkowo późne rozpoczęcie poważniejszych prac

kompleksowych. Jak już wspominaliśmy, informacje o pierwszym zintegrowanym systemie automatycznego projektowania zostały opublikowane przez firmę IBM w roku 1964 [1]. System ten wprowadzał automatyzację wybranych procesów sporządzania dokumentacji logicznej i technicznej. Następnym krokiem było zautomatyzowanie pewnych procesów produkcyjnych w zakładach IBM w San Jose, wytwarzających pamięci dyskowe, w latach 1965-1966.

Można wymienić dwie przyczyny zadziwiająco późnego rozpoczęcia wykorzystystywania maszyn cyfrowych do ich projektowania i wytwarzania, pomimo ugruntowanego już znacznie wcześniej stosowania maszyn cyfrowych do projektowania i sterowania produkcją w innych dziedzinach techniki. Pierwszą z tych przyczyn jest niewątpliwie duża złożoność maszyn cyfrowych i wynikająca stąd potrzeba kompleksowego podejścia do zagadnienia, aby stworzony system automatycznego projektowania dawał praktyczne korzyści. Drugą przyczyną jest ciągle jeszcze niewystarczający stan teorii maszyn cyfrowych.

Warto w tym miejscu podkreślić fakt, że tam gdzie odpowiednio wcześnie istniał aparat teoretyczny /Algebra Boole'a/, stosowano powszechnie liczne metody cząstkowej automatyzacji projektowania schematów logicznych maszyn cyfrowych. Tam jednak, gdzie istniały luki w teorii, możliwe byłoby zastosowanie wyłącznie metod symulacji cyfrowej. Ponieważ metody takie stały się praktycznie stosowalne dopiero z chwilą stworzenia odpowiednio elastycznych języków symulacyjnych /jednym z pierwszych był GPSS - General Purpose System Simulator, opracowany przez firmę IBM/, dopiero na przestrzeni ostatnich lat obserwuje się próby rozwiązywania pewnych zagadnień z zakresu nie objętego przez istniejącą teorię maszyn cyfrowych, przy pomocy metod symulacyjnych. Dotyczy to przede wszystkim projektowania, gdzie bardzo szeroko stosuje się symulację cyfrową.

Warto również zwrócić uwagę na to, że stosowanie metod symulacji do rozwiązywania zagadnień projektowych charakteryzuje taki etap wiedzy, kiedy nieznane są jeszcze ogólne prawa pozwalające na silne sformalizowanie procesu projektowania. Jak wiadomo bowiem przy projektowaniu z użyciem metod symulacji, wymagania odnoszące się do matematycznego opisu problemu są znacznie mniejsze. Metody symulacji można uważać za coś pośredniego między projektowaniem prowadzonym przez inżyniera w oparciu o jego intuicję i doświadczenie konstrukcyjne, a projektowaniem opartym o zamknięte teorie, opisujące działanie projektowanego urządzenia.

Wielu autorów podkreśla, że metody symulacyjne stanowią doskonałe uzupełnienie doświadczenia projektanta i pozwalają uzyskać wyniki nie gorsze niż przy postępowaniu wykorzystującym intuicję i doświadczenie. Wielką wadą tych metod jest niestety długi czas pracy jaki z reguły charakteryzuje działanie programów symulacyjnych. Czas ten nawet przy użyciu maszyn matematycznych przeprowadzających setki tysięcy operacji na sekundę wynosi często kilka, kilkadziesiąt a nawet kilkaset godzin pracy maszyny [5]. Ta właśnie charakterystyczna dla programów symulacyjnych powolność działania może w pewnych przypadkach wręcz zmusić do poszukiwania rozwiązań na drodze teoretycznej, które w następnym etapie pozwolą na zastąpienie metod symulacyjnych, metodami opartymi o poznanie zależności funkcyjnych.

3. Automatyzacja projektowania maszyn

Przy projektowaniu maszyn cyfrowych rozróżnia się dwie odrębne grupy problemów. Pierwsza z nich dotyczy projektowania tzw. makrostruktury maszyn zwanej również architekturą maszyn, druga to projektowanie mikrostruktury maszyny, czyli jej schematów logicznych. Dotychczas w obu tych dziedzinach przeważają konwencjonalne metody projektowania oparte o wiedzę i intuicję zespołu projektantów. Obecnie jednak obserwuje się tendencje do częściowego przynajmniej wprowadzania automatyzacji.

Trzema głównymi dziedzinami tych prac są: analiza prekonstrukcyjna, projektowanie układów i projektowanie programów. Analiza prekonstrukcyjna, która dotyczy głównie makrostruktury maszyn, opiera się o stosowanie symulatorów systemów w celu określenia optymalnej struktury funkcjonalnej nowego systemu przetwarzania danych. Jeśli chodzi o projektowanie układów można wydzielić w nim następujące zagadnienia:

1. Generowanie struktury logicznej, minimalizacja sieci logicznych, symulacja struktury logicznej /nie istniejącego jeszcze sprzętu/ i tworzenie schematów czynnościowych.

2. Sporządzanie wykazów elementów.

3. Zagadnienia fizycznej implementacji jak np. rozpakietowanie schematów logicznych i rozmieszczenie pakietów oraz tworzenie tabel połączeń.

Jeśli chodzi o automatyzację projektowania programów, to wykonano już programy - generatory programowych testów sprawdzających. Do dziedziny tej należy również zaliczyć automatyczną generację pewnych programów obliczeniowych oraz translatorów /compiling compilers wzgl. meta-compilers/. Zagadnienie to nie będzie jednak rozpatrywane w niniejszym artykule.

Powody wprowadzania automatyzacji są następujące:

- zmniejszenie kosztów,
- zwiększenie możliwości analizy problemu,
- zwiększenie możliwości twórczych projektanta przez zapewnienie jego współpracy z maszyną,
- zwiększenie szybkości wykonywania projektu,
- znaczna redukcja ilości omyłek,
- lepsze opanowanie procesu wprowadzania zmian i wykonywania dokumentacji technicznej,
- lepsze wykorzystanie potencjału umysłowego projektantów.

Dwa ostatnie punkty decydują o tym jakie elementy procedury projektowania poddaje się zautomatyzowaniu w pierwszej kolejności. Zautomatyzowanie procesu wprowadzania zmian i dokumentowania uwalnia inżynierów od większości żmudnych prac, kryjących w sobie ponadto największe niebezpieczeństwo popełnienia błędu. O kolejności wprowadzenia dalszej automatyzacji decydują potrzeby i możliwości przedsiębiorstwa.

Godną podkreślenia cechą wszystkich procesów automatycznego projektowania jest konieczność przypisywania decyzjom projektanta najwyższego priorytetu. Ponadto żąda się na ogół, aby można było "wchodzić" w dowolną część programu tworzącego kompleks programów projektowych. Te dwie właściwości, a mianowicie najwyższy priorytet dla decyzji projektanta /manual override/ oraz możliwość startu programu od wybranego punktu powinny cechować w miarę możliwości wszystkie programy automatyzacji projektowania.

3.1. Zastosowanie języków symulacyjnych do analizy prekonstrukcyjnej makrostruktury maszyny

Przed przystąpieniem do właściwych prac projektowych dotyczących dużego systemu przetwarzania danych można ocenić pewne jego charakterysty-

ki przy użyciu cyfrowego symulatorą systemów ogólnego przeznaczenia. Ocenę taką przeprowadza się zazwyczaj dla skomplikowanych systemów przetwarzania danych takich jak np. maszyny cyfrowe z wielodostępem, których charakterystyki operacyjne i eksploatacyjne są funkcją wielu parametrów i część których została określona za pomocą pewnych rozkładów prawdopodobieństwa. Przykładem przeprowadzenia tego typu symulacji była analiza systemu S t r a t e g i c A i r C o m m a n d C o n t r o l S y s t e m. Analiza taka była wykonywana w firmie SYSTEMS DEVELOPMENT CORPORATION przy użyciu programu DPSS. Otrzymane wyniki symulacji wykazywały dobrą zgodność z aktualnymi charakterystykami zbudowanego systemu przetwarzania danych.

Innym przykładem może być symulacja zastosowana przed przystąpieniem do projektowania N e w Y o r k S t a t e I d e n t i f i c a t i o n a n d I n t e l l i g e n c e S y s t e m, która wykazała, że proponowana maszyna cyfrowa będzie zupełnie nie wystarczająca dla spełnienia wymagań jakim ma sprostać ten system [3].

Przed przystąpieniem do symulacji pracy systemu przetwarzania danych przy pomocy odpowiedniego programu, należy zgromadzić odpowiednie informacje pozwalające na symulację przetwarzania danych przez system. Informacje te zawierają: opis funkcjonalny, typy i ilość urządzeń wchodzących w skład systemu oraz opis wszystkich oddziaływań jakie na siebie wywierają poszczególne urządzenia. Należy również określić przybliżone sposoby reagowania urządzeń zwłaszcza w zależności od ich obciążenia oraz przepustowości. Np. jeśli jednym składnikiem tego systemu jest program, to powinniśmy, na przykład, określić rozkłady prawdopodobieństwa czasu potrzebnego do załadowania tego programu z pamięci pomocniczej do pamięci rdzeniowej, oraz czasu potrzebnego do wykonania tego programu.

Podstawowymi danymi potrzebnymi dla każdego przebiegu programu symulacyjnego są dane wejściowe, które w realnej sytuacji przychodzą do projektowanego systemu. Informacje te określa się przy pomocy podania parametrów opisujących w wystarczający sposób strumienie informacji, wpływające do symulowanego systemu. Dane te mogą być generowane zgodnie z określonymi rozkładami prawdopodobieństw.

Poszczególnym wiadomościom mogą być przypisywane różne priorytety. Pewne wiadomości mogą być opatrzone etykietą "do natychmiastowego za-

łatwienia" albo "wiadomość może czekać". Wiadomość określona w ten ostatni sposób zostaje ustawiona w odpowiedniej kolejce. Wyniki przebiegu programu symulacyjnego noszą najczęściej statystyczny charakter i dotyczą strumieni informacji wejściowych i wyjściowych. Uzyskuje się np. ocenę: przeciętnej i maksymalnej szybkości przyjmowania informacji, przeciętnej długości kolejek, czasu jaki upływa między przesłaniem informacji i jej przyjęciem i czasu reakcji systemu.

Inne informacje będące wynikiem działania programu symulacyjnego mogą dotyczyć np. pojemności zajętej pamięci oraz przeciętnego stopnia wykorzystania urządzeń składowych. Te ostatnie informacje mogą być podawane w funkcji czasu pracy urządzenia symulowanego. Na podstawie danych otrzymanych z jednego lub wielu przebiegów programu symulującego, projektant może:

- określić "wąskie gardła" w systemie,
- zaproponować odpowiednie ulepszenia makrostruktury systemu,
- ocenić globalną sprawność systemu,
- przeanalizować efekty różnych zmian, np. w zakresie przypisywania priorytetów strumieniom informacji wejściowej lub w zakresie alokacji pamięci dla poszczególnych użytkowników czy też w zakresie stosowanej hierarchii przerwań.

Dobrze pomyślany system symulacyjny pozwala przeprowadzić ocenę zarówno proponowanych technicznych rozwiązań systemu /h a r d w a r e´ u/ jak i jego oprogramowania /s o f t w a r e´ u/. Jako przykład języka symulacyjnego, przydatnego do symulacji makrostruktury systemu przetwarzania danych, może służyć język SOL, który jest podobny w swej budowie do języka ALGOL. Wprowadzono do niego pewne specjalne symbole słowne takie jak: f a c i l i t y, m o n i t o r, p r o c e s s, t a b l e, r a n d o m, n e w t r a n s a c t i o n t o, e n t e r, h a v e, s e i z e, r e l e a s e, c a n c e l [3], [8].

Czas pracy urządzenia symulowanego przy pomocy tego programu jest kwantowany, przy czym dopuszcza się, że w jednym odcinku czasu może zajść kilka zdarzeń dotyczących określonego urządzenia. Zatem muszą być im przypisane odpowiednie priorytety tak by kolejność brania pod uwagę tych zdarzeń była zawsze jednoznacznie określona.

Dla przykładu, pokazującego wykorzystanie tego języka rozpatrzmy symulację systemu, który odczytuje wiadomość przesłaną z kanału informa-

cyjnego i przygotowuje odpowiedź na otrzymaną wiadomość. Załóżmy, że ilość potrzebnych do tego celu obliczeń jest funkcją długości wiadomości. Zadaniem symulatora jest zajęcie jednostki obliczającej na właściwy odcinek czasu.

Program dla symulowania tej części procesu zapisany w języku SOL wygląda następująco:

```
COMPUTATION: seize COMPUTER;
wait /if LM/I/ = 3 then 250 else if
LM/I/ = 4 then 300 else 400/;
release COMPUTER.
```

W przykładzie tym LM /I/ określa długość wiadomości przyjętej przez kanał I. Jeśli np. LM /I/ = 3 to jednostka przetwarzająca będzie zajęta na 250 jednostek czasu. Przykład ten pochodzi z pracy [3].

Innym przykładem zastosowania symulacji, dotyczącym również makrostruktury, lecz nie całego złożonego systemu przetwarzania informacji a pewnego fragmentu centralnej jednostki przetwarzającej, może być symulacja współpracy układu adresującego z pamięcią główną maszyny poprzez pamięć asocjacyjną, służącą do transformacji aktualnego adresu.

Jak wiadomo, nowoczesne maszyny do przetwarzania informacji z wielodostępem charakteryzują się zdolnością elastycznego przypisywania poszczególnych obszarów pamięci użytkownikom równocześnie korzystającym z tej samej jednostki przetwarzającej. Zagadnienie to, zwane zagadnieniem dynamicznej alokacji pamięci, może być efektywnie rozwiązane - jak to wykazują najnowsze badania - jedynie przez zastosowanie transformacji adresu przed każdym odwołaniem się do pamięci.

Z kolei transformacja ta może być wykonana najbardziej efektywnie jedynie z użyciem tzw. pamięci skojarzeniowej lub pamięci adresowanej zawartością*. Ponieważ jednak obecny stan techniki nie pozwala na ekonomiczną konstrukcję pamięci skojarzeniowych o szybkości działania istotnie większej od szybkości działania pamięci głównej maszyny /a tylko tak szybkie pamięci skojarzeniowe miałyby w tym przypadku sens/ ko-

---

* Pamięci skojarzeniowe nazywa się też pamięciami asocjacyjnymi /a s o c j a t i v e m e m o r y/.

nieczne jest ze względów ekonomicznych stosowanie pamięci skojarzeniowej o jak najmniejszej pojemności.

Jeżeli jednak przyjmie się zbyt małą pojemność tej pamięci, to straty czasu na wymianę zawartości tej pamięci /dokonywaną przez program sterujący - s u p e r v i s o r systemu/ będą tak znaczne, że efektywna szybkość liczenia zmaleje poniżej dopuszczalnych granic. Dlatego też podjęto odpowiednie prace pozwalające na symulowanie wykonywania różnych programów obliczeniowych, określonych poprzez podanie pewnych rozkładów prawdopodobieństwa czasu ich wykonywania, w maszynie zaopatrzonej w pamięć skojarzeniową dla transformacji adresów.

Wyniki symulacji wskazały dla tych konkretnych przypadków jaka jest optymalna pojemność informacyjna pamięci skojarzeniowej. Szczegóły dotyczące tych zagadnień można znaleźć w pracy J.E. Shemer, G.A. Shippey [6].

3.2. A u t o m a t y z a c j a p r o j e k t o w a n i a "h a r d w a r e´ u"

Prace w tej dziedzinie projektowania można podzielić na trzy grupy. Pierwsza z nich to tzw. automatyczne generowanie schematów logicznych, druga to minimalizacja funkcji logicznych, trzecia zaś dotyczy symulacji działania układów logicznych. Pozostałe zagadnienia z tej dziedziny zostaną omówione w następnych artykułach tego cyklu.

Obserwuje się bardzo nierównomierny podział zainteresowań matematyków i konstruktorów tymi trzema dziedzinami. Najmniej zaawansowane są prace w dziedzinie automatycznej generacji schematów logicznych. Nieco lepiej wygląda sprawa symulatorów działania układów logicznych. W tej dziedzinie wykonano już wiele działających i posiadających praktyczne znaczenie programów. Między innymi wspomniany kompleks programów projektowania systemu IBM 360 zawierał takie programy symulujące. Największą ilość publikacji można odnotować w zakresie minimalizacji funkcji logicznych.

Nie jest to niczym dziwnym, albowiem dziedzina ta jest stosunkowo najlepiej poznana i w związku z tym łatwiej tutaj o pewne oryginalne wyniki o charakterze raczej przyczynkowym. Tymczasem kluczowy problem o praktycznym znaczeniu, który należałoby rozwiązać stanowi minimali-

zacja układów logicznych z wieloma wyjściami i z wieloma wejściami. Minimalizacja taka powinna być przeprowadzona z uwzględnieniem ograniczeń nakładanych na obciążalność logiczną /f a n - o u t/ i spływ logiczny /f a n - i n/, przy czym wagi poszczególnych składników tej funkcji nie muszą być jednakowe. Optymalne rozwiązanie tego zagadnienia nie może być uzyskane znanymi sposobami, bowiem uzyskanie oszczędności rzędu kilku bramek logicznych nie uzasadni kosztu pracy maszyny, który przy dotychczas stosowanych nieefektywnych metodach jest bardzo duży. Stąd też klasyczne procedury upraszczania wyrażeń nie mogą znaleźć tutaj zastosowania.

W celu otrzymania pozytywnych efektów nie pozostaje na razie nic innego jak programowanie heurystyczne. To, że w takim przypadku nie uzyska się czasami rozwiązań minimalnych nie ma większego znaczenia, tym bardziej, że jak wykazuje praktyka układy minimalne są równocześnie układami bardzo kłopotliwymi eksploatacyjnie. Ze względu na małą praktyczną przydatność oraz stosunkowo bogatą literaturę dotyczącą tej dziedziny, zagadnienie to nie będzie w niniejszym artykule rozwijane.

Szczególną uwagę zwrócimy natomiast na automatyczne generowanie schematów logicznych. Ta bowiem dziedzina projektowania może przynieść w perspektywie bardzo interesujące rezultaty. M.A. Breuer [3] spodziewa się np., że w bliskiej przyszłości cały projekt maszyny będzie wykonywany automatycznie poczynając od jej opisu funkcjonalnego. Rola projektanta-człowieka będzie się sprowadzała do sterowania tym procesem, tzn. będzie on decydował o przyjęciu względnie odrzuceniu różnych wariantów przedstawianych mu przez maszynę w czasie procesu projektowania.

Ponadto można oczekiwać dalszej automatyzacji w procesie projektowania sprowadzającej rolę człowieka do zdefiniowania maszyny przez podanie algorytmu jaki ma ona wykonywać. Dotyczy to oczywiście maszyn o specjalistycznym przeznaczeniu. Aktualne osiągnięcia w tej dziedzinie są jednak jeszcze bardzo skromne.

4. Automatyczna generacja schematów logicznych

Projektując maszynę cyfrową należy najpierw określić repertuar jej rozkazów, następnie zdefiniować funkcjonalne działanie każdego rozkazu i wreszcie utworzyć na tej podstawie równania logiczne, które muszą być

spełnione celem wykonania tych rozkazów. Opis funkcjonalny może być zawsze wyrażony przez ciąg zdań o przesłaniach informacji. Np. operacja dodawania jako:

1. POBRANIEROZKAZU
2. AKUMULATOR + B —→ AKUMULATOR

gdzie: POBRANIEROZKAZU jest poniższym podprogramem:

1. LICZNIKROZKAZÓW —→ REJESTRADRESOWYPAMIECI
2. (REJESTRADRESOWYPAMIECI) —→ AKUMULATOR
3. LICZNIKROZKAZÓW + 1 —→ LICZNIKROZKAZÓW

W przykładzie tym strzałka oznacza przesłanie zawartości między rejestrami oznaczonymi ciągiem liter /bez spacji/, zaś ujęcie nazwy rejestru w nawiasy okrągłe oznacza przesłanie informacji z miejsca pamięciowego, którego adres określony jest zawartością tego rejestru.

Celem automatycznego generowania schematów logicznych jest przejście od opisu maszyny podanego w języku przesłań informacji między rejestrami i wygenerowanie na tej podstawie równań logicznych potrzebnych do skonstruowania maszyny cyfrowej. Główną zaletą takiego podejścia jest odciążenie inżyniera-projektanta od wielu szczegółowych i powtarzających się operacji. Ponadto można w ten sposób uzyskać wyeliminowanie sprzeczności i błędów logicznych oraz konfliktów czasowych.

Klasyczny system generacji schematów logicznych składa się z translatora, programu analizy zależności czasowych oraz generatora równań logicznych. Wejście do tego systemu programów złożone jest z trzech części:

1. Opis strukturalny projektowanego systemu czyli opis rejestrów, zegarów i dróg przepływu informacji. Dla przykładu definicja rejestru zawiera jego nazwę, długość /ilość ogniw/ i pewne wymagania co do szybkości działania.

2. Zbiór mikrosekwencji definiujących rozkazy, które mają być zrealizowane w projektowanej maszynie. Mogą tu być również włączone pewne ograniczenia czasowe /np. jedno-mikrosekundowy czas dodawania/.

3. Słownik /spis/ podstawowych zespołów logicznych takich jak np. sumatory, układy mnożące, rejestry indeksów itd.

Zadaniem translatora jest utworzenie na podstawie informacji wejściowych 1. i 2. tabeli projektowej, która złożona jest z opisów wszystkich

użytych rejestrów, zawiera ich charakterystyki czasowe i podaje warunki logiczne, które sterują przepływem informacji po określonych drogach informacyjnych.

Program, który określa zależności czasowe podaje długość odcinka czasowego potrzebną dla dokonania każdego przesłania informacji i na tej podstawie podaje chwile czasowe, w których każde z przesłań może się zaczynać /zakłada się, że system jest synchroniczny/. Ten etap projektowania jest wykonywany na podstawie informacji zawartych w grupie informacji wejściowych. Dla przykładu system musi wybrać taki sumator ze słownika /spisu/ zespołów podstawowych, który spełnia wymagania ze względu na długość /ilość pozycji/, szybkość i koszty.

Po wybraniu właściwego zespołu, czas dodawania jest już precyzyjnie określony. Następny program składowy, a mianowicie generator równań logicznych, łączy informację pochodzącą z tabeli projektowej i informację o zależnościach czasowych, która jest wynikiem działania programu zależności czasowych, w celu uzyskania równań określających współdziałanie wszystkich występujących w maszynie rejestrów przechowujących informacje. Ta część jest stosunkowo prostym procesem polegającym na stosowaniu operacji koniunkcji,dyzjunkcji oraz sortowaniu.

Należy podkreślić, że informacja zawarta w opisie przesłań między rejestrami jest wystarczająca dla przeprowadzenia symulacji systemu na szczeblu jego opisu funkcjonalnego. Zagadnienie to jest opisane w artykule H.P. Schlaeppi [7].

Warto również podkreślić, że zautomatyzowanie tej fazy projektowania maszyn najprawdopodobniej bardzo silnie wpłynie na fizyczną strukturę maszyny. Struktura ta będzie się charakteryzowała standardowością rozwiązań i nie będą w niej mogły być użyte chwyty jakie zazwyczaj są stosowane przez projektanta, prowadzące np. do wielokrotnego wykorzystywania tych samych rejestrów do realizowania różnych funkcji.

5. Programy symulacji działania sieci logicznych

Programy takie są integralną częścią każdego systemu automatycznego projektowania maszyn cyfrowych. Służą one do generowania testów programowych i są używane do sprawdzania poprawności projektu logicznego przed zbudowaniem maszyny. Ponieważ maszyna cyfrowa może być w pełni

określona przez podanie zbioru funkcji logicznych, głównym zadaniem takiego programu symulującego jest obliczanie wartości pewnych wyrażeń logicznych.

Symulacja zachowania się maszyny w pewnym odcinku czasu, wymaga ogólnie rzecz biorąc, sekwencyjnej oceny wartości wyrażeń /przynajmniej pewnego podzbioru wszystkich wyrażeń/ opisujących symulowaną maszynę cyfrową. Stąd też jest to stosunkowo wolny proces obliczeniowy. Zazwyczaj trzeba przeprowadzić taką symulację dla wielu tysięcy stanów wejściowych. Stąd też wymagane jest przeprowadzenie oceny wartości wyrażeń logicznych możliwie efektywnymi metodami.

Jako dane do programu symulującego służą zbiory równań booleowskich, które opisują działanie każdej bramki i przerzutnika wchodzącego w skład symulowanej maszyny. Dane wejściowe zawierają też informacje odnośnie opóźnień w tych elementach, informacje o ciągach synchronizujących oraz dane o stanie początkowym każdego elementu pamięciowego. Programy symulacji działania sieci logicznej są zazwyczaj złożone z następujących części składowych:

- program kompilujący,
- program analizujący,
- program symulujący.

Pierwsza część - program kompilujący sprawia to, że każde wyrażenie logiczne, wprowadzone do maszyny symulującej, zostaje zamienione w zbiór rozkazów, który po wykonaniu określa wartość logiczną wyrażenia opisanego na wejściu. Metody używane w tym miejscu dla określenia wartości wyrażenia dzielą się na cztery klasy, a mianowicie: procedury zależne i niezależne od danych oraz zależne i niezależne od symboli. Np. dla oceny wartości wyrażenia logicznego $F = A\bar{B}C + \bar{A}D\bar{E}$ wartość wyrażenia F może być określana w jeden z następujących sposobów:

a. Za każdym razem określa się wartość całej prawej strony równania.
b. Jeśli w czasie określania wartości, program stwierdzi, że $A\bar{B}C = 1$ od razu przypisuje się wartości $F = 1$.
c. Jeśli w czasie określania wartości wyrażenia program znajdzie, że $A = 0$ /skąd wiadomo, że wyrażenie $A\bar{B}C = 0$/ - przeskakuje do określenia wartości $\bar{A}D\bar{E}$.

d. Jeśli w czasie określania wartości wyrażenia program znajdzie, że A = 0 /skąd wiadomo, że wyrażenie $A\bar{B}C = 0$ i $\bar{A} = 1$/ - przeskakuje do określenia wartości $D\bar{E}$.

Wersja d różni się od c tym, że nie tylko pomija się przy analizie całego wyrażenia jego zerowe składniki /iloczyny/ ale upraszcza się też analizę poszczególnych składników wyrażenia.

Początkowo programy symulujące wykorzystywały pojedyncze słowo pamięciowe do przechowywania wartości logicznej pojedynczej zmiennej. Obecnie programy wykorzystują wszystkie bity słowa, co oczywiście znacznie zwiększa efektywność symulacji. Jak wiadomo można pójść dwiema drogami: albo równocześnie określać wartości wielu wyrażeń logicznych dla jednego zbioru wartości zmiennych wejściowych albo jednocześnie określać wartość jednej funkcji dla wielu zbiorów wartości zmiennych wejściowych.

Nowoczesne programy symulujące biorą pod uwagę nominalne czasy propagacji i czasy przełączania zastosowanych podstawowych układów logicznych i mogą symulować działanie sieci logicznych z pętlami sprężenia zwrotnego. W celu zwiększenia efektywności działania, wartości wyrażeń logicznych są ustalone tylko w tych chwilach czasowych, kiedy pewne elementy zmieniają stan. Tak więc symulator rozpatruje tylko te elementy, które w przyszłości mogą zmienić swój stan jako wynik obecnej zmiany stanu.

Takie działanie programu symulującego osiąga się dzięki zastosowaniu programu analizującego. Pierwszą funkcją programu analizującego jest przypisywanie każdemu elementowi logicznemu tzw. etykiety logicznej /L o g i c L e v e l N u m b e r/. Musimy bowiem znać wyjścia wszystkich bramek z etykietą logiczną "i" wcześniej, przed określeniem stanów wyjść wszystkich bramek z etykietą logiczną: i + 1. /Przerzutnikom przypisuje się etykiety logiczne o wartości 0/.

Program analizujący zestawia również tzw. tabelę oddziaływań logicznych /F o r w a r d R e f e r e n c i n g T a b l e/, która określa dla każdego elementu e_i wszystkie elementy, które zawierają e_i na swoim wejściu. Zatem gdy element zmienia swój stan, program może odwołać się do tej tabeli dla uzyskania informacji, które elementy z kolei mogą zmienić swój stan.

Wreszcie sporządzona jest tabela zdarzeń /S t a t e - t i m e T a b l e/, która zawiera chronologiczne uszeregowanie zdarzeń w założonej

skali czasowej. Dzięki wprowadzeniu tych tabel uzyskuje się znaczną oszczędność miejsca w pamięci i skrócenie czasu pracy programu symulującego. Programy tego typu były wykorzystywane we wspomnianym systemie automatyzacji projektowania /patrz [1] i polski artykuł na ten temat [2] /.

Podsumowując, zalety tak zautomatyzowanego projektowania są następujące:

- błędy w projekcie logicznym mogą być znalezione przed rozpoczęciem konstrukcji maszyny,
- można wykryć pewne błędy powodowane "wyścigami" i "hazardami",
- projektujący ma możność zupełnie dowolnego nakładania warunków początkowych i warunków czasowych na wejścia zewnętrzne,
- projektant może otrzymać wykaz wszystkich stanów wszystkich elementów dla każdej chwili czasowej.

To ostatnie nie zawsze może być uzyskane przy rzeczywistych układach. Należy jednak podkreślić, że główną wadą symulacji działania sieci logicznych jest z reguły bardzo długi czas działania tych programów.

Jednym z ważnych zastosowań programów symulacji działania sieci logicznych jest generowanie testów programowych służących do wykrywania i lokalizacji uszkodzeń elementów. W tym celu należy symulować działanie maszyny cyfrowej, do której wprowadzone zostają uszkodzenia elementów takich jak np. rozwarcie lub zwarcie diody. Jest oczywistym, że ilość takich potencjalnych błędów sięga dziesiątków tysięcy. Dla efektywnego przebiegu tego rodzaju symulacji, stosuje się następujące podejście:

- Dane wejściowe zostają tak określone, ażeby równocześnie można było przeprowadzić m symulacji, przy czym m jest długością /w bitach/ słowa maszyny, na której przeprowadza się symulację.
- Przeprowadza się symulację maszyny nie uszkodzonej. Wprowadza się symulowane uszkodzenie i wykonuje się trzeci program składowy systemu programów symulujących działanie sieci logicznej, poczynając od elementów o najniższych etykietach logicznych, przy których wprowadzono uszkodzenia.

6. Sytuacja krajowa w zakresie języków specjalizowanych do projektowania logicznego

Według informacji posiadanych przez autorów, zagadnienia poruszane w niniejszym artykule nie były przedmiotem intensywnych prac żadnego z ośrodków krajowych i tylko sporadycznie znajdowały pewne odbicie w publikacjach. W oparciu o ogólną znajomość sytuacji w kraju w omawianej dziedzinie i bez staranniejszego studiowania wszelkich dostępnych materiałów, pomijając również bardzo specjalistyczne prace, nie kwalifikujące się do publikacji, możemy wskazać jedynie na dwa przykłady rodzimej działalności w zakresie zastosowań języków specjalistycznych do analizy i projektowania automatów skończonych oraz maszyn cyfrowych.

Pierwszym z nich jest artykuł mgr inż. Jacka Martinka z Politechniki Poznańskiej pt. O zastosowaniu języka algorytmicznego przetwarzającego listy w zagadnieniach analizowania i sterowania automatu skończonego [10].

Ponadto na Wydziale Matematycznym Uniwersytetu Warszawskiego prowadzi się prace nad tworzeniem biblioteki programów dla maszyny GIER, obejmującej między innymi programy przetwarzania formuł dla teorii automatów. Programy te w przyszłości mają być połączone w jeden zwarty system obliczeniowy, użyteczny zarówno do badań w dziedzinie teorii automatów, jak dla jej zastosowań - w szczególności do projektowania układów i maszyn cyfrowych.

Programy te są pisane w języku ALGOL i LISP/ALGOL, zaś po stworzeniu wspomnianego systemu programowego będzie również opracowany język specjalizowany, który ma służyć do porozumiewania się użytkownika z systemem i vice versa /większość informacji otrzymana od dr S. Waligórskiego/.

Jak widać, obydwa przytoczone przykłady dalekie są na razie od praktyki projektowej i mogą być traktowane jedynie jako punkt wyjścia do ewentualnych konkretnych zastosowań późniejszych.

Jeśli w rzeczywistości jest inaczej, to znaczy, jeśli coś interesującego z punktu widzenia praktyki dzieje się i u nas w zakresie automatyzacji projektowania maszyn czy urządzeń cyfrowych, to radzi będziemy sprostować w następnym artykule niniejszego cyklu ten raczej pesymistyczny obraz, w oparciu o informacje od zainteresowanych osób i instytucji. Z niecierpliwością będziemy oczekiwać odpowiednich informacji kierowanych na adres redakcji NOWOŚCI.

7. Propozycje

Przedstawione w tym punkcie propozycje będą dotyczyły tylko zagadnień przez nas już omówionych tzn. języków symulacyjnych oraz programu do symulacji działania sieci logicznych. Jeśli chodzi o języki symulacyjne, to do celów analizy prekonstrukcyjnej nadają się języki symulacyjne ogólnego przeznaczenia, których reprezentantami w historycznej kolejności ich powstawania mogą być GPSS2, GPSS3, SOL, SIMSCRIPT i SIMULA. Można uznać, że najbardziej zaawansowanym jest język SIMULA opracowany w Norwegii. Opinia ta pokrywa się zresztą ze zdaniem wyrażonym przez W. Mardala i J. Winkowskiego - uczestników konferencji na temat języków symulacyjnych, która odbyła się w r. 1966 w Oslo. Zainteresowanego Czytelnika odsyłamy do artykułu [9].

Można by łatwo wykazać, że prowadzenie prac nad jakimś nowym polskim językiem typu SIMULA byłoby z pewnością nieopłacalne. Należy więc poprzeć propozycje przedstawione we wspomnianym powyżej artykule, aby w miarę możliwości jak najszybciej wyposażyć jedną z zainstalowanych w kraju maszyn w odpowiedni zespół programów, umożliwiający korzystanie z języka SIMULA dla omawianych celów.

Z tego co już powiedziano w niniejszym artykule jasno chyba wynika, że wysiłek i ewentualne nakłady, które należałoby ponieść dla stworzenia w naszym kraju możliwości korzystania z ułatwień jakie daje ten język projektantom, bardzo szybko przyniosłyby efekty, zarówno w postaci przyspieszenia jak i podniesienia jakości wielu prac projektowych.

Również w dziedzinie programów dla symulacji działania sieci logicznych nie możemy się na terenie kraju poszczycić żadnymi osiągnięciami. W odniesieniu do zastosowań tych programów do analizy uszkodzeń straty, jak dotychczas, są niewielkie, gdyż nawet w krajach gdzie zagadnienia te od dawna są przedmiotem intensywnych prac, nie znaleziono dotychczas naprawdę efektywnych metod symulacji działania maszyn z imitowanym uszkodzeniem.

Programy takie opierają się o programy - zresztą zupełnie efektywne - symulowania maszyny poprawnej, do których wprowadza się imitowane uszkodzenia. Ponieważ jednak ilość uszkodzeń jakie należy zasymulować sięga dla maszyny dziesiątków tysięcy, przeto, aby uzyskać pełny obraz działania maszyny w warunkach dowolnego uszkodzenia, trzebaby wykonać wiele tysięcy przebiegów programu. Stąd też kompletna symulacja wymaga często

setek, a nawet tysięcy godzin pracy bardzo szybkiej maszyny. Istnieją uzasadnione chyba podejrzenia /patrz np. poz. [5]/, że gdybyśmy dysponowali odpowiednią teorią, wówczas dotychczas stosowane metody poszukiwania minimalnego ciągu stanów wejściowych w przypadku potencjalnych uszkodzeń maszyny, można by zastąpić innymi, bardziej efektywnymi metodami, które wykorzystywałyby posiadaną informację o strukturze symulowanej maszyny.

Trzeba jednak podkreślić, że są to tylko przypuszczenia i dla rozstrzygnięcia sprawy należałoby przeprowadzić odpowiednie prace, wymagające zaangażowania się osób zajmujących się poważnie teorią maszyn matematycznych. A specjalistów takich w kraju nie brak.

Literatura

[1] P.W. CASE et al.: Solid Logic Design Automation. IBM Jour. Res. Dev., vol. 8, nr 2, April, 1964, str. 127-140.

[2] Z. ŚWIĄTKOWSKI: Nowa technologia i automatyzacja projektowania systemu IBM-360. Biul. Inf. IMM Nowości Techniczno-Ekonomiczne, Rok IV, nr 2/10/, czerwiec 1965.

[3] M.A. BREUER: General Survey of Design Automation of Digital Computers. Proc. IEEE, vol.54, nr 12, December, 1966, str. 1708-1721.

[4] J. DAŃDA, J. FIETT: Maszyna bliżej człowieka. Maszyny matematyczne, Rok III, nr 4 i 5, 1967.

[5] E. MANNING: On Computer Self-Diagnosis Part I - Experimental Study of a Processor, Part II - Generalizations and Design Principles. IEEE Trans. on Electronic Computers, vol. EC-15, nr 6, December, 1966, str. 873-890.

[6] J.E. SHEMER, G.A. SHIPPEY: Statistical Analysis of Paged and Segmented Computer Systems. IEEE Trans. on Electronic Computers, vol. EC-15, nr 6, December, 1966, str. 855-863.

[7] H.P. SCHLAEPPI: A Formal Language for Describing Machine Logic, Timing and Sequencing /LOTIS/. Ibid, vol. EC-13, nr 4, August, 1964, str. 439-448.

[8] D.E. KNUTH, J.L. MCNELEY: SOL - A Symbolic Language for General-Purpose Systems Simulation. Ibid, str. 401-408.

[9] W. MARDAL, J. WINKOWSKI: Konferencja na temat języków symulacyjnych , Oslo, 22-26.V.1967. Maszyny Matematyczne, Rok III, nr 5, wrzesień-październik, 1967.

[10] J. MARTINEK: O zastosowaniu języka algorytmicznego przetwarzającego listy w zagadnieniach analizowania i sterowania automatu skończonego. Zastosowania maszyn matematycznych w technice. Referaty szczegółowe na sympozjum. Poznań, 25-26 listopada 1965 roku.

[11] Computer-aided Design. Parts 1 to 11. Electronics, vol. 39 i vol. 40, September 19, November 28, December 12, 1966, January 9, January 23, February 6, March 6, April 17, May 1, July 10, September 4, 1967.

Dr inż. ZYGMUNT SAWICKI
Zakład Technologii Specjalnych IMM

681.327.66:536.48

PEWNE ASPEKTY TECHNICZNO-EKONOMICZNE SZYBKICH PAMIĘCI MASOWYCH

1. Wprowadzenie

Pojęcie "pamięci masowe" obejmuje w zasadzie wszystkie urządzenia pamięciowe o pojemności powyżej 10^7 bitów, niezależnie od sposobu działania /elektromechaniczne, elektroniczne, fotograficzne itd./. Stanowią one jeden z kluczowych problemów rozwoju elektronicznych maszyn cyfrowych. Parametry tych urządzeń w poważnym stopniu decydują o właściwościach i przydatności maszyn, szczególnie w dziedzinie przetwarzania danych. Nieustannie też wzrastają wymagania w stosunku do nowych typów pamięci masowych, przede wszystkim w zakresie:

- pojemności,
- szybkości działania,
- kosztów wytwarzania,
- niezawodności działania.

Przedstawione w niniejszym opracowaniu zagadnienia odnoszą się tylko do pamięci elektronicznych z bezpośrednim dostępem do informacji, opartych na:

- mikroferrytach,
- cienkich warstwach magnetycznych,
- kriotronach.

Obecny poziom opracowań i perspektywy rozwoju tych pamięci zostały przedstawione w publikacjach [1], [2] i [3]. Tutaj natomiast będą omówione niektóre podstawowe czynniki warunkujące techniczno-ekonomiczne właściwości wymienionych pamięci. Właściwości te wiążą się z postawionymi wyżej wymaganiami. Dąży się więc do osiągnięcia pamięci o:

- jak największej pojemności,
- jak najmniejszych kosztach wytwarzania,

. jak największej szybkości działania,

. jak największej niezawodności działania.

Dotychczas nie znamy metody pozwalającej na określenie w sposób matematyczny optymalnej konstrukcji pamięci ze względu na wyżej wymienione kryteria. Dlatego też przy rozwiązywaniu tego zagadnienia stosuje się uproszczone metody analityczno-doświadczalne, które na drodze kolejnych przybliżeń umożliwiają projektowanie pamięci w miarę optymalnych.

Pewne elementy tych metod zostały przedstawione w niniejszym opracowaniu. Materiałem źródłowym są przede wszystkim publikacje [4] i [5].

2. Struktura bloku nośnika informacji

Wybór struktury bloku nośnika informacji dla pamięci masowej ma pierwszorzędne znaczenie dla spełnienia postawionych wyżej wymagań. Dotychczas znano dwie zasadnicze struktury bloków pamięci:

. z wybieraniem liniowym,

. z wybieraniem koincydencyjnym.

Ostatnio ukazały się informacje na temat struktury trzeciej - hybrydowej - łączącej zalety obu tych struktur i w znacznym stopniu eliminującej ich wady. Naszą dyskusję ograniczymy jednak tylko do podstawowych struktur, gdyż interesujące nas parametry pamięci można najlepiej ocenić w oparciu o struktury "czyste".

Autorzy publikacji [4] przedstawiają bardzo trafną ocenę zalet i wad obu systemów. Dla celów porównawczych przyjmują oni hipotetyczne bloki o pojemności 10^8 bitów, zbudowane w obu strukturach z rdzeni ferrytowych o średnicy o,3 - 0,5 mm przy gęstości upakowania 13 rdzeni na cm.

Dyskusja zalet i wad tych bloków będzie dotyczyć:

. charakterystycznych właściwości konstrukcyjnych i parametrów technicznych,

. podatności na powstawanie i eliminację błędów z uwzględnieniem wpływu tych czynników na koszty.

2.1. Charakterystyczne cechy konstrukcyjne i parametry techniczne

Rozpatrzmy najpierw przypadek wykonania pamięci koincydencyjnej w formie jednolitego bloku. W bloku takim będą występować minimalne opóź-

nienia i minimalne oporności szeregowe linii sterujących i linii sygnałów wtedy, gdy będzie on sześcianem o wymiarach 465x465x465 rdzeni. Kształt ten zapewni również minimalną ilość styków /w przybliżeniu 850 000/.

Uwzględniając dane doświadczalne, czas propagacji w tym bloku przez 216 225 rdzeni będzie większy od 2 μsek, oporność szeregowa wyniesie 600 omów, a oporność falowa $Z_o \simeq 200$ omów. Wielkości te są nie do przyjęcia i dla ich zmniejszenia jednolity blok powinien być podzielony na szereg segmentów. Z praktyki wynika [4], że nie należałoby, ze względu na przyrost zakłóceń, budować bloków ferrytowych większych od $2x10^6$ bitów. Przy tym założeniu pamięć o pojemności 10^8 bitów w strukturze koincydencyjnej składałaby się z 50 bloków. Segmentowanie jednak zwiększy ilość styków do 2 000 000, co wpłynie na obniżenie niezawodności działania, jak również na wzrost kosztów montażu.

Z kolei rozpatrzmy pamięć o strukturze liniowej, w której pojemność 10^8 bitów uzyska się w jednolitym płacie o wymiarach 10^4x10^4 rdzeni. Czas propagacji w tym wypadku wynosi zaledwie 0,1 μsek, szeregowa oporność linii słów i linii bitów nie przekroczy 40 omów. Liczba połączeń /styków/ w takim płacie również będzie niewielka /około 40 000/, wymiary natomiast wyniosą w przybliżeniu 7,0x7,0 m. W praktyce oczywiście taki płat nie może mieć zastosowania i musi być odpowiednio "połamany" na mniejsze, np. na 16 płatów. To zaś spowoduje, podobnie jak w wielosegmentowej pamięci koincydencyjnej, wzrost liczby styków /do 160 000/.

Zasadnicze ograniczenia wynikają jednak z innego powodu. W czasie przełączania niezbędny jest dla cyklu pracy 1 μsek, prąd 600 mA, wywołujący w linii napięcie około 200 V, co z praktycznego punktu widzenia musi być odrzucone. Można by wprawdzie przez zwiększenie czasu przełączania, np. do 8 μsek, zmniejszyć amplitudę napięcia w linii, jednakże nie rozwiązuje to problemu, ponieważ podstawowym celem jest osiągnięcie dużej szybkości. Stąd wynika, że dla zbudowania liniowej pamięci o pojemności 10^8 bitów i cyklu 1,0 μsek muszą być zastosowane odpowiednie modyfikacje struktury logicznej płatu, albo elementy pamięciowe o takich właściwościach, aby generowane napięcie w czasie przełączania nie było większe od pewnych dopuszczalnych wartości. W praktyce jest to możliwe np. przez zastosowanie mniejszych rdzeni, odpowiednich układów elektronicznych, czy nawet zwiększenie dopuszczalnego czasu przełączania.

W koincydencyjnej strukturze bloku przez każdy rdzeń przechodzą najczęściej cztery druty, w strukturze liniowej natomiast tylko dwa, a dla pewnych rozwiązań trzy druty. Stąd koszt przeprowadzenia drutów w 50 blokach pamięci koincydencyjnej wynosiłby $4x10^8$ umownych jednostek, podczas gdy w pamięci liniowej o tej samej pojemności w najgorszym przypadku $3x10^8$ jednostek, tzn. o 25% mniej. Koszt styków 50 bloków pamięci koincydencyjnej wynosiłby 2 000 000 jednostek, w pamięci liniowej o tej samej pojemności zaledwie 160 000 jednostek, tzn. aż o 92% mniej.

Przy tej okazji należy podkreślić, że nawet zastosowanie najbardziej nowoczesnej technologii produkcji płatów pamięci, polegającej na jednoczesnym wytwarzaniu takich samych elementów w całym płacie, nie złagodzi problemu. Nie ulega więc wątpliwości, że prostszym konstrukcyjnie i bardziej technologicznym, z punktu widzenia każdego procesu wytwarzania, będzie płat o strukturze liniowej.

Struktura bloku ma również istotny wpływ na kształtowanie się wielkości elektroniki bezpośrednio z blokiem związanej. Rozpatrzmy dla celów ilustracyjnych przybliżone wyposażenie elektroniczne bloku koincydencyjnego w postaci sześcianu o pojemności 10^8 bitów, oraz bloku liniowego w postaci płatu 10^4x10^4 bitów /Tabela 1/.

Tabela 1. Zestawienie elektroniki bloków pamięci w realizacji idealnej

Typ bloku	Układy adresowe /szt./	Układy odczytu /szt./	Układy zapisu /szt./
Koincydencyjny	~ 1000	465	465
Liniowy	10 000	10 000	10 000

Widzimy, że elektronika bloku koincydencyjnego jest o rząd mniejsza od elektroniki bloku liniowego. Pamiętajmy jednak, że ze względów technicznych blok koincydencyjny musi być podzielony na 50 mniejszych bloków, z których każdy będzie składał się z 50 płatów o wymiarach 200x200 rdzeni, zaś jednolity płat w strukturze liniowej musi być "połamany" na 16 płatów mniejszych, zawierających po 2500 multi-słów, każde o długości 50 słów 50-bitowych. Przybliżone rozmiary elektroniki niezbędnej do pełnego wyposażenia tych pamięci zestawiono w tabeli 2.

Tabela 2. Zestawienie elektroniki bloków pamięci w realizacji rzeczywistej

Typ bloku	Układy adresowe /szt./	Układy odczytu /szt./	Układy zapisu /szt./
Koincydencyjny	20 000 indywid. 1250 wspólnych /16 grup/	2500 indywid. 50 wspólnych /50 grup/	2500 indywid. 50 wspólnych /50 grup/
Liniowy	40 000 indywid. 2500 wspólnych /16 grup/	2500 indywid. 50 wspólnych /15 grup/	2500 indywid. 50 wspólnych /50 grup/

Jak widać z powyższego, w pamięci koincydencyjnej jest dwa razy mniej układów adresowych, natomiast ilości układów odczytu i zapisu są takie same w obu pamięciach. W przeliczeniu na koszty, elektronika pamięci liniowej jest droższa o 22%. Wskaźniki porównawcze kosztów wytwarzania pamięci o pojemności 10^8 bitów podaje tabela 3.

Tabela 3. Zestawienie wskaźników porównawczych kosztów wytwarzania pamięci o pojemności 10^8 bitów

Typ pamięci	Wskaźniki kosztów wytwarzania	
	Bloki	Elektronika
Pamięć koincydencyjna	szycie: 100% styki: 100%	78%
Pamięć liniowa	szycie: 75% styki: 8%	100%

Stąd widać, że całkowite koszty wytwarzania rozpatrywanych konfiguracji pamięci o pojemności 10^8 bitów wydają się być w przybliżeniu takie same.

2.2. Podatność bloków na powstawanie i eliminację błędów

Rozpatrzymy pamięci o pojemności 10^8 bitów: blok koincydencyjny, składający się z 50 bloków o wymiarach 200x200x50 elementów[x], oraz blok li-

[x] Nazwa "element" oznacza komórkę pamięciową, niezależnie od techniki realizacji.

niowy, składający się z 16 płatów o wymiarach 2500x2500 elementów. Długość podstawowego słowa w tych pamięciach wynosi 50 bitów. Błędy mogą być powodowane przez:

. elementy pamięciowe, których parametry odbiegają od założonych norm,

. przerwy lub zwarcia linii sprzężonych z elementami pamięciowymi.

Mogą one powstawać również pod wpływem czynników zewnętrznych, np. mechanicznych i klimatycznych, jednakże nasze rozważania ograniczymy do wyżej wymienionych.

Załóżmy, że elementy pamięciowe, z których zbudowane są obydwa typy bloków, mają tę właściwość, iż jeden element na każdy tysiąc elementów może pracować błędnie w warunkach najgorszego przypadku, tzn. że jego parametry w tych warunkach nie spełniają wymagań.

Wybranie jednego słowa przez linie adresujące w pamięci koincydencyjnej powoduje naruszenie prądem połówkowym 19 950 elementów, z których w najgorszym przypadku aż 20 może spowodować błąd.

Wybranie jednego słowa w pamięci liniowej powoduje naruszenie /aczkolwiek innego rodzaju/ 2450 elementów, z których 2 - 3 mogą spowodować błąd, tzn. że prawdopodobieństwo powstania błędu z tego tytułu w pamięci liniowej jest 6 - 10 razy mniejsze niż w pamięci koincydencyjnej..

Oczywiście obliczone prawdopodobieństwo byłoby ścisłe, gdyby elementy w obydwu pamięciach były sterowane w takich samych warunkach. Wyraża ono jednak prawidłowe zależności jakościowe podatności tych pamięci na powstawanie błędów z tytułu wad elementów pamięciowych.

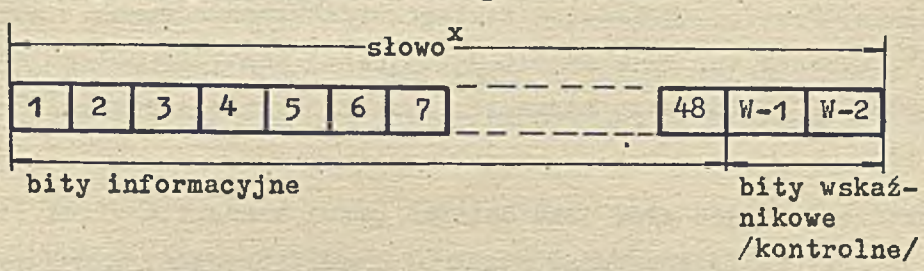
Pamięć koincydencyjna posiada 2.10^6 złącz w liniach adresowych, podczas gdy pamięć liniowa posiada ich zaledwie 160 000. Ponieważ prawdopodobieństwo powstania przerwy w jednym złączu lutowniczym w obydwu pamięciach jest jednakowe, więc w całej pamięci koincydencyjnej jest ono 12 razy większe. Należy zwrócić uwagę, że nawet w przypadku jednolitego bloku koincydencyjnego o pojemności 10^8 bitów prawdopodobieństwo powstania przerwy będzie 5 razy większe jak w pamięci liniowej.

Przerwanie linii adresowej w pamięci koincydencyjnej powoduje w zasadzie trwałe uszkodzenie całego bloku, który musi być naprawiony w specjalizowanym laboratorium. Przerwanie przewodu adresowego w pamięci liniowej eliminuje jedynie jedno multi-słowo z pamięci, nie powodując zakłóceń w wybieraniu pozostałych słów.

Pamięć liniowa może więc być zbudowana z elementów, w których masie znajdują się wadliwe, np. jeden na każdy tysiąc, natomiast pamięc koincydencyjna wymaga, aby wszystkie elementy były dobre.

Wychodząc z tego założenia, rozpatrzymy teraz jego skutki w pamięci liniowej o konstrukcji omówionej wyżej.

Jak wiadomo długość podstawowego słowa pamięci wynosi 50 bitów, w tym 48 bitów informacyjnych i 2 bity wskaźnikowe. Bitom wskaźnikowym nadaje się wartości 00 lub 11 wtedy, gdy w części informacyjnej znajduje się co najmniej jeden zły element wykryty podczas testowania w warunkach najgorszego przypadku. Oznaczone w ten sposób słowa wadliwe są w czasie eksploatacji pamięci automatycznie pomijane przez maszynę. Bitom wskaźnikowym nadaje się wartości 10 lub 01 wtedy, gdy wszystkie bity informacyjne są dobre. Oczywiście może zdarzyć się, że wadliwy element znajdzie się na miejscach wskaźnikowych. Taki przypadek spowoduje, że błędna informacja będzie potraktowana jako dobra, tzn. wartości wskaźników 00 lub 11 zostaną zamienione na 01 lub 10. Można obliczyć prawdopodobieństwo takiego zdarzenia.



Wiemy, że prawdopodobieństwo pojawienia się w dowolnym miejscu pamięci wadliwego elementu wynosi 1/1000. Przypadek rozważany zachodzi wtedy, gdy jednocześnie wystąpi co najmniej jeden wadliwy element wskaźnikowy, powodując kombinację 01 albo 10. Prawdopodobieństwo pojawienia się jednocześnie dwóch wadliwych elementów w każdej z roz-

x "Słowo" rozumiane jako miejsce pamięci przeznaczone do przechowywania informacji.

patrywanych części słowa jest o kilka rzędów mniejsze od prawdopodobieństwa pojawienia się pojedynczych elementów wadliwych, dlatego też kombinacje dwuelementowe, a tym bardziej wieloelementowe, możemy pominąć jako praktycznie nie zmieniające podstawowej wartości prawdopodobieństwa. Prawdopodobieństwo pojawienia się wadliwego elementu w części informacyjnej wynosi 48/1000.

Prawdopodobieństwo pojawienia się wadliwego elementu w miejscu W1 wynosi 1/1000. Dla przypadku jednoczesnego przyjęcia przez ten element wartości "0", wynosi ono 1/1000 x 1/2. Gdy ponadto jednocześnie wskaźnik W2 przyjął wartość "1", wynosi ono 1/1000 x 1/2 x 1/2. Ponieważ układ wskaźników jest symetryczny, wobec tego prawdopodobieństwo zaistnienia kombinacji 01 albo 10 w miejscu wskaźników W1, W2 wynosi: 2 x 1/1000 x 1/2 x 1/2 = 1/2000.

Ostatecznie prawdopodobieństwo jednoczesnego pojawienia się wadliwych elementów w obydwu częściach rozpatrywanego słowa wynosi:

$$48/1000 \times 1/2000 = 24.10^{-6}$$

Oznacza to, że w czasie dynamicznej kontroli całego bloku o pojemności 10^8 bitów może wystąpić 2400 przekłamań tego typu.

Uszkodzone elementy wskaźnikowe mogą także przyjmować trwałe wartości 00 lub 11. Powoduje to, że poprawne słowo jest kwalifikowane do odrzucenia. Prawdopodobieństwo takiego przekłamania wynosi również 24.10^{-6}. Oznacza to, że w czasie dynamicznej kontroli całego bloku o pojemności 10^8 bitów może nastąpić wyeliminowanie z pamięci 2400 dobrych słów.

Traktowanie złych słów jako dobrych przez komórki pamięci jest niedopuszczalne. Takie przypadki muszą być wyeliminowane, a dokonać tego można przez usunięcie złych elementów z konstrukcji, albo w najgorszym razie przez zdyskwalifikowanie całego płatu.

Zastosowanie opisanego systemu kontroli pozwala na budowę pamięci z takich elementów, w których masie występuje stosunkowo duża ilość wadliwych. Zarówno elementy kontrolne, jak i wadliwe w bloku powodują zmniejszenie pojemności efektywnej. W celu skompensowania tego ubytku należy dodatkowo zwiększyć ilość linii słów. Wzrost ten określany jest następującymi składnikami:

- elementy kontrolne zajmują pojemność równoważną 1600 multi-słów,
- elementy kontrolne przekłamane eliminują pojemność równoważną jednemu multi-słowu,
- elementy wadliwe występujące z określoną częstością w pamięci eliminują pojemność równoważną około 2000 multi-słów.

Łączny niezbędny przyrost pojemności pamięci wynosi około 3600 multi-słów, co stanowi około 9% całej pojemności.

Z przeprowadzonej dyskusji nasuwają się następujące ogólne wnioski:

- Koszty elektroniki pamięci koincydencyjnej są zawsze mniejsze, w przybliżeniu o kilkanaście procent, od kosztów elektroniki pamięci liniowej.
- Koszty montażu bloku pamięci koincydencyjnej są zawsze większe, w przybliżeniu o kilkadziesiąt procent, od kosztów montażu pamięci liniowej.
- Podatność bloku koincydencyjnego na powstawanie uszkodzeń jest kilka razy większa od podatności bloku liniowego.
- Konstrukcja bloku koincydencyjnego wymaga w zasadzie, aby wszystkie elementy pamięciowe były dobre, podczas gdy blok liniowy może być zbudowany z elementów, w których masie występuje określony procent elementów wadliwych.
- Liniowa struktura bloków jest bardziej przydatna do budowy pamięci masowych z punktu widzenia postawionych na wstępie wymagań.

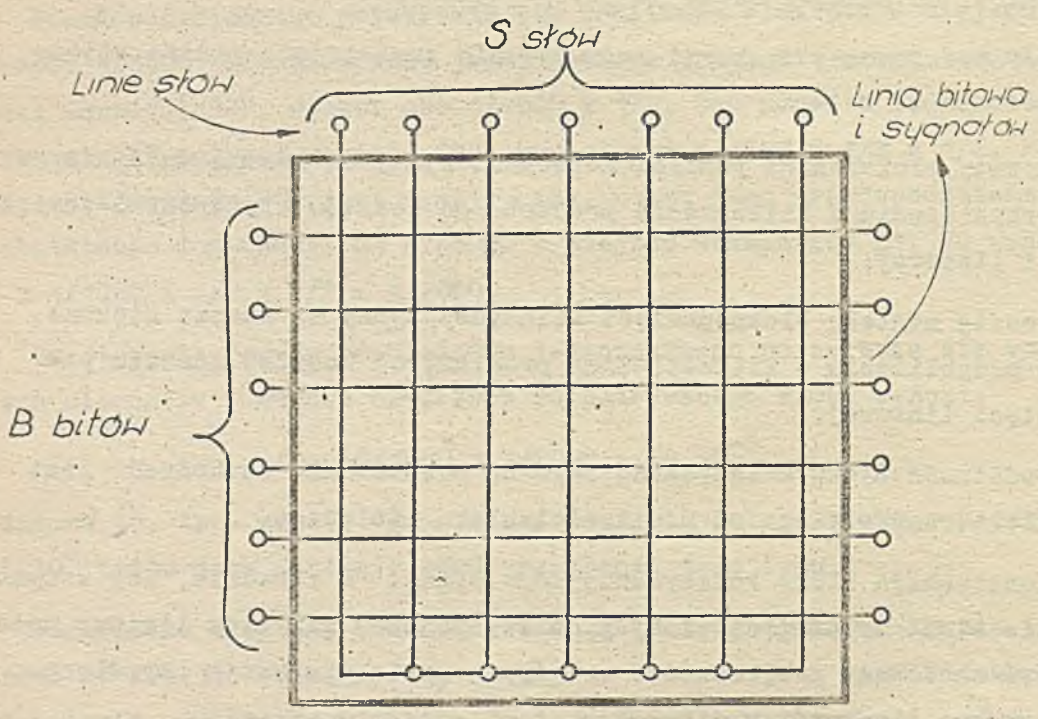
3. Optymalizacja płatu pamięci o strukturze liniowej

Optymalną konstrukcją płatu pamięci liniowej będzie taka konstrukcja, która jednocześnie spełnia warunek możliwie małych kosztów elektroniki bezpośrednio związanej z płatem oraz warunek możliwie dużej szybkości działania.

Spełnienie tych warunków jest możliwe na drodze kolejnych przybliżeń, przy zastosowaniu metody analityczno-doświadczalnej, przedstawionej w [5]. Rozwiązanie problemu sprowadza się do określenia ilości S

linii słów i ilości B linii bitowych dla ustalonej pojemności P, wyrażonej w bitach.

Na rys. 1 przedstawiono szkic linii słów i linii bitowych w płacie. Szybkość działania pamięci jest określona głównie przez czasy opóźnień /propagacji/ impulsów elektrycznych w poszczególnych układach elektroniki oraz czasy opóźnień /propagacji/ impulsów odczytu w liniach słów i impulsów w liniach bitowych.



Rys. 1. Szkic matrycy linii słów i linii bitowych B x S

W naszych rozważaniach ograniczymy się jedynie do czasów propagacji w liniach płatu pamięci. Cykl pracy pamięci jest proporcjonalny do czasu propagacji impulsów w liniach.

Maksymalną szybkość działania pamięci uzyskamy wtedy, gdy znajdziemy optymalny stosunek S do B, przy którym występuje minimalny czas propagacji.

Oznaczmy przez:

C_s - czas propagacji przez jeden element w linii słowa,

C_b - czas propagacji przez jeden element w linii bitowej.

Liczby S i B wyrażają optymalne techniczne parametry płatu /ze względu na szybkość/ wtedy, kiedy zachodzi równość czasów propagacji w całej linii słowa i całej linii bitowej. Wobec tego mamy:

$$B \cdot C_s = S \cdot C_b \qquad /1/$$

oraz

$$P = S \cdot B.$$

Na podstawie równań /1/ otrzymujemy:

$$S = \sqrt{P \cdot \frac{C_s}{C_b}}; \qquad B = \sqrt{P \frac{C_b}{C_s}}. \qquad /2/$$

Jeżeli opóźnienie w jednym elemencie linii słowa jest równe opóźnieniu w jednym elemencie linii bitowej, tj.

$$C_s = C_b,$$

wtedy na podstawie równań /2/

$$S = B,$$

co znaczy, że optymalnym płatem /ze względu na szybkość/ byłby płat kwadratowy.

W praktyce raczej nie spotykamy takich przypadków, lecz najczęściej opóźnienie w jednym elemencie linii słowa jest kilka razy większe od opóźnienia w jednym elemencie linii bitowej.

Powstaje pytanie, na jakim poziomie - w stosunku do optymalnego - kształtują się koszty elektroniki, gdy spełniony jest warunek maksymalnej szybkości.

Oznaczmy przez:

K_s - koszt zewnętrznej elektroniki /dekodery, wzmacniacze adresowe/ odniesiony do jednej linii słowa,

K_b - koszt zewnętrznej elektroniki /wzmacniacze sygnałów, układy zapisu/ odniesiony do jednej linii bitu.

Liczby S i B wyrażają optymalne techniczne parametry płatu ze względu na koszt zewnętrznej elektroniki, gdy zachodzi równość łącznych kosztów elektroniki związanej z liniami słów i łącznych kosztów elektroniki związanej z liniami bitów. Wobec tego mamy:

$$S \cdot K_s = B \cdot K_b \qquad /3/$$

oraz

$$P = S \cdot B.$$

Na podstawie równań /3/ otrzymujemy:

$$S = \sqrt{P \cdot \frac{K_b}{K_s}}; \qquad B = \sqrt{P \cdot \frac{K_s}{K_b}}. \qquad /4/$$

Jeżeli koszt elektroniki jednej linii słowa jest równy kosztowi elektroniki jednej linii bitu, tj.

$$K_s = K_b,$$

wtedy na podstawie równań /4/

$$S = B,$$

to znaczy, że optymalnym płatem /ze względu na koszty/, byłby płat kwadratowy. W praktyce nie spotyka się takiej proporcji kosztów, lecz najczęściej koszt elektroniki jednej linii słowa jest o rząd mniejszy od kosztu elektroniki jednej linii bitowej.

Znalezienie optymalnych wartości liczb S i B ze względu na obydwa kryteria polega na rozwiązaniu układu równań /2/ i /4/, z uwzględnieniem danych doświadczalnych.

Równania /2/ i /4/ dają sprzeczne wartości liczb S i B. W celu wyeliminowania tej sprzeczności trzeba znaleźć w konstrukcji bloku takie rozwiązanie zasilania linii bitowych, aby osiągnąć równość pomiędzy stosunkiem czasów propagacji i stosunkiem kosztów. Osiągnięcie tej równości jest możliwe w praktyce. Na przykład przez zastosowanie grupowania linii bitowych w taki sposób, że jedna grupa, składająca się z kilku linii bitowych, jest obsługiwana przez jeden wzmacniacz sygnału i jeden układ zapisu.

Jeżeli oznaczymy przez G ilość linii bitów w jednej grupie, to słuszna będzie równość:

$$\frac{C_s}{C_b} = \frac{1}{G} \cdot \frac{K_b}{K_s} \qquad /5/$$

Z równania /5/ otrzymujemy ilość linii w grupie:

$$G = \frac{K_b}{K_s} \cdot \frac{C_b}{C_s} . \qquad /6/$$

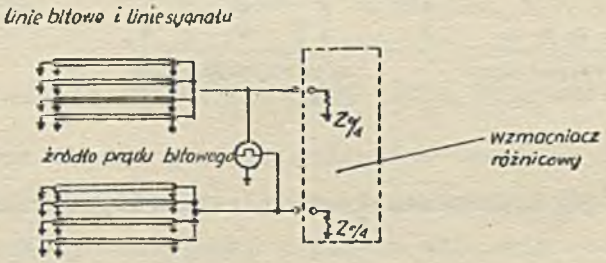
Liczba G jest określana na podstawie danych eksperymentalnych związanych z typem bloku, rodzajem elementów pamięciowych wyznaczających $\frac{C_b}{C_s}$ oraz typem zastosowanych układów elektronicznych zasilających linie słów i linie bitowe, wyznaczających $\frac{K_b}{K_s}$.

Na tej podstawie możemy zmodyfikować układ równań /4/ tak, aby rozwiązanie jego nie było sprzeczne z rozwiązaniem układu równań /2/. Mamy więc:

$$S = \sqrt{\frac{P}{G} \cdot \frac{K_b}{K_s}} ; \qquad B = \sqrt{P \cdot G \cdot \frac{K_s}{K_b}} . \qquad /7/$$

Ilość układów związanych z liniami bitowymi wynika ze stosunku $\frac{B}{G}$.

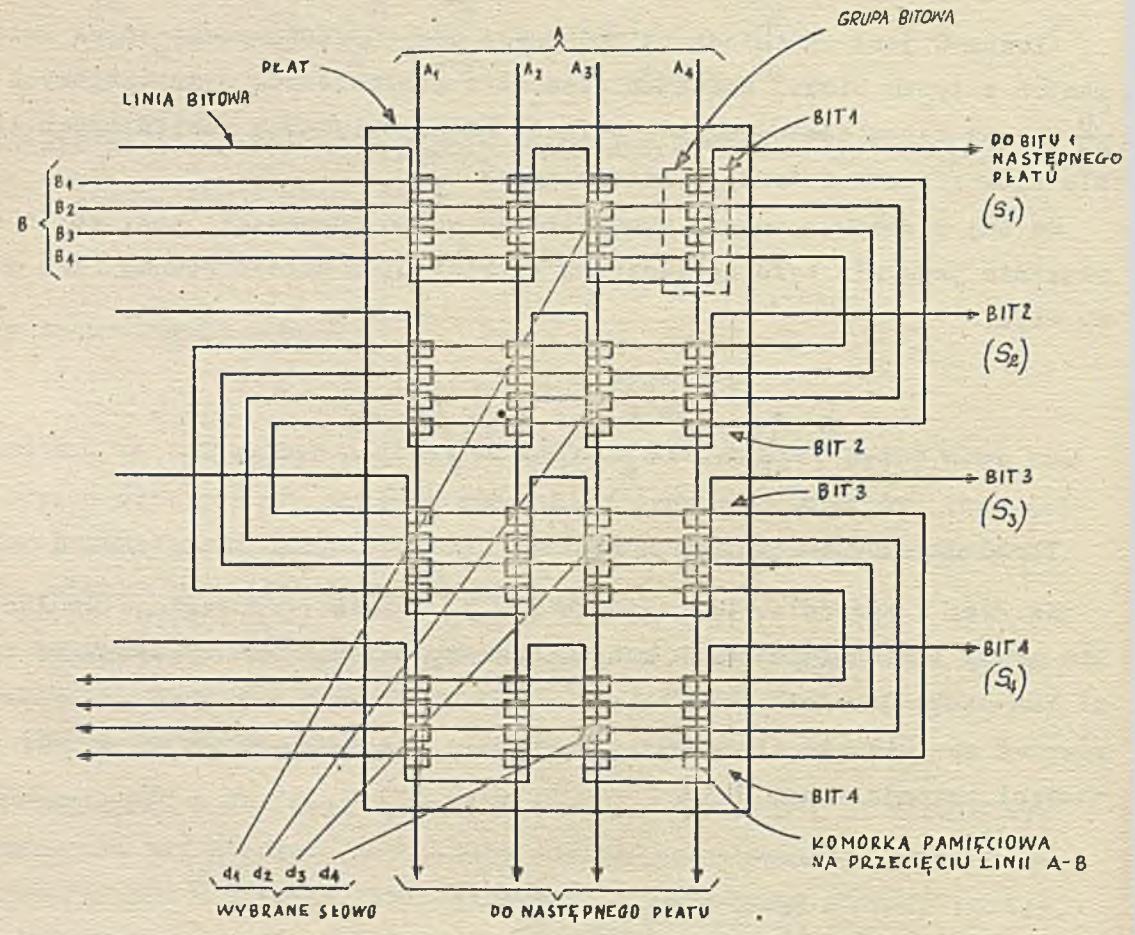
Na rys. 2 przedstawiono zgodnie z [4] szkic równoległego podłączenia grupy linii bitowych do wzmacniacza sygnałów. Inne rozwiązanie techniczne płatu przedstawiono na rys. 3. Jest to struktura hybrydowa, która również spełnia określone wyżej wymagania. Zastosowała ją firma RCA w pamięci kriogenicznej [3].



Rys. 2. Szkic równoległego wzbudzania linii bitowych

Jakkolwiek obydwa rozwiązania spełniają postawione wymogi, to jednak nie są one rozwiązaniami uniwersalnymi, nadającymi się do wszystkich pamięci, niezależnie od techniki realizacyjnej. I tak rozwiązanie z rys. 2 doskonale nadaje się dla pamięci na drutach magnetycznych, natomiast z rys. 3 dla pamięci na kriotronach i - przy pewnych modyfikacjach - dla pamięci na ferrytach i płaskich warstwach magnetycznych.

Struktura hybrydowa posiada grupy bitowe w ramach płatu, utworzone przez odpowiednie szycie linii adresowych i bitowych, rozwiązanie pierwsze natomiast polega na odpowiednim ukształtowaniu układów elektronicznych poza płatem elementów pamięciowych.



Rys. 3. Ideowa struktura płatu kriogenicznego

W dalszym ciągu rozpatrzymy przykład obliczenia optymalnego płatu.

Niech będą dane:

$P = 10^8$ bitów,

$\frac{C_s}{C_b} = 2$,

$\frac{K_b}{K_s} = 16$, dane doświadczalne wg [5]

Optymalną konfigurację bloku obliczamy, wychodząc z wzorów /6/ i /7/. Jednocześnie sprawdzamy, czy otrzymany wynik nie będzie sprzeczny z rozwiązaniem układu równań /2/.

Ilość linii bitowych w grupie wynosi:

$$G = \frac{K_b}{K_s} \cdot \frac{C_b}{C_s} = \frac{16}{2} = 8,$$

$$G = 8.$$

Ilość linii słów wynosi:

$$S = \sqrt{\frac{P}{G} \cdot \frac{K_b}{K_s}} = \sqrt{\frac{10^8}{8} \cdot 16} = \sqrt{2} \cdot 10^4,$$

$$S \simeq 14\ 100.$$

Ilość linii bitowych wynosi:

$$B = \sqrt{P \cdot G \cdot \frac{K_s}{K_b}} = \sqrt{10^8 \cdot 8 \cdot \frac{1}{16}} = \frac{10^4}{\sqrt{2}},$$

$$B \simeq 7080.$$

Ilość układów elektronicznych związanych z liniami bitowymi wynosi:

$$\frac{B}{G} = \frac{7080}{8} = 885.$$

Na podstawie wzorów /2/ otrzymujemy takie same wartości S i B.

W praktyce może okazać się, że obliczone liczby S i B wyznaczają niekorzystne wymiary geometryczne, które z pewnych względów są nie do przyjęcia. Wtedy trzeba je korygować z punktu widzenia dodatkowych warunków.

Na przykład: Niech ze względu na gęstość upakowania elementów pamięciowych na jednostkę długości dopuszczalna ich ilość w jednej linii słowa jednego płatu /blok jest wielopłatowy/ wynosi 2500. Wtedy obliczoną liczbę linii bitowych należałoby zwiększyć do 7500, albo zmniejszyć do 5000 w celu zachowania całkowitej wartości dzielnika.

Odpowiednio uległaby także zmianie obliczona liczba S. Zmalałaby ona do wartości 13 334, albo wzrosłaby do 20 000.

4. Graniczne wymiary elementu pamięciowego a szybkość działania pamięci

Szybkość działania jest uważana za jedno z najważniejszych kryteriów techniczno-ekonomicznych pamięci.

W poprzednim rozdziale wykazaliśmy, że czas propagacji określa szybkość działania pamięci. Czas propagacji z kolei jest określony przez wymiary elementu pamięciowego i jest do nich proporcjonalny. Dlatego też prowadzi się na szeroką skalę intensywne i bardzo kosztowne badania nad ciągłym zmniejszaniem wymiarów elementów pamięciowych. Już obecnie stosuje się w modelach pamięci ferryty o zewnętrznej średnicy 0,2 mm, druty magnetyczne o średnicy 0,1 mm i grubości warstwy magnetycznej 1 μ, a gęstość elementów pamięciowych kriotronowych dochodzi do 7 na 1 mm^2.

Powstaje więc pytanie, jakie są graniczne wymiary przestrzeni elementu pamięciowego. Odpowiedź na to pytanie przynosi postęp techniczny. Z upływem czasu badań wymiary ciągle maleją i na danym etapie określone są precyzją dostępnych środków technicznych niezbędnych do wytwarzania określonego typu elementów pamięciowych.

Jeżeli mówimy o granicznych wymiarach elementu pamięciowego, to zawsze mamy na myśli konkretną pamięć istniejącą, albo pamięć, którą chcielibyśmy zbudować z tych elementów. Wymiary elementu pamięciowego wynikają z założonych technicznych parametrów pamięci, takich jak:

T_c - cykl pracy pamięci,
P - pojemność pamięci,
V - szybkość propagacji w liniach płatu pamięci.

Graniczny liniowy wymiar d_g elementu pamięciowego wzdłuż linii płatu wyrazi się wzorem:

$$d_g = C_{pm} \cdot V, \qquad /8/$$

gdzie: C_{pm} - maksymalny czas propagacji impulsu elektrycznego przez jeden element o długości d_g.

Wyznaczmy C_{pm} w zależności od parametrów płatu pamięci.

W czasie sterowania pamięcią, np. w czasie odczytu lub zapisu informacji, występują pod koniec okresu sterowania stany przejściowe w liniach płatu, które muszą być brane pod uwagę. W tym celu wprowadzimy pojęcie czasu propagacji C_p w liniach płatu od początku linii do końca i z powrotem.

W najgorszym przypadku czas propagacji C_p będzie podwojoną sumą arytmetyczną składników $C_s \cdot B$ oraz $C_b \cdot S$:

$$C_p = 2\,/C_s \cdot B + C_b \cdot S/. \qquad /9/$$

Podstawiając za B i S wyrażenia /2/ otrzymujemy:

$$C_p = 2\left[C_s\sqrt{P \cdot \frac{C_b}{C_s}} + C_b\sqrt{P \cdot \frac{C_s}{C_b}}\right] \qquad /10/$$

Z praktyki wiadomo, że w celu zabezpieczenia niezawodnej pracy pamięci musi być dokonany odpowiedni podział czasu cyklu T_c na wszystkie układy działające sekwencyjnie. W cyklu partycypuje również C_p, co wyraża się zależnością:

$$C_p \leqslant \frac{1}{5} T_c. \qquad /11/$$

Na podstawie równań /10/ i /11/ wyznaczymy C_{pm}:

$$C_{pm} \leqslant \frac{T_c}{20\ P}. \qquad /12/$$

W tym przypadku P jest pojemnością pamięci wyrażoną w bitach i obejmującą wszystkie te elementy, które są uszeregowane w liniach płatu i które powodują opóźnienia impulsów adresowych oraz impulsów zapisu i odczytu. Jeżeli w bloku zastosowano równoległe zasilanie linii bitowych połączonych w grupy po G linii, wtedy wyrażenie /12/ przybiera postać:

$$C_{pm} \leqslant \frac{T_c}{20\sqrt{\frac{P}{G}}}. \qquad /13/$$

Podstawiając wyrażenie /13/ do równania /8/, otrzymujemy poszukiwany maksymalny wymiar liniowy elementu pamięciowego:

$$d_g \leqslant \frac{V \cdot T_c}{20\sqrt{\frac{P}{G}}}. \qquad /14/$$

Rozpatrzymy teraz przykład konkretnej pamięci, którą chcielibyśmy zbudować. Jej dane techniczne są następujące:

. pojemność $P = 10^8$ bitów,

. cykl pracy $T_c = 1$ µsek,

. ilość linii w grupie $G = 8$.

Szybkość propagacji impulsów w liniach pamięci wynosi $\frac{1}{3}$ do $\frac{1}{4,7}$ szybkości w wolnej przestrzeni. Przyjmijmy, że wynosi ona:

$$V = \frac{3}{4} 10^{10} \text{ cm/sek.}$$

Podstawiając odpowiednie wartości do wyrażenia /14/, otrzymujemy:

$$d_g \leqslant \frac{\frac{3}{4} \cdot 10^{10} \cdot 1 \cdot 10^{-6}}{20 \cdot \sqrt{\frac{10^8}{8}}} \simeq 0{,}1 \text{ cm},$$

$$d_g \simeq 1{,}0 \text{ mm}.$$

Obliczony wymiar jest maksymalny ze względu na założony czas propagacji w liniach płatu. W rzeczywistości mógłby on być nieco mniejszy, ponieważ został obliczony dla maksymalnego czasu propagacji, wziętego jako suma opóźnień w linii słowa i linii bitowej.

Przeprowadzona analiza wykazuje, że elementy pamięciowe muszą być bardzo małe dla pamięci masowych o dużej szybkości działania. W praktyce może zdarzyć się, że obliczony wymiar elementu jest za mały, na przykład ze względu na oddziaływanie sąsiednich bitów na siebie. Wtedy trzeba rozsunąć elementy, co jednak powoduje zwiększenie czasów opóźnień i tym samym uniemożliwia osiągnięcie założonej szybkości działania pamięci. Dlatego też przy projektowaniu pamięci, jakkolwiek pożądana jest znajomość granicznych wymiarów elementu, wymiary rzeczywiste muszą wynikać przede wszystkim z niezawodności działania, nawet za cenę zmniejszenia szybkości. Niezawodność bowiem jest silniejszym kryterium niż szybkość działania pamięci.

Na zakończenie pragnę serdecznie podziękować mgr inż. Eugeniuszowi Nowakowi za jego cenne uwagi dotyczące końcowego opracowania niniejszego artykułu.

Literatura

[1] Z. SAWICKI: Bloki nośnika informacji na drutach magnetycznych. Biul. Inf. IMM, Nowości Techniczne nr 3, 1967 r.

[2] Z. SAWICKI: Bloki nośnika informacji na płaskich warstwach magnetycznych. Biul. Inf. IMM, Nowości Techniczne, nr 4, 1967 r.

[3] Z. SAWICKI: Bloki nośnika informacji na elementach nadprzewodzących /kriotronach/. Elektroniczna Technika Obliczeniowa. Nowości, nr 1, 1968 r.

[4] A.V. POHM, R.J. ZINGG, I.H. HOPER, and R.M. STEWART: Analysis of 10^8 Element Magnetic Film Memory Systems. Intermag. Conf. 1964 r.

[5] A.V. POHM, R.J. ZINGG, A.G. WATSON, T.A. SMAY, R.M. STEWART: Large, High Speed, DRO Film Memories. Intermag. Conf. 1963 r.

Mgr inż. ZDZISŁAW WRZESZCZ
Mgr inż. JAN RYŻKO
Mgr inż. JERZY DAŃDA
Zakład Techniki Cyfrowej IMM

681.327.66

PROJEKT STANDARDU DOTYCZĄCEGO MATERIAŁÓW, RDZENI I RAMEK PAMIĘCI OPERACYJNYCH EMC

I. Omówienie projektu standardu

Pamięci ferrytowe stały się w ciągu ostatnich 10 lat podstawowym rodzajem pamięci operacyjnych maszyn cyfrowych. Prawie wszystkie maszyny 2.generacji posiadały pamięci tego typu, a przeważająca większość wytwarzanych czy opracowywanych obecnie maszyn 3.generacji zaopatrywana jest również w pamięci ferrytowe o coraz korzystniejszych parametrach. Szacując roczną światową produkcję EMC na 20 tysięcy i zakładając, że przeciętna maszyna jest wyposażona w pamięć ferrytową o łącznej pojemności ok. 1 miliona bitów /np. 32 tys. słów 30 bit./, roczną produkcję rdzeni należy oceniać na 20 mld. sztuk. Jest to ilość imponująca nawet w porównaniu ze znacznymi ilościami elementów półprzewodnikowych czy biernych występujących w urządzeniach elektronicznych. Biorąc pod uwagę, iż rdzeń jest elementem prostym geometrycznie, zanim zaś znajdzie się w pamięci poddany jest wielu czynnościom jak: pomiar, zamontowanie w ramkę, które to czynności są w miarę możliwości automatyzowane - narzuca się potrzeba standaryzacji wymiarów rdzenia. Dzięki temu te same urządzenia potrzebne do automatycznej selekcji czy montażu będą mogły być wykorzystane do rdzeni wytwarzanych przez różnych producentów.

Standaryzacja taka, przynajmniej odnośnie średnic rdzeni była przestrzegana niemal od początku produkcji rdzeni. Ponieważ pierwsze rdzenie wytwarzane były w krajach anglosaskich wymiary te ustalone były w calach /tysięczne części cala/. Powszechnie stosowane pierwsze rdzenie pamięciowe miały odpowiednio średnice zewnętrzną i wewnętrzną 80 i 50 /2,03 i 1,3 mm/ oraz 50 i 30 tysięcznych cala /1,3 i 0,8 mm/. Później w miarę opanowywania technologii wytwarzania małych rdzeni, pojawiły

się rdzenie o średnicach 30 i 20 /0,8 i 0,5 mm/ oraz 20 i 12 /0,5 i 0,3 mm/. Najmniejszymi rdzeniami spotykanymi obecnie są rdzenie o średnicy zewnętrznej ok. 0,3 mm. Jeśli chodzi o wysokość rdzenia, to różnice występujące u poszczególnych producentów były znacznie większe, zawierając się w granicach 1/3 - 1/4 średnicy zewnętrznej.

Natomiast trudno mówić o standaryzacji parametrów elektrycznych czy magnetycznych rdzeni. Zwykle wytwórca oferował znaczny wybór rdzeni, których parametry zawarte były w pewnym zakresie. Określone żądania stawiane rdzeniom /mały prąd wzbudzający, określony czas przełączania, duży sygnał, małe wymiary/ wobec ograniczonych możliwości technologicznych dawały w rezultacie zbliżone własnościami typy rdzeni u poszczególnych producentów. Ponadto występujące niejednokrotnie potrzeby zastępowania jednych rdzeni drugimi, ewentualnie wykorzystywanie w jednym zastosowaniu rdzeni od kilku producentów prowadziło również do pewnej unifikacji. Jednakże formalnie, poza podawaniem cyklu pamięci, do jakiej zastosowany być musi dany rdzeń, nie standaryzowano żadnych parametrów.

To samo można właściwie powiedzieć o ramkach pamięciowych. Poszczególne firmy stosowały odmienne rozwiązanie konstrukcyjne, co rzutowało na wymiary, aczkolwiek takie parametry jak odstęp sąsiednich przewodów w ramce dla danej średnicy rdzeni bywał jednakowy.

Przystępując do opracowania standardu RWPG na temat określony w tytule braliśmy pod uwagę to wszystko, co zostało powiedziane wyżej oraz specyfikę sytuacji w tej dziedzinie w krajach socjalistycznych. Fakt, iż szereg członków RWPG dopiero obecnie przystępuje do przemysłowej produkcji EMC ułatwiał znacznie sprawę, gdyż nie było potrzeby dostosowywania się do różnych istniejących standardów. Również brak ujemnych stron konkurencji w gospodarce socjalistycznej był tu elementem korzystnym. Ponadto wydaje się, że pamięci ferrytowe mają dłuższą perspektywę pozostania podstawowym typem pamięci operacyjnych w krajach RWPG, nawet w przypadku, gdyby intensywnie ostatnio opracowywane pamięci na innych nośnikach /cienkie warstwy magnetyczne, nadprzewodzące/ okazały się pamięciami przyszłości.

Z tych względów uważaliśmy za słuszne zaproponowanie standaryzacji idącej dość daleko, a mianowicie obejmującej zarówno wymiary geometrycz-

ne jak i parametry elektryczne czy magnetyczne materiałów, rdzeni i ramek. Dodatkowo, standaryzacja objęła w pewnym zakresie metody pomiarowe, stosowane przy określaniu parametrów objętych normalizacją.

Zwrócono tu uwagę na możliwie ścisłe określenie warunków w jakich są dokonywane pomiary, gdyż tylko wówczas możliwe jest jednoznaczne określenie parametrów rdzeni. Ułatwia to porównanie rdzeni różnych producentów, a także właściwy wybór rdzeni przez konstruktorów pamięci.

Należałoby również zaznaczyć, iż rdzenie o najmniejszych z podanego ciągu wymiarach będą miały parametry statyczne różniące się od tych samych parametrów określonych dla próbki o dużych wymiarach z analogicznego materiału. Dlatego istotne są tu przede wszystkim parametry dynamiczne.

Normalizacja materiałów odzwierciedla w zasadzie stan faktyczny w dziedzinie technologii wytwarzania tych materiałów. Jako podstawowy parametr przyjęto tu siłę koercji, co przy ustalonych wymiarach określa szybkość przełączania rdzenia. Przyjęte wartości pokrywają na ogół cały stosowany zakres, a poza tym przyjęte wartości zostały dostosowane do istniejących materiałów polskich i radzieckich. Metody pomiarowe określone są tu bardzo ogólnie.

W przypadku rdzeni przyjęto wspomniany ciąg wymiarowy, obejmujący wszystkie występujące tu rdzenie plus występujący w normach radzieckich rdzeń o średnicy 1 mm. Podane wartości wysokości rdzeni odpowiadają spotykanym wysokościom średnim. Tolerancje wymiarów określone są własnościami automatów prasujących, rozrzutem skurczu materiału itp. Normalizowane parametry rdzeni obejmują wielkości najczęściej spotykane w katalogach. Wartości parametrów przytoczone są dla najczęściej używanych spośród możliwych typów wynikających z przyjętych materiałów i wymiarów rdzeni.

Normalizacja ramek przeprowadzona została dla najczęściej stosowanych pojemności pamięci, będącej wielokrotnością potęgi 2, przy czym podane przykładowo w tabeli 4 standardy wymiarów obejmują tylko ramki pamięci koincydencyjnej. Podano również najczęściej stosowane metody uzwajania. Jako materiały na ramki wytypowano najbardziej odpowiednie do tego celu nowoczesne materiały syntetyczne. Struktury niektórych przykładów z tabeli 4 wzorowane były na typie A z t e c firmy Ampex. Standaryzacja nie objęła metod pomiarowych ramek.

Opracowując pierwszą redakcję projektu, proponowaliśmy, aby standaryzacja objęła również bloki pamięci. Wydawało nam się to celowym, ze względu na standardowe na ogół pojemności bloków, a także możliwość wymiany bloków dla różnych pamięci. Standaryzacja ta mogłaby obejmować jedynie podstawowe parametry mechaniczne /wymiary, łączówki/ i elektryczne bloku /rozmieszczenie wyjść, pojemność, prądy wzbudzające, sygnały indukowane/. W związku jednak z uwagami otrzymanymi z niektórych krajów RWPG, iż nie należy rozszerzać zakresu opracowywanego tematu, zaproponowaliśmy, aby do sprawy standaryzacji bloków wrócić w oddzielnym temacie /np. przy modułach pamięci/.

Ogólnie, opracowane standardy, poza normalizacją wymiarów, mają charakter często zaleceniowy i pozwalają na dużą elastyczność. Oczywiście, zamieszczone w postaci przykładów tabele mogą być uzupełnione wartościami parametrów, pochodzących z nowych rozwiązań technologiczno-konstrukcyjnych.

Należy mieć nadzieję, że opracowanie, a co ważniejsze przestrzeganie opracowanych standardów umożliwi szybszy rozwój pamięci ferrytowych w poszczególnych krajach RWPG, ułatwiając konstruktorom ich opracowywanie przy szerokim wykorzystaniu standardowych elementów czy podzespołów wykonanych w innych krajach RWPG.

II. Opracowanie projektu standardu

Autorami zamieszczonego niżej projektu są specjaliści bułgarscy i polscy, którzy współpracowali w ramach stałej Komisji Przemysłu Radiotechnicznego i Elektronicznego RWPG.

Projekt standardu został opracowany przez grupę pracowników IMM, którzy korzystali z konsultacji specjalistów bułgarskich z Centralnego Instytutu Techniki Obliczeniowej, Państwowego Komitetu Nauki i Postępu Technicznego w Sofii.

Opracowanie miało następujący przebieg:

- Opracowanie i rozesłanie ankiety celem zebrania danych dla tematu.
- Pierwsza redakcja projektu standardu.
- Druga " " "
- Projekt standardu, przedyskutowany przez uczestników ostatniej sesji Komisji.

Opracowanie rozpoczęto w marcu 1965 r., posiedzenie ostatniej komisji miało miejsce w kwietniu 1967 r. w Zakopanem.

W poniżej przytoczonym tekście przyjętego projektu uproszczono jedynie rozbudowany system numeracji punktów.

III. Zalecenia dla standaryzacji. Maszyny liczące. Pamięci operacyjne. Podstawowe parametry materiałów, rdzeni i ramek

Niniejsze zalecenia dla standaryzacji obejmują podstawowe parametry materiałów na rdzenie, rdzeni i ramek pamięci operacyjnych.

1. Materiały na rdzenie

1.1. O z n a c z e n i a

Pierwsza liczba określa nominalną wartość siły koercji materiału przy $H_m = 5\ H_c$.

Pierwsza litera M oznacza materiał magnetyczny o prostokątnej pętli histerezy.

Druga litera T oznacza stabilność temperaturową materiału.

Przykłady: 2M - materiał o sile koercji 2A/cm.

3MT - materiał o sile koercji 3A/cm z poprawioną stabilnością temperaturową.

1.2. P a r a m e t r y s t a t y c z n e

Statyczne parametry magnetyczne określone są metodą balistyczną przy $H_m = 5\ H_c$ /z wyjątkiem parametru β / przy temperaturze $+20^{\circ}C \pm 2^{\circ}C$ w powietrzu /wilgotność względna $65 \pm 15\%$, ciśnienie 720-750 mm Hg/ lub w środowisku ciekłym.

Dopuszcza się przeprowadzanie pomiarów przy temperaturze $25^{\circ}C \pm 2^{\circ}C$, co powinno być wykazane w dokumentacji technicznej.

Oznaczenia:

H_m - maksymalna wartość natężenia pola magnetycznego w A/cm.

B_m - maksymalna wartość indukcji magnetycznej przy natężeniu H_m.

B_r - wartość pozostałości magnetycznej po zaniku pola H_m.

H_c - siła koercji - wartość natężenia pola magnetycznego w punkcie przecięcia pętli histerezy z osią odciętych.

α - współczynnik prostokątności określony jako $\frac{B_r}{B_m}$.

β - współczynnik "kwadratowości" określony wyrażeniami

$$\frac{B_r\ /-0,7\ H_c/}{B_m\ /1,4\ H_c/} \quad .$$

T_c - temperatura Curie w ^oC.

TKH_c - współczynnik temperaturowy siły koercji określony zależnością

$$TKH_c = \frac{H_c - H_c\ /t_1/}{/t_1 - 20/\ H_c} \cdot 100\% \quad \left[\% \text{ na } 1^oC\right],$$

gdzie - $H_c/t_1/$ - siła koercji przy temperaturze otoczenia t_1,

$$t_1 = -60^oC, \quad +75^oC.$$

ρ - oporność właściwa Ω cm.

Wartość sił koercji H_c:

Zaleca się stosowanie materiałów o wartości siły koercji z następującego szeregu: 0,5; 0,7; 1,0; 1,3; 1,6; 2,0; 2,4; 3,0; 4,0; 4,5; 5,0; 5,6; A/cm.

1.3. P a r a m e t r y d y n a m i c z n e

Charakterystykę przełączania $1/t_s = f\ /H/$ ustalano w zakresie 0-10 μsek^{-1} przy przełączaniu ciągiem naprzemianległych impulsów prądowych. Amplituda impulsów jednej polarności $/I_w/$ jest stała i powinna odpowiadać natężeniu pola nie mniejszemu niż $5H_c$, a amplituda impulsów o polarności przeciwnej I_r jest zmienna

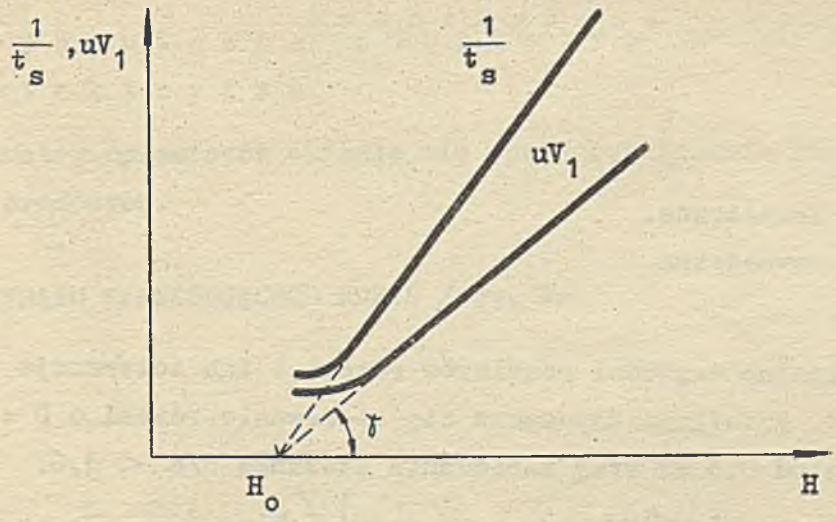
- długość impulsu $\geqslant 2,5\ t_s$,
- czas narastania $\leqslant 0,2\ t_s$.

Oznaczenia:

H_o - natężenie pola magnetycznego, określonego punktem przecięcia liniowej ekstrapolacji przebiegu $1/t_s = f/H/$ z osią H.

S_w - współczynnik przełączania określony zależnością

$$S_w = t_s\ /H - H_o/ \qquad /rys.\ 1/$$



Rys. 1. Graficzny sposób wyznaczania H_o i S_w

1.4. F i z y c z n e c h a r a k t e r y s t y k i m a t e r i a ł u

$$B = f\,/H/,$$
$$1/t_s = f\,/H/.$$

1.5. C h a r a k t e r y s t y k i t e m p e r a t u r o w e

Zależność wielkości B_m, B_r, H_c, α, β od temperatury określa się charakterystykami temperaturowymi w zakresie $-25^oC \leqslant T \leqslant +75^oC$ dla materiałów o standardowym zakresie temperatury oraz $-60^oC \leqslant T \leqslant +125^oC$ dla materiałów o szerokim zakresie temperatury.

2. Rdzenie

2.1. O z n a c z e n i a r d z e n i

Kolejne symbole oznaczają:

Pierwsza liczba - nominalną wartość siły koercji A/cm.
Pierwsza litera M - materiał magnetyczny o prostokątnej pętli histerezy.
Druga litera T - materiał stabilny temperaturowo.
Druga liczba - zewnętrzną średnicę rdzenia w mm.

Przykłady: 2MO,8 - rdzeń o sile koercji 2A/cm o średnicy zewnętrznej 0,8 mm.
2MTO,8 - tak samo, tylko z materiału stabilnego temperaturowo.

2.2. Parametry mechaniczne

WYMIARY RDZENI

Oznaczenia:

D - średnica zewnętrzna,
d - średnica wewnętrzna,
h - wysokość.

Zalecane nominalne wartości rozmiarów rdzeni i ich tolerancje zestawione są w tabeli 1. Dodatkowo dopuszcza się stosowanie rdzeni o D = 0,6; 0,4 i mniejszych od 0,3 mm przy zachowaniu stosunku D/d $< 1,6$.

Tabela 1

D	D	d	d	h	h
mm	mm	mm	mm	mm	mm
0,3	± 0,01	0,18	± 0,01	0,12	± 0,01
0,5	± 0,02	0,3	± 0,02	0,12	± 0,02
0,8	± 0,03	0,5	± 0,02	0,22	± 0,03
1,0	± 0,03	0,7	± 0,02	0,35	± 0,04
1,3	± 0,05	0,8	± 0,05	0,4	± 0,04
2,0	± 0,10	1,3	± 0,05	0,6	± 0,06

PARAMETRY WYTRZYMAŁOŚCIOWE

Minimalne wartości siły zgniatającej F przyłożonej prostopadle do osi rdzenia i nie powodującej jego uszkodzenia zestawione są w tabeli 2.

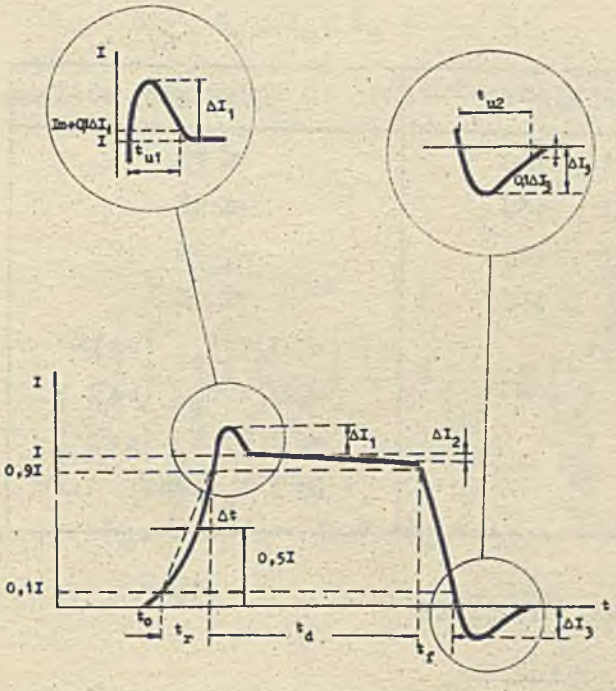
Tabela 2

D [mm]	F [G]
0,5	60
0,8	80
1,0	100
1,3	150
2,0	400

2.3. Dynamiczne parametry magnetyczno-elektryczne

Parametry dynamiczne określa się przy przełączaniu rdzenia ciągiem impulsów prądowych.

IMPULS PRĄDU MAGNESUJĄCEGO RDZEŃ /rys. 2/



Rys. 2. Określenia parametrów prądowych impulsów przełączających

Oznaczenia:

$\frac{\Delta I_1}{I}$. 100% - przerzut górny,

$\frac{\Delta I_2}{I}$. 100% - opadanie części płaskiej,

$\frac{\Delta I_3}{I}$. 100% - przerzut dolny,

t_o - chwila czasowa odpowiadająca 0,1 I,

Δt - maksymalne odchylenie mierzone na poziomie 0,5 I,

$\frac{\Delta t}{t_r}$. 100% - nieliniowość przedniego zbocza,

t_{u1} - czas przerzutu górnego,

t_{u2} - czas przerzutu dolnego,
I - amplituda impulsu,
t_r - czas narastania przedniego zbocza impulsu,
t_d - czas trwania impulsu,
t_f - czas opadania tylnego zbocza impulsu.

Wartości parametrów zestawione są w tabeli 3.

Tabela 3

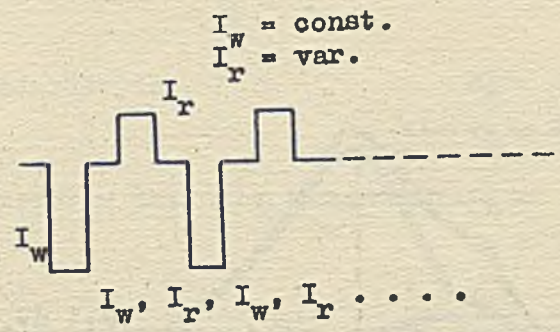
Parametr	Wartość
$\Delta I_1/I \cdot 100$	$\leqslant 2\%$
$\Delta I_2/I \cdot 100$	$\leqslant 1\%$
$\Delta I_3/I \cdot 100$	$\leqslant 3\%$
$\Delta t/t_r \cdot 100$	$\leqslant 4\%$
t_{u1}	$\leqslant 0{,}1\ t_s$ [µs]
t_{u2}	$\leqslant 0{,}1\ t_s$ [µs]
t_r	$\leqslant 0{,}25\ t_s$ [µs]
t_d	$\geqslant 3\ t_s$ [µs]

OZNACZENIA CIĄGU IMPULSÓW PRĄDOWYCH

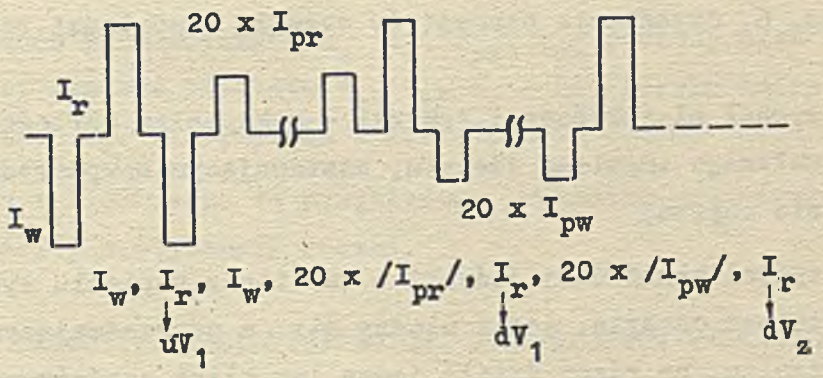
I_w - pełny impuls zapisu,
I_{pw} - częściowy impuls zapisu,
I_r - pełny impuls odczytu,
I_{pr} - częściowy impuls odczytu,
I_b - maksymalna wartość częściowego prądu zapisu, która powoduje powiększenie tylnego zbocza dV_z o 2 mV w chwili t_p,
K_D - współczynnik zakłócenia - stosunek amplitudy częściowego impulsu do impulsu pełnego $\frac{I_{pr}}{I_r}$, $\frac{I_{pw}}{I_w}$.

POSTACI CIĄGÓW IMPULSÓW PRĄDOWYCH

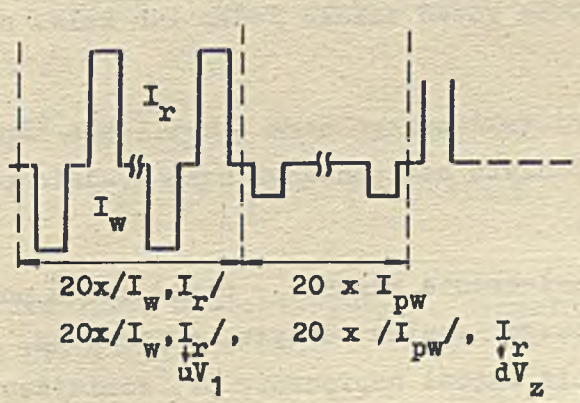
Na rys. 3 ÷ 5 przedstawiono ciągi impulsów prądowych stosowanych do zdejmowania charakterystyk przełączania oraz do badania rdzeni dla pamięci koincydencyjnej i pamięci z liniowym wybieraniem.



Rys. 3. Ciąg impulsów prądowych dla zdjęcia charakterystyki przełączania

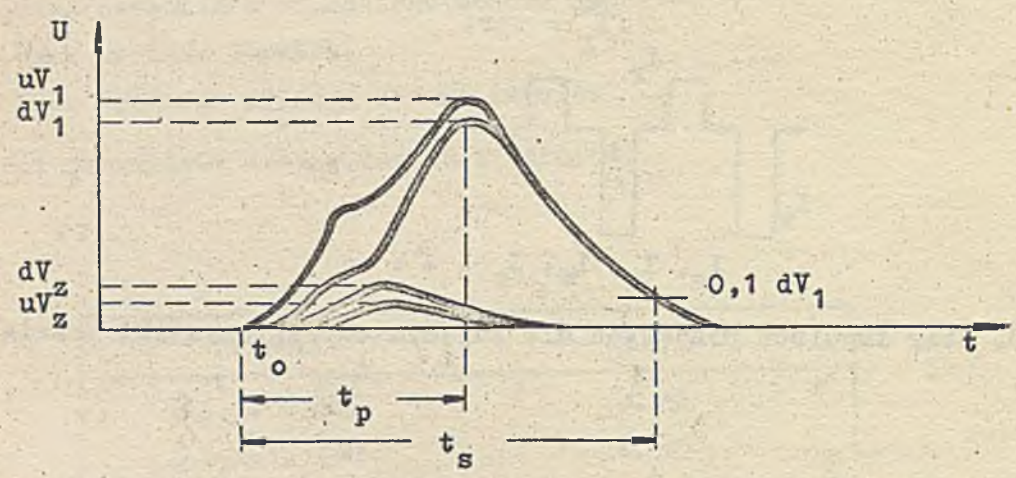


Rys. 4. Ciąg impulsów prądowych dla zdejmowania charakterystyk rdzeni do pamięci koincydencyjnej



Rys. 5. Ciąg impulsów prądowych dla zdejmowania charakterystyk rdzeni do pamięci z liniowym wybieraniem

OZNACZENIA SYGNAŁÓW WYJŚCIOWYCH PRZEŁĄCZANYCH RDZENI /rys. 6/



Rys. 6. Określenia parametrów sygnału odpowiedzi rdzenia

uV_1 - sygnał niezakłóconej jedynki - maksymalna wartość napięcia, wywołanego impulsem odczytu, następującym bezpośrednio po impulsie zapisu,

dV_1 - sygnał zakłóconej jedynki - amplituda napięcia wywołanego impulsem odczytu, jeśli między nim, a poprzedzającym go impulsem zapisu, na rdzeń działa jeden lub kilka częściowych impulsów odczytu,

dV_z - sygnał zakłócanego zera - amplituda napięcia wywołanego napięciem odczytu, jeśli pomiędzy nim, a poprzedzającym go impulsem odczytu, na rdzeń działa jeden lub kilka częściowych impulsów zapisu,

uV_z - sygnał niezakłóconego zera - amplituda napięcia wywołanego impulsem odczytu następującym bezpośrednio po uprzednim impulsie odczytu,

t_s - czas przełączania rdzenia - okres czasu pomiędzy t_o dla pełnego prądowego impulsu odczytu, a momentem, gdy wywołany przez ten impuls sygnał napięciowy dV_1 zmniejszy się 10-krotnie,

t_p - czas szczytu rdzenią - okres pomiędzy t_o, a chwilą, gdy przebieg dV_1 osiąga wartość szczytową,

C_b - współczynnik temperaturowy prądu I_o określony zależnością

$$\frac{I_b(t_1) - I_b(t_2)}{t_2 - t_1} \quad \left[\frac{mA}{^oC}\right] .$$

Dla rdzeni standardowych: $t_1 = 10^oC$,
$t_2 = 40^oC$.

Dla rdzeni o szerokim zakresie temperatur: $t_1 = 0^oC$,
$t_2 = 75^oC$.

PARAMETRY DYNAMICZNE UZYSKIWANE PRZY PEŁNYM PRZEŁĄCZANIU RDZENIA

W dokumentacji technicznej rdzeni powinny być podane dynamiczne parametry dV_1, dV_z, t_s, t_p dla pełnego przełączania rdzeni ciągiem impulsów prądowych.

Amplitudy prądów wzbudzających I_w, I_r, I_{pw}, I_{pr} powinny mieć tolerancję 1%, parametry czasowe impulsów t_r, t_f, t_d - nie gorszą aniżeli 5%; temperatura powinna być utrzymywana z dokładnością $\pm$ 1°C.

W dodatkach 1 i 2 pokazane są przykładowo parametry dynamiczne dla niektórych, częściej spotykanych rdzeni.

CHARAKTERYSTYKA MAGNETYCZNO-ELEKTRYCZNYCH, DYNAMICZNYCH PARAMETRÓW RDZENIA

Charakterystyki te powinny być podane w dokumentacji technicznej:
dV_1, dV_z, t_s, t_p, $I_b/I = f\ /I/$

przy $T_{const.} = 10^o, 25^o, 40^o$ - dla rdzeni standardowych dV_1, dV_z, t_s, t_p, $\frac{I_b}{I} = f\ /I/$,

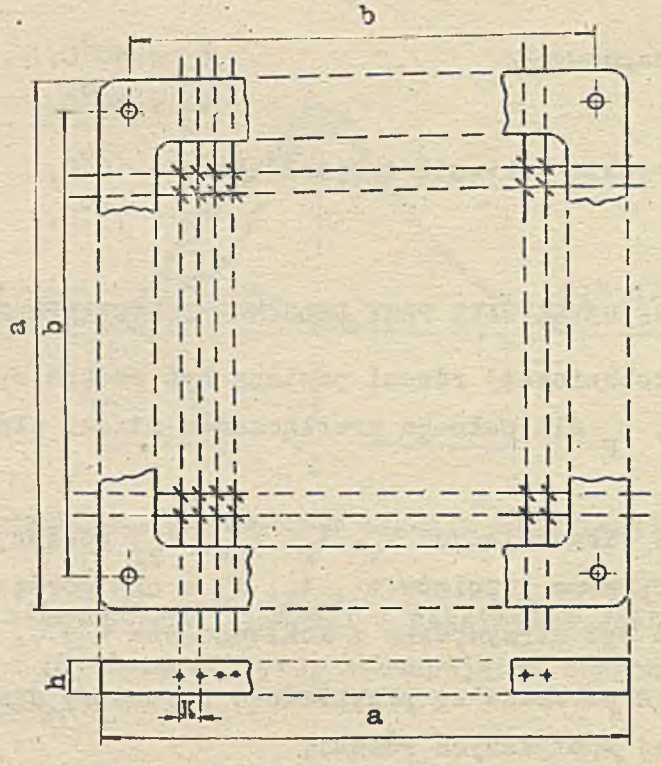
przy $T_{const.} = 0^o, 25^o, 75^o$ - dla rdzeni o szerokim zakresie temperatury dV_1, dV_z, t_s, t_p, $\frac{I_b}{I} = f\ /T/$ dla $K_D = 0{,}5$ lub $0{,}55$ lub $0{,}61$.

Dopuszcza się inne, dodatkowe charakterystyki, niezależne od wymieniowych powyżej, jak na przykład:

$$dV_1,\ dV_z,\ t_s,\ t_p,\ I_b/I = f\ /t_r/$$

3. Płaty

3.1. W y m i a r y



Rys. 7. Sposób uzwajania płatu z dwoma przewodami przechodzącymi przez rdzeń

Oznaczenia /rys. 7/:

a - długość boku płatu,

b - rozstaw otworów montażowych płatu,

h - wysokość /grubość/ płatu,

Ø - średnica użytego przewodu,

K - odległość między środkami sąsiednich przewodów.

Wartości wszystkich wymienionych wielkości podawane będą w mm.

W dodatku 3 przytoczono przykładowo wymiary ramek i różne konfiguracje kwadratowych płatów pamięci koincydencyjnej.

3.2. M a t e r i a ł y

Rdzenie stosowane w płatach omówione zostały w pkt. 1 i 2.

RAMKI

Oznaczenia:

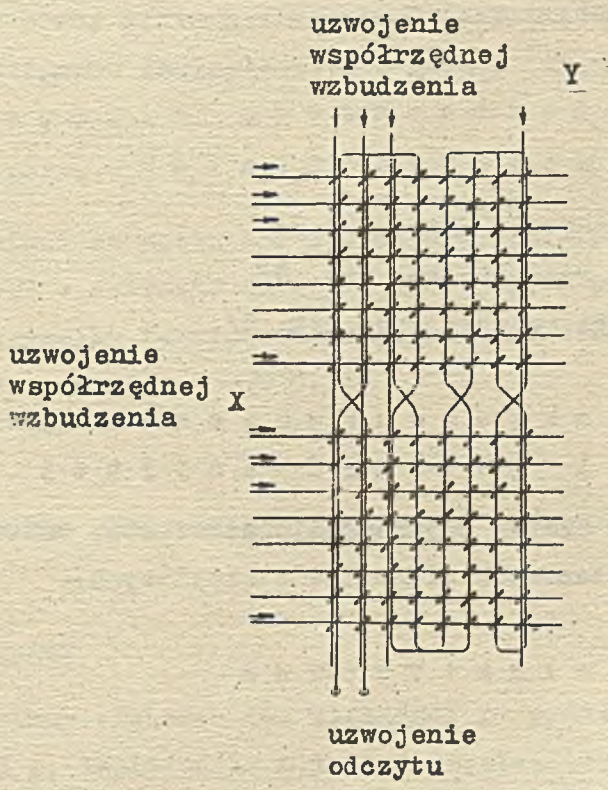
W_r - wytrzymałość na rozciąganie,

W_z - wytrzymałość na zginanie,
W_s - wytrzymałość na ściskanie,
A_w - chłonność wody laminatu wytrawionego w $FeCl_3$,
T_M - maksymalna temperatura pracy,
r_p - powierzchniowa oporność właściwa po 48 godz. w temp. 35 - 40°C i wilgotności 92 - 95%,
$tg\delta$ - współczynnik stratności pracy 10 MHz,
ε - przenikalność dielektryczna w zakresie 50 Hz - 10 MHz,
U_p - napięcie przebicia w V/mm.

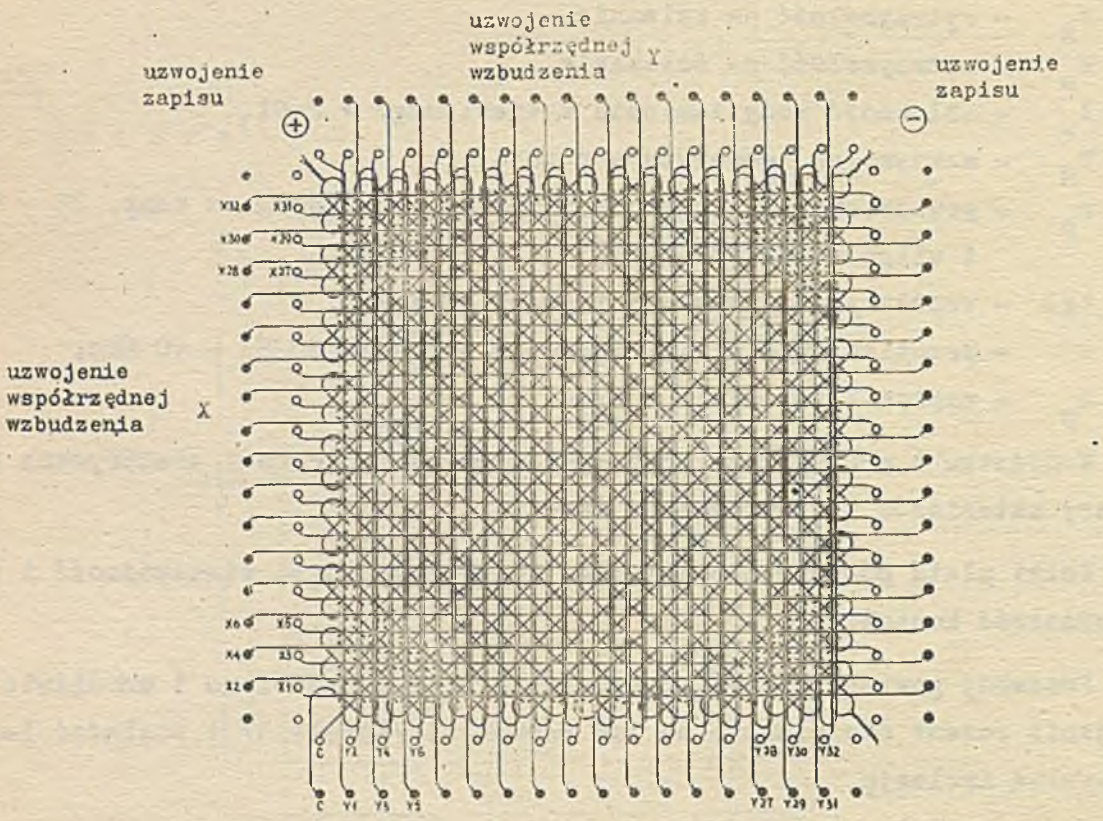
W dodatku 4 przytoczone są przykładowo mechaniczne i elektryczne parametry materiałów stosowanych na ramki.

Kołki płatu powinny zabezpieczać łatwe lutowanie, niezawodność i wytrzymałość kontaktów.

Przewody powinny zapewniać wymagania niezawodnościowe i umożliwić uzwajanie rdzeni odpowiednio do ich geometrii /tabela 1/ i posiadać lekko usuwalną izolację.



Rys. 8. Sposób uzwojenia płatu trójuzwojeniowego stosowanego w układach pamięciowych z wybieraniem liniowym lub w tak zwanym systemie 2,5 D.



Rys. 9. Schemat płatu 32x32, system z 4 uzwojeniami wewnątrz rdzenia

3.3. Rodzaje uzwojenia płatów

Dwa przewody wewnątrz rdzenia /np. rys. 7/.

Trzy przewody wewnątrz rdzenia /np. rys. 8/.

Cztery przewody wewnątrz rdzenia /np. rys. 9/.

3.4. Pojemność czterouzwojeniowych płatów pamięci koincydencyjnej

Zaleca się następujący szereg pojemności płatów: 256, 1024, 4096, 16384, 32768 i 65536 dwustanowych elementów pamięciowych.

3.5. Parametry elektryczne

PARAMETRY STATYCZNE

Wartości odchyłek oporności rzeczywistych poszczególnych uzwojeń tego samego rodzaju powinny być zawarte w przedziale $\pm$ 10% wartości nominalnej dla danego typu płatu i danego rodzaju uzwojenia.

Wartości odchyłek indukcyjności poszczególnych uzwojeń tego samego rodzaju powinny być zawarte w przedziale ± 10% wartości nominalnej ustalonej dla danego typu płatu i danego rodzaju uzwojenia.

Przed przystąpieniem do pomiaru indukcyjności należy wszystkie rdzenie w płacie doprowadzić do stanu nasycenia magnesując je impulsem prądowym o amplitudzie $\geqslant 2I_r$, długości nie mniejszej aniżeli $3t_s$.

DYNAMICZNE PARAMETRY PŁATU

Dynamiczne parametry płatu powinno mierzyć się przy temperaturze otoczenia $25^o \pm 2^oC$.

W dokumentacji technicznej płatu powinny być podane jego podstawowe parametry dynamiczne:

1. Cykl pracy płatu.
2. Położenie i długość impulsu strobującego.
3. Amplituda i długość sygnału "1" i "0", uzyskiwanych z płatu na oporniku wejściowym nie mniejszym aniżeli 150 Ω .
4. Obszar pracy płatu w zakresie zmiany prądów roboczych.

3.6. Wymagania niezawodnościowe

TEMPERATURA PRACY

Płaty pamięci na rdzeniach o standardowym współczynniku termicznym powinny pracować w zakresie od $+15^oC$ do $+35^oC$, a płaty zawierające rdzenie o małym współczynniku termicznym /w skład oznaczenia których wchodzi symbol T/ - w zakresie od 0^o do $+70^oC$.

WILGOTNOŚĆ

Płaty powinny pracować poprawnie przy wilgotności względnej od 40% do 80%.

WIBRACJA I UDARY

Płaty powinny zachować swe własności po poddaniu ich wibracjom o przyspieszeniu 3 g, amplitudzie 0,5 mm i częstotliwości od 10 do 30 Hz w ciągu 3 godzin oraz 2000 udarom o częstotliwości 10 do 30 na minutę i przyspieszeniu 8 g.

4. Przechowywanie i transport

4.1. W a r u n k i p r z e c h o w y w a n i a

Warunki przechowywania rdzeni i płatów w opakowaniu w magazynie są następujące:

temperatura otoczenia: od 10°C do 50°C;
względna wilgotność powietrza maksym. 80% przy 35°C.

4.2. T r a n s p o r t

Przy transporcie konieczne jest wykonanie opakowania w taki sposób, by zapewniało warunki przechowywania rdzeni i płatów zgodnie z p. 4.1. i podczas transportu zabezpieczało elementy od wpływu ośrodka otaczającego.

Dane dotyczące warunków transportu określa odbiorca, np.: temperatura otoczenia od -50°C do +50°C przy wilgotności względnej do 80%, maksymalna wilgotność względna -35% przy +30°C.

Czas trwania transportu nie dłuższy niż 1 miesiąc.

PODZIĘKOWANIE

Autorzy chcieliby w tym miejscu podziękować kierownikowi Zakładu Technologii Specjalnych mgr inż. Władysławowi Ciastoniowi, z którym wielokrotnie omawiano projekt standardu oraz mgr Wiesławowi Bojarskiemu i p. Markowi Kowalewskiemu z tego Zakładu, którzy brali udział w opracowaniu dwu pierwszych punktów projektu.

Literatura

[1] Tentative Methods of Tests for Nonmetalic Magnetic Cores. ASTM Designation: C526-63T, issued 1963.

Dodatek 1. Dynamiczne magneto-elektryczne parametry rdzeni do pamięci koincydencyjnej

Typ rdzenia	4,5 M 0,5		4,5 MT 0,5		2 M 0,8		3 MT 0,8		1,3 M 1,3		2 MT 1,3		0,7 M 2,0	
Parametry	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane	Wartości typowe	Wartości sprawdzane
I_w, I_r /mA/	800_{800}	720_{720}	820_{820}	740_{740}	550_{550}	495_{495}	740_{740}	665_{665}	580_{580}	522_{522}	755_{755}	680_{680}	360_{360}	324_{324}
I_{pw}, I_{pr}/mA/	440_{400}	440_{440}	410_{410}	450_{450}	275_{275}	302_{302}	370_{370}	405_{405}	290_{290}	320_{320}	378_{378}	415_{415}	180_{180}	198_{198}
t_r, t_f /µs/	0,05	0,05	0,05	0,05	0,1	0,1	0,15	0,2	0,2	0,25	0,25	0,5	0,5	0,5
t_d /µs/	0,25	0,25	0,25	0,25	0,5	0,5	1,5	1,5	1,5	1,5	2,5	2,5	3,0	3,0
temp. °C	25	25	25	25	25	25	25	25	25	25	25	25	25	25
dV_1 min/mv/	35	28	35	28	55	40	50	32	80	56	65	35	66	50
dV_2 max/mv/	5	8	5	8	7	11	5	8	9	18	7	11	12	18
t_s /µs/	0,18	0,21	0,22	0,23	0,42	0,48	0,46	0,60	0,95	1,1	0,95	1,15	2,2	2,4
t_p /µs/	0,10	0,10 -0,14	0,11	0,11 -0,14	0,21	0,20 -0,25	0,25	0,26 -0,32	0,45	0,40 -0,48	0,5	0,44 -0,61	1,1	1,0 -1,2
I_b /µs/														
C_b /µs/ °C														
Czas cyklu pamięciowego	1 µs				2 µs				4 µs				10 µs	

Dodatek 2. Dynamiczne magneto-elektryczne parametry rdzeni do pamięci z wybieraniem liniowym

Typy rdzeni	4,5 MT 0,5	2 MT 0,8	1,3 M 1,3	3 MT 0,8
I_w, I_r /mA/	655_{840}	580_{750}	600_{700}	600_{700}
I_{pw}, I_{pr} /mA/	345	300	265	265
t_r, t_f /µs/	0,03	0,1	0,1	0,1
t_d /µs/	0,2	0,4	3,0	3,0
temp. ^oC	25	25	25	25
uV1 min /mv/	65	70	120	120
dVz max /mv/	20	15	10	9
t_s max /µs/	0,09	0,23	0,6	0,45
t_p /µs/	0,4	0,11	0,27	0,22
I_b /mA/				
C_b $/\frac{mA}{^oC}/$				
Czas cyklu pamięciowego	0,5 µs	1 µs	2 µs	

Dodatek 3. Płaty pamięci koincydencyjnej

średnica rdzenia	wymiary płatów												Ø	K
	a				b				h					
	4x64x64	64x64 4x32x32	32x32 4x16x16	16x16 4x8x8	4x64x64	64x64 4x32x32	32x32 4x16x16	16x16 4x8x8	4x64x64	64x64 4x32x32	32x32 4x16x16	16x16 4x8x8		
0,3	80	48	-	-	77	45	-	-	$\frac{0,8}{3}$	$\frac{0,8}{3}$	-	-	0,06	0,3
0,5	100	62	-	-	96	58	-	-	$\frac{0,8}{3}$	$\frac{0,8}{3}$	-	-	0,1	0,5
0,8	130	83	50	-	124	77	50	-	$\frac{0,8}{4}$	$\frac{0,8}{4}$	$\frac{0,8}{4}$	-	0,15	0,8
1,3	-	110	80	60	-	103	76	56	-	$\frac{0,8}{4}$	$\frac{0,8}{4}$	$\frac{0,8}{4}$	0,2	1,3
2,0	-	-	104	85	-	-	100	81	-	-	$\frac{0,8}{4}$	$\frac{0,8}{4}$	0,2	2,8

Dodatek 4. Materiały ramek

Lp	Materiał	W_r	W_z	W_s	A_w	T_M	r_p	tg δ	ε	U_p
		kG/cm^2 ⩾			mg ⩽	°C	Ω ⩾	- ⩽	- ⩽	V/mm ⩾
1	Typ A	1800	4500		6 ÷ 10	150	10^{13}	0,03	4,5 ÷ 5,5	1200
2	Typ B	490		2100						1570
3	Typ C	630	5500	2100	5 ÷ 15	125	10^{14}	0,22	3,5 ÷ 5	1570

Typ A - przykład: szkło epoksydowe

Dr inż. ZYGMUNT SAWICKI
Zakład Technologii Specjalnych IMM

536.48:681.327.66:

BLOKI NOŚNIKA INFORMACJI NA ELEMENTACH NADPRZEWODZĄCYCH /KRIOTRONACH/

1. Wprowadzenie

Zjawisko nadprzewodnictwa po raz pierwszy zostało wykorzystane do budowy elementów maszyny cyfrowej w roku 1950, kiedy to Dudley Buck, inżynier w Massachusetts Institute of Technology's Lincoln Laboratory, opracował przełącznik oporowy i nazwał go k r i o t r o n e m. Jednakże zjawisko nadprzewodnictwa zostało wykryte znacznie wcześniej. W roku 1911 Kammerlingh Onnes odkrył zjawisko nagłego zaniku oporności elektrycznej słupka rtęci zanurzonego w ciekłym helu w temperaturze poniżej 4,2°K. Zjawisko to, wykryte następnie w wielu metalach i stopach, nazwano n a d p r z e w o d n i c t w e m, a substancje posiadające tę właściwość - n a d p r z e w o d n i k a m i. Temperatura, przy której następuje przejście od normalnego /oporowego/ stanu do stanu nadprzewodnictwa, nosi nazwę t e m p e r a t u r y k r y t y c z n e j T_c. Znane nadprzewodniki mają temperatury krytyczne w zakresie 0 - 18°K.

Trzy spośród szeregu właściwości nadprzewodników decydują o ich przydatności do budowy pamięci EMC:

1. Prąd zaindukowany w pętli nadprzewodnika płynie trwale, co jest bezpośrednią konsekwencją zaniku oporności. Prąd ten nazywany jest prądem trwałym.

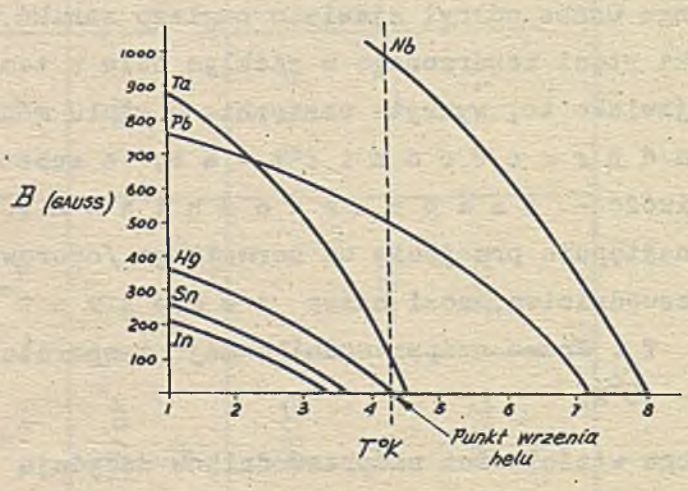
2. Nadprzewodnictwo podlega wpływom pola magnetycznego. Nadprzewodnik poddany działaniu zewnętrznego pola magnetycznego o wzrastającym natężeniu zaczyna powracać do stanu przewodnictwa, gdy tylko pole osiągnie wartość krytyczną. Występuje to również wtedy, gdy amplituda pola własnego, związanego ze wzrostem prądu trwałego, osiągnie poziom pola krytycznego. Dzięki temu powstała możliwość oddzia-

ływania z zewnątrz na komórkę pamięciową w celu wzbudzenia lub stłumienia w niej prądu trwałego, tzn. w celu zapisu lub odczytu informacji.

3. Nadprzewodnik całkowicie eliminuje wpływ zewnętrzny strumienia magnetycznego. Jeżeli nadprzewodnik zostanie poddany działaniu zewnętrznego pola magnetycznego o natężeniu mniejszym od natężenia krytycznego, to wartość indukcji magnetycznej wewnątrz nadprzewodnika będzie równa zero. Dzięki temu płytka materiału nadprzewodzącego stanowi doskonały ekran magnetyczny. Kiedy natężenie pola zewnętrznego przekroczy wartość krytyczną, substancja przestaje być nadprzewodzącą i linie sił pola magnetycznego przebiegają przez nią swobodnie.

Ogólne wiadomości na temat nadprzewodnictwa dostępne są w wielu autorytatywnych źródłach /np. [1], [2]/.

W pracy niniejszej ograniczymy się do podania zależności między polem krytycznym a temperaturą dla kilku najczęściej stosowanych metali. Zależność ta jest w przybliżeniu paraboliczna, co ilustruje rysunek 1.



Rys. 1. Krytyczne pole magnetyczne w funkcji temperatury dla typowych nadprzewodników

Badania związane z wykorzystaniem zjawiska nadprzewodnictwa w budowie elementów pamięci EMC podjęto na szerszą skalę w USA i ZSRR po roku 1950. Należy tu wymienić następujące instytucje:

- Radio Corporation of America, Cambridge USA
- International Business Machines Corporation, New York USA,
- Bull - General Electric, Paris Francja,
- Instytut Mechaniki Precyzyjnej, Moskwa ZSRR.

W ostatnich latach dokonano dużego postępu w zakresie matematycznego opisu zjawisk [3], zachodzących w komórce kriotronu w temperaturze bliskiej absolutnemu zeru oraz w zakresie konstrukcji i technologii pamięci opartych na tych elementach [4], [5], [6].

Postęp w konstrukcji i technologii kriogenicznych jest wynikiem zastosowania nowoczesnych i ciągle doskonalonych technik: fotolitografii, trawienia i izolowania cienkich warstw nakładanych na siebie.

Rozwijane są dwa typy struktury przestrzeni bitowej kriogenicznych komórek pamięci. Pierwszy oparty jest na ciągłej cienkiej warstwie metalicznej, znajdującej się w stanie nadprzewodnictwa. Powierzchnia tej warstwy jest wykorzystana jako nośnik pamięciowy w miejscach skrzyżowania się przewodów adresowych x, y i przewodu sygnału, nałożonych na tę warstwę [6]. Widzimy tu pewną analogię do pamięci opartych na ciągłych, cienkich, płaskich warstwach magnetycznych. Drugi typ struktury elementu pamięciowego polega na zastosowaniu oddzielnych elementów konstrukcyjnych, zwanych kriotronami, jako jednobitowych nośników informacji [4] i [5]. Z wymienionych firm tylko RCA opracowuje nośniki pamięci oparte o elementy dyskretne.

Należy podkreślić, że na podstawie dyskretnych elementów kriotronowych rozwijane są struktury pamięci asocjacyjnych [13] oparte o zupełnie inne zasady niż pamięci o strukturze koincydencyjnej lub liniowej.

Podstawowym założeniem tej pamięci jest określenie miejsca informacji na podstawie pewnych cech samej informacji. Z tą własnością wiąże się duże perspektywy pamięci asocjacyjnych budowanych właśnie w technice kriogenicznej. Ciągle jednak brak widocznego postępu w budowie takich pamięci. Z tych względów poprzestaniemy na tej wzmiance o pamięciach asocjacyjnych, odsyłając zainteresowanego czytelnika do pozycji [13].

Pamięci kriogeniczne wymagają specjalnych warunków pracy. Blok nośnika informacji w czasie normalnej pracy musi znajdować się w temperaturze bliskiej absolutnemu zeru. Wymaga to złożonych i kosztownych urządzeń chłodzących. Dlatego ze względów ekonomicznych opłaca się budować tylko pamięci o bardzo dużej pojemności /dzisiaj określa się dolną granicę na 10^8 bitów/. Ten warunek z kolei ogranicza szyb-

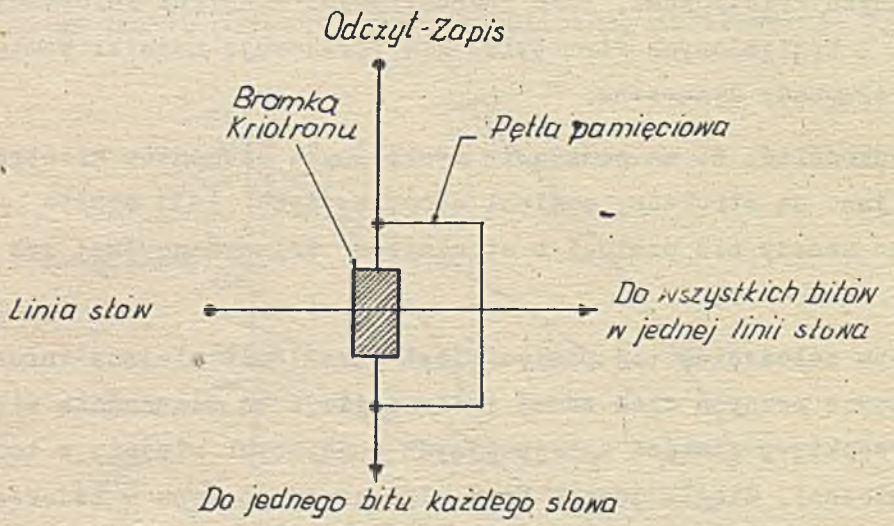
kość działania pamięci o tak dużej pojemności do kilku mikrosekund, i tym samym kwalifikuje je do grupy pomocniczych pamięci masowych.

W niniejszej publikacji zostaną omówione zasady budowy i działania aktywnie rozwijanych pamięci kriogenicznych oraz dotychczasowe osiągnięcia i programy rozwoju na tym polu. Podstawę opracowania stanowi najnowsza dostępna literatura, wymieniona w zestawieniu.

2. Zasada budowy i działania pamięci opartej o dyskretne elementy kriogeniczne

Płaty pamięci zbudowane z pojedynczych kriotronów z pętlą pamięciową są opisane w [4] i [5]. Publikacje te wyrażają szczytowe osiągnięcia firmy RCA z ostatnich kilku lat.

Na rysunku 2 pokazano schemat ideowy kriotronu, jako elementu pamięciowego.

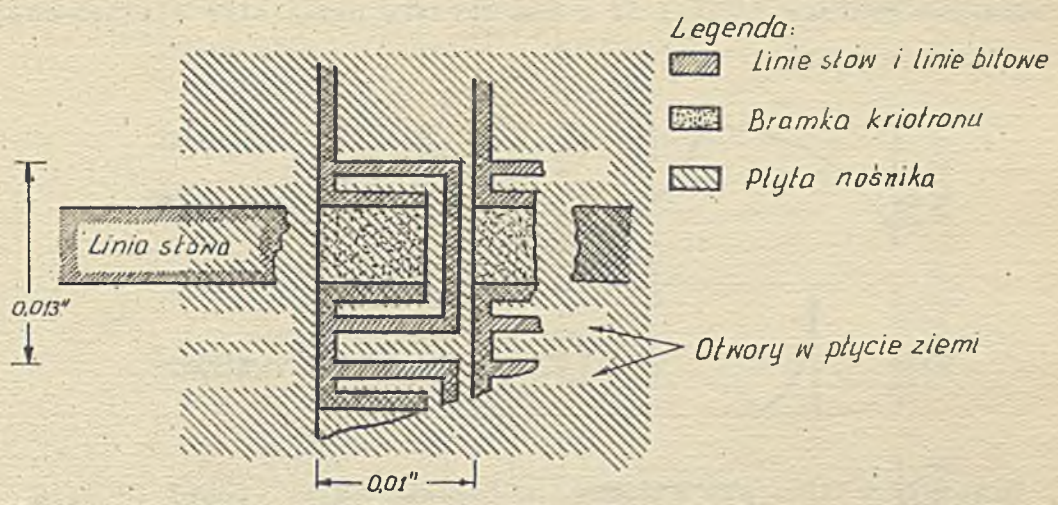


Rys. 2. Symboliczny schemat komórki pamięci na kriotronie

Płat lub blok pamięci zbudowany z takich elementów zanurzony jest w czasie normalnej pracy w ciekłym helu w temperaturze 3,5°K. W tych warunkach kriotron posiada dwa stany stabilne. Pierwszemu odpowiada krążenie trwałego prądu w pętli pamięciowej i przypisuje mu się wartość"1". Drugiemu brak prądu w pętli, co oznacza się wartością "0".

Linia bitowa, pętla pamięciowa i bramka kriotronu wykonane są w postaci cienkich pasków z cyny lub metalu o zbliżonych właściwoś-

ciach. Linia słowa wykonana jest z ołowiu, również w postaci cienkiego paska. Na rysunku 3 pokazano szkic wycinka płatu z zachowaniem proporcji wymiarowych.



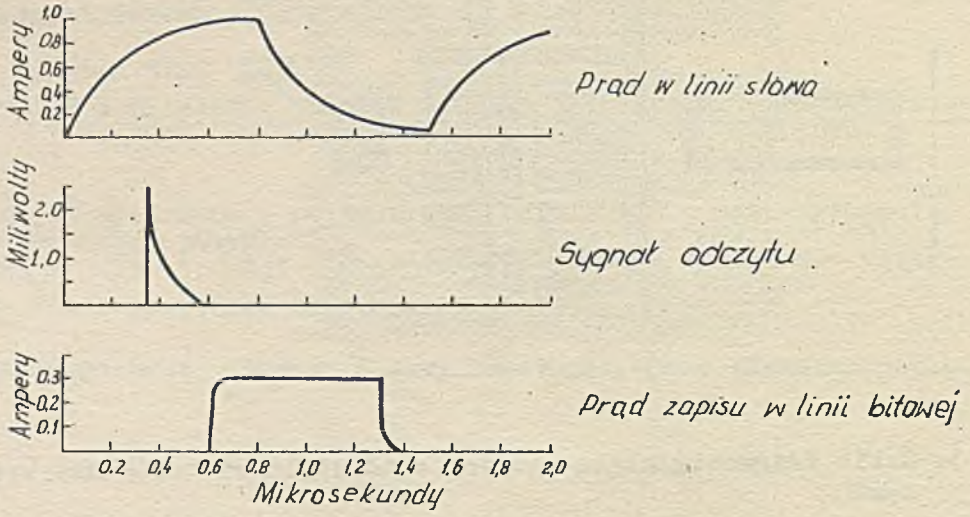
Rys. 3. Szkic fragmentu płatu pamięci z oddzielnymi komórkami kriogenicznymi

Zasada pracy takiego układu pamięciowego jest prosta. Z charakterystyk przedstawionych na rysunku 1 wynika, że w ciekłym helu w temperaturze 3,5°K linie wykonane z ołowiu przechodzą w stan przewodnictwa przy stosunkowo dużych natężeniach pola magnetycznego, podczas gdy linie wykonane np. z cyny przechodzą w ten stan przy natężeniach znacznie mniejszych. Ma to znaczenie w systemie sterowania pamięcią w celu zapisu lub odczytu informacji. Zapis informacji w pętli kriotronu odbywa się przez odpowiednią sekwencję i koincydencję impulsów prądu w linii słowa i liniach bitowych: impuls jest posyłany najpierw w wybraną linię słowa, a następnie w te linie bitowe, w które ma być wpisana "1". Wyłączanie impulsów musi następować równi ż w takiej samej kolejności. Cykl odczytu i zapisu informacji pokazano na rysunku 4, gdzie wartości prądów i przedziały czasu odpowiadają konkretnej pamięci [5].

Odczyt informacji z kriotronu następuje z chwilą, gdy prąd w linii słowa wywoła krytyczne natężenie pola i bramka kriotronu ujawni oporność, na której powstanie sygnał odczytu, jeżeli w pętli pamięciowej krąży prąd trwały.

Zapis informacji w kriotronie następuje pod wpływem koincydencji prądów w linii słowa i linii bitowej. W tym czasie prąd bitowy popłynie

przez pętlę a nie przez bramkę, gdyż ta przedstawia znacznie większą oporność. W czasie zaniku prądu w linii słowa w pewnej chwili bramka staje się nadprzewodnikiem i zamyka obwód dla prądu bitowego płynącego w pętli. Prąd ten dodatkowo podtrzymywany jest w tym okresie przez siłę elektro-motoryczną samoindukcji pętli.

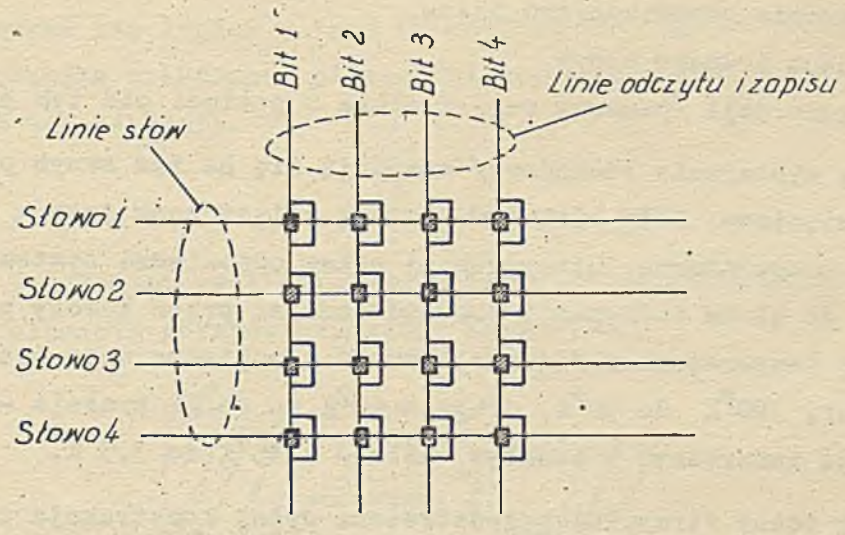


Rys. 4. Szkic przebiegów prądów w liniach słów i bitów pamięci kriogenicznej

Z rysunku tego wynika, że w czasie narastania prądu w linii słowa /cykl odczytu/ następuje gwałtowny skok napięcia w linii bitowej, co stwarza trudne warunki dla układów wzmacniających. Dlatego też dąży się do zwiększenia czasu trwania impulsu odczytu, gdyż ma on tendencję do szybkiego zaniku.

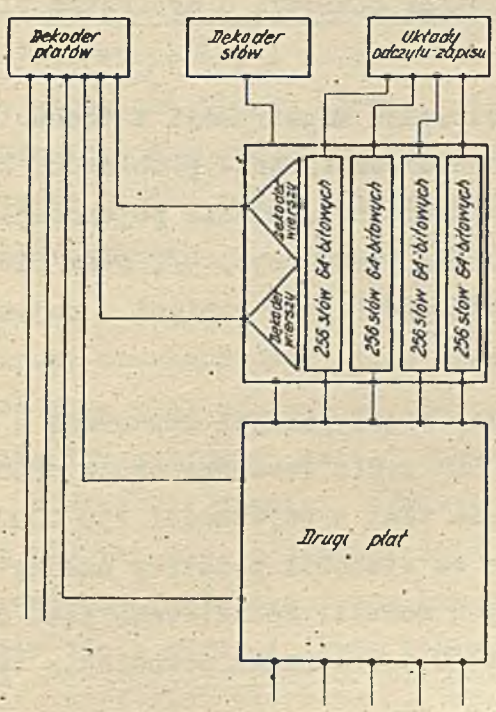
Impuls ten jest zdefiniowany przez stałą czasu $\frac{L}{R}$, gdzie L jest indukcyjnością pętli, R opornością pętli. W praktyce, w celu zwiększenia wartości $\frac{L}{R}$ /wydłużenia czasu/, wprowadza się odpowiednie konstrukcje przestrzeni bitowej, dające możliwie dużą wartość indukcyjności L. Zastosowanie np. otworów w płycie uziemiającej /rys. 3/ powoduje wielokrotny wzrost stałej czasu $\frac{L}{R}$.

Na rysunku 5 pokazano przykładowo ideowy schemat liniowej struktury płatu pamięci, zbudowanego z indywidualnych kriotronów. Zawiera on 4 słowa 4-bitowe, których sposób wybierania jest dokładnie taki jak opisano wyżej.



Rys. 5. Ideowy układ pamięci w liniowym systemie wybierania

Pojemność jednego płatu może być wielokrotnie większa. Na przykład firma RCA opracowała koncepcję pamięci o pojemności ponad 100.000 słów 64-bitowych [5]. Blok nośnika informacji składa się ze 100 płatów o pojemności 1024 słów 64-bitowych, z których każdy liczy 256 x 256 kriotronów i posiada wymiary ok. 10 x 10 cm. Na rysunku 6 przedstawiono schemat blokowy organizacji takiej pamięci.



Rys. 6. Schemat blokowy pamięci o pojemności 100 000 słów 64-bitowych

Na cykl pracy pamięci składają się:

1. wybranie odpowiedniego wiersza w płacie,
2. wybranie odpowiedniego płatu,
3. odczyt jednego słowa,
4. regeneracja /ponowny zapis/ słowa w pamięci pod tym samym adresem.

Układy wybierania /dekodery/ znajdują się na tym samym płacie co kriotrony pamięciowe. Cały blok 100-płatowy umieszczony jest w ciekłym helu o stałej temperaturze, utrzymywanej przez odpowiedni system chłodzarek. Przewody do bloku informacji doprowadzane są przez komory przejściowe o wyższej temperaturze. Pierwsza komora zewnętrzna daje przejście z temperatury 300°K do 90°K, druga z 90°K do 15°K, trzecia - z blokiem informacji zanurzonym w ciekłym helu - z 15°K do 3,5°K.

Według oceny firmy RCA przedstawiona wyżej konstrukcja pozwala na zbudowanie pamięci o maksymalnej pojemności około miliona słów 64-bitowych przy wymiarach geometrycznych /ok. 30 cm x 30 cm/. Dalsze zwiększenie pojemności pamięci w tym typie konstrukcji zostało ograniczone przede wszystkim nadmiernym wzrostem indukcyjności układów dekodujących i linii bitowych, względnie dużą mocą wydzielaną w dekoderach, zakłóceniami w liniach sygnałów i wymaganymi wąskimi tolerancjami na parametry kriotronów.

3. Perspektywy rozwoju pamięci opartych o dyskretne elementy kriogeniczne [4]

Intensywne badania w zakresie konstrukcji i technologii pamięci kriogenicznej przyniosły ostatnio rozwiązanie problemów, które dotychczas stanowiły barierę dla dalszego zwiększania pojemności. Opracowano nową strukturę kriotronu /rys. 7/, płatu /rys. 9/, oraz bloku /rys. 10/, osiągając dzięki temu możliwość budowy pamięci o pojemności powyżej 10^8 bitów.

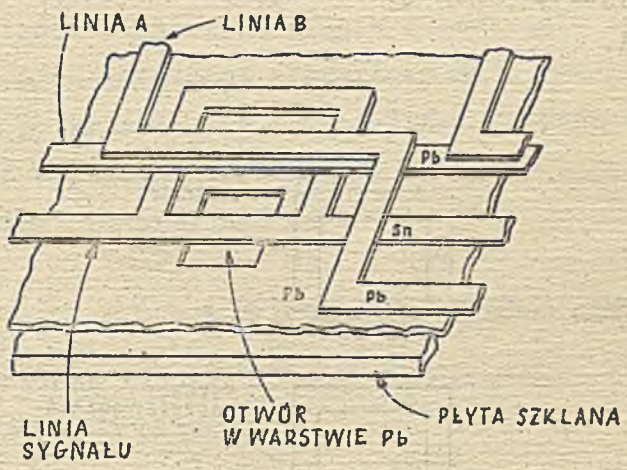
Pierwszy eksperymentalny model pamięci zbudowano z czterech płatów o wymiarach ok. 5 cm x 5 cm i dla gęstości około 1250 bitów na cm^2. W stadium budowy znajduje się płat o pojemności 250 000 bitów i gęstości 2500 bitów na cm^2. Będzie on stanowił podstawę budowy pamięci znacznie większej od dotychczasowych modeli. Spodziewane jest osiągnięcie pojemności jednego miliarda bitów w przypadku powodzenia tych eksperymentów.

Prognozy rozwoju tego typu pamięci przewidują, że zastąpią one w przyszłości pamięci dyskowe i taśmowe.

Aby rozeznać się lepiej w tych prognozach omówimy po kolei rozwiązania konstrukcyjne kriotronu, płatu i bloku, dzięki którym pokonano dotychczasowe ograniczenia.

3.1. K o n s t r u k c j a k r i o t r o n u

Na rys. 7 pokazano wycinek płatu pamięci kriogenicznej, zawierający zasadnicze elementy perspektywicznego kriotronu.



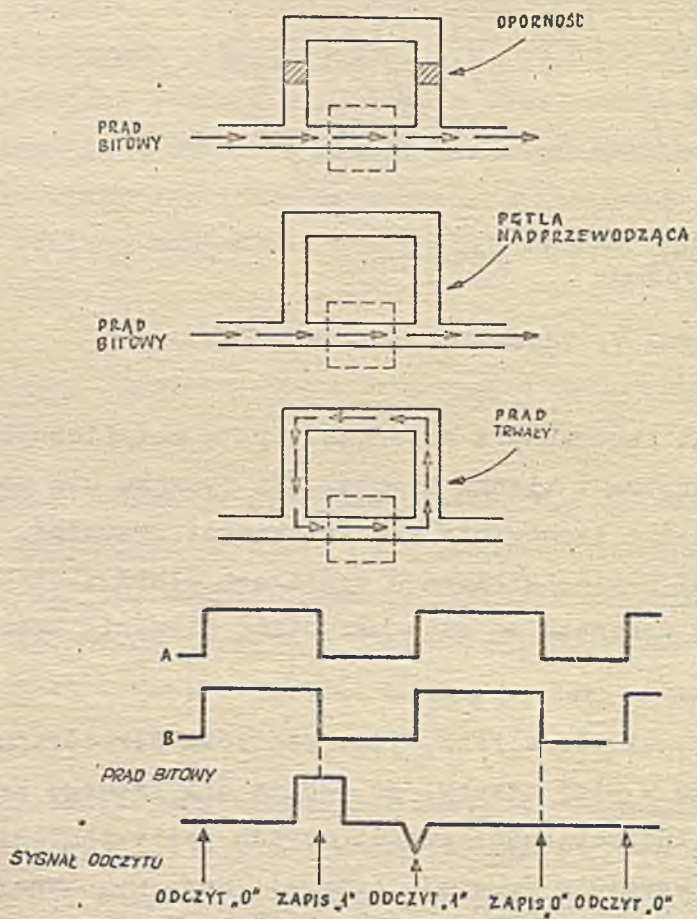
Rys. 7. Ideowa struktura kriotronu

Kriotron ten jest zbudowany z czterech warstw metalicznych odizolowanych od siebie warstwami tlenku krzemu. /Na rysunku nie pokazano warstw izolacyjnych dla zachowania przejrzystości rysunku/. Konstrukcją nośną jest tutaj płytka szklana o wymiarach płatu pamięci. Na jej powierzchni zostały wykonane od razu wszystkie elementy kriogeniczne całego płatu.

Pierwsza warstwa, ołowiana /Pb/, jest osadzona bezpośrednio na płycie nośnej. Wykonano w niej otwory, po jednym dla każdego kriotronu, w celu zwiększenia indukcyjności części obwodu pętli pamięciowej przecinającej otwór. W warstwie drugiej, cynowej /Sn/, wykonano pętlę pamięciową i linię bitową, będącą jednocześnie linią sygnału. Pętla posiada kształt prostokąta, którego jeden bok przebiega nad otworem i jest przedłużeniem linii bitowej. Dwie linie sterujące, A i B, są wykonane w kolejnych warstwach ołowianych, trzeciej i czwartej i służą do wybierania określonego kriotronu.

Prądy w liniach A i B, działając jednocześnie, powodują w części pętli ujawnienie się oporności. W przypadku, gdy w pętli pamięciowej płynie prąd trwały, ujawnienie się oporności wywoła napięcie na tej oporności i na indukcyjności boku przechodzącego nad otworem. Impuls ten wyraża odczytaną informację jednobitową o wartości równej "1" i odbieraną przez linię bitową.

Cykl odczytu i zapisu informacji ilustruje rys. 8. Zasada pracy tego kriotronu w cyklu zapisu jest inna niż kriotronu opisanego w poprzednim rozdziale. Występują tutaj linie sterujące A i B, których prądy, działając koincydencyjnie, mogą wywołać oporność w pętli i w konsekwencji odczyt informacji.



Rys. 8. Harmonogram pracy kriotronu i szkic stanów przejściowych

Zapis informacji wymaga koincydacji trzech impulsów prądu w liniach adresowych A i B oraz w liniach bitowych, w których ma być wpisana nowa informacja "1", albo stara w okresie regeneracji.

W czasie koincydencji prądów następuje ustalenie się stanu maksymalnej wartości prądu w linii bitowej. Zanik prądów w liniach A i B przywraca stan nadprzewodnictwa w gałęzi pętli, co powoduje skierowanie prądu bitowego do tej pętli, jednocześnie SEM samoindukcji w linii nad otworem zamyka trwały prąd w pętli.

Przedstawiona konstrukcja kriotronu eliminuje wzajemny szkodliwy wpływ kriotronów w płacie pamięci, zapewnia odpowiednio duży stosunek sygnałów do zakłóceń oraz dopuszcza stosunkowo duże tolerancje wymiarowe. Ponadto należy podkreślić, że taki kriotron wymaga względnie małych prądów w liniach adresowych /po 100 mA w każdej linii/ oraz bardzo małego prądu w linii bitowej /20 mA/.

3.2. H y b r y d o w a o r g a n i z a c j a p ł a t u

Na rys. 9 przedstawiono ideowy schemat przykładowego płatu kriotronów z liniami sterującymi i bitowymi.

Płat ten ma pojemność 16 słów bitowych. Linie sterujące A określają adres informacji /tzw. multi-słowa/ leżącej na całej długości płatu. Linie B określają bity wybranego z tej informacji słowa. Stąd pochodzi nazwa hybrydowy - słowowo-bitowy - system adresowania. Linie B przecinają płat prostopadle do linii A tyle razy ile bitów posiada słowo. Ilość linii bitowych w płacie odpowiada dokładnie długości słowa. Każda linia bitowa posiada zwarty z nią zespół kriotronów /zwany grupą bitową/, leżący na każdej linii A. Ilość kriotronów w tym zespole odpowiada ilości linii B. Jeden i tylko jeden kriotron K_{ij} danej linii bitowej S_d może być pobudzany przez określone linie A_i i B_j. /Gdzie $i = 1, 2, \ldots I$; $j = 1, 2, \ldots J$; $d = 1, 2, \ldots D$/. Iloczyn maksymalnych wskaźników wyznacza całkowitą pojemność płatu pamięci w bitach:

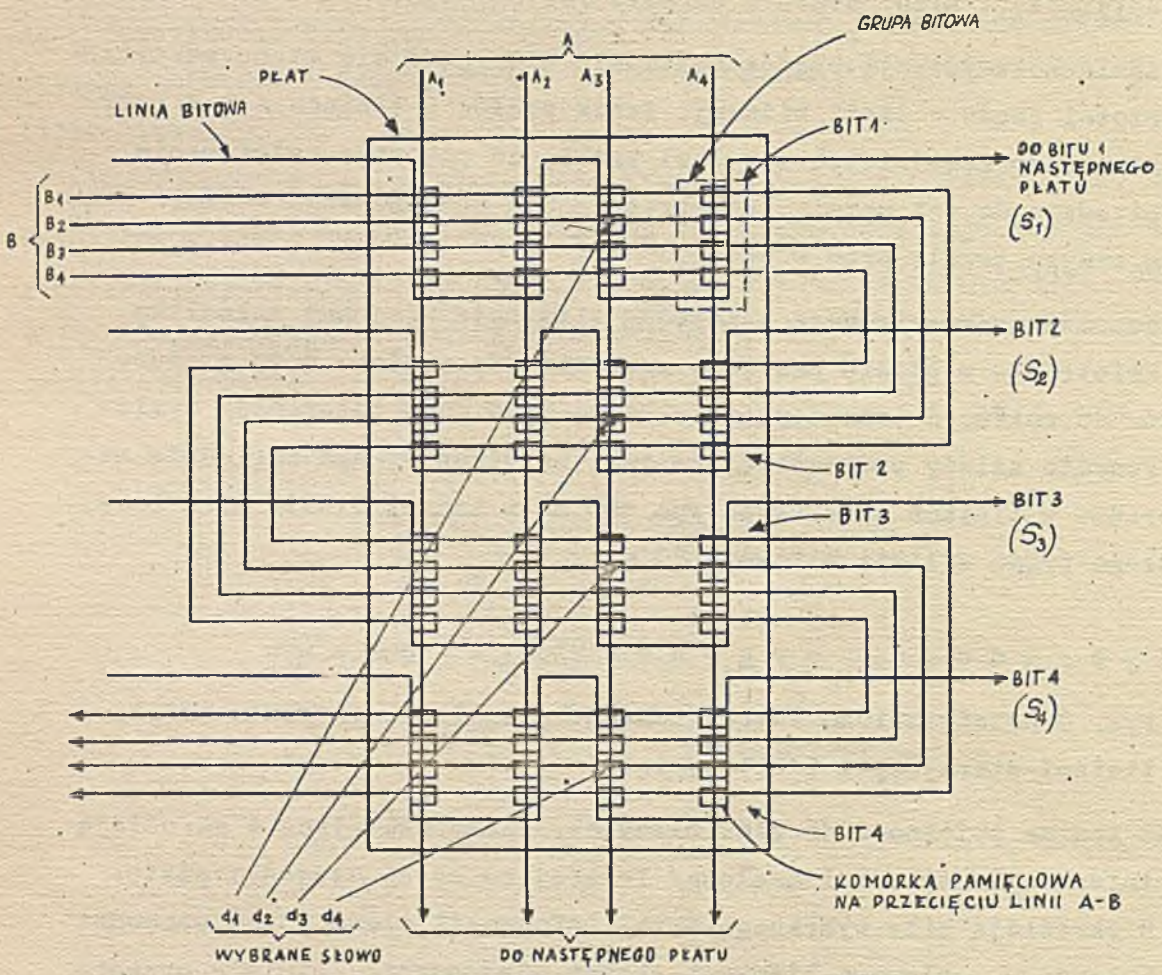
$$C_p = I \cdot J \cdot D \ [\text{bitów}].$$

Dla dużych pojemności płatów pamięci wartości tych wskaźników wyznaczone są w przybliżeniu przez następujące równania:

$$I = 2^m; \quad J = \frac{2^m}{D},$$

gdzie: m – długość binarnego rejestru adresowego wyznaczającego ilość linii A_i,

D – długość słowa w bitach.



Rys. 9. Ideowa struktura płatu kriogenicznego

Ilość grup bitowych w płacie jest zwykle większa od normalnej długości słowa, aby zapewnić możliwość eliminacji uszkodzonych kriotronów, jak również kontrolę i autokorektę błędów w czasie zapisu i odczytu informacji. Pojemność płatów i całej pamięci wzrasta z tego powodu o około 10%.

Zwiększenie pojemności płatu jest osiągane przez odpowiedni wzrost wskaźników I, J, D. Pojemność płatu dobierana jest optymalnie dla założonej całkowitej pojemności bloku pamięci, głównie ze względu na koszt wytwarzania. Optymalizacja konstrukcji bloku polega na kompromisowym wyborze pojemności płatu ze względu na maksymalny uzysk w produk-

cji płatów /ze wzrostem płatów uzysk maleje/ i minimalnej ilości połączeń między płatami w bloku /ze wzrostem płatów ilość połączeń maleje/.

Przeprowadzona analiza [4], uwzględniająca osiągnięty poziom technologii, wykazuje, że w dalszych opracowaniach optymalny płat będzie miał pojemność około 250 000 bitów. Przewiduje się, że płat taki będzie standardową jednostką konstrukcyjną w budowie bloków pamięci o pojemności do 10^8 bitów. Standardowy płat zawierałby 512 linii typu A, 8 linii typu B i 72 linie bitowe, z czego 64 o normalnej długości słowa, pozostałe zaś 8 stanowiłyby zapas przeznaczony do wymiany, kontroli i autokorekty. Należy zwrócić uwagę, że linie bitowe płatów łączy się szeregowo, podobnie jak linie adresowe A. Natomiast linie adresowe B zamykają się w obrębie jednego płatu, a dla pamięci bardzo dużych pojemności mogą przebiegać przez dwa i więcej płatów.

Przedstawiona konstrukcja płatu posiada jednorodną strukturę. Kriotronowe matryce przełączające zostały usunięte z płatów i zastąpione matrycami półprzewodnikowymi, pracującymi w temperaturze pokojowej poza blokiem pamięci. Dzięki temu zmalała ilość ciepła wydzielana w bloku w otoczeniu ciekłego helu, wzrósł uzysk w produkcji płatów i zmalał czas cyklu odczytu i zapisu.

Również długość przewodów bitowych znacznie zmalała w porównaniu z innymi strukturami pamięci. Dzięki temu zmniejszyło się tłumienie sygnału w linii i wpływ zakłóceń. Nowa struktura płatu wpłynęła także na zmniejszenie elektroniki związanej z liniami bitowymi i dekoderami adresów.

Struktura logiczna opisanego płatu stanowi ogromny postęp w budowie pamięci kriogenicznych, a być może i innych typów pamięci.

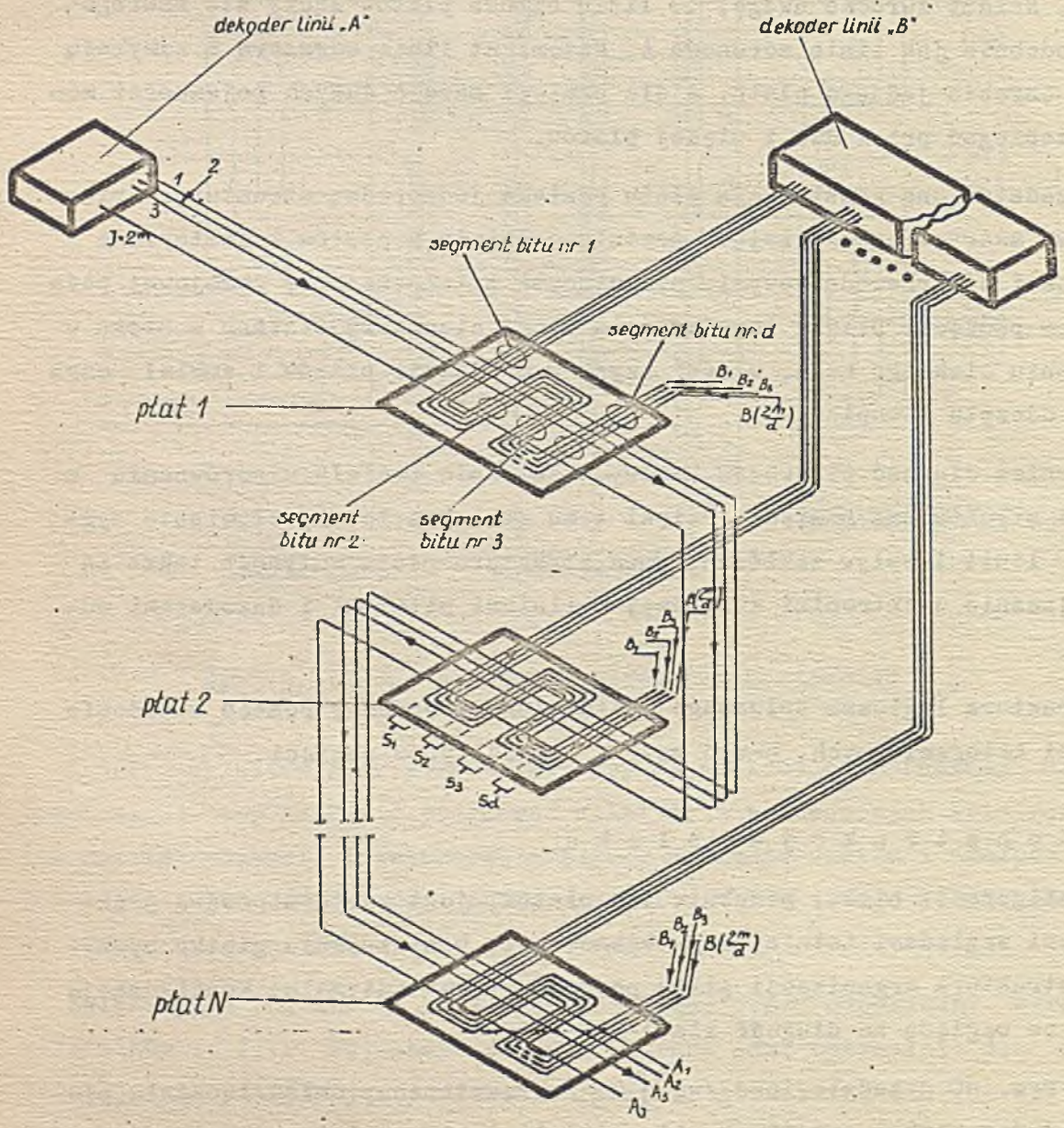
3.3. K o n s t r u k c j a b l o k u

Konfiguracja bloku, podobnie jak płatów, jest zdeterminowana praktycznymi względami istniejącej technologii. Dostatecznie giętka hybrydowa struktura organizacji płatu pozwala wybrać optymalną konfigurację bloku ze względu na długość linii A i B.

Na rys. 10 przedstawiono /wg [4] / przestrzenny układ łączenia płatów w jeden blok i sposób przebiegu linii A i B w płytach zawierających po kilka płatów.

Rozpatrzymy teraz możliwości budowy bloków pamięciowych przy wykorzystaniu standardowych płatów opisanych wyżej. W pracy [4] proponuje się następujące pojemności tych bloków:

Blok 1: $1{,}6 \times 10^7$ bitów,
Blok 2: $3{,}2 \times 10^7$ bitów,
Blok 3: $6{,}4 \times 10^7$ bitów,
Blok 4: $1{,}28 \times 10^8$ bitów.



Rys. 10. Ideowa struktura bloku kriogenicznego

Blok 1 o pojemności $1,6 \times 10^7$ bitów składałby się z 32 płyt. Każda płyta zawierałaby dwa standardowe płaty o łącznej pojemności 0,5 mil. bitów. Linie A /w liczbie 512/ przebiegałyby szeregowo przez wszystkie 64 płaty, podczas gdy linie B /o łącznej liczbie 512/ przebiegałyby indywidualnie przez każdy płat. Schemat pokazano na rys. 11a.

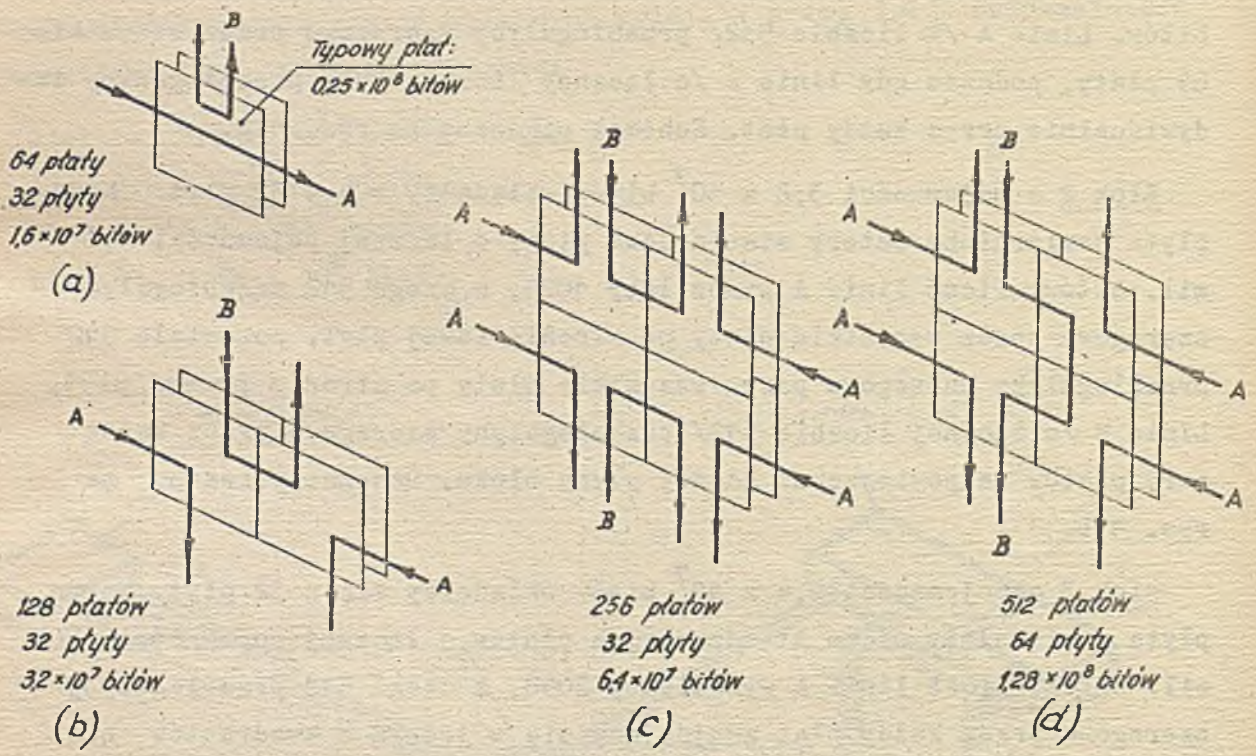
Blok 2 o pojemności $3,2 \times 10^7$ bitów składałby się z 32 płyt. Każda płyta zawierałaby cztery standardowe płaty o łącznej pojemności 1,0 mil. bitów. Ilość linii A wynosiłaby 1024, z czego 512 przebiegałyby szeregowo przez wszystkie płaty po stronie lewej płyt, pozostałe 512 przebiegałyby szeregowo przez wszystkie płaty po stronie prawej płyt, Linie B /o łącznej liczbie 512/ przebiegałyby szeregowo przez każdą parę płatów na powierzchni każdej płyty bloku. Schemat pokazano na rys. 11b.

Blok 3 o pojemności $6,4 \times 10^7$ bitów składałby się z 32 płyt. Każda płyta zawierałaby osiem standardowych płatów o łącznej pojemności 2,0 mil. bitów. Ilość linii A wynosiłaby 2048, z czego 512 przebiegałyby szeregowo przez każdy płat znajdujący się w jednym z kwadrantów bloku. Linie B /o łącznej liczbie 1024/ przebiegałyby szeregowo przez każdą parę płatów na powierzchni każdej płyty bloku. Schemat pokazano na rys. 11c.

Blok 4 o pojemności $1,28 \times 10^8$ bitów składałby się z 64 płyt. Każda płyta byłaby zbudowana identycznie jak w przypadku bloku 3. Ilość linii A i B byłaby również taka jak w bloku 3. Jednakże linie B /o łącznej liczbie 1024/ przebiegałyby szeregowo przez wszystkie płaty na powierzchni każdej z 64 płyt bloku. Schemat pokazano na rys. 11d.

Przedstawiony sposób przebiegu linii A i B w poszczególnych blokach nie jest jedynym rozwiązaniem. Optymalnie można prowadzić te linie również dla zapewnienia możliwości niezależnego i jednoczesnego korzystania z bloku pamięci za pomocą różnych układów adresowych związanych np. z poszczególnymi kwadrantami bloku, czy nawet dalej z mniejszymi polami roboczymi.

Konstrukcja takiego bloku posiada - obok zalet opisanych wyżej - wadę polegającą na konieczności doprowadzenia do bloku, przedstawionego na rys. 11d 8728 przewodów, które muszą przechodzić przez trzy komory o różnych poziomach temperatur. Z tym wiąże się szereg trudnych problemów technicznych.



Rys. 11. Ideowe schematy bloków kriogenicznych

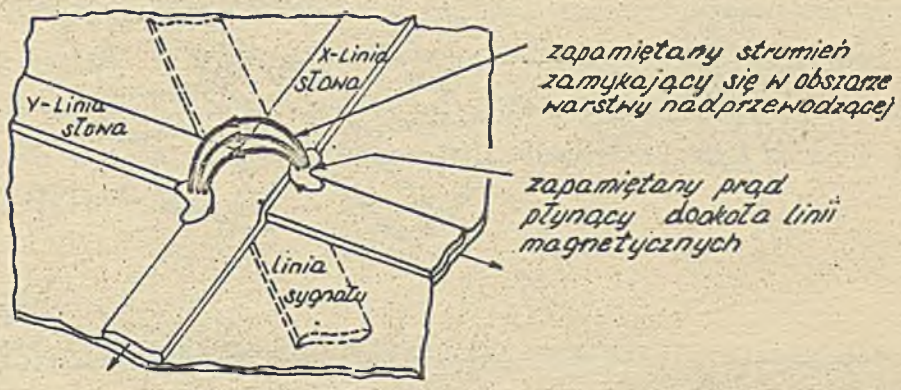
Trudnym problemem jest również utrzymywanie temperatur w poszczególnych komorach na odpowiednim poziomie. Stosowane są specjalne chłodzarki wyposażone w bardzo czułe termostaty. Urządzenia chłodzące stanowią duży procent kosztów pamięci, a ich eksploatacja jest bardzo kosztowna. W celu zmniejszenia nakładów związanych z urządzeniami chłodzącymi dąży się do takiego rozwiązania bloku kriogenicznego i doprowadzeń przewodów do bloku przez komory pośrednie, aby wydzielana moc strat w tych pomieszczeniach była jak najmniejsza. Przedstawiona konstrukcja bloku o pojemności 10^8 bitów w pełni odpowiada tym wymaganiom.

Straty mocy w poszczególnych komorach będą wynosiły odpowiednio 4,5 W; 443 mW i 80 mW. Wydawałoby się, że są to moce strat małe, jednakże na poziomie wymienionych temperatur powodują, że urządzenia chłodzące są stosunkowo złożone.

4. Zasada budowy i działania pamięci opartej o ciągłe warstwy nadprzewodzące [16]

Na rys. 12 przedstawiono wycinek płatu zawierającego obszar jednego bitu.

Komórka bitowa jest utworzona na ciągłej folii nadprzewodzącej w miejscu skrzyżowania linii adresowych x, y. Obszar komórki przecięty jest linią sygnału. Wszystkie linie są odizolowane od siebie i od warstwy nadprzewodzącej.



Rys. 12. Szkic fragmentu płatu pamięci z ciągłym nośnikiem informacji

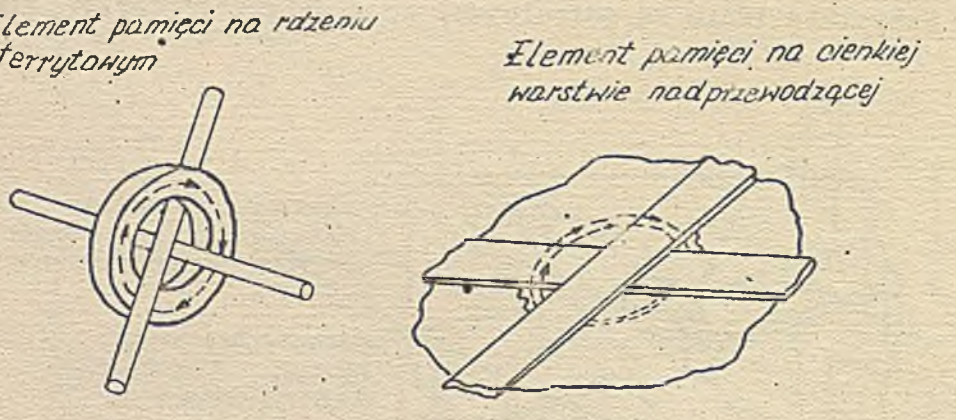
Zespół komórek wchodzących w skład płatu umieszczony jest na podłożu nośnym, np. na płytce szklanej. Sposób wybierania jest taki sam jak w klasycznych systemach koincydencyjnych.

Należy zwrócić uwagę na specyficzny mechanizm pamiętania informacji jedno-bitowej w podstawowej komórce pamięci.

Cały płat folii pozostaje w stanie nadprzewodnictwa we wszystkich obszarach bitowych, za wyjątkiem obszaru przecięcia się wybranych linii x i y, w których jednocześnie płyną prądy. Pole magnetyczne wywołane koincydencją prądów osiąga krytyczną wartość w obszarze bitowym, powodując przejście w stan przewodnictwa cienkiej warstwy metalicznej. W konsekwencji tego wiązka strumienia magnetycznego sprzężonego z liniami x i y przenika przez przewodzący obszar warstwy. Strumień ten jest trwały nawet po zaniku prądów w liniach x i y. Trwałość jego związana jest z nadprzewodnictwem warstwy metalicznej.

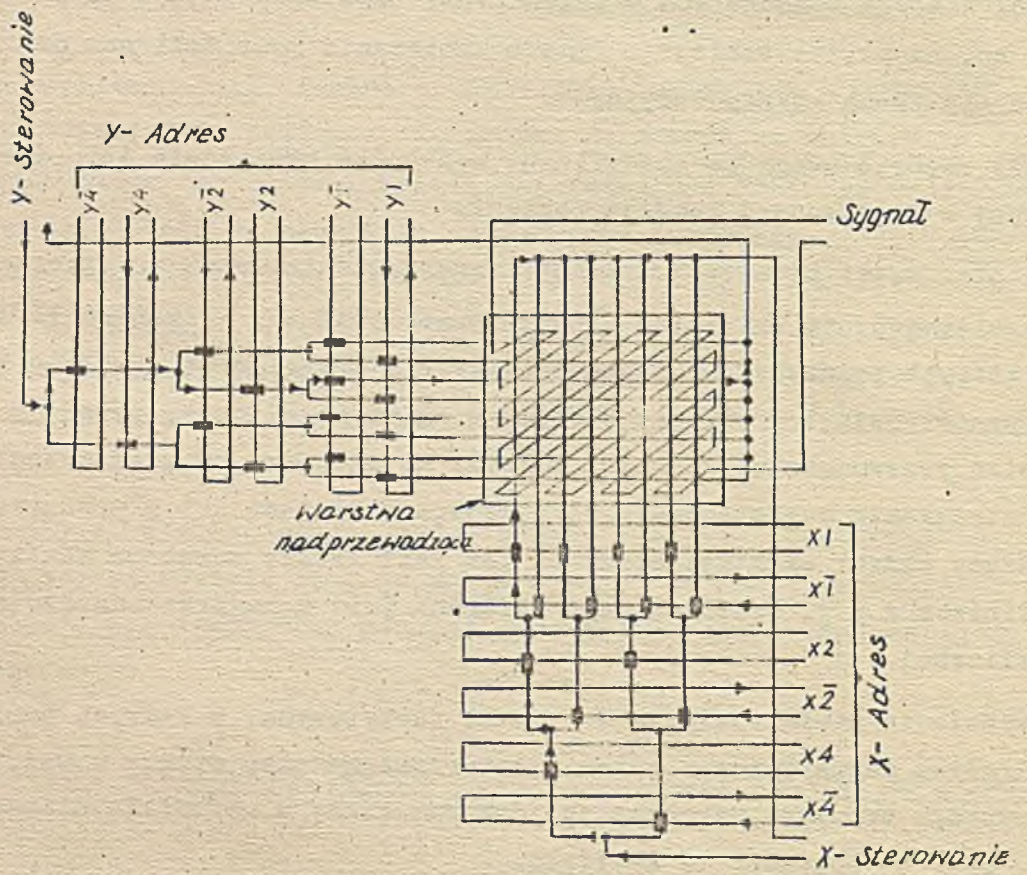
Występuje tu pewna analogia do rdzeni ferrytowych, w których pamiętany jest strumień magnetyczny w materiale ferromagnetycznym, gdy w wyżej opisanym przypadku strumień magnetyczny jest pamiętany w materiale diamagnetycznym. Na rys. 13 pokazano tę analogię.

Płat pamięci obok elementów pamięciowych zawiera także kriotronowe matryce wybierające.



Rys. 13. Podobieństwo między komórką pamięci kriogenicznej i typowym rdzeniem ferrytowym

Rys. 14 ilustruje ideę płatu pamięci z ciągłym nośnikiem informacji. Przykładowy płat zawiera 8x8 komórek pamięci, matryce wybierające linie x i y oraz linię sygnału.



Rys. 14. Ideowy układ pamięci koincydencyjnej o pojemności 64 komórek

Konstrukcje pamięci oparte na ciągłych warstwach nadprzewodzących są przedmiotem intensywnych prac [3], [6], [7]. Publikowane osiągnięcia firmy IBM [6] świadczą o dużym postępie w tej dziedzinie. Uzyskane wyniki doświadczalne i przeprowadzona analiza wskazują na możliwość budowy /przy uwzględnieniu aktualnego poziomu techniki/ pamięci kriogenicznej o pojemności 5 milionów bitów w bloku o 72 płatach. Pojemność każdego płatu wynosiłaby 256x256 bitów. Taki blok pamięci charakteryzowałby się małą ilością doprowadzeń z zewnątrz od rejestrów adresowych, ponieważ znajdują się bezpośrednio na płatach. Z drugiej strony rozwiązanie to stwarza szereg ograniczeń dla dalszego zwiększania pojemności. Mówiliśmy o tym szerzej w poprzednim rozdziale.

5. Zakończenie

Pamięci kriogeniczne są rozwijane przez najbardziej przodujące kraje i firmy. Osiągnięte wyniki zachęcają do dalszego zwiększania nakładów na cele badawcze. Ocenia się, że zostały już pokonane zasadnicze trudności w zakresie technologii, konstrukcji i struktury logicznej, do niedawna uniemożliwiające osiągnięcie założonego celu, tzn. budowę pamięci o pojemności 10^8 bitów. Należy oczekiwać, że w niedalekiej przyszłości zostanie zbudowana pamięć kriogeniczna o pojemności rzędu miliarda bitów o cyklu pracy w granicach od 1 do 5 μsek i o strukturze logicznej pozwalającej na jednoczesne korzystanie z jej pojemności przez szereg systemów maszyn cyfrowych. Wydaje się, że przyszłościowe pamięci masowe będą właśnie typu kriogenicznego. Zrealizowany więc zostanie ideał pamięci masowej - będzie ona pamięcią całkowicie elektroniczną, eliminując z systemów przetwarzania danych pamięci masowe oparte na mechanizmach ruchomych.

Na zakończenie wyrażam podziękowanie Mgr inż. Eugeniuszowi Nowakowi i Mgr inż. Jerzemu Dańdzie za cenne wskazówki dotyczące ostatecznej postaci niniejszego opracowania.

Literatura

[1] M. Von LANE: Theory of Superconductivity, New York: Academic Press, 1952.

[2] F. LONDON: Superfluids. Vol. II. New York: John Wiley and Sons, 1954.

[3] H. FEISSEL, I. HUG: Marges de fonctionnement des mémoires à plan supraconducteur continu. Colloque International, Paris, 5 - 10 Avril 1965.

[4] A. ROBERT GANGE: Taking Cryoelectric Memories out of Cold Storage. Electronics, April 17, 1967..

[5] A.E. SLADE: The Cryocell, a Large, Random Access, Superconductive Memory. Colloque International Paris, 5 - 10 Avril 1965.

[6] H.L. CASWELL: Techniques of Memories. Colloque International, Paris, 5 - 10 Avril 1965.

[7] H. FEISSEL, F. GALLET: Caractéristiques principales des éléments de mémoire à plan supraconducteur continu. Colloque International, Paris, 5 - 10 Avril 1965.

[8] W. RENWICK: Digital Storage Systems. London E. and F.N. Spon Ltd, 1964.

[9] L.C. HOBBS: The Impact of Hardware in the 1970's. Datamation, March 1966.

[10] S. WALIGÓRSKI: Sieci przełączające na kriotronach. Biul. Inf. IMM, Nowości Techniczne nr 2, 1966.

[11] Z. SAWICKI: Zagadnienia stałego nośnika informacji perspektywicznych pamięci m.c. Biul. Inf. IMM, Nowości Techniczne, nr 2, 1967.

[12] Z. SAWICKI: Pewne aspekty techniczno-ekonomiczne szybkich pamięci masowych. Elektroniczna Technika Obliczeniowa. Nowości, nr 1, 1968.

[13] R.R. SEEBR, A.B. LINDQUIST: Associative Memory with Ordered Retrival. IBM Journal. January 1962.

Mgr inż. JERZY EKNER
Zakład Elektroniki Cyfrowej IMM

681.325-181.4.002.2

O TECHNOLOGII MONTAŻU MODUŁÓW I PODSYSTEMÓW MIKROELEKTRONICZNYCH, STOSOWANEJ W ZAKŁADACH PRODUKCYJNYCH INTERNATIONAL COMPUTERS TABULATORES, LTD*

W końcu 1966 roku pojawiły się pierwsze publikacje na temat elektronicznych maszyn cyfrowych opartych na półprzewodnikowych układach scalonych, mających cywilne zastosowanie. Jedną z charakterystycznych cech nowych maszyn jest ich miniaturyzacja, która zwróciła uwagę technologów na zagadnienia montażu. W niniejszym artykule zostaną podane szkicowe uwagi o technologii stosowanej przez ICT.

Ponieważ technologia montażu zależy od upakowania modułów i podsystemów, koniecznym jest szkicowe omówienie tego zagadnienia w odniesieniu do maszyn ICT.

1. Uwagi o upakowaniu /packaging/ modułów i podsystemów w niektórych prototypach maszyn zbudowanych na monolitycznych układach scalonych

Prototypy nowej generacji maszyn 1901-1907 budowane są obecnie w oparciu o półprzewodnikowe układy scalone w obudowach typu pająk /DIP/, produkcji USA /Texas 704, Car Fastner/.

1.1. M o d u ł

Moduł utworzony jest przez 35 układów scalonych umieszczonych na sześciowarstwowej płytce z naniesionym układem przewodów z folii miedzianej. Na dwóch warstwach płytki naniesiony jest układ przewodów zasilających, a na pozostałych czterech - sieć połączeń między układami. Szerokość ścieżek wynosi około 0,8 mm, a odstęp między nimi około 1,6 mm. Płatki stanowiące warstwy płytki wykonane są z poliestru** o

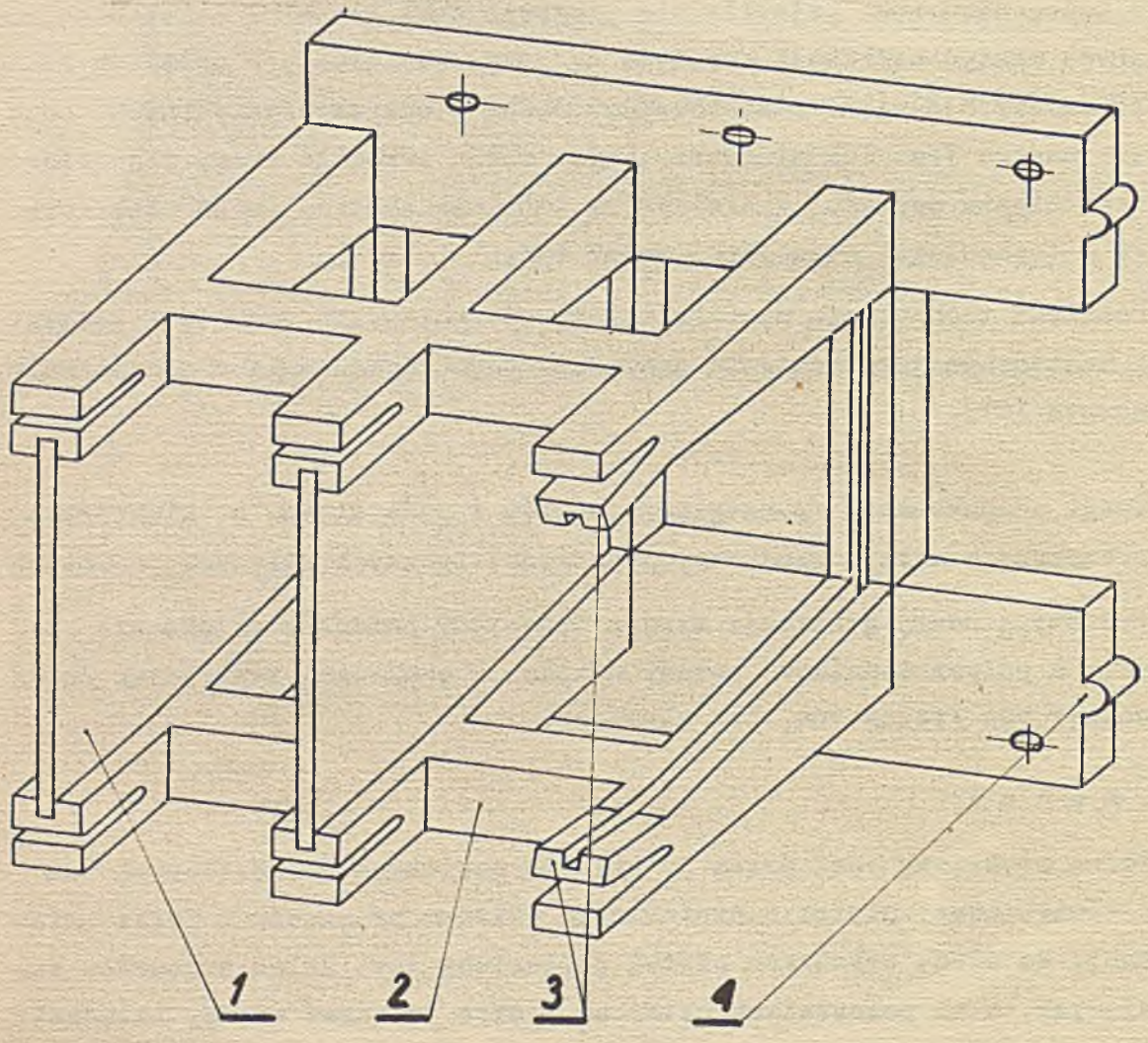
* Autor w sierpniu 1967 r. zwiedził oddziały produkcyjne ICT w Letchworth i Stevenage koło Londynu /przyp. red./.

** wg informacji udzielonej przez pracowników ICT.

osnowie z włókien szklanych. Wymiary płytki bez półprzewodnikowych układów scalonych są następujące: ok. 180 x 180 x 1,5 mm.

1.2. P o d s y s t e m

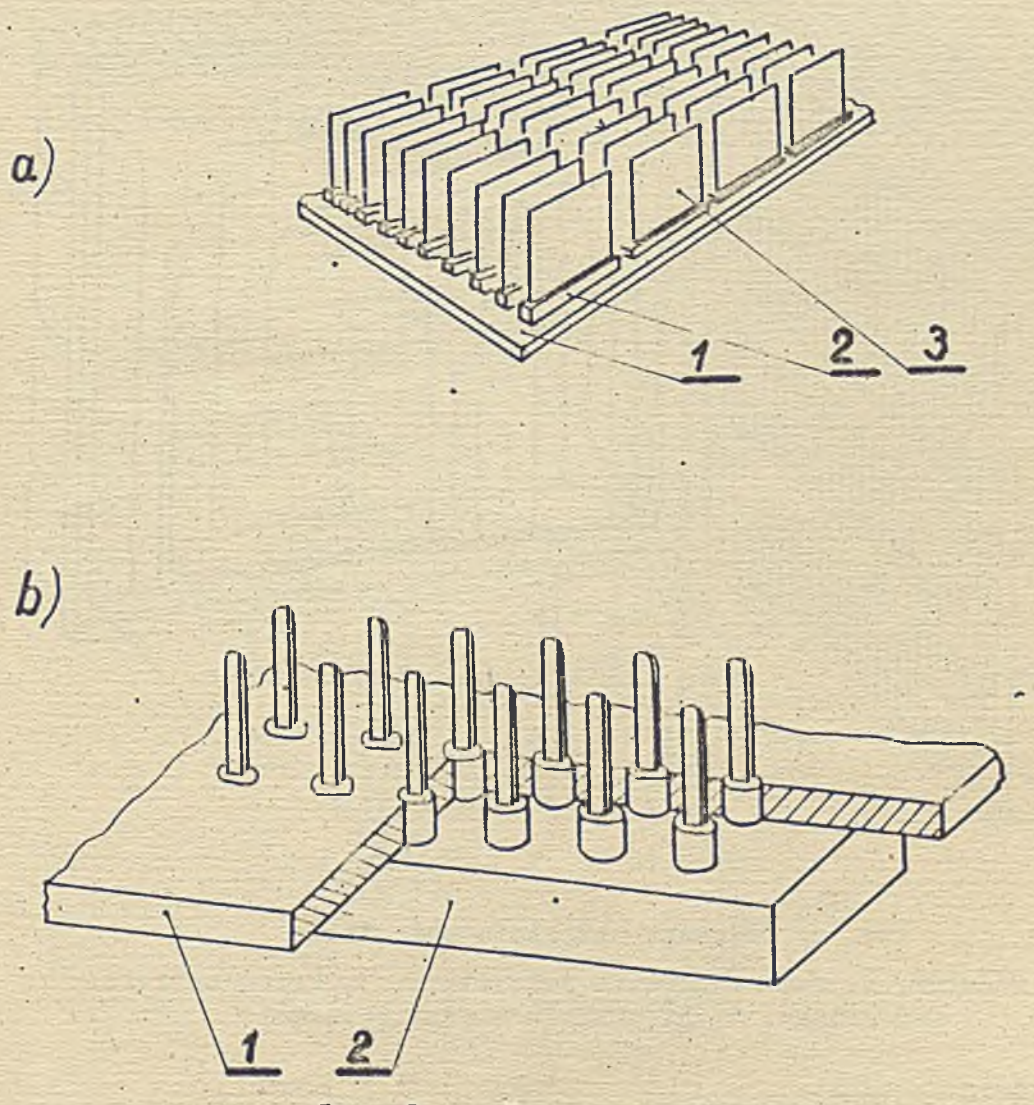
Płytki modułów są wetknięte w złącza przymocowane do szkieletu podsystemu. Szkieletem podsystemu jest płyta duralowa o wymiarach: ok. 850 500 x 4 mm. Złącza przymocowane są do szkieletu podsystemu przy pomocy wkrętów. Szkielet podsystemu posiada prowadnice poliamidowe dla płytek modułów /rys. 1/ o takiej konstrukcji, która zapewnia docisk mo-



Rys. 1. Segment prowadnic dla płytek - modułów. Poliamidowe prowadnice przymocowane są do płyty duralowej, stanowiąc z nią szkielet podsystemu /rysunek przedstawia szkicowo prowadnicę bez złącza/

1. płytka modułu, 2. segment prowadnicy, 3. odkształcalne szczęki zaciskające płytkę, 4. garby ustalające dla sąsiedniego segmentu

dułów do złączy. Przy takim rozwiązaniu podsystem posiada 4 rzędy po 34 złącza - razem 136 złącz. Inne rozwiązanie konstrukcyjne szkieletu podsystemu /rys. 2/ nie posiada prowadnic. Złącza krawędziowe są wciśnięte w otwory płyty duralowej. Otwory, których chropowatość ścianek mieści się w klasie ▽8, wykrawane są w zakładach przemysłowych USA. Stosowane złącza czteropunktowe, rzadko dwupunktowe, posiadają kontakty złocone. Ze względów ekonomicznych ICT sprowadza je ze Stanów Zjednoczonych Ameryki. W drugim rozwiązaniu szkielet podsystemu posiada 8 x 25 = 200 złącz.

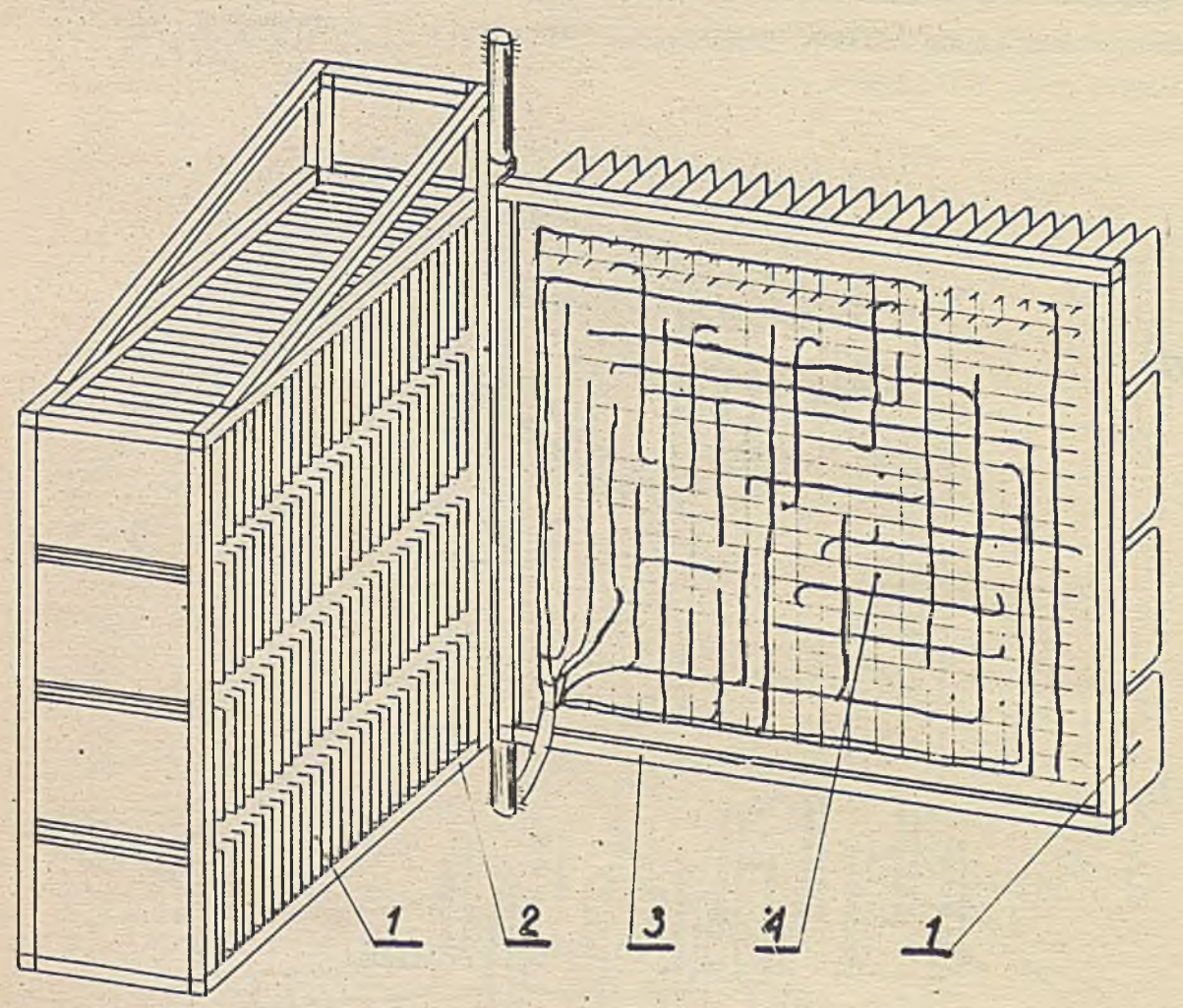


Rys. 2. a. Fragment podsystemu
1. płyta szkieletu podsystemu, 2. złącze wciśnięte w płytę, 3. płytki modułów

b. Złącze wciśnięte w płytę szkieletu podsystemu
1. płyta szkieletu podsystemu, 2. złącze wciśnięte w płytę

1.3. S z k i e l e t p o d s y s t e m u

Szkielety podsystemu przymocowane są do ram wykonanych z rur o przekroju kwadratowym. Umocowane do ram płyty szkieletów podsystemów stanowią jak gdyby karty książki. Takie rozwiązanie konstrukcyjne umożliwia wygodny dostęp do dowolnego modułu bez przerywania pracy całego systemu /rys. 3/.



Rys. 3. Fragment szkieletu podsystemu

1. płytki modułów, 2. rama szkieletu podsystemu, 3. karta szkieletu podsystemu, 4. połączenia między modułami

2. Technologia montażu

2.1. M o n t a ż m o d u ł u

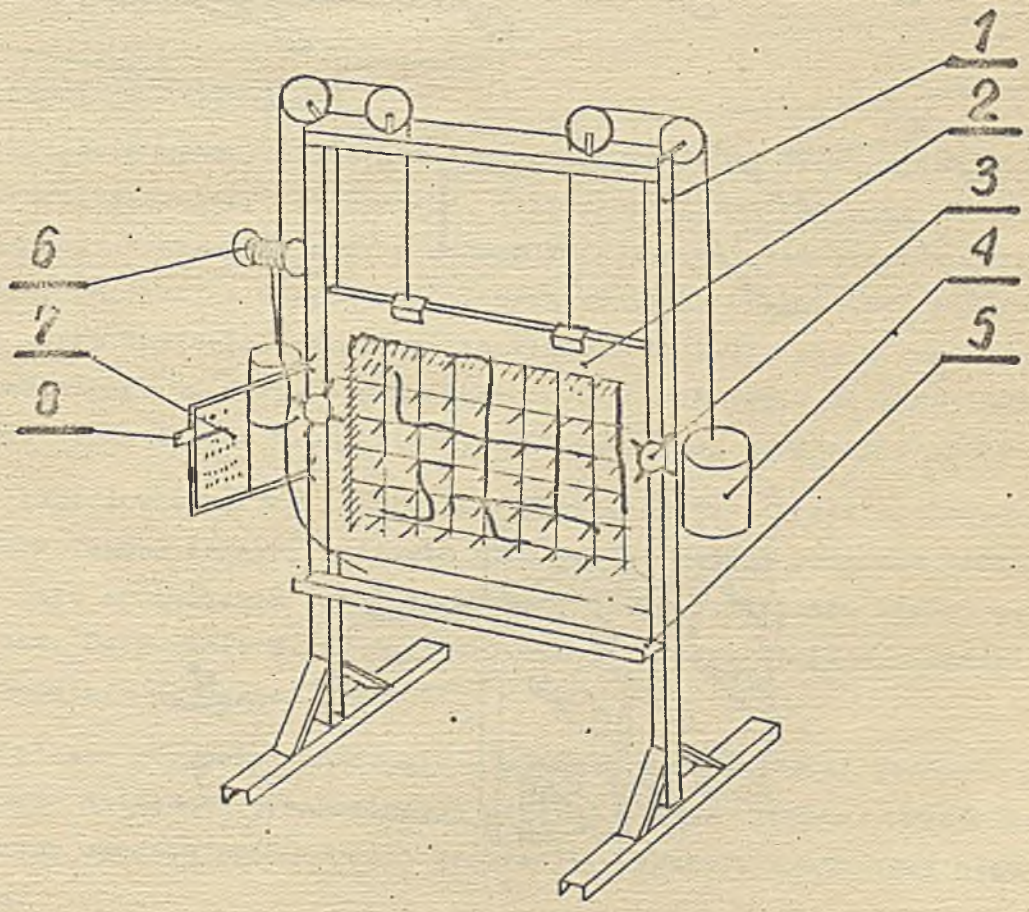
Otwory dla wyprowadzeń półprzewodnikowego układu scalonego wykonywane są w wielowarstwowych płytkach - szkieletach modułów przy pomocy

dziurkowania. Stempel dziurkujący posiada przekrój ostrego równoramiennego trójkąta. Połączenia wyprowadzeń ze ścieżkami warstwy zewnętrznej płytki - szkieletu modułu wykonywane są przez lutowanie na fali ciekłego lutu.

2.2. Montaż podsystemu

Szpilkowe wyprowadzenia kontaktów złączy /o przekroju prostokąta lub rombu/, w które wetknięte są moduły, łączone są pomiędzy sobą przewodami o grubości ok. 0,3 mm /0-012"/. Połączenia przewodu ze szpilkowym wyprowadzeniem kontaktu realizowane są jako owijane. Owijanie wykonywane jest przyrządami o kształcie rewolweru, napędzanymi mikrosilnikami elektrycznymi lub turbinkami powietrznymi. W wypadku, gdy przewody owijane są grubości rzędu ok. 0,08 mm /0·003"/, na skutek naprężeń wewnątrz materiału drutu mogą wystąpić pęknięcia osłabiające a nawet psujące połączenie.

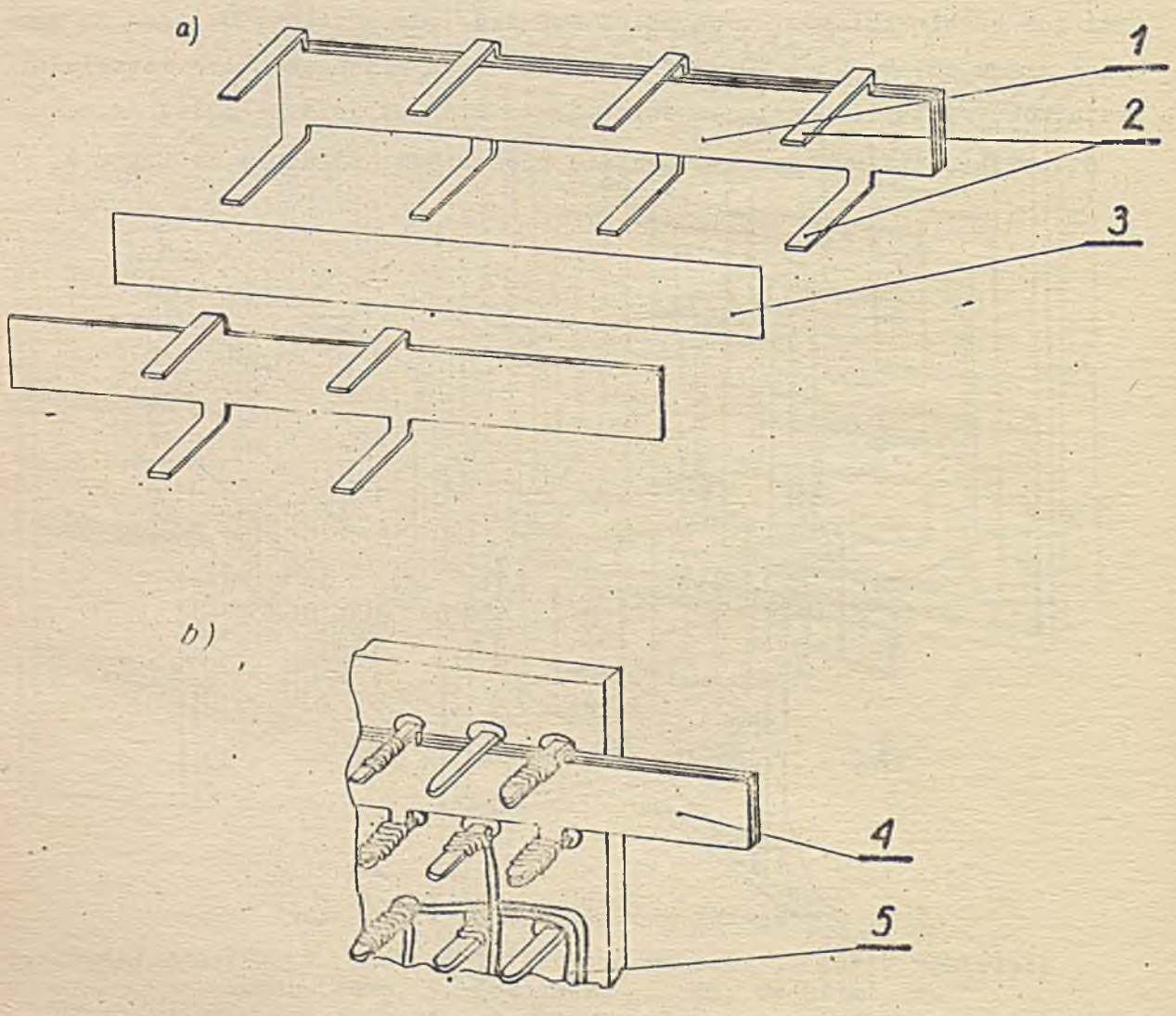
Stanowisko dla wykonywania montażu podsystemu pokazano na rys. 4.



Rys. 4. Stanowisko do wykonywania połączeń wewnątrz podsystemu

1. stojak, 2. płyta - szkielet podsystemu, 3. zacisk ustalający płytę względem stojaka, 4. obciążnik równoważący siłę ciężaru płyty, 5. półka na narzędzia, 6. szpula z przewodem, 7. pulpit z dokumentacją montażową, 8. wskaźnik zaznaczający na dokumentacji opis wykonywanego połączenia

Płyta - szkielet podsystemu zawieszona jest na przyrządzie umożliwiającym ustawienie jej na wygodnej dla pracownika wysokości. Z lewej strony pracownik ma wieszak ze szpulą drutu do wykonywania połączeń. Z prawej strony na półeczce leżą szczypce do zdejmowania izolacji z przewodu oraz szczypce do jego obcinania. Bardzo prosty przymiar przymocowany do szczypiec pozwala pracownikowi określić potrzebną długość przewodu. Również z prawej strony znajduje się rewolwerowy przyrząd do owijania drutu.



Rys. 5. a. Konstrukcja przewodów zasilających
1. element przewodzący, 2. języczki łączone do szpilkowych wyprowadzeń kontaktów złącz, 3. pasek izolacji między elementami przewodzącymi
b. Fragment szkieletu podsystemu pokazujący połączenie owijane
4. przewód zasilający, 5. przewody między modułami

Karta dokumentacji produkcyjnej zawierającej informacje o numerach szpilek, które trzeba ze sobą połączyć, umieszczona jest przeważnie na specjalnym pulpicie z lewej strony. Wskaźnik pulpitu zaznacza w kolumnie numerów - informację o wykonywanym połączeniu. Tak zorganizowane stanowisko pozwala na uzyskanie wysokiej wydajności bezbłędnej pracy. Schemat połączeń zbudowany jest w ten sposób, żeby na jednej szpilce złącza nie było więcej niż trzy owinięte przewody. Dzięki temu pracownik, który zauważył, że nawija na szpilkę czwarty przewód - przerywa pracę. Jest to samokontrola. Odwijanie wykonuje się prostym ręcznym przyrządem. Przewody prowadzone są wzdłuż dwóch linii prostych /wyznaczonych przez szpilki złączy/ prostopadłych do siebie.

Przewody zasilające wykonane są z pasków blach izolowanych między sobą /rys. 5/. Ich języczki podginane są i przykładane do odpowiednich szpilek a następnie owijane drutem.

3. Kontrola techniczna

Zgodność wykonywanych połączeń z dokumentacją produkcyjną jest sprawdzana na innym stanowisku. Kontroler nakłada na uszy słuchawki połączone z magnetofonem, w którym umieszczona jest taśma z nagranymi informacjami o numerach łączonych szpilek. Dzięki temu słuchając jak gdyby czytania numerów oznaczających szpilki, nie potrzebuje odrywać wzroku od szkieletu podsystemu dla zerknięcia do karty dokumentacji. Taka metoda umożliwia osiągnięcie dużej wydajności pracy.

Prawidłowość pracy podsystemu sprawdzana jest przez podłączenie go do symulatora maszyny cyfrowej pracującego według programu testującego. Czas sprawdzania poprawnie zmontowanego podsystemu wynosi około 30 sek. Oczywiście w wypadku konieczności lokalizacji uszkodzenia jest on znacznie dłuższy.

Opisana powyżej technologia montażu i jego kontroli zapewnia prawidłowość działania uruchamianych maszyn. Tak np. podczas uruchamiania maszyny obecnie produkowanej generacji - wykryto tylko trzy błędy montażu.

Mgr inż. JERZY JAGIELSKI
Zakład Urządzeń Wejściowych
i Wyjściowych IMM

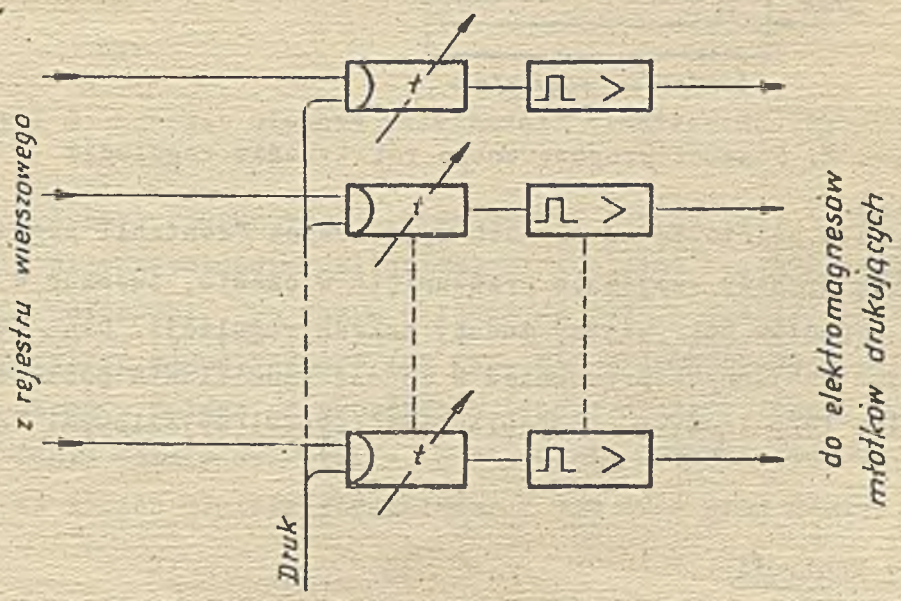
681.327.54'11

PROPOZYCJA ROZWIĄZANIA NIEKTÓRYCH UKŁADÓW MODUŁU DRUKARKI WIERSZOWEJ Z MECHANIZMEM ICT 666

1. Układy korekcji liniowości wiersza tekstu

Dla zapewnienia wymaganej liniowości wiersza tekstu drukowanego w mechanizmie drukarki ICT 666 konieczna jest indywidualna regulacja momentu wyzwolenia impulsu prądowego w poszczególnych elektromagnesach młotków drukujących. Wymagany zakres regulacji - 160 μs, co zapewnia możliwość zmiany położenia znaków w wierszu o ~ 1 mm.

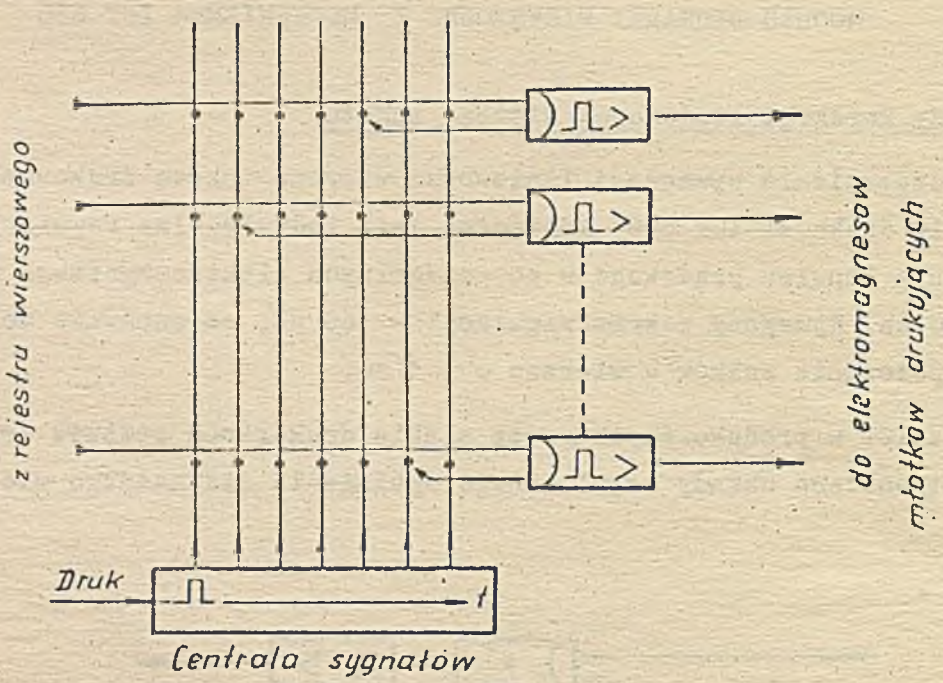
Firma ICT w produkowanych przez siebie drukarkach stosuje indywidualne elektroniczne układy regulowanego opóźnienia dla każdego młotka /rys.1/.



Rys. 1. Schemat rozwiązania regulacji w drukarkach ICT 1933

Układ taki zrealizowany jest na trzech tranzystorach, co pomnożone przez ilość młotków daje 3 x 120 = 360 tranzystorów. Ponadto każdy układ posiada miniaturowy potencjometr, dwie diody oraz oporniki i kondensatory. Rozwiązanie to wymaga więc znacznej ilości materiałów.

Dla zmniejszenia ilości koniecznych materiałów proponuje się w module drukarki zastosowanie wspólnej "centrali sygnałów" wyzwalających impulsy w poszczególnych młotkach. Zasadę pracy proponowanego rozwiązania podano na rys. 2.



Rys. 2. Schemat proponowanego rozwiązania regulacji

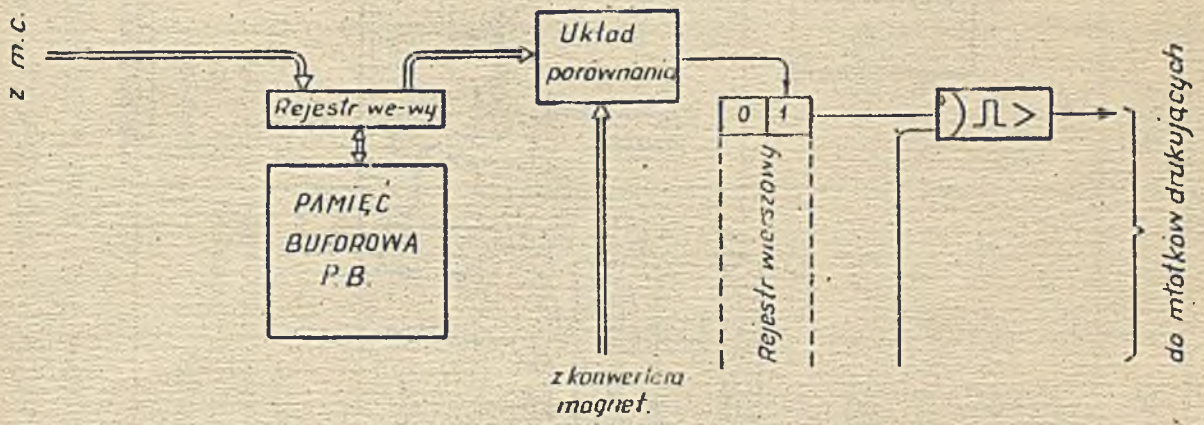
Po sygnale startowym na szynach wyjściowych "centrali sygnałów" pojawiają się sygnały wzajemnie przesunięte w czasie, tworząc w ten sposób ciąg sygnałów pokrywający żądany zakres regulacji. Dla dobrania koniecznych wzajemnych przesunięć w czasie zadziałania poszczególnych młotków ich tory łączymy z odpowiednimi szynami wyjściowymi "centrali sygnałów".

2. Układy kontroli

Informacja przesyłana z EMC do modułu drukarki jest zaopatrzona w bit nieparzystości, co umożliwia objęcie konwencjonalnie rozwiązaną kontrolą torów przesyłania z maszyny i pamięci buforowej /zapis i od-

czyt/. Ponadto dane o położeniu bębna czcionkowego /z konwertera magnetycznego/ są także zaopatrzone w bit nieparzystości, co umożliwia ich kontrolę.

Jak wynika z zasady pracy modułu drukarki* /rys. 3/, po układzie porównania /tożsamości/ informacja zmienia swą postać, co uniemożliwia wykorzystywanie wyżej omówionego bitu nieparzystości do kontroli dalszych układów. W tym przypadku nieobjętych kontrolą jest ~ 30% pakietów pośredniczących w przesyłaniu informacji z EMC do mechanizmu drukującego. W celu zmniejszenia tej proporcji proponuje się zastosowanie niżej opisanego układu kontroli.

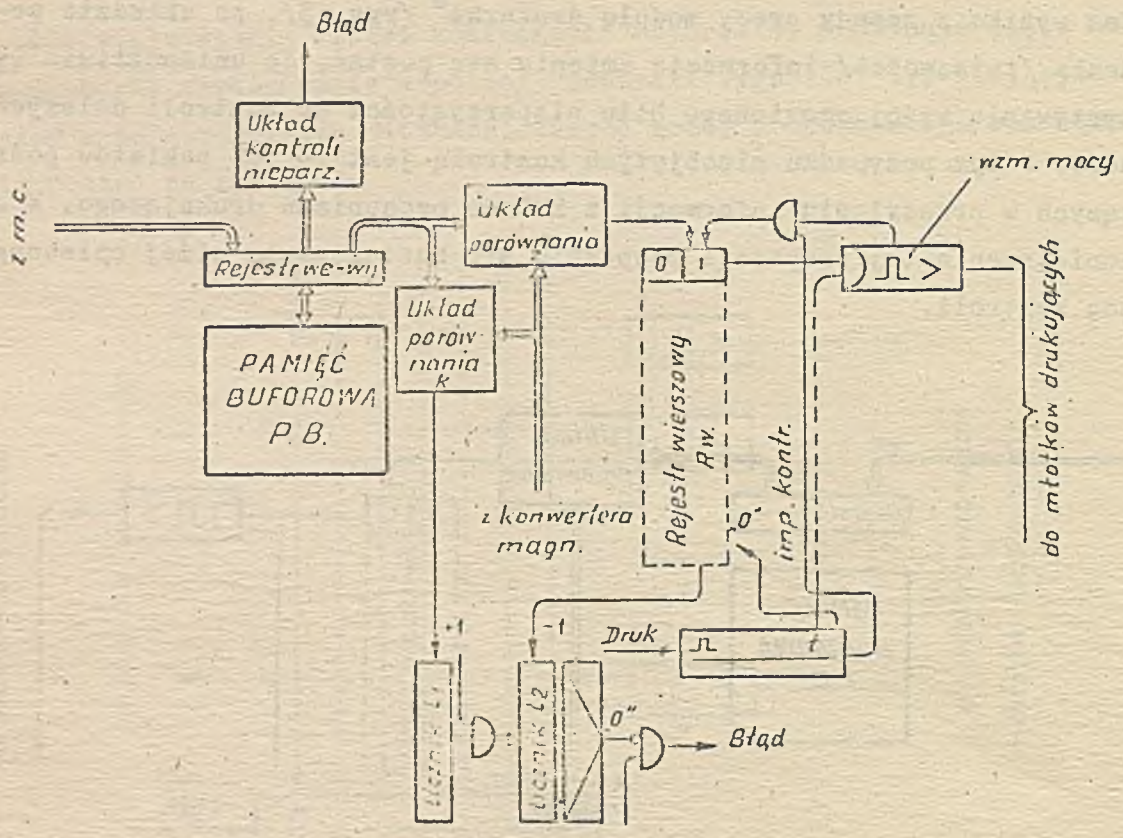


Rys. 3. Schemat blokowy rozwiązania elektroniki drukarki

Schemat blokowy proponowanego rozwiązania podaje rys. 4. Konwencjonalną kontrolę nieparzystości realizujemy kontrolując rejestr wejścia-wyjścia pamięci buforowej. Tym samym układem /w różnym czasie/ kontrolujemy dane z konwertera magnetycznego /na rys. nie uwzględniono/. Kontrola pozostałych układów polega na określeniu liczby młotków, jakie powinny zadziałać w danym takcie drukowania, a następnie sprawdzeniu, czy rzeczywiście taka liczba młotków zadziałała. W tym celu przy pomocy drugiego

* Ogólna koncepcja rozwiązania elektroniki drukarki w zasadzie nie różni się od przyjętego rozwiązania elektroniki drukarki DW-1. /Patrz artykuł J. Jagielski, St. Jaskólski: Elektronika szybkiej drukarki wierszowej z mechanizmem ICT-665. NOWOŚCI TECHNICZNO-EKONOMICZNE, nr 2/1966.

układu porównania /k/ zliczamy w danym takcie ilość dodatnich wyników porównania /licznik L_1/. Następnie zawartość licznika L_1 przepisujemy do licznika L_2. Jak wynika ze schematu /rys. 4/ liczba w liczniku L_2



Rys. 4. Schemat blokowy proponowanego rozwiązania kontroli

odpowiada ilości "1" w rejestrze wierszowym R_w i w konsekwencji ilości wzmacniaczy mocy /a za ich pośrednictwem młotków/, jakie powinny być pobudzane. Rzeczywistą ilość pobudzonych wzmacniaczy mocy określimy na podstawie ilości "1" wpisanych do rejestru wierszowego z ich odpowiednich wyjść. Przedtem rejestr wierszowy jest zerowany. W następnym takcie drukowania /w czasie przesuwania R_w/ "1" zawarte w rejestrze wierszowym są odejmowane od stanu licznika L_2. Pozwala to sprawdzić, czy ilość "1", zawarta w rejestrze R_w, odpowiada ilości uprzednio określonej /stanem L_2/.

Zasada kontroli zarówno w postaci omówionej powyżej jak i po wprowadzeniu ewentualnych modyfikacji może być zastosowana do drukarek jak i do innych urządzeń wyjściowych.

PRZEWIDYWANA WARTOŚĆ PRODUKCJI MASZYN MATEMATYCZNYCH I URZĄDZEŃ ZEWNĘTRZNYCH W KRAJACH EUROPY ZACHODNIEJ W ROKU 1968 W MILIONACH DOLARÓW

	Kraj	Maszyny analogowe i hybrydowe	Konwertery a-c i c-a	Maszyny do zarządzania	Maszyny wojskowe	Maszyny do obliczeń naukowych	Pamięci	Czytniki i inne urządzenia we - wy	Inne urządzenia	Razem
1	NRF	8,6	3,0	212,0	9,6	20,5	20,3	25,0	48,5	347,5
2	Francja	5,6	3,0	142,0	50,3	14,6	18,2	10,1	20,0	263,8
3	W. Brytania	5,3	3,3	173,5	12,9	9,0	16,9	9,0	27,4	257,3
4	Włochy	3,0	1,5	99,0	6,2	3,1	9,5	3,5	22,0	147,8
5	Holandia	1,2	0,9	30,0	3,0	4,0	2,6	3,1	8,5	53,3
6	Szwecja	1,2	0,3	36,4	0,7	3,7	3,0	2,1	5,8	53,2
7	Belgia	1,5	0,7	31,7	2,2	3,0	1,3	2,4	8,0	50,8
8	Szwajcaria	0,3	0,1	28,5	0,5	2,5	1,7	1,1	3,5	38,2
9	Norwegia	1,0	1,5	20,0	2,4	3,5	1,3	0,7	1,3	31,7
10	Hiszpania	0,9	0,4	16,3	1,2	0,9	0,5	0,7	5,1	26,0
11	Dania	0,3	0,1	20,2	0,1	1,6	0,8	0,6	1,8	25,5
	Suma	28,9	14,8	809,6	89,1	66,4	76,1	58,3	151,9	1295,1

Opracowano według czasopisma ELECTRONICS nr 26, 1967

Spis alfabetyczny prac opublikowanych w Nowościach Techniczno-Ekonomicznych IMM za 1966 r. i Nowościach Technicznych IMM za 1967 r.

Skróty:

Nr 1/11/ oznacza Nowości Techniczno-Ekonomiczne Nr 1/11/, 1966
Nr 2/12/ " " " " Nr 2/12/, 1966
Nr 1 " Nowości Techniczne Nr 1, 1967
Nr 2 " " " Nr 2, 1967
Nr 3 " " " Nr 3, 1967
Nr 4 " " " Nr 4, 1967

. BOROWIEC Jan	Czwarte posiedzenie robocze GaIaPEI	Nr 1/11/	s. 25-30
. BOROWIEC Jan	Język PL/I: nowe cechy i elementy wyższych języków programowania	Nr 1	s. 17-33
. CHOROMAŃSKI Stanisław	Programowany podział czasu	Nr 2/12/	s. 3-9
. DAŃDA Jerzy	Dziś i jutro systemów programowania	Nr 1/11/	s. 5-16
. DAŃDA Jerzy	Perspektywy techniki maszyn cyfrowych	Nr 1	s. 3-16
. DAŃDA Jerzy	patrz: Sikorski Andrzej, Dańda Jerzy, Nr 3		
. EKNER Jerzy	Przegląd i analiza urządzeń mechanicznych czytników dokumentów	Nr 1	s. 47-78
. EKNER Jerzy	Stan obecny i tendencje rozwojowe nowoczesnych klawiatur	Nr 4	s. 89-107
. GROSZYŃSKI Jan RELUGA Jan	Maski fotograficzne dla nowych konstrukcji półprzewodnikowych	Nr 2	s. 71-79
. -	Informacje bieżące	Nr 1/11/	s. 51-52
. JAGIELSKI Jerzy JASKÓLSKI Stanisław	Elektronika szybkiej drukarki wierszowej z mechanizmem ICT-665	Nr 2/12/	s. 49-58
. JAGIELSKI Jerzy JASKÓLSKI Stanisław	Koncepcja rozwiązania logicznego przesuwu papieru dla mechanizmu szybkiej drukarki ICT-665	Nr 2/12/	s. 59-66

. JASKÓLSKI Stanisław	patrz: Jagielski J., Jaskólski St., Elektronika... Nr 2/12/		
. JASKÓLSKI Stanisław	patrz: Jagielski J., Jaskólski St., Koncepcja...Nr 2/12/		
. KOJEMSKI Andrzej KOWALEWSKA Maria SINKIEWICZ Tadeusz	Międzynarodowa wystawa elektronicznych maszyn cyfrowych INCOMEX-66	Nr 1	s. 35-46
. KOWALEWSKA Maria	patrz: A. Kojemski, M. Kowalewska, T. Sinkiewicz, Nr 1		
. KWIATKOWSKI Antoni	Magnetyczne warstwy rejestrujące dla pamięci bębnowych: stan obecny i ich ulepszenie	Nr 4	s. 53-69
. MIKA Mirosław	Elastyczne złącza międzywarstwowe dla obwodów drukowanych z laminatu dwustronnie foliowanego	Nr 3	s. 79-81
. NOWAK Eugeniusz SZMYD Józef	Pamięci zewnętrzne maszyn matematycznych	Nr 2	s. 37-52
. NOWAK Eugeniusz	Standaryzacja pamięci bębnowych w ramach RWPG	Nr 4	s. 79-88
. -	Od Redakcji	Nr 1/11/	s. 3-4
. PARVI Stefan	Głowice wielośladowe z podparciem aerodynamicznym dla pamięci bębnowej o dużej pojemności	Nr 3	s. 71-78
. RAWSKI Ryszard	Polskie urządzenia wejściowe i wyjściowe EMC pracujące na taśmie dziurkowanej	Nr 2	s. 53-70
. RELUGA Jan	patrz: J. Groszyński i J. Reluga Nr 2		
. RYŻKO Jan SIKORSKI Andrzej	Pewna metoda doboru warunków selekcji rdzeni ferrytowych	Nr 2/12/	s. 43-47
. RYŻKO Jan	System 2,5 D na tle dotychczasowego rozwoju pamięci ferrytowych	Nr 3	s. 51-70
. RYŻKO Jan	patrz: Z. Sawicki i J. Ryżko. Podstawowe właściwości, Nr 4		
. SAWICKI Zygmunt	Zagadnienie stałego nośnika informacji perspektywicznych pamięci maszyn cyfrowych	Nr 2	s. 15-35

. SAWICKI Zygmunt	Bloki nośnika informacji na drutach magnetycznych pamięci EMC	Nr 3	s. 3-29
. SAWICKI Zygmunt	Bloki nośnika informacji na płaskich warstwach magnetycznych	Nr 4	s. 31-52
. SAWICKI Zygmunt RYŻKO Jan	Podstawowe właściwości cienkich warstw magnetycznych stosowanych w pamięciach EMC	Nr 4	s. 3-29
. SIKORSKI Andrzej	patrz: Ryżko Jan, Sikorski Andrzej, Nr 2/12/		
. SIKORSKI Andrzej DAŃDA Jerzy	Badanie i kontrola ferrytowej pamięci operacyjnej	Nr 3	s. 31-50
. SINKIEWICZ Tadeusz	patrz: A. Kojemski, M. Kowalewska, T. Sinkiewicz Nr 1		
. SZMYD Józef	patrz: E. Nowak i J. Szmyd Nr 2		
. ŚWIĄTKOWSKI Zbigniew	Logiczne układy scalone	Nr 2/12/	s. 11-25
. ŚWIĄTKOWSKI Zbigniew	Uwagi w sprawie EMC opartej o nanosekundową technikę krzemową	Nr 2	s. 3-13
. WALIGÓRSKI Stanisław	Sieci przełączające na kriotronach	Nr 2/12/	s. 25-41
. WRZESZCZ Zdzisław	Zarys rozwoju pamięci z natychmiastowym dostępem	Nr 1/11/	s. 17-24
. WRZESZCZ Zdzisław	Sprawozdanie z podróży służbowej do ZSRR	Nr 1/11/	s. 31-50
. WRZESZCZ Zdzisław	O pewnej realizacji tranzystorowego układu nieliniowego	Nr 4	s. 71-77

Warunki prenumeraty:

Cena prenumeraty krajowej:

rocznie - zł. 100,-

Prenumeraty przyjmowane są do dnia 10 grudnia na rok następny.

Prenumeratę na kraj dla czytelników indywidualnych przyjmują urzędy pocztowe oraz listonosze.
Czytelnicy indywidualni mogą dokonywać wpłat również na konto PKO Nr 1-6-100020 - Centrala Kolportażu Prasy i Wydawnictw "Ruch" Warszawa, ul. Wronia 23.

Wszystkie instytucje państwowe i społeczne mogą zamawiać prenumeratę wyłącznie za pośrednictwem Oddziałów i Delegatur "Ruch".

Prenumeratę ze zleceniem wysyłki za granicę, która jest o 40% droższa od krajowej, przyjmuje Biuro Kolportażu Wydawnictw Zagranicznych "Ruch" Warszawa, ul. Wronia 23 konto PKO Nr 1-6--100024 tel. 20-46-88.

Egzemplarze zdezaktualizowane można nabyć w Punkcie Wysyłkowym Prasy Archiwalnej "Ruch" - Warszawa, ul. Nowomiejska 15/17, konto PKO Nr 114-6-700041 VII O/M Warszawa.