

ZJEDNOCZENIE PRZEMYSŁU  
AUTOMATYKI I APARATURY POMIAROWEJ  
"MERA"

~~INSTYTUT TECHNICZNY BUDOWLANEJ  
OŚRODEK INFORMACJI  
Naukowo-Technicznej i Geodezyjnej  
Warszawa 22, ul. Filtrowa 1~~



**ELEKTRONICZNA TECHNIKA OBLICZENIOWA**

**NOWOŚCI**

**2/1972**



INSTYTUT TECHNIKI BUDOWLANEJ  
OSRODEK INFORMACJI  
Naukowo-Technicznej i Edukacyjnej  
Warszawa 22, ul. Filizowska 1



Φ 3057 / 72

ELEKTRONICZNA TECHNIKA OBLICZENIOWA

NOWOŚCI

KWARTALNIK

Rok XI

Nr 2

1972

Spis treści

str.

Mgr Jacek SZPORKO: Scalone pamięci półprzewodnikowe

Wprowadzenie .....	3
1. Technologiczne podstawy pamięci półprzewodnikowych .....	4
2. Działanie i własności pamięci półprzewodnikowych .....	6
3. Zastosowanie pamięci półprzewodnikowych .....	76
4. Zarys analizy rynku pamięci półprzewodnikowych .....	102
Literatura .....	105

KRÓTKIE INFORMACJE

z kraju .....	111
ze świata .....	117

Wydaje

INSTYTUT MASZYN MATEMATYCZNYCH

Branżowy Ośrodek Informacji Naukowo-Technicznej  
i Ekonomicznej

KOMITET REDAKCYJNY

Jerzy Dańda (red. nacz.), Hanna Drozdowska (sekr. red.),  
Antoni Kwiatkowski, Ryszard Patryn,  
Dorota Prawdzic (zast. red. nacz.), Zbigniew Świątkowski

Adres Redakcji: Warszawa, ul. Krzywickiego 34,  
tel. 28-37-29 lub 21-84-41 wewn. 431

Mgr Jacek SZPORKO  
Ministerstwo Przemysłu Maszynowego

681.382.2/.3:681.327.66

~~INSTITUT TECHNIKI BUDOWLANEJ  
OSRODEK INFORMACJI  
Naukowo-Technicznej i Elektronicznej  
Warszawa 22, ul. Filharmonii~~

## SCALONE PAMIĘCI PÓLPRZEWODNIKOWE

### Wprowadzenie

Pamięci są nieodzownym składnikiem urządzeń cyfrowych, począwszy od prostych kalkulatorów elektronicznych a skończywszy na systemach o gigantycznej zdolności obliczeniowej.

Istnieje wiele środków technicznych, które pozwalają magazynować informacje. Do najbardziej znanych należą środki ferromagnetyczne, mechaniczne, półprzewodnikowe, ultradźwiękowe, optyczne, ferroelektryczne i nadprzewodnikowe. Możliwości rozwiązań będących do dyspozycji projektanta urządzeń cyfrowych są zatem bardzo szerokie. Wybór określonego rozwiązania jest na ogół podyktowany przez wymaganą szybkość, moc, wymiary, niezawodność, dostępność na rynku i funkcjonalność. Różnorodność urządzeń cyfrowych oraz hierarchiczna zwykle struktura pamięci sprawiają, że nie należy ograniczać się do jednego tylko rozwiązania technicznego układów pamięciowych, nawet w pojedynczym urządzeniu. W rezultacie obserwuje się współistnienie wielu rozwiązań, chociaż z drugiej strony podział rynku pamięci według technologii bynajmniej nie ma charakteru statycznego. Względy ekonomiczno-techniczne wyeliminowały na przykład ultradźwiękowe linie opóźniające, zaś udział pamięci półprzewodnikowych wzrasta w stopniu dla wielu specjalistów zaskakującym. Siłą rzeczy udział innych rozwiązań technicznych maleje.

Dynamiczny rozwój pamięci półprzewodnikowych sprawia, że istnieje potrzeba szerszego rozpowszechnienia obszernej już dzisiaj wiedzy związanej z tą dziedziną techniki. Zamierzeniem autora było częściowe przynajmniej sprostanie tej potrzebie.

W rozdziale pierwszym omówiono problemy technologiczne, które są w dużym stopniu niezależne od własności funkcjonalnych pamięci.

W rozdziale drugim przedstawiono zasady działania i własności najważniejszych funkcjonalnych grup pamięci półprzewodnikowych. Problemy zastosowań stanowią treść rozdziału trzeciego. Próbę wymiernego określenia roli pamięci półprzewodnikowych w elektronice stanowi zarys analizy rynku tych pamięci zawarty w czwartym (ostatnim) rozdziale.

## 1. Technologiczne podstawy pamięci półprzewodnikowych

Scalone pamięci półprzewodnikowe są układami o co najmniej średniej, a na ogół wielkiej skali integracji. W konsekwencji rozwój produkcji pamięci półprzewodnikowych był uwarunkowany postępowaniem w technologii układów monolitycznych. Operacje fotolitografii, domieszkowania, pasywacji i montażu musiały być doprowadzone do takiego poziomu technologicznego, który poza przedsięwzięciami laboratoryjnymi nie posiada precedensów.

W niniejszej pracy problemy technologii zostaną przedstawione w bardzo zwięzłym, syntetycznym ujęciu<sup>1</sup>.

Procesy technologiczne stosowane w produkcji scalonych pamięci półprzewodnikowych mogą być na ogół jednoznacznie przyporządkowane do jednej z następujących grup:

- technologie unipolarne,
- technologie bipolarne,
- technologie oparte na półprzewodnikach amorficznych.

Istota technologii unipolarnych polega na jednonośnikowym mechanizmie transportu w obszarze aktywnym, skąd zresztą wywodzi się ich nazwa. W praktyce do technologii unipolarnych zaliczana jest obecnie technologia MOS ze wszystkimi modyfikacjami (MNOS, MIS, CIS, MAOS itd.) oraz mało jeszcze znana grupa rozwiązań technologicznych wykorzystujących sprzężenia ładunkowe (CCD, BB).

<sup>1</sup> Autor zakłada tutaj, że czytelnik jest ogólnie zorientowany w technologii układów monolitycznych.

Wszystkie technologie unipolarne wyróżniają się prostotą, która stanowi ich główną zaletę. Umożliwia ona produkcję tanich układów o wielkiej skali integracji, którą może charakteryzować liczba kilku tysięcy elementów logicznych w jednej strukturze krzemowej o powierzchni kilku milimetrów kwadratowych. Ogólnie wiadomo, że układy unipolarne są to układy o daleko posuniętej integracji, pobierające bardzo małą moc, tanie, ale jednocześnie powolne. Opinia ta traci obecnie na aktualności w tym sensie, że różnica szybkości działania między układami unipolarnymi a bipolarnymi znacznie się zmniejsza. Zastosowanie krzemowych bramek, tranzystorów MOS z kanałem typu N, wykorzystanie implantacji jonów oraz inne przedsięwzięcia technologiczne spowodowały przesunięcie granicznej częstotliwości synchronizacji układów MOS do kilkudziesięciu MHz bez utraty wymienionych uprzednio zalet.

Zresztą układy unipolarne ulegają dalszemu upraszczaniu. Na przykład układy sprzężone ładunkowo (CCD) stanowią w istocie tylko zespoły kondensatorów. Rozwiązanie to bez wątpienia będzie coraz szerzej stosowane w produkcji.

Kilka lat temu bipolarne (tzn. w praktyce oparte na tranzystorach n-p-n i p-n-p) układy scalone posiadały własności komplementarne w stosunku do układów unipolarnych. Było to rozumiane w ten sposób, że wprawdzie układy bipolarne są niezbyt zaawansowane pod względem integracji, rozpraszają dużą moc i są kosztowne, to jednak bezsprzecznie górują szybkością nad układami unipolarnymi. W ostatnich latach (1971-1972) cechy układów bipolarnych uległy - a raczej stopniowo ulegają - przewartościowaniu. Zachowując dużą szybkość układy te zdecydowanie wkraczają w zakres wielkiej skali integracji, a to przez stosowanie nowych technologii, które ogólnie polegają na uproszczeniu izolacji elementów. Znane osiągnięcia w tym zakresie to technologia izolplanarna, BDI, CDI, TRIM i inne. W rezultacie przy zbliżonym koszcie - pojemności pamięci unipolarnych i bipolarnych stają się bliskie. Coraz trudniej jest o jednoznaczne decyzje w sprawie wyboru technologii układów pamięciowych zależnie od stawianych wymagań funkcjonalnych.

Z czasem polityka firm produkujących pamięci półprzewodnikowe będzie musiała być ściślej niż obecnie skorelowana z realnymi możliwościami

technologiczno-ekonomicznymi, co spowoduje ostrą selekcję wśród kilkunastu rozpowszechnionych obecnie procesów technologicznych.

Poza technologiami unipolarnymi i bipolarnymi rozwijane są (aczkolwiek niezbyt intensywnie) technologie oparte na efektach pamięciowych w materiałach amorficznych, jakimi są np. szkła półprzewodnikowe. Jest to jeszcze jeden objaw ekspansywnego rozwoju technologii pamięci półprzewodnikowej, chociaż obecnie uzyskiwane własności układów amorficznych nie są dostatecznie konkurencyjne.

Ogólnym wymaganiem stawianym obecnie wszystkim technologiom układów pamięciowych jest dopasowanie pod względem zasilania, poziomu sygnałów i impedancji (ang. compatibility) z układami realizującymi funkcje logiczne. Wchodzi tu w rachubę nie tylko wyeliminowanie strat związanych ze specjalnymi układami dopasowującymi, ale także możliwość integracji części logicznej i pamięciowej w urządzeniach cyfrowych. Warunkiem tej integracji jest zawsze jednorodność technologiczna.

Czytelnikowi, któremu nie wystarczy powyższy zarys podstaw technologicznych pamięci półprzewodnikowych, proponujemy zaznajomienie się z publikacjami wymienionymi w spisie literatury [2] + [53], [89], [90].

## 2. Działanie i własności pamięci półprzewodnikowych

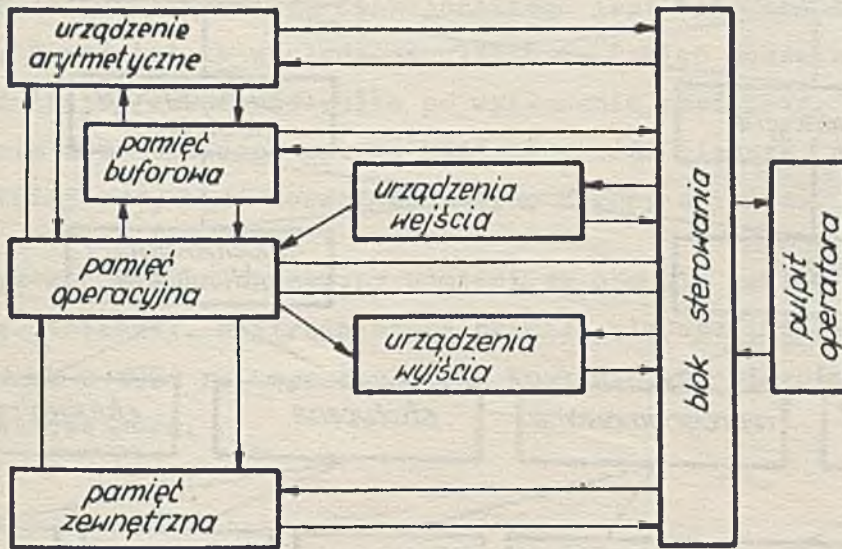
### 2.1. Klasyfikacja funkcjonalna pamięci półprzewodnikowych

We współczesnych urządzeniach i systemach cyfrowych z reguły występują pamięci, które różnią się od siebie przede wszystkim szybkością i pojemnością. Wymagania stawiane pamięciom są sprzeczne ze sobą, ponieważ w praktyce wzrostowi pojemności towarzyszy zwykle spadek szybkości. Wynika stąd pośrednio potrzeba hierarchicznej organizacji pamięci, w której obok dużych i stosunkowo powolnych pamięci występują także pamięci o małej pojemności i o szybkościach wystarczających do bezpośredniej współpracy z procesorami.

Na rys. 1 pokazano przykładowy, bardzo uproszczony schemat blokowy elektronicznej maszyny cyfrowej, z którego wynikają powiązania organi-



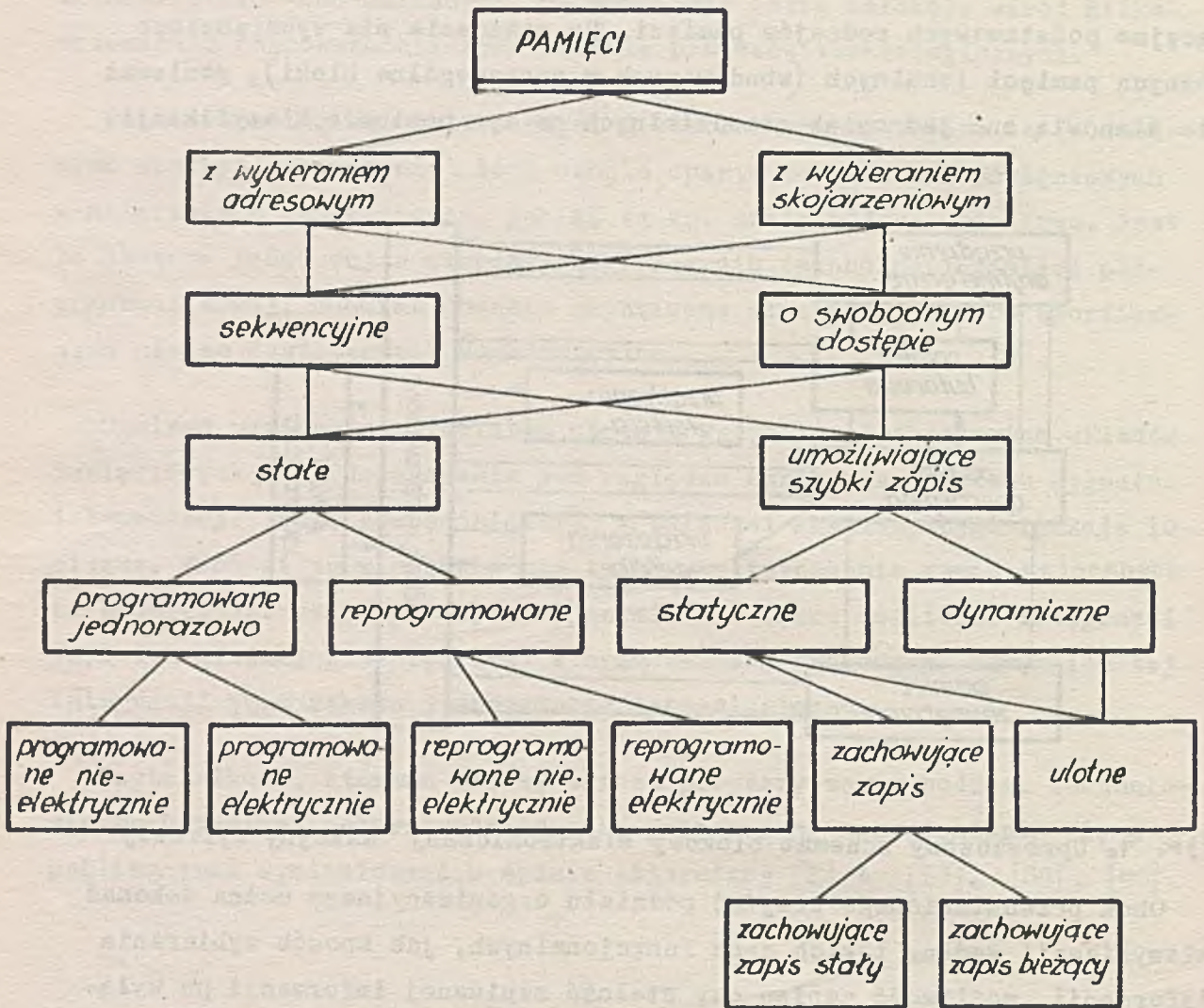
zacyjne podstawowych rodzajów pamięci. Na schemacie nie wyodrębniono różnych pamięci lokalnych (wbudowanych w poszczególne bloki), ponieważ nie stanowią one jednostek samodzielnych na tym poziomie klasyfikacji.



Rys. 1. Uproszczony schemat blokowy elektronicznej maszyny cyfrowej

Obok przedstawionego powyżej podziału organizacyjnego można dokonać klasyfikacji według takich cech funkcjonalnych, jak sposób wybierania informacji, możliwość zapisu czy stałość zapisanej informacji po wyłączeniu zasilania. Na rys. 2 przedstawiono schematycznie podział funkcjonalny pamięci. W pamięciach z wybieraniem adresowym określana jest z góry fizyczna lokalizacja tej komórki pamięci, której zawartość jest w określonym czasie potrzebna. Natomiast wybieranie skojarzeniowe polega na równoczesnym badaniu zawartości wielu komórek. Na wyjście pamięci skojarzeniowej dostarczane są te spośród uprzednio zapisanych słów, które spełniają pewne z góry określone warunki (np. pokrywanie się fragmentów słów z zadany wzorem).

Dostęp do zapisanej informacji może być (jak widać na rys. 2) sekwencyjny lub swobodny. Z dostępem sekwencyjnym mamy do czynienia wtedy, gdy zawartość komórek pamięciowych jest dostępna na wyjściu szeregowo, według określonej sekwencji czasowej. Jeśli zaś czas odczytywania danych jest praktycznie niezależny od fizycznej lokalizacji aktualnie adresowanych komórek pamięciowych, dostęp jest uważany za swobodny.



Rys. 2. Podział pamięci półprzewodnikowych ze względu na własności funkcjonalne

Żąda się najczęściej od pamięci, aby umożliwiała ona szybki, bieżący zapis danych. Tym niemniej z różnych względów technicznych i ekonomicznych realizuje się także pamięci stałe, których zawartość może być określana jednorazowo lub wielokrotnie, przy czym operacje programowania<sup>1</sup> pamięci stałej oraz jej reprogramowania są względnie powolne.

<sup>1</sup> Programowanie jest tutaj i w dalszym ciągu pracy rozumiane jako ustalanie zawartości pamięci stałej.

Pamięci umożliwiające szybki zapis dzielą się na statyczne i dynamiczne. Dla pamięci statycznych charakterystyczne jest, że informacja posiada stałą lokalizację fizyczną (adres). W pamięciach dynamicznych występuje ciągle przemieszczanie się informacji względem jej nośnika.

Uzupełnieniem podziału funkcjonalnego jest przedstawiony również na rys. 2 podział ze względu na ulotność. Pamięć uważana jest za ulotną, jeżeli jej zawartość znika po wyłączeniu zasilania. Po wyłączeniu zasilania może być zachowywana bądź zawartość bieżąca (przypadek najkorzystniejszy), bądź zawartość stała, z góry ustalona.

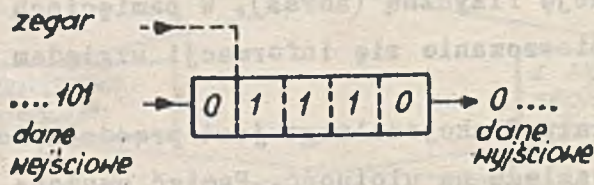
Wszystkie wymienione grupy pamięci są obecnie realizowane w wersji półprzewodnikowej. Najtrudniejsze okazało się wyeliminowanie ulotności, jednak w 1971 r. uzyskano wiele konkretnych osiągnięć, o czym będzie jeszcze mowa.

## 2.2. Rejestry przesuwowe

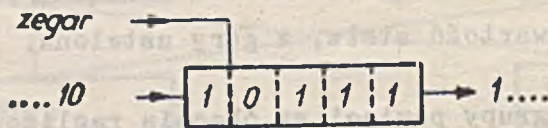
### 2.2.1. D z i a ł a n i e r e j e s t r ó w p r z e s u w o w y c h

Rejestr przesuwowy (ang. shift register) stanowi łańcuchowy zespół komórek pamięciowych; których zawartość ulega przesunięciu po doprowadzeniu odpowiedniego impulsu sterującego lub impulsów sterujących.

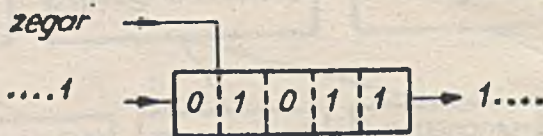
Działanie rejestru przesuwowego zilustrowano przykładowo na rys. 3. Dane wpisywane są do rejestru najczęściej szeregowo, szeregowo są także dostępne na wyjściu. Stąd wielobitowe rejestry przesuwowe zalicza się najczęściej do pamięci sekwencyjnych. Istnieją wszakże odmiany rejestrów przesuwowych, w których wprowadza się dane szeregowo i wyprowadza równolegle. Istnieją też odmiany, w których możliwe jest równoległe wprowadzanie i szeregowo wyprowadzanie danych. Odmiany te pokazano na rys. 4. Tak więc cechą wyróżniającą rejestry przesuwowe pozostaje możliwość przesuwania zawartości, nie zaś rodzaj dostępu do informacji. Oczywiście, dłuższe rejestry zawsze są wykonywane z szeregowym wprowadzaniem i wyprowadzaniem danych, bowiem liczba kontaktów i wyprowadzeń obudowy jest ograniczona względami konstrukcyjnymi.



Przed sygnałem zegarowym

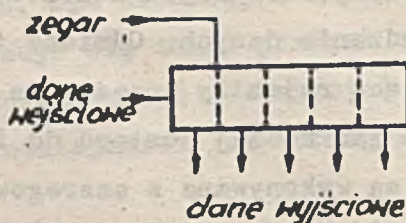


Po pierwszym sygnale



Po drugim sygnale

Rys. 3. Działanie rejestru przesuwowego



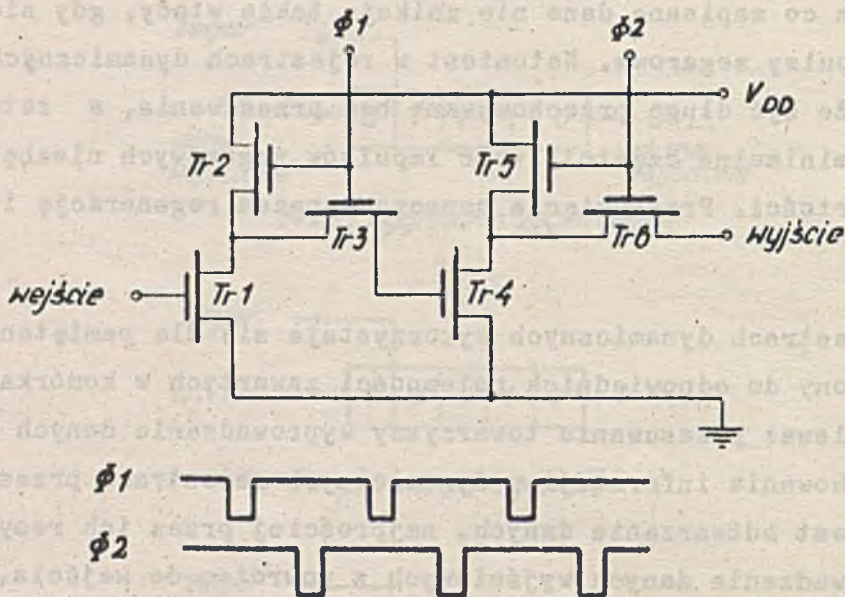
Rys. 4. Odmiiany rejestrów przesuwowych

Rejestry przesuwowe dzielone są na statyczne i dynamiczne. W rejestrach statycznych komórkami pamięciowymi są układy bistabilne (przerzutniki), przez co zapisane dane nie znikają także wtedy, gdy nie są doprowadzane impulsy zegarowe. Natomiast w rejestrach dynamicznych informacja nie może być długo przechowywana bez przesuwania, a zatem istnieje pewna minimalna częstotliwość impulsów zegarowych niezbędna do zachowania zawartości. Przesunięcie oznacza zarazem regenerację informacji.

Zwykle w rejestrach dynamicznych wykorzystuje się dla pamiętania ładunek doprowadzony do odpowiednich pojemności zawartych w komórkach pamięciowych. Ponieważ przesuwaniu towarzyszy wyprowadzanie danych z rejestru, dla zachowania informacji w dynamicznych rejestrach przesuwowych wymagane jest odtwarzanie danych, najprościej przez ich recyrkulację, tj. doprowadzenie danych wyjściowych z powrotem do wejścia.

Rejestry przesuwowe są szczególnie podatne na scalanie przy użyciu technologii MOS. Istotne jest zwłaszcza to, że układ komórek pamięciowych jest szeregowy, dzięki czemu nie jest wymagana duża liczba połączeń każdej komórki z obwodami zewnętrznymi. W układach MOS dużej liczbie połączeń zewnętrznych towarzyszy znaczna pojemność pasożytnicza związana ze ścieżkami przewodzącymi. To z kolei, przez zwiększenie stałych czasu RC, obniża szybkość działania układów. Rejestry przesuwowe pozwalają w rezultacie w pełni ocenić zalety technologii MOS, a więc głównie małą powierzchnię struktur ze wszystkimi płynącymi stąd korzyściami.

Rozpocznijmy zatem przegląd rejestrów przesuwowych od rejestrów MOS. Najprostszym układem jest rejestr dynamiczny. Na rys. 5 pokazano stopień, tj. pojedynczą komórkę pamiętającą takiego rejestru oraz niezbędne impulsy przesuwające, w tym przypadku dwufazowe [54]. Stopień jest złożony z sześciu tranzystorów MOS z kanałem wzbogacanym typu p. Do wejść  $\Phi 1$  i  $\Phi 2$  doprowadzane są impulsy zegarowe. Gdy synchronicznie z impulsem  $\Phi 1$  do wejścia doprowadzony zostaje potencjał ujemny reprezentujący zwyczajowo jedynkę logiczną, tranzystory T1, T2, T3 przewodzą, przez co bramka tranzystora T4, ulega rozładowaniu niemal do potencjału ziemi. Zakończenie impulsu  $\Phi 1$  powoduje wyłączenie tranzystorów T1, T2 i T3; w ten sposób tranzystor T4 jest odizolowany w stanie rozładowanym.



Rys. 5. Schemat jednego stopnia dynamicznego rejestru MOS synchronizowanego 2-fazowo wraz z impulsami synchronizującymi

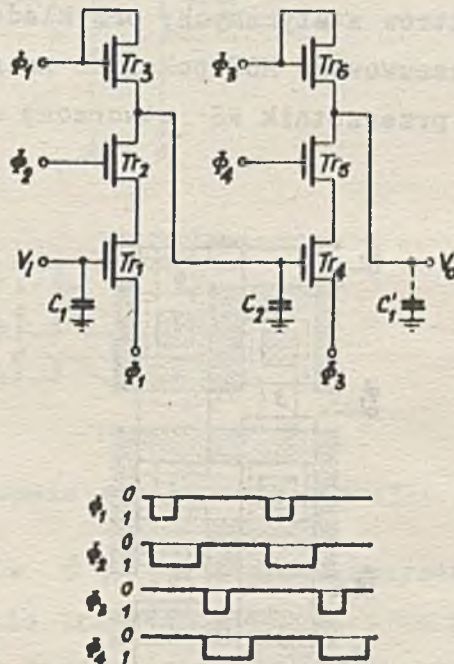
Doprowadzenie impulsu  $\Phi 2$  powoduje przewodzenie tranzystorów T5 i T6, natomiast tranzystor T4 nadal nie przewodzi. W konsekwencji ujemny potencjał reprezentujący jedynekę ulega przeniesieniu do następnego stopnia rejestru. Po wyłączeniu się impulsu  $\Phi 2$  tranzystor T6 izoluje dwa stopnie rejestru.

W czasie jednego cyklu nastąpiło zatem przesunięcie zawartości rejestru przesuwowego o jeden stopień. Czytelnikowi pozostawiamy przesłedzenie propagacji zera logicznego wzdłuż rejestru.

Wielu wytwórców wykorzystuje elementy dynamiczne sterowane cztero-fazowo, co zapewnia nieco większą szybkość, a przede wszystkim mniejszą moc rozpraszaną. Przykład stopnia synchronizowanego za pomocą cztero-fazowych impulsów zegarowych pokazano na rys. 6.

W momencie doprowadzenia do wejścia ujemnego potencjału reprezentującego zwyczajowo jedynekę logiczną tranzystor  $Tr_1$  jest otwierany. Pojemność  $C_1$  jest pojemnością bramki tranzystora  $Tr_1$  oraz ścieżki przewodzącej doprowadzonej do tej bramki. Prąd drenu zaczyna płynąć dopiero po otworzeniu tranzystorów  $Tr_2$  i  $Tr_3$ , co dzieje się za sprawą pary

impulsów sterujących  $\Phi 1$  i  $\Phi 2$ . Impuls ładuje pojemność  $C_2$ , na którą składa się pojemność bramki tranzystora  $Tr_4$  oraz ścieżki przewodzącej doprowadzonej do tej bramki. W dalszym ciągu impuls  $\Phi 1$  zanika, podczas gdy impuls  $\Phi 2$  trwa nadal. W rezultacie  $Tr_3$  przestaje przewodzić, zaś  $C_2$  rozładowuje się przez kanały tranzystorów  $Tr_1$  i  $Tr_2$ . Po zakończeniu impulsu  $\Phi 2$  doprowadzane są impulsy  $\Phi 3$  i  $\Phi 4$ , które powodują, że stan przewodzenia osiągają tranzystory  $Tr_5$  i  $Tr_6$ . Tranzystor  $Tr_4$  pozostaje wyłączony, ponieważ pojemność  $C_2$  jest rozładowana. Tym razem ładowaniu podlega pojemność następnego stopnia ( $C'_1$ ) przez tranzystor  $Tr_6$ . Wyłączenie się impulsu zapobiega rozładowywaniu się tej pojemności.



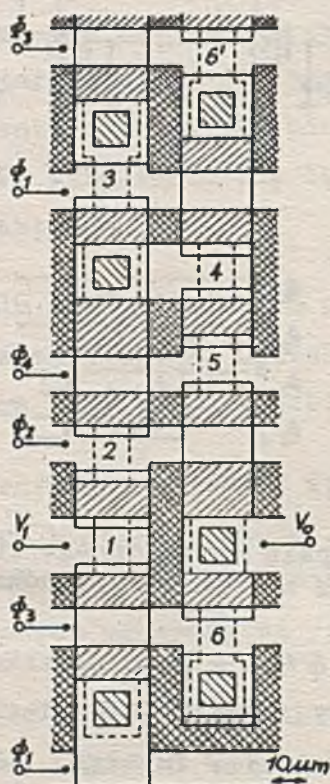
Rys. 6. Schemat jednego stopnia dynamicznego rejestru MOS synchronizowanego 4-fazowo wraz z impulsami synchronizującymi

Po zakończeniu impulsu  $\Phi 4$  - a więc po zakończeniu jednego cyklu działania układu - na wyjściu pozostaje napięcie ujemne, które początkowo było doprowadzone do wejścia. Impulsy  $\Phi 1 - \Phi 4$  spowodowały przesunięcie zawartości rejestru o jeden stopień. Analogicznie następuje przesuwanie zera logicznego.

Zauważmy, że wprawdzie przedstawiony układ wymaga dość złożonej czterofazowej synchronizacji, jednak nie doprowadza się do niego stałych napięć zasilania. Stopień jest po prostu zasilany impulsowo. Odbija się to korzystnie na rozpraszanej mocy.

Na rys. 7 przedstawiono typową topografię stopnia synchronizowanego czterofazowo. Topografia ta została tak zaprojektowana, żeby było łatwe szeregowo łączenie kolejnych stopni rejestru. Ścieżki przewodzące, wchodzące do stopnia, są wyprowadzane na tym samym poziomie z drugiej strony. Jednocześnie ścieżki  $\Phi 1$  i  $\Phi 3$  pozwalają na zasilanie sąsiednich łańcuchów rejestru na tej samej płytce krzemowej (zwykle rejestr jest projektowany w postaci meandra). Tranzystor  $Tr_6$  należy do sąsiedniego łańcucha komórek pamięciowych.

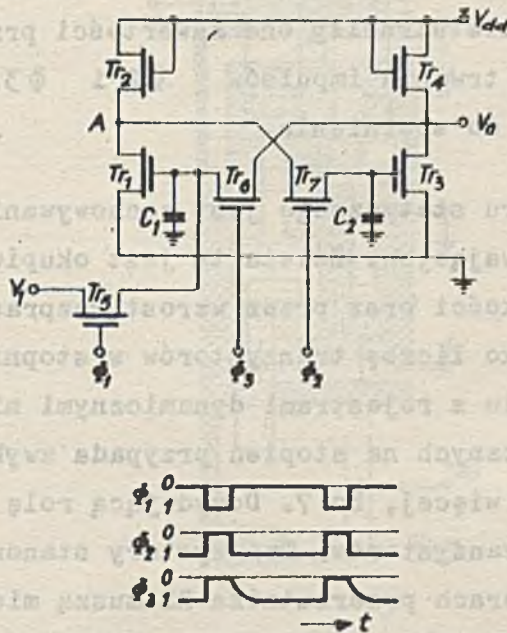
Przejdźmy do rejestrów statycznych; przykładowy schemat stopnia statycznego rejestru przesuwowego MOS pokazano na rys. 8 [55]. W tym przypadku jest to prosty przerzutnik RS utworzony z dwóch inwerterów



Rys. 7. Topografia jednego stopnia dynamicznego rejestru MOS synchronizowanego 4-fazowo



(jeden na tranzystorach  $Tr_1$  i  $Tr_2$ , drugi na  $Tr_3$  i  $Tr_4$ ) sprzęgniętych krzyżowo za pomocą tranzystorów  $Tr_6$  i  $Tr_7$ . Pojemności  $C_1$  i  $C_2$  reprezentują pojemność bramek tranzystorów  $Tr_1$  i  $Tr_3$  w stosunku do podłoża oraz pojemności pasożytnicze, związane głównie ze ścieżkami przewodzącymi doprowadzonymi do tych bramek. Komórka jest sterowana trójfazowo. Sygnały sterujące  $\Phi 2$  i  $\Phi 3$  różnią się jedynie szybkością opadania zbocza.



Rys. 8. Schemat jednego stopnia statycznego rejestru przesuwowego MOS

Po doprowadzeniu impulsów  $\Phi 1$ ,  $\Phi 2$  i  $\Phi 3$  tranzystory  $Tr_6$  i  $Tr_7$  ulegają wyłączeniu. Jednocześnie tranzystor  $Tr_5$  zaczyna przewodzić. Jeżeli do wejścia  $V_1$  zostało doprowadzone ujemne napięcie reprezentujące najczęściej jedynekę logiczną - kondensator  $C_1$  ładuje się ujemnie, otwierając przez to tranzystor  $Tr_1$ . Gdy sygnał  $\Phi 1$  wraca do poziomu 0, tranzystor  $Tr_5$  przestaje przewodzić. W tym samym czasie sygnały  $\Phi 2$  i  $\Phi 3$  wracają do stanu 1, tzn. do napięcia ujemnego. Umożliwia to otworenie tranzystorów sprzęgających przerzutnik ( $Tr_6$  i  $Tr_7$ ). Tranzystor  $Tr_7$  zaczyna przewodzić nieco wcześniej, więc za jego pośrednictwem rozładowuje się pojemność  $C_2$  (jeśli założymy, że przed rozpoczęciem cyklu komórka znajdowała się w stanie 0). Powoduje to wyłączenie tranzystora  $Tr_3$ . Napięcie wyjściowe staje się

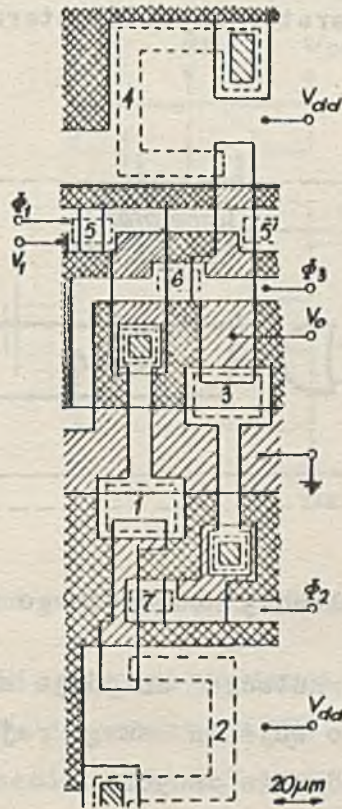
ujemne, co odpowiada stanowi 1. Tym samym doprowadzona informacja uległa przesunięciu o jeden stopień. Analogicznie zachodzi propagacja zera.

Zmiana stanu przerzutnika wymagała więc chwilowego przerwania sprzężenia krzyżowego. Przerwanie sprzężenia umożliwiło zmianę stanu inwertera  $Tr_1 - Tr_2$ , co z kolei po wznowieniu sprzężenia wpłynęło na stan drugiego inwertera ( $Tr_3 - Tr_4$ ). Również i w przerzutniku statycznym wykorzystuje się pojemności do chwilowego przechowywania informacji. Wystarcza jednak, żeby nie utraciły one zawartości przez czas rzędu  $10 \mu s$ , tzn. przez czas trwania impulsów  $\Phi_2$  i  $\Phi_3$ . W praktyce jest to warunek bardzo łatwy do spełnienia.

Wielką zaletą rejestru statycznego jest zachowywanie informacji bez dopływu impulsów przesuwających. Zaleta ta jest okupiona przez spadek stopnia scalenia i szybkości oraz przez wzrost rozpraszanej mocy. Jeśli rozpatrywać samą tylko liczbę tranzystorów w stopniu, to spadek stopnia scalenia w porównaniu z rejestrami dynamicznymi nie jest zrozumiałe. W rejestrach dynamicznych na stopień przypada zwykle 6 tranzystorów, tutaj zaś niewiele więcej, bo 7. Decydującą rolę grają jednakże rozmiary geometryczne tranzystorów. Tranzystory stanowiące obciążenie w poszczególnych inwerterach przerzutnika RS muszą mieć większe rozmiary geometryczne (ściśle biorąc stosunek szerokości kanału do jego długości powinien być znacznie mniejszy) w porównaniu z tranzystorami przełączającymi  $Tr_1$  i  $Tr_3$ . Ma to na celu osiągnięcie odpowiednich proporcji w dzielnikach napięciowych  $Tr_1-Tr_2$  oraz  $Tr_3-Tr_4$  i tym samym utrzymanie poziomu napięcia na wyjściu poniżej poziomu wymaganego dla stanu "0". W rejestrach dynamicznych poziom zera na wyjściu nie był zależny od jakiegokolwiek dzielnika tego typu, a zatem wszystkie tranzystory mogły mieć małe rozmiary geometryczne (a przynajmniej niewiele różniące się od siebie).

W rezultacie rejestr statyczny o tej samej długości posiada zwykle około 2-krotnie większą powierzchnię niż dynamiczny. Ilustracją tego jest rys. 9, na którym pokazano geometrię jednego stopnia rejestru statycznego. Różnica w stosunku do stopnia pokazanego na rys. 7 staje się widoczna po uwzględnieniu skali. Odbija się to niekorzystnie na

sprawności procesu produkcyjnego. Przy tym samym poziomie technologii rejestry dynamiczne są zwykle dwukrotnie dłuższe.

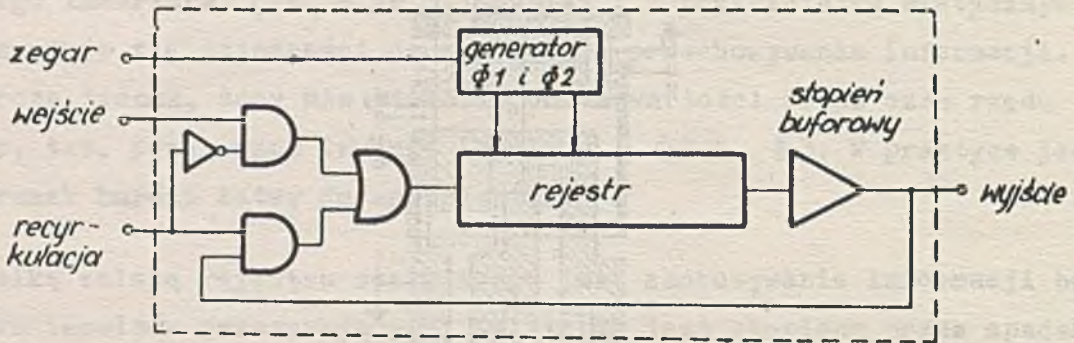


Rys. 9. Topografia jednego stopnia statycznego rejestru przesuwowego MOS

Nie koniec na tym; zauważmy, że rejestry statyczne są z reguły wolniejsze. Pojemności  $C_1$  i  $C_2$  ulegają ładowaniu przez tranzystory  $Tr_2$  i  $Tr_4$ , które – jak już wspomniano – są tranzystorami obciążającymi o małej konduktancji kanału w stanie włączenia. Oznacza to duże stałe RC, które w układach MOS są czynnikiem determinującym szybkość przełączania. Rozpatrując z kolei rozpraszaną moc łatwo zauważyć, że istnieje tu ciągły przepływ prądu przez jeden z inwerterów także i poza okresem przełączania. W rejestrach dynamicznych okresy wyłączenia impulsów przesuwających były okresami, w których rozpraszana moc była praktycznie zerowa. W wyniku tych różnic rejestry statyczne o tej samej długości rozpraszają moc o rząd większą, niż dynamiczne.

Powracając do rejestrów przesuwowych MOS traktowanych jako całość, zwróćmy uwagę na pewne dodatkowe składniki tych rejestrów, występujące

obok samych komórek pamięciowych. Typowy schemat blokowy nowoczesnego rejestru przesuwowego pokazano na rys. 10. Poza łańcuchem komórek pamięciowych wyróżnia się tutaj wejściowy zespół elementów logicznych ułatwiających recyrkulację danych, wyjściowy stopień buforowy oraz wyzwalany zewnętrznie generator impulsów sterujących.



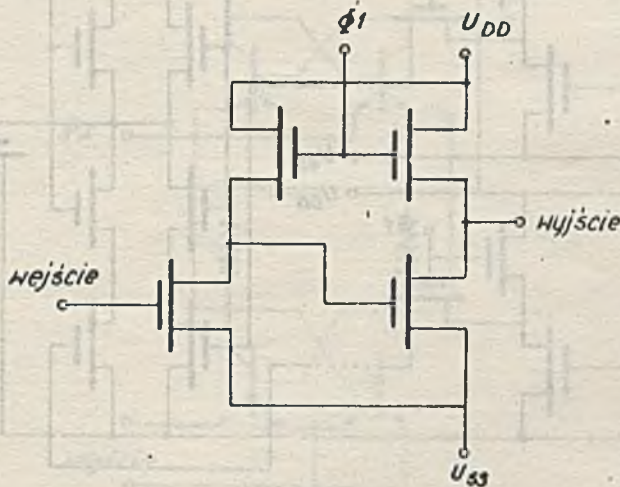
Rys. 10. Schemat blokowy nowoczesnego rejestru przesuwowego

Jeżeli wejście "Recyrkulacja" znajduje się w stanie 1, to dane wyjściowe są doprowadzane do wejścia samego rejestru. W przeciwnym wypadku następuje tylko wyprowadzenie danych.

Stopień buforowy jest niezbędny do uzyskania odpowiedniej obciążalności rejestru. Zawiera on zwykle tranzystory MOS o powierzchni na tyle dużej, aby możliwe było wysterowanie obciążenia o dużej pojemności. Często stopień buforowy zawiera elementy regulacyjne (sterowane z zewnątrz napięciem stałym), które pozwalają zmieniać poziom sygnałów wyjściowych. W szczególności można tą drogą uzyskać dopasowanie wysokoprogowych układów MOS dostateczne dla bezpośredniej współpracy MOS/TTL. Przykład takiego właśnie stopnia pokazano na rys. 11. Jest to przeciwsobny układ tranzystorów sterowany sygnałami o przeciwnej fazie. Przy odpowiednim zasilaniu (w pewnym konkretnym typie rejestru przy  $U_{DD} = 0$ ,  $U_{SS} = +5\text{ V}$ ) możliwe jest bezpośrednie sterowanie układami TTL.

Generatory impulsów synchronizujących zapewniają buforowanie zewnętrznych impulsów zegarowych oraz pozwalają na otrzymanie impulsów

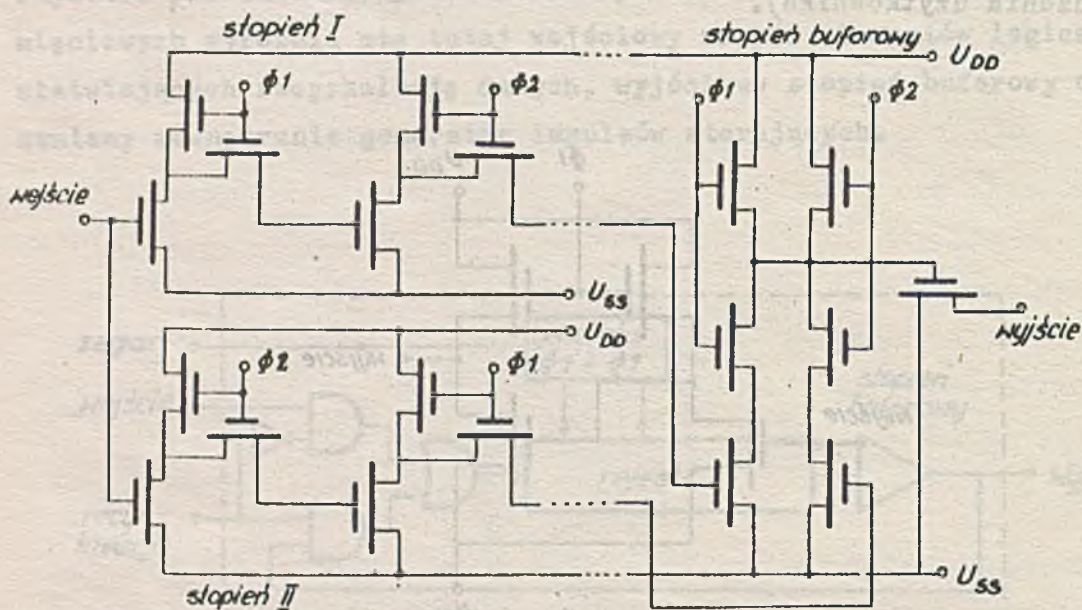
wielofazowych, przez co układ jest synchronizowany jednofazowo (z punktu widzenia użytkownika).



Rys. 11. Stopień buforowy rejestru przesuwowego MOS

Wreszcie warto zwrócić uwagę na pewien szczególny sposób synchronizowania długich rejestrów dynamicznych MOS stosowany przez niektórych wytwórców w celu zwiększenia szybkości wprowadzania danych. Sposób ten przedstawiono schematycznie na rys. 12. Rejestr dzieli się na dwa równoległe łańcuchy komórek pamięciowych, które są synchronizowane przez impulsy przesunięte w fazie. Gdy w jednym łańcuchu impuls  $\Phi 1$  uruchamia pierwszy inwerter określonej komórki pamięciowej, to w drugim łańcuchu w analogicznej komórce ten sam impuls  $\Phi 1$  uruchamia drugi inwerter. W rezultacie przesunięcie następuje dwukrotnie w ciągu jednego okresu powtarzania impulsów synchronizujących. W rejestrze tego typu maksymalna częstotliwość wprowadzania i wyprowadzania danych dwukrotnie przekracza maksymalną częstotliwość impulsów zegarowych. Efekt zewnętrzny jest więc taki, jak gdyby poszczególne łańcuchy rejestru były na przemian wybierane przez multiplexsor. Często zresztą układy takie noszą nazwę układów z wewnętrznymi multiplexsorami. W rzeczywistości multiplexsory te najczęściej nie istnieją.

Przejdźmy obecnie do rejestrów przesuwowych realizowanych za pomocą technologii bipolarnej. Rejestry te są zwykle typu statycznego.

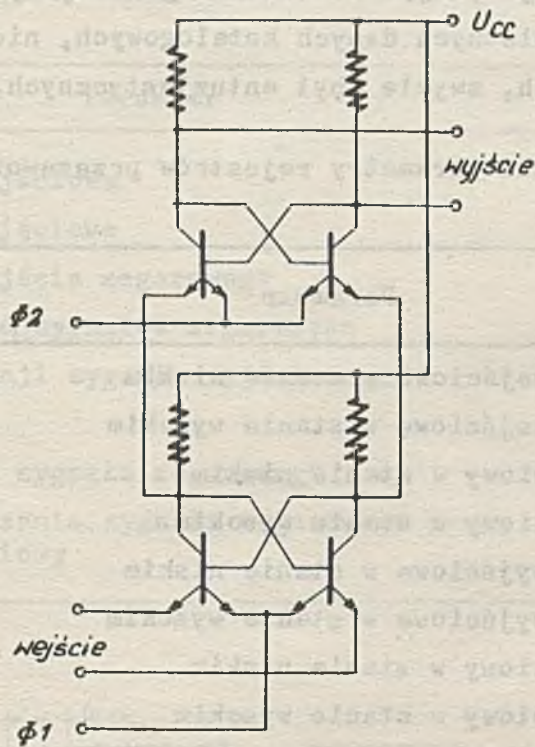


Rys. 12. Schemat rejestru MOS z wewnętrznym multipleksowaniem

Typowym elementem scalonego rejestru bipolarnego jest układ bistabilny (przerzutnik) RS typu MASTER-SLAVE, działający dwufazowo. Jego typowy schemat przedstawiono na rys. 13 [56]. Rozwiązanie MASTER-SLAVE jest najpopularniejszym rozwiązaniem wszelkich scalonych przerzutników bipolarnych. Popularność ta wynika z charakterystycznej dla tego układu odporności na nieidealny kształt impulsów zegarowych.

W przedstawionym układzie mamy do czynienia z synchronizacją dwufazową. Sygnały zegarowe są tak ustawione, że w żadnym momencie nie znajdują się jednocześnie w stanie H (wysokim), który można identyfikować z jedynką. Gdy impuls  $\phi 1$  jest w stanie 1, sygnał wejściowy powoduje ustawienie pierwszej sekcji przerzutnika (MASTER). Po zamianie stanu impulsów zegarowych ustawiana jest druga sekcja (SLAVE); na tym kończy się elementarny cykl pracy układu.

Rejestry bipolarne są na tyle złożone, że stosowanie ich ogranicza się do tych przypadków, w których ze względu na wymaganą szybkość nie mogą być stosowane rozwiązania unipolarne.



Rys. 13. Schemat jednego stopnia bipolarnego rejestru przesuwowego (MASTER-SLAVE)

### 2.2.2. Parametry rejestrów przesuwowych

Własności rejestrów przesuwowych określone są zwykle przez podanie własności funkcjonalnych, dopuszczalnych wartości parametrów eksploatacyjnych, granicznych wartości parametrów statycznych, granicznych wartości parametrów dynamicznych oraz typowych charakterystyk.

Do własności funkcjonalnych zalicza się schemat logiczny, długość rejestru oraz jego rodzaj (statyczny lub dynamiczny). Dopuszczalne wartości parametrów eksploatacyjnych (ang. ratings) obejmują zwykle dopuszczalne napięcia, moc i temperaturę.

Najważniejsze parametry statyczne rejestrów przesuwowych zestawiono w tabeli 1, zaś dynamiczne w tabeli 2. Posłużono się przy tym symbolami najczęściej stosowanymi w Europie. Unifikacja jest w tym zakresie słabo zaawansowana. Sytuację komplikuje silna zależność większości parametrów od warunków pomiaru, również dalekich od unifikacji. Wytwórcy starają się tak dobierać warunki pomiaru, aby wyeksponować te zalety, które są aktualnie poszukiwane na rynku, np. dopasowanie rejestrów MOS do układów TTL. Zaciemnia to obraz realnych własności poszczególnych

rejestrów. W każdym przypadku wnioski powinny być wyciągane na podstawie możliwie kompletnych danych katalogowych, nie zaś na podstawie enuncjacji reklamowych, zwykle zbyt entuzjastycznych.

Tabela 1. Statyczne parametry rejestrów przesuwowych

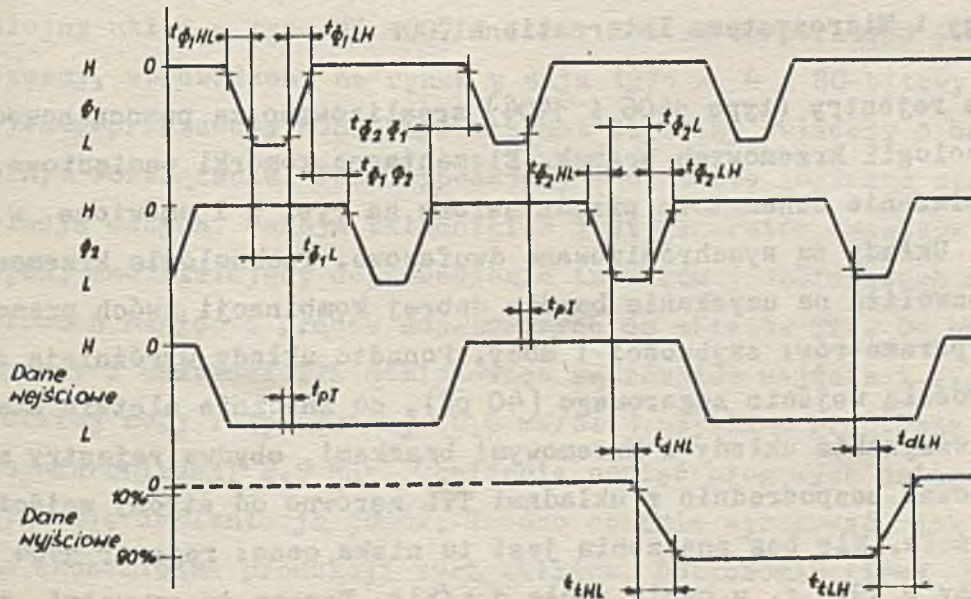
Lp.	Parametr	Oznaczenie
1	Napięcie wejściowe w stanie niskim	$U_{IL}$
2	Napięcie wejściowe w stanie wysokim	$U_{IH}$
3	Prąd wejściowy w stanie niskim	$I_{IL}$
4	Prąd wejściowy w stanie wysokim	$I_{IH}$
5	Napięcie wyjściowe w stanie niskim	$U_{OL}$
6	Napięcie wyjściowe w stanie wysokim	$U_{OH}$
7	Prąd wyjściowy w stanie niskim	$I_{OL}$
8	Prąd wyjściowy w stanie wysokim	$I_{OH}$
9	Napięcie wejścia zegarowego w stanie niskim	$U_{\emptyset L}$
10	Napięcie wejścia zegarowego w stanie wysokim	$U_{\emptyset H}$
11	Prąd wejścia zegarowego w stanie niskim	$I_{\emptyset L}$
12	Prąd zasilania	$I_{DD}, I_{GG}, I_{SS}$ lub $I_{CC}, I_{BB}$
13	Napięcie zasilania	$U_{DD}, U_{GG}, U_{SS}$ lub $U_{CC}, U_{BB}$

Dla wyjaśnienia czasów charakteryzujących pracę rejestrów na rys. 14 pokazano typowy harmonogram czasowy tej pracy. Pozostałe parametry nie wymagają osobnych komentarzy; zwróćmy jedynie uwagę na zależność rozpraszanej mocy od częstotliwości synchronizacji, silną do tego stopnia, że podawanie mocy bez częstotliwości praktycznie nic nie oznacza. Ponadto warto zdawać sobie sprawę z różnicy między mocą rozpraszaną w stanie spoczynku a mocą rozpraszaną w czasie pracy.



Tabela 2. Dynamiczne parametry rejestrów przesuwowych

Lp.	Parametr	Oznaczenie
1	Pojemność wejściowa	$C_I$
2	Pojemność wyjściowa	$C_O$
3	Pojemność wejścia zegarowego	$C_\phi$
4	Częstotliwość sygnałów zegarowych	$f_\phi$
5	Czas propagacji sygnału wyjściowego	$t_{pHL}$ lub $t_{pLH}$
6	Czas trwania sygnału zegarowego	$t_\phi$
7	Czas wyprzedzania sygnału zegarowego przez sygnał wejściowy	$t_{pI}$



Rys. 14. Typowy harmonogram czasowy pracy dynamicznego rejestru przesuwowego

### 2.2.3. Przegląd własności rejestrów przesuwowych

Historia rozwoju pamięci półprzewodnikowych jest dość krótka. Powoduje to, że nie mamy tutaj do czynienia z tak ustabilizowanymi standardami światowymi, jakimi są np. układy TTL serii SN54/74 wśród ukła-

dów realizujących funkcje logiczne. Tym niemniej można już obecnie wskazać takie pamięci półprzewodnikowe, które zostały szeroko spopularyzowane i które są produkowane przez kilka poważnych firm. Takie układy będą przede wszystkim rozpatrywane w niniejszej pracy. Obok nich będą prezentowane układy na tyle nowoczesne, że w niedalekiej przyszłości mogą stać się standardami światowymi. Inne układy - czy to obecnie przestarzałe, czy to efemeryczne nowości - nie będą w tym przeglądzie uwzględnione ze zrozumiałych względów.

Własności wybranych rejestrów zestawiono w tabeli 3. Na wstępie przedstawione zostały dwa znane dynamiczne rejestry przesuwowe MOS firmy Intel Corporation. Obecnie ich parametry nie stanowią już rekordowego osiągnięcia, jednak mogą one być uważane za sprawdzone, szeroko już rozpowszechnione układy wysokiej klasy. Są dostarczane także przez inne firmy np. Texas Instruments, General Instrument, Computer Microtechnology i Microsystems International.

Obydwa rejestry (typu 1406 i 1404) zrealizowano za pomocą nowoczesnej technologii krzemowych bramek. Elementarne komórki pamięciowe posiadają rozwiązanie schematowe przedstawione na rys. 5 i omówione w p. 2.2.1. Układy są synchronizowane dwufazowo. Technologia krzemowych bramek pozwoliła na uzyskanie bardzo dobrej kombinacji dwóch przeciwstawnych parametrów: szybkości i mocy. Ponadto układy wyróżniają się małą pojemnością wejścia zegarowego (40 pF), co znacznie ułatwia sterowanie. Jak wszystkie układy z krzemowymi bramkami, obydwaj rejestry mogą współpracować bezpośrednio z układami TTL zarówno od strony wejścia, jak i wyjścia. Nie bez znaczenia jest tu niska cena: rejestr 1404 był sprzedawany w 1971 r. w cenie około 1 c/bit. Trzeba tu zauważyć, że powiązanie cen układów scalonych z kosztami produkcji jest obecnie w krajach zachodnich bardzo słabe. W wielu wypadkach cena ustalona jest znacznie poniżej kosztów produkcji, co ma na celu zdobycie rynku, zwiększenie zamówień i uzyskanie opłacalności po rozwinięciu dużej produkcji. Jak wynika z doświadczeń wielu firm, obecna sytuacja rynkowa sprawia, że ten ostatni etap, tj. uzyskanie opłacalności - coraz trudniej osiągnąć. W rezultacie nie ma sensu porównywanie cenników dla wnioskowania o kosztach produkcji. Lepszym wskaźnikiem poziomu technologii, uzysków i w konsekwencji kosztów produkcji jest ocena dostępności określonego produktu na rynku.

Rejestr 1404 wyróżnia się wewnętrznym multipleksowaniem sygnału wejściowego (por. 2.2.1); powoduje to, że graniczna częstotliwość wprowadzania danych wynosi 5 MHz, podczas gdy graniczna częstotliwość synchronizacji - 2,5 MHz. Omawiane układy funkcjonują poprawnie w "wojskowym" zakresie temperatur: od  $-55$  do  $+125^{\circ}\text{C}$ .

Reprezentantem technologii MNOS (z azotkiem krzemu) jest 2 x 100-bitowy rejestr dynamiczny DL-6-2100 firmy General Instrument. Jego własności są podobne do poprzednio przedstawionego układu 1506 z tym jednak, że przy tej samej szybkości wydzielona moc jest znacznie wyższa (1 mW/bit w porównaniu z 0,4 mW/bit). Mimo to możnaby sądzić, że technologia MNOS jest niemal równie efektywna w zastosowaniu do rejestrów. Rozstrzygnęła tę wątpliwość sama firma General Instrument; w najnowszym katalogu figurują już 4 nowe rejestry przesuwowe wykonane technologią krzemowych bramek.

Kolejny układ - typu MK 1007 P firmy Mostek Corporation - to bardzo nowoczesny, wprowadzony na rynek w maju 1971 r. 4 x 80-bitowy dynamiczny rejestr przesuwowy MOS. Jego schemat logiczny świadczy o bardzo funkcjonalnym rozwiązaniu. Jest wyposażony w elementy logiczne sterujące recyrkulacją danych. Cennym składnikiem jest generator impulsów synchronizujących, umożliwiający doprowadzenie impulsów jednofazowych z zewnątrz, o poziomach napięć i prądów dopasowanych do układów TTL. Do bezpośredniej współpracy z układami TTL dostosowane są również wejścia i wyjścia. Przy niewielkiej mocy rozpraszanej (0,6 mW/bit) uzyskano graniczną częstotliwość synchronizacji 2,5 MHz. Obniżenie napięć progowych osiągnięto posługując się implantacją jonów. Trudno obecnie wyrokować, jak wygląda strona ekonomiczna produkcji tych układów. Dotychczas firma Mostek (będąca filią firmy Sprague) jest jedynym producentem rejestrów tego typu. Ponieważ technologii układów pamięciowych jest obecnie bardzo wiele - prawa ekonomiczne będą czynnikiem, który w najbliższych latach powinien dokonać naturalnej selekcji.

Ostatnim spośród przedstawionych rejestrów dynamicznych jest układ GER 2507 firmy General Electric. Jest to rejestr o długości 2 x 100 bitów, wykonany technologią R/MOS. W związku z zasygnalizowanym ostatnio wycofaniem się firmy General Electric z produkcji układów scalonych układ ten jest traktowany jedynie jako przykład możliwości określonej

technologii. Rejestr GER 2507 jest - jak należało się spodziewać - stosunkowo szybki. Graniczna częstotliwość synchronizacji wynosi 5 MHz (bez multipleksowania). O rejestrze tym wiadomo jeszcze, że jest on dostosowany do bezpośredniej współpracy z układami TTL [12].

Przegląd rejestrów statycznych rozpoczniemy od układu SL-7-4025 firmy General Instrument. Jest to rejestr 4 x 32-bitowy, wykonany technologią MNOS. W stosunku do rejestrów dynamicznych jest on wolniejszy, posiada mniejszą pojemność i rozprasza więcej mocy (2,2 mW/bit). Stosowanie rejestrów tego typu jest zatem uzasadnione tylko wtedy, gdy wymagana jest w pewnych okresach praca bez dopływu impulsów zegarowych.

Bardzo nowoczesnym rejestrem przesuwowym MOS jest układ MK 1002 P firmy Mostek Corporation. Posiada on długość 2 x 128 bitów i te same udogodnienia funkcjonalne, co uprzednio przedstawiony rejestr dynamiczny MK 1007 P. Jest on jednak wolniejszy, co jest zrozumiałe wobec jego statycznego charakteru. Wydzielana moc wynosi zaledwie 1 mW/bit. Jeśli byłby on ekonomiczny w produkcji (o czym brak danych), mógłby być zakwalifikowany jako jeden z najlepszych produkowanych obecnie rejestrów statycznych MOS.

Następny rejestr - M 134 firmy SGS - został wyprodukowany przy użyciu technologii PLANOX. Jest to układ o długości 16 + 16 + 32 bity, dostosowany na wszystkich wejściach i wyjściach do współpracy z układami TTL. Technologii PLANOX zawdzięcza on zwiększoną szybkość: graniczna częstotliwość synchronizacji wynosi 2 MHz. Układ jest nowy i jego opisy są skąpe, niepełne, co uniemożliwia bliższą analizę.

Kolejne trzy typy to MS-612, MS-625 i MS-618 firmy Ragen Semiconductor, wykonane technologią C/MOS. Ich parametry (z wyjątkiem ceny) są wręcz rewelacyjne. Pierwszy z ww typów - o długości 64 bitów - może być synchronizowany jednofazowymi impulsami o częstotliwości od 0 do 25 MHz, jest więc najszybszym statycznym rejestrem MOS. Wymaga tylko pojedynczego źródła zasilania (5 - 16 V), w stanie spoczynku pobiera prąd zaledwie 1  $\mu$ A, zaś pojemność wejścia zegarowego wynosi tylko 5 pF. Zależnie od współczynnika wypełnienia przy częstotliwości 1 MHz rozprasza moc od 0,1 mW/bit do około 0,2 mW/bit.

Tabela 3. Rejestry przesuwowe

Lp.	Typ	Firma	Technologia	Długość	Zakres częstotliwości wprowadzania danych	Ilość faz synchronizacji	Moc rozpraszana	Możliwość bezpośredniej współpracy z TTL
1	1406	Intel Corporation	Krzemowe bramki	2x100 b.	10kHz-2MHz	2	0,4mW/bit	jest
2	1404	Intel Corporation	Krzemowe bramki	1024 b.	10kHz-5MHz	2	0,1mW/bit	jest
3	DL-6-2100	General Instrument	MNOS	2x100 b.	10kHz-2MHz	2	1mW/bit	jest
4	MK 1007	Mostek Corporation	MOS z implantacją jonów	4x80 b.	10kHz-2,5MHz	1	0,6mW/bit	jest
5	GER 2507	General Electric	R/MOS	2x100 b.	x - 5 MHz	brak danych	brak danych	jest
6	SL-7-4025	General Electric	MNOS	4x25 b.	0-1MHz	1	2,2mW/bit	jest
7	MK 1002P	Mostek Corporation	MOS z implantacją jonów	2x128 b.	0-1MHz	1	0,5mW/bit	jest
8	M 134	SGS	Planox	16+16+32b.	0-2MHz	brak danych	brak danych	jest
9	MS 612	Ragen Semiconductor	C/MOS	64 b.	0-25 MHz	1	0,15mW/bit	brak
10	MS 625	Ragen Semiconductor	C/MOS	128 b.	0-10 MHz	1	0,15mW/bit	brak
11	MS 618	Ragen Semiconductor	C/MOS	96 b.	0-2,5 MHz	1	0,15mW/bit	brak
12	DRA 2003	Texas Instruments	TTL	2x501 b.	0-10 MHz	2	6,6mW/bit	jest
13	FI 3004	Bułgarska	MOS	60+4 b.	0-250 kHz	1	3mW/bit	brak

Rejestr MS-625 jest wprawdzie nieco wolniejszy (do 10 MHz), jednak wyróżnia się wyjątkowo rozbudowaną logiką wewnętrzną. Posiada on wbudowany czterobitowy komparator cyfrowy przeznaczony do selekcji układu w przypadku, gdy współpracuje ze sobą duża liczba rejestrów. Umożliwia to proste dekodowanie adresu układu bez zewnętrznych elementów logicznych. Posiada także osobne wejście, którego stan warunkuje doprowadzenie impulsów zegarowych do właściwego rejestru; obok tego istnieje wyjście zegarowe, zdolne do synchronizowania 6 innych rejestrów. Rejestr jest zaopatrzony w elementy logiczne dysponujące ładowaniem i recyrkulacją danych. Ponadto obok wyjścia prostego istnieje wyjście zane-gowane. Mimo to (jak wynika z dostępnych mikrofotografii struktury) obwody peryferyjne zajmują w rejestrze MS-625 bardzo małą powierzchnię. Wymiary całej struktury wynoszą  $3,00 \times 3,75 \text{ mm}^2$ .

Trzeci z układów firmy Ragen Semiconductor (MS-618) posiada unikalne własności funkcjonalne. Jego pojemność równa się 24 słowom 4-bitowym. Pracuje z częstotliwością od 0 do 2,5 MHz z tym jednak, że częstotliwość wprowadzania danych może być inna (niezależna) od częstotliwości ich wyprowadzania. Załadowana informacja jest wewnątrz przesuwana ze stałą (niezależną od zegara) szybkością 200 ns/bit. Jeśli rejestr był już częściowo zapełniony, dane przesuwane są automatycznie do ostatniego pustego bloku. Własności te mogą być z powodzeniem wykorzystane dla umożliwienia współpracy między dwoma systemami synchronicznymi pracującymi z niezależnymi częstotliwościami, dla umożliwienia współpracy systemu asynchronicznego z synchronicznym, wreszcie po prostu dla uzyskania zmiennej (dowolnej do 96 bitów) długości.

Tak dobre własności funkcjonalne muszą kosztować, toteż wymienione rejestry są obecnie sprzedawane (przy ilościach powyżej 100 szt.) po cenach dość wysokich: MS-612 - 32 dol., MS-625 - 120 dol., MS-618 - 60 dol.

Zauważmy w tym miejscu, że koszt podzespołów w aparaturze profesjonalnej stanowi zwykle kilkanaście procent kosztu całej aparatury, wobec tego na pierwszym miejscu są stawiane parametry. Z tego punktu widzenia rejestry firmy Ragen Semiconductor są dostosowane do potrzeb rynku (profesjonalnego). Co do ich dostępności, to obecnie autor nie dysponuje bliższymi informacjami. Producent nie jest dużą firmą i trud-

no mieć pewność, czy utrzyma się na rynku. Niewątpliwie szansą małych firm jest właśnie rozwijanie produktów najnowocześniejszych, specjalistycznych, które - świadomie lub nieświadomie - pomijane są przez wielkich producentów lub nawet przez nich lekceważone.

Kończącą pozycję stanowi jedynie tutaj rejestr bipolarny (TTL) typu DRA 2003 firmy Texas Instruments, o długości 2 x 501 bitów. Układ ten pojawił się na rynku w grudniu 1969 r. i był w tym samym czasie sprzedawany po około 40 c/bit. Nie jest to produkt masowy, zasługuje jednak na uwagę ze względu na fakt, że jego długość jest równa najdłuższemu rejestrze MOS, zaś szybkość pozostaje duża (do 10 MHz). O skali trudności, które muszą być pokonane dla uzyskania tak wysokiego stopnia scalenia w technologii bipolarnej niech świadczą następujące dane: typowy rejestr 1000-bitowy TTL zawiera 9000 elementów, 1800 przepustów, 20 000 skrzyżowań oraz blisko 2 m ścieżek przewodzących tylko na jednym z dwóch zastosowanych poziomów metalizacji.

Komórka elementarna rejestru DRA 2003 została przedstawiona na rys. 13 w p. 2.2.1. Na płytce krzemu o średnicy około 3,5 mm wykonuje się 1856 takich komórek w blokach po 4 komórki. Po wykonaniu pierwszej warstwy metalizacji i otworzeniu kontaktów wszystkie bloki są mierzone automatycznie, co jest podstawą do komputerowego projektowania maski dla drugiego poziomu metalizacji. Jest to zatem metoda selektywnego łączenia dobrych struktur (ang. discretionary wiring), prawdopodobnie jedyna umożliwiająca tak wysoki stopień integracji.

Układ DRA 2003 mieści się w stosunkowo dużej obudowie płaskiej z 80 wyprowadzeniami. Wyróżnia się idealnym dopasowaniem do innych układów TTL, jest synchronizowany dwufazowo, przy czym generacja odpowiednich impulsów może być uzyskana w prostym układzie złożonym z trzech bramek buforowych NIE-I (SN7440). W układzie jest rozpraszana znaczna moc, wynosząca około 6,6 W. Pod tym względem układy na komplementarnych tranzystorach MOS (o tej samej i większej szybkości) są bez porównania lepsze. Wytwórca zapowiada wprawdzie perspektywę uzyskania szybkości ponad 40 MHz, jednak dotychczas rejestrów tego rodzaju nie oferuje [56].

Technologia bipolarna - ostatnio konkurencyjna w zakresie pamięci stałych oraz pamięci o swobodnym dostępie - nie zdoła najprawdopodobniej wyprzeć technologii MOS z produkcji rejestrów przesuwowych. Produkowane są wprawdzie przez wielu wytwórców krótkie (do 8 bitów) rejestry przesuwowe TTL w ramach znanej serii SN54/74, jednak trudno układy te kwalifikować do pamięci półprzewodnikowych.

Na zakończenie zestawienia rejestrów przedstawiono (w tabeli 3) jeden z układów produkowanych (bądź przygotowywanych do produkcji) w Bułgarii. Nie jest on ani szeroko dostępny, ani też nie posiada zbyt dobrych parametrów. Jest to jednak jak dotychczas jedyny znany rejestr produkowany w KDL. Chodzi o układ typu FI 3003, będący statycznym rejestrem o długości 60 + 4 bity. Jest on wewnętrznie synchronizowany za pomocą impulsów trójfazowych, jednak dzięki wewnętrznemu generatorowi - z zewnątrz doprowadza się tylko impulsy jednofazowe. Maksymalna częstotliwość synchronizacji wynosi 250 kHz. Układ jest wysokoprogowy, wymagający translatorów napięć przy współpracy z układami TTL. Rozpraszana moc nie przekracza 200 mW. W kryształce krzemu o powierzchni  $1,50 \times 1,75 \text{ mm}^2$  scalono 464 tranzystory MOS ze wzbogacanym kanałem typu p. Parametry tego rejestru kwalifikują go do zastosowań w kalkulatorach powszechnego użytku, nie zaś do aparatury profesjonalnej. Prawdą jest jednak, że większość układów MOS produkowanych na świecie znajduje zastosowanie właśnie w kalkulatorach.

## 2.3. Pamięci stałe

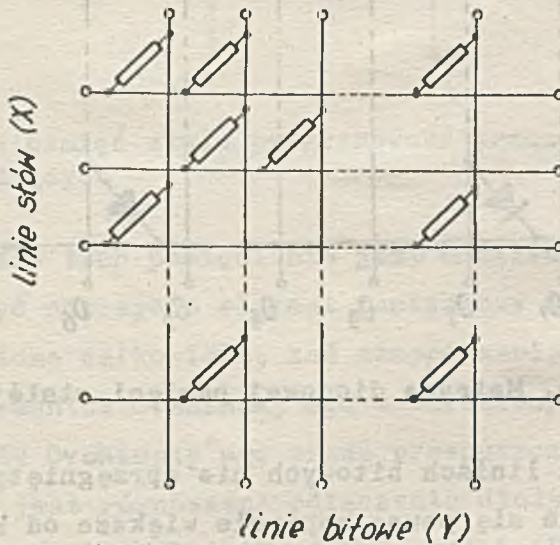
### 2.3.1. D z i a ł a n i e p a m i ę c i s t a ł y c h

Cechą identyfikującą pamięci stałe (ang. ROM, read-only memory) jest jednoznaczne, ustalone przyporządkowanie sygnałów wyjściowych (będących danymi) sygnałom wejściowym (stanowiącym adres). Zależność między danymi a adresem nie ulega zmianom w czasie normalnej pracy pamięci, jakkolwiek wyróżniane są pamięci stałe programowane i reprogramowane przez użytkownika. Programowanie jest czynnością stosunkowo powolną i nie jest tu zaliczane do normalnej pracy pamięci.

Ustalona zależność funkcyjna charakteryzująca pamięć stałą jest z reguły powiązana z jej określoną strukturą fizyczną. W najczęściej



spotykanej strukturze matrycowej, w której istnieje krzyżowy układ przewodników, węzły matrycy mogą być otwarte lub mogą zawierać pewien element sprzęgający. Wyidealizowany fragment matrycy pokazano na rys. 15. Obecność lub brak elementu sprzęgającego determinuje reakcję pamięci na sygnały wejściowe. Praktycznie dowolny element bierny lub czynny może służyć jako element sprzęgający.

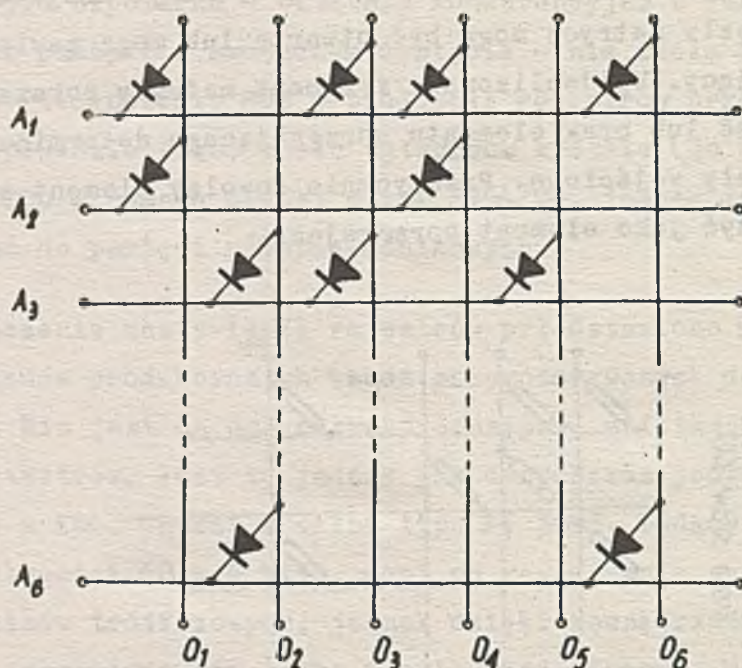


Rys. 15. Matryca pamięci stałej (przypadek ogólny)

W węzłach mogą być lokalizowane rezystory. Jednak przy wzroście pojemności pamięci wzrasta liczba przejść pasożytniczych, a więc i fałszywych działań pamięci. Dlatego też rzadko używa się rezystorów liniowych, w każdym razie nie są one stosowane przy pojemnościach przekraczających kilkadziesiąt słów.

Znacznie częściej elementami sprzęgającymi są diody (rys. 16). W celu odczytania słowa w takiej matrycy, do odpowiedniej linii  $A_1$  doprowadza się napięcie dodatnie. Jeśli w określonym węźle istnieje dioda, to na odpowiedniej linii bitowej pojawi się potencjał dodatni reprezentujący jedynkę. Np. po wzbudzeniu linii słowa  $A_1$  linie bitowe  $O_1 \div O_6$  dostarczą słowo 101101. Diodowe pamięci stałe są proste, tanie i szybkie. Są też podatne na scalanie. Mogą być realizowane w wersji monolitycznej.

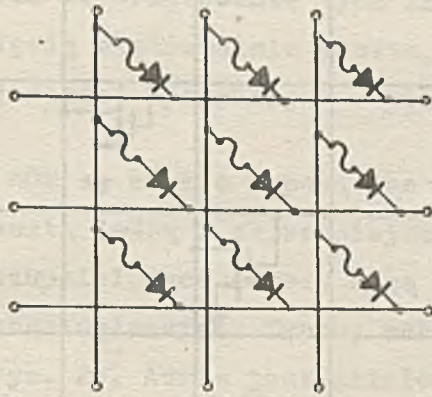
Jednokierunkowe przewodnictwo diod sprawia, że pamięci diodowe działają dość niezawodnie. Tym niemniej nieidealne charakterystyki diod



Rys. 16. Matryca diodowej pamięci stałej

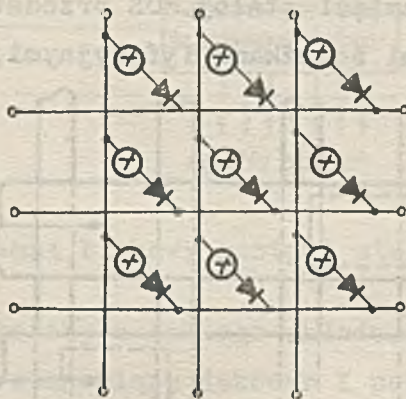
powodują, że także na liniach bitowych nie sprzęgniętych ze wzbudzaną linią adresową pojawia się pewne napięcie większe od zera. Efekt ten wzmaga się przy zwiększeniu pojemności pamięci, ponieważ prądy wsteczne diod ulegają sumowaniu. W praktyce pamięci diodowe posiadają pojemności od dziesiątek do kilku tysięcy słów. Zwróćmy jeszcze uwagę na fakt, że obwody zewnętrzne są w przypadku pamięci diodowych dość proste, jest to bowiem matryca o charakterze stałoprądowym. W szczególności, jeśli sygnały wejściowe są w pewnym okresie stałe, rejestr wyjściowy ustalający informację nie jest wymagany.

Wadą pamięci diodowych jest konieczność opracowywania odrębnych masek dla każdej wymaganej zawartości. W niektórych firmach opracowano metodę wypalania diod za pomocą precyzyjnie sterowanej wiązki laserowej, co doprowadziło do opłacalnej produkcji dużych pamięci diodowych (będzie o tym mowa w p. 2.3.3). Można również zmodyfikować pamięć diodową w ten sposób, że diody w każdym węźle są połączone za pośrednictwem przewężonej ścieżki przewodzącej. Schemat pamięci tego rodzaju pokazano na rys. 17. Doprowadzenie odpowiednio silnego impulsu prądowego spowoduje przerwanie połączenia. W ten sposób dokonuje się elektrycznego programowania pamięci diodowej.



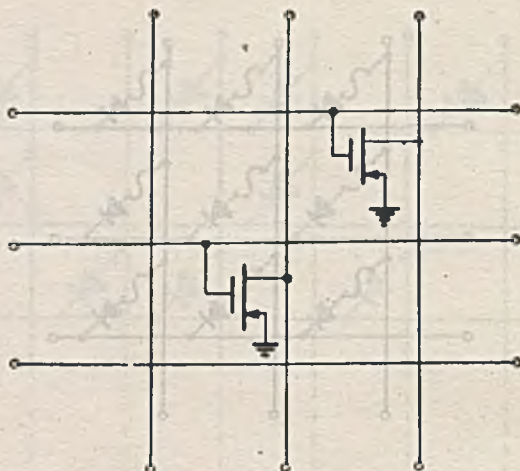
Rys. 17. Diodowa pamięć stała programowana przez przepalanie ścieżek przewodzących

Reprogramowanie tych pamięci nie jest możliwe. Jeżeli jednak z każdą diodą połączyć szeregowo element pamięciowy Ovshinsky'ego, to matryca może być wypełniona całkowicie, zaś samego zapisu można dokonać przez zmianę stanu elementów Ovshinsky'ego w określonym węźle (rys. 18). Wyłączenie elementu Ovshinsky'ego przez przepuszczenie odpowiedniego impulsu prądowego jest równoważne odłączeniu diody. Układy są wykonywane jako pełne matryce, niezależnie od zawartości. Pamięć diodowa uzupełniona elementami Ovshinsky'ego jest więc programowana elektrycznie. Co ważniejsze, może być wielokrotnie reprogramowana przez użytkownika.



Rys. 18. Diodowa pamięć stała z elementami Ovshinsky'ego

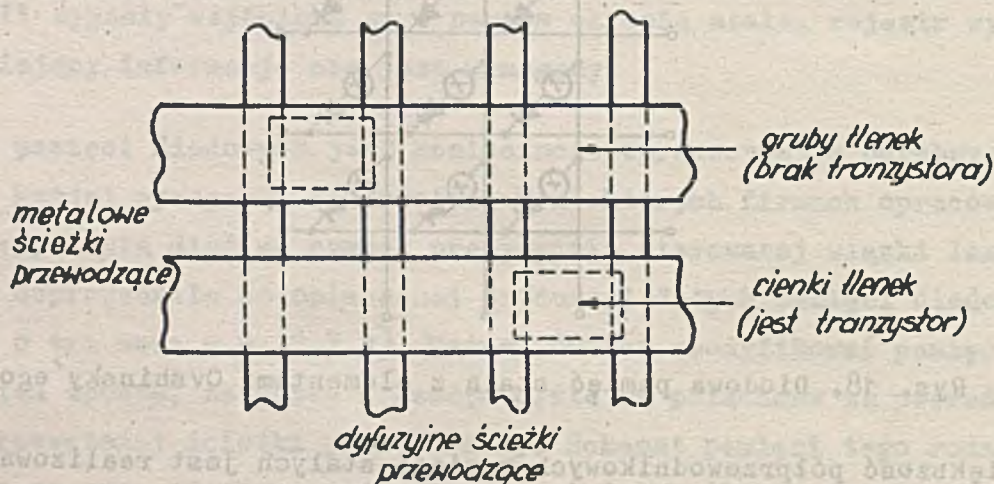
Większość półprzewodnikowych pamięci stałych jest realizowana z tranzystorami jako elementami sprzęgającymi. Tranzystory te są zwykle typu MOS lub n-p-n. Na rys. 19 przedstawiono typowy fragment matrycy



Rys. 19. Fragment matrycy pamięci stałej MOS

pamięci stałej MOS. Matryca jest wykonywana w postaci pełnej (z tranzystorami we wszystkich węzłach). Sama metalizacja układu scalonego wykonywana jest w ten sposób, że nie łączy się bramki tranzystora w tym węźle, w którym ma być zapisane zero. Innym, nowocześniejszym sposobem programowania jest pozostawianie w tych węzłach grubego tlenku, przez co praktycznie akcja tranzystorowa jest uniemożliwiona. Tak czy inaczej, jedna z masek stosowanych w procesie produkcyjnym jest niestandardowa, dostosowywana za każdym razem do wymaganej zawartości pamięci stałej.

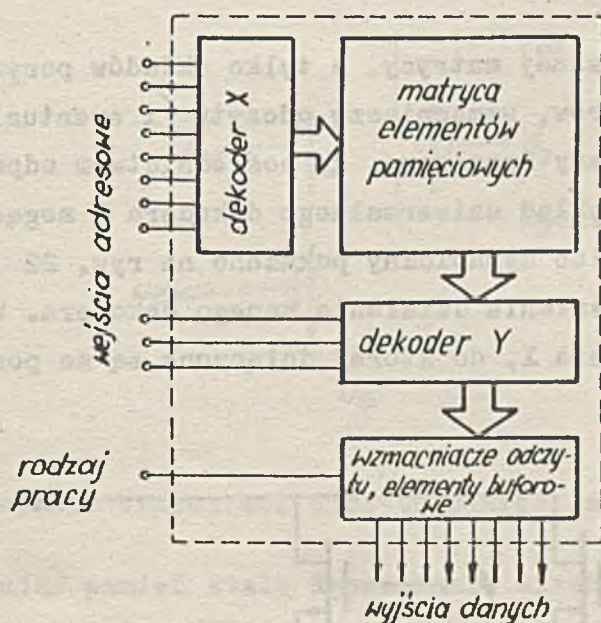
Szkic topografii pamięci stałej MOS przedstawiono na rys. 20. Linie bitowe są przewodzącymi ścieżkami dyfuzyjnymi, zaś linie słów są ścież-



Rys. 20. Topografia pamięci stałej MOS

kami aluminiowymi. Ułatwia to krzyżowanie tych linii. Jak widać, pamięć stała MOS jest pamięcią ekstremalnie prostą, co też jest zasadniczą przyczyną dużych pojemności spotykanych w praktyce.

Realne pamięci stałe MOS są zwykle wyposażone w dość złożone obwo-  
dy peryferyjne. Jest zresztą jedną z najważniejszych zalet pamięci  
tranzystorowych, że te uzupełniające obwo-  
dy mogą być realizowane bez  
dodatkowych operacji technologicznych. Typowy schemat blokowy pamięci  
stałej MOS pokazano na rys. 21. Adres jest dzielony na dwie części,  
z których jedna jest kierowana do dekodera X, druga zaś do dekodera Y.  
Rzecz polega na tym, że ze względów konstrukcyjnych korzystny jest  
układ matrycy bliski kwadratowego. Tymczasem magazynowane słowa są



Rys. 21. Schemat blokowy pamięci stałej MOS

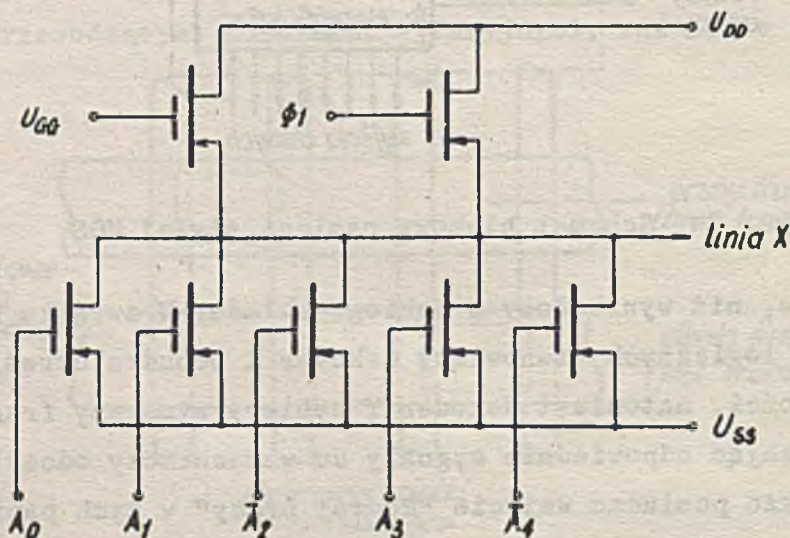
zwykle krótsze, niż wynikałoby z takiego układu. W związku z tym zes-  
pół elementów logicznych stanowiący dekodern X pobudza określony wiersz  
matrycy w całości, natomiast dekodern Y wybiera wymagany fragment wiersza  
przepuszczając odpowiednie sygnały do wzmacniaczy odczytu. Deko-  
der Y może także posiadać wejście "Rodzaj pracy" w tych pamięciach, w  
których długość słowa może być zmieniana, np. określona pamięć może  
mieć pojemność 256 słów 4-bitowych lub 128 słów 8-bitowych, zależnie  
od stanu wejścia "Rodzaj pracy". Są wreszcie pamięci, w których wiersz

matrycy posiada długość równą długości słowa. W tych układach dekodery Y nie występują.

Zadaniem elementów buforowych jest uzyskanie dużej obciążalności pamięci, często także dostosowanie napięć wyjściowych do wymaganego poziomu, np. dla dopasowania do układów TTL. Zwykle do zespołu elementów buforowych doprowadzone są linie zezwolenia odczytu (od jednej do kilku). Odpowiedni stan tych linii jest warunkiem wyprowadzenia danych. Wejścia "Zezwolenie odczytu" umożliwiają łączenie dużej liczby pamięci stałych w większe zespoły i sterowanie tymi zespołami bez dodatkowych (zewnętrznych) dekoderek.

Pamięci stałe MOS mogą być statyczne i dynamiczne. Wiele układów umożliwia zresztą obydwa sposoby pracy.

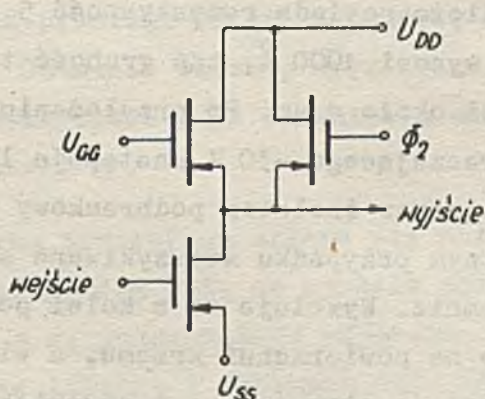
Różnica nie dotyczy samej matrycy, a tylko układów peryferyjnych. Po prostu układy dekoderek, wzmacniaczy odczytu (i ewentualnie inne) mogą być włączane do pracy impulsowo, za pośrednictwem odpowiedniego wejścia zegarowego. Przykład uniwersalnego dekodera X mogącego pracować w sposób statyczny lub dynamiczny pokazano na rys. 22 [57], który zresztą posłuży do objaśnienia działania samego dekodera. Wzbudzana jest ta (i tylko ta) linia X, do której dołączone są za pośrednictwem



Rys. 22. Dekoder X pamięci stałej MOS umożliwiający pracę statyczną i dynamiczną

tranzystorów sygnały adresowe w stanie niskim. Jednak dekodery może działać jedynie wtedy, gdy włączone jest obciążenie. W przedstawionym układzie są dwie możliwości: albo można włączyć obciążenie na stałe przez przyłożenie ujemnego napięcia stałego  $U_{GG}$ , albo doprowadzając impuls zegarowy  $\Phi$  można włączyć obciążenie impulsowo. Bramka nieużywanego obciążenia powinna pozostawać na potencjale  $V_{SS}$ .

Podobnie może funkcjonować wzmacniacz odczytu przedstawiony na rys. 23. Jest to prosty wzmacniacz jednostopniowy, w którym obciążenie również może mieć charakter statyczny lub dynamiczny. Geometrie obydwu obciążających tranzystorów muszą być różne, stąd dwa równoległe obciążenia zamiast jednego.

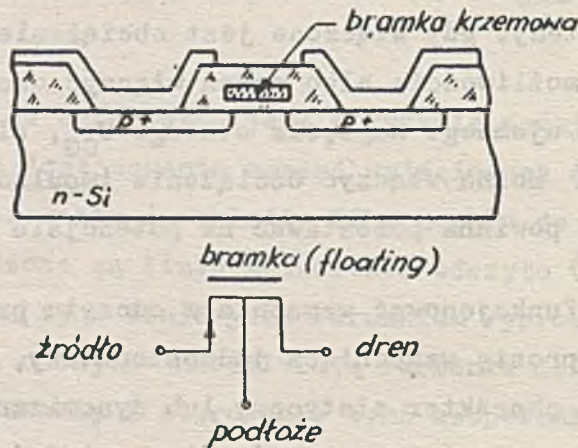


Rys. 23. Wzmacniacz odczytu pamięci stałej MOS

Uruchamiając pamięć stałą dynamicznie uzyskuje się zmniejszony pobór mocy za cenę nieznacznego skomplikowania obwodów zewnętrznych: potrzebny jest wówczas generator synchronizujący.

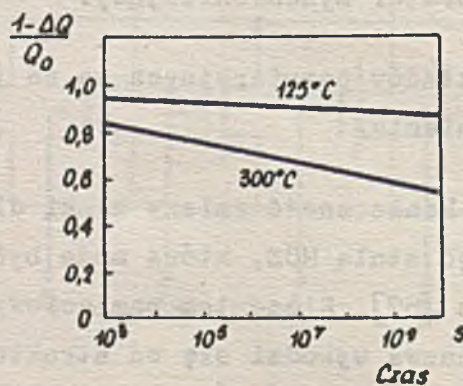
Pozostałe składniki układów peryferyjnych są na tyle proste, że nie wymagają bliższego objaśnienia.

Wadą pamięci MOS była konieczność zmiany maski dla zaprogramowania. Ostatnio opracowano pamięć stałą MOS, która może być programowana i reprogramowana elektrycznie [57]. Elementem pamięciowym jest w niej tzw. struktura FAMOS, której nazwa wywodzi się od struktury MOS z lawinowym wstrzykiwaniem ładunku do izolowanej (ang. floating) bramki. Strukturę FAMOS pokazano na rys. 24. Jest to właściwie zwykły tranzystor MOS



Rys. 24. Struktura elementu FAMOS

z krzemową bramką, w którym bramka nie jest jednak połączona z żadną ścieżką przewodzącą. Podłoże posiada rezystywność  $5 - 8 \Omega\text{cm}$ , grubość izolatora podbramkowego wynosi  $1000 \text{ \AA}$ , zaś grubość tlenku pokrywającego bramkę krzemową wynosi około  $1 \mu\text{m}$ . Po przyłożeniu do złącza drenu napięcia ujemnego przekraczającego  $-30 \text{ V}$  następuje lawinowo wstrzyknięcie ładunku do bramki przez izolator podbramkowy w okolicy drenu. W przedstawionym konkretnym przypadku wstrzykiwane są elektrony, przez co bramka ładuje się ujemnie. Wywołuje to z kolei powstanie przewodzącego kanału inwersyjnego na powierzchni krzemu, a więc włączanie elementu FAMOS. Bramka pozostaje otoczona ze wszystkich stron izolującym  $\text{SiO}_2$ , więc po wyłączeniu napięcia wstrzykującego nie jest możliwe przewodzenie między bramką a innymi elektrodami. Na rys. 25 pokazano zanik ładunku na bramce FAMOS podczas przechowywania w temperaturach  $+125$



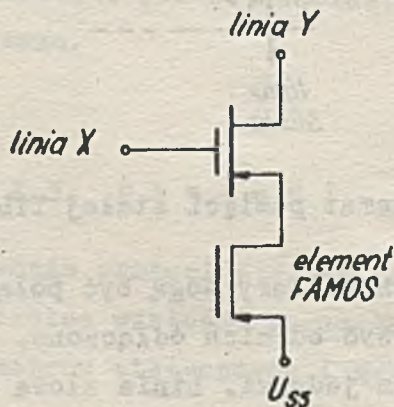
Rys. 25. Zanik ładunku na bramce elementu FAMOS



i  $+300^{\circ}\text{C}$ . Ekstrapolacja danych doświadczalnych pozwala sądzić, że w  $125^{\circ}\text{C}$  nawet po 10 latach utrzymuje się 70% ładunku wprowadzonego na początku.

Pamięć stała na elementach FAMOS może być nie tylko programowana elektrycznie, ale i wielokrotnie reprogramowana. Reprogramowanie musi być poprzedzone usunięciem – metodami nieelektrycznymi – ładunku ze wszystkich bramek. Jedną z tych metod jest naświetlanie układu promieniowaniem X w dawce ponad  $5 \cdot 10^4$  radów. Sposób ten ma tę zaletę, że może być stosowany nawet po zamknięciu układu w obudowie (metalowej lub metalowo-ceramicznej). Jednak naświetlanie układu monolitycznego promieniami X wywołuje często szkodliwe efekty uboczne w postaci wzrostu upływności złącz p-n. Stosuje się więc inny sposób czyszczenia pamięci, tj. naświetlanie promieniami ultrafioletowymi. Ze względu na pochłanianie promieni UV przez obudowy zastosowanie tej metody było ograniczone. Ostatnio wszakże opracowano obudowy z wieczkami kwarcowymi, dzięki czemu także i po zamknięciu układu można naświetlać struktury promieniami UV.

Właściwa komórka pamięciowa składa się nie z samej struktury FAMOS, ale także i z tranzystora MOS, co zostało pokazane na rys. 26. Jeśli linie wyboru x i y są jednocześnie wzbudzone impulsem  $-30\text{V}$ , to następuje wstrzyknięcie ładunku i wpisanie "0". Odczyt jest prowadzony tą samą drogą, jednak przy użyciu impulsów o amplitudzie nie przekraczającej progu programowania ( $-15\text{V}$ ).

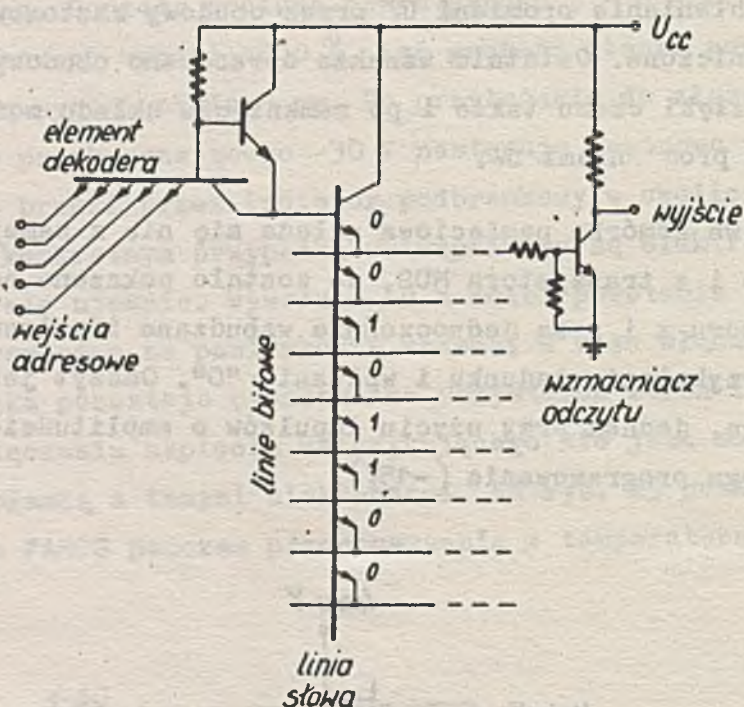


Rys. 26. Komórka pamięci stałej z elementem FAMOS

Oczywiście, reprogramowanie prowadzone impulsami elektrycznymi jest czynnością łatwą do zautomatyzowania. W szczególności może być sterowane przy użyciu taśmy dziurkowanej.

Ostatnio wzrasta szybko popularność pamięci stałych na tranzystorach bipolarnych n-p-n. Cechą wyróżniającą te pamięci jest ich duża szybkość działania, za którą często warto zapłacić złożonością technologii.

Przykładowy uproszczony schemat bipolarnej pamięci stałej TTL pokazano na rys. 27. Przedstawiona pamięć posiada pojemność 32 słów 8-bitowych. Wierszami matrycy są aluminiowe ścieżki przewodzące. Kolumny są ścieżkami dyfuzyjnymi wykonywanymi równocześnie z dyfuzją bazy.



Rys. 27. Schemat pamięci stałej TTL

W poszczególnych węzłach emitory mogą być połączone z liniami bitowymi (wierszami) lub mogą być od nich odłączone. Odłączenie emitera jest równoważne z wpisaniem jedynki. Linia słowa (kolumna) jest wzbudzana, gdy wszystkie emitory odpowiedniego tranzystora dekodującego znajdują się w stanie wysokim ("1"). Do tranzystora wyjściowego sygnał dochodzi wtedy, gdy połączony z nim tranzystor posiada emiter połączony z linią bitową.

Jak już wspomniano, zaletą takiej pamięci jest duża szybkość. Po kilkudziesięciu nanosekundach od doprowadzenia adresu otrzymywane są właściwe dane wyjściowe. Szybkość ta może nawet być zwiększona przez zastosowanie diod Schottky'ego bocznikujących złącza kolektor-baza w tranzystorach.

Pamięci bipolarne są zwykle programowane za pomocą maski stosowanej przy metalizacji układu, a więc nieelektrycznie. Nie jest to wygodne i podnosi koszt układów przy niewielkim zapotrzebowaniu na pamięci o tej samej zawartości. Reprogramowanie tym bardziej nie jest możliwe.

W swoim czasie usiłowano uprościć programowanie bipolarnych pamięci stałych metodami mechanicznymi, przez przerywanie odpowiednich ścieżek przewodzących ostrzem diamentowym. Wymaga to szczególnej precyzji i nie jest rozwiązaniem praktycznym.

Następny krok stanowiło opanowanie elektrycznego programowania bipolarnych pamięci stałych przez przepalanie ścieżek przewodzących łączących emitery z liniami bitowymi. W tym celu stosuje się odpowiednie przewężenie ścieżki aluminiowej w pożądanym miejscu. Impuls prądowy np. o amplitudzie 50 mA, doprowadzony do wybranego węzła przepala ścieżkę, po czym prąd silnie spada sygnalizując tym samym zaprogramowanie węzła. Metoda ta powstała w firmie Radiation (obecnie Harris Semiconductor) i aktualnie jest bardzo szeroko rozpowszechniona.

Niektórzy wytwórcy dla ułatwienia programowania zastosowali naporowane rezystory nichromowe (Ni-Cr) zamiast przewężeń. Istota metody pozostaje jednak ta sama.

### 2.3.2. P a r a m e t r y p a m i ę c i s t a ł y c h

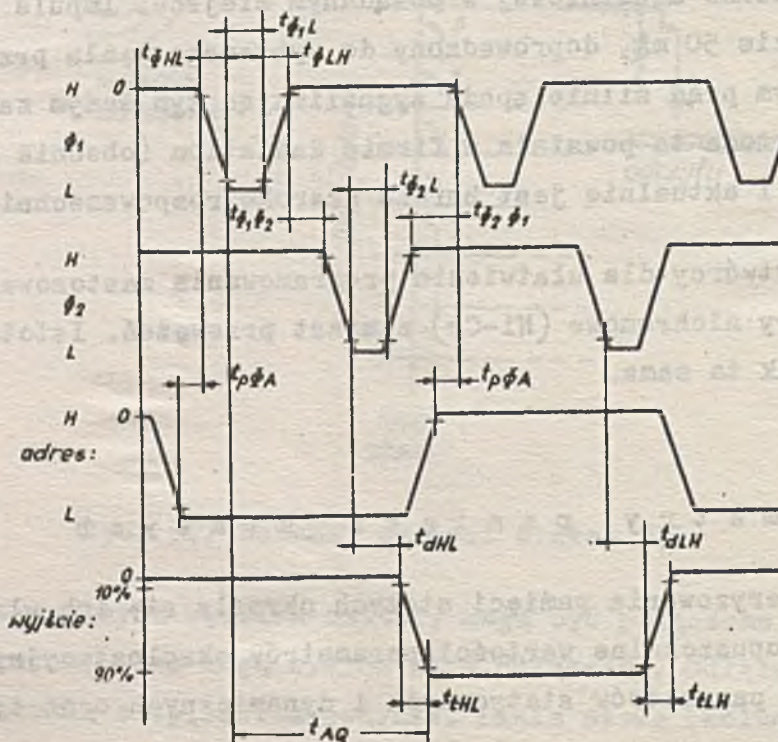
Dla scharakteryzowania pamięci stałych określa się ich własności funkcjonalne, dopuszczalne wartości parametrów eksploatacyjnych, graniczne wartości parametrów statycznych i dynamicznych oraz typowe charakterystyki.

Do własności funkcjonalnych należą: schemat logiczny, pojemność pamięci, długość słowa, rodzaj pracy (statyczna lub dynamiczna), spo-

sób programowania i ewentualnie reprogramowania. Dopuszczalne napięcia, prądy, moc i temperatura określone są mianem dopuszczalnych wartości parametrów eksploatacyjnych. Parametry statyczne pamięci stałych są analogiczne, jak parametry statyczne rejestrów przesuwowych. Spośród parametrów dynamicznych odmienne są parametry czasowe, dlatego też zestawiono je w tabeli 4. Na rys. 28 pokazano typowy harmonogram czasowy pamięci stałej dynamicznej.

Tabela 4. Parametry czasowe pamięci stałych

Lp.	Parametr	Oznaczenie
1	Czas dostępu	$t_A$
2	Czas propagacji sygnału wyjściowego	$t_{pLH}$ lub $t_{pHL}$
3	Czas zezwolenia	$t_{OD}$
4	Czas trwania sygnału zegarowego	$t_{\phi}$



Rys. 28. Typowy harmonogram czasowy pracy dynamicznej pamięci stałej

### 2.3.3. Przegląd własności pamięci stałych

Poniższy przegląd obejmuje głównie pamięci stałe będące obecnie przykładami typowych, szeroko dostępnych rozwiązań. Obok nich przedstawiono pamięci rokujące nadzieje na przyszłość, które w najbliższych latach mogą osiągnąć etap standardów światowych.

Wybór typów był także podyktowany zasadą reprezentowania różnorodnych stosowanych obecnie technologii.

Podstawowe własności reprezentatywnych pamięci stałych zestawiono w tabeli 5.

Pierwszy układ - typu 15900 firmy North American Rockwell Microelectronics (NRMEC) - jest matrycą diod wykonaną przy użyciu technologii SOS. Programowania dokonuje wytwórca, posługując się urządzeniem laserowym sterowanym za pomocą taśmy dziurkowanej. Wiązka laserowa przerywa ścieżki aluminiowe łączące określone diody w matrycy złożonej z 128 kolumn i 40 wierszy. Każda dioda reprezentuje pojemność zaledwie 0,02 pF, co umożliwia łączenie dużych zespołów bez niebezpieczeństwa sygnałów pasożytniczych. Rozpraszana moc wynosi zaledwie 0,06 mW/bit. Osiągnięta przez firmę NRMEC graniczna rozdzielczość programowania laserowego wynosi 400 000 diod/cal<sup>2</sup>.

W 1971 r. pamięć stała 15900 była sprzedawana po 64 dol. z uwzględnieniem opłaty za programowanie. Trudno określić, w jakim stosunku pozostaje ta cena do kosztów produkcji.

Niewątpliwie wadą układu jest brak obwodów peryferyjnych: dekodерów, wzmacniaczy odczytu, elementów buforowych. Nie mogły one być dołączone ze względów technologicznych. Odbija się to na wynikach technicznych i ekonomicznych, bowiem po pierwsze dołączenie układów peryferyjnych silnie zwiększy czas dostępu, po drugie zaś do ostatecznego rozrachunku trzeba wliczyć koszt tych układów. Brak dekodерów sprawia również, że układ posiada dużą liczbę wyprowadzeń (42). Montaż takich układów nie jest wygodny, zaś duża liczba połączeń zewnętrznych obniża niezawodność.

Tabela 5. Pamięci stałe

Lp.	Typ	Firma	Technologia	Pojemność	Czas do- stępu	Możliwość programo- wania elek- trycznego	Możliwość reprogramo- wania	Możliwość bezpośred- niej współpra- cy z TTL
1	15900	NRMEC	diodowa SOS	3228 b.	20 ns	brak	brak	brak
2	TIDM 186	Texas Instru- ments	diodowa z izo- lacją dielek- tryczną	48 b.	10 ns	jest	brak	brak
3	RM-256	Energy Con- version	diodowa z ele- mentami Ovshinsky'ego	256 b.	70 ns	jest	jest	brak
4	MM 5232	National Semi- conductor	MOS (100)	4096 b.	750 ns	brak	brak	jest
5	MK 2400 P	Mostek Cor- poration	MOS z implan- tacją jonów	2560 b.	600 ns	brak	brak	jest
6	1601	Intel Cor- poration	MOS z krzemo- wymi bramkami	2048 b.	750 ns	jest	brak	jest
7	1701	Intel Cor- poration	MOS z krzemo- wymi bramkami	2048 b.	650 ns	jest	jest	jest
8	SN54/74187	Texas Instru- ments	bipolarna TTL	1024 b.	40 ns	brak	brak	jest
9	MM52/6280	Monolithic Me- mories	bipolarna TTL	8192 b.	70 ns	brak	brak	jest
10	MM53/6300	Monolithic Me- mories	bipolarna TTL	1024 b.	40 ns	jest	brak	jest

Niepomyślną dla użytkowników okolicznością jest to, że układ produkowany jest tylko przez jedną firmę. Ważniejsze programy sprzętowe nie mogą opierać się na podzespołach dostarczanych wyłącznie przez jednego (i to niezbyt wielkiego) wytwórcę. Zresztą dotychczas pamięć 15900 jest dostępna jedynie w postaci próbek.

Pamięć TIDM 186 firmy Texas Instruments jest również pamięcią diodową, jednak przez zastosowanie przepalanych ścieżek przewodzących umożliwia ona programowanie elektryczne (por. 2.3.1). Układ posiada niestety małą pojemność.

Następnym układem, również stosunkowo nowym, jest pamięć stała typu RM-256 firmy Energy Conversion Devices. Jest to także matryca diodowa, jednak zawiera ona elementy pamięciowe Ovshinsky'ego (por. 2.3.1, rys. 18), co umożliwia programowanie elektryczne. Co więcej, pamięć może być wielokrotnie reprogramowana.

Stan przewodzenia elementów Ovshinsky'ego w wybranym węźle osiąga się doprowadzając do odpowiedniej linii Y impuls prądowy o amplitudzie 5 do 8 mA i o czasie trwania od 10 do 20  $\mu$ s. W tym czasie linia X powinna znajdować się na potencjale ziemi.

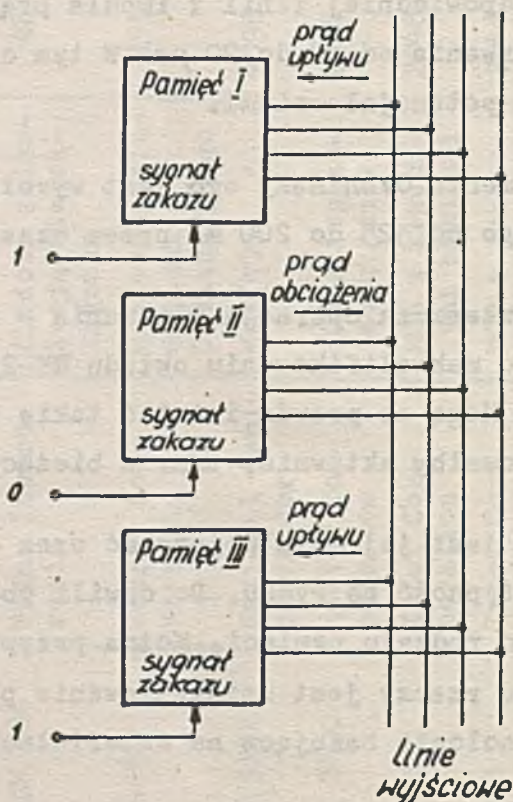
Stan wyłączenia elementu Ovshinsky'ego jest wywołany przez przepuszczenie impulsu prądowego od 125 do 200 mA przez czas od 5 do 10  $\mu$ s.

Obie operacje - a zwłaszcza operacja włączania - są zatem stosunkowo powolne, co przesądza o zakwalifikowaniu układu RM-256 do pamięci stałych reprogramowanych. Mogą co prawda istnieć takie zastosowania, w których układ RM-256 pracowałby aktywnie, tzn. z bieżącym zapisem.

Wadą pamięci RM-256 jest jej mała pojemność oraz - jak dotychczas - wysoka cena i mała dostępność na rynku. Do chwili obecnej nie znalazł się inny producent tego rodzaju pamięci. Można przypuszczać, że częściowo przyczyną tego stanu rzeczy jest zainwestowanie przez inne firmy poważnych środków w technologie bazujące na materiałach monokrystalicznych.

Pamięć typu MM 5232 firmy National Semiconductor jest jedną z najlepszych pamięci stałych MOS dostępnych na rynku. Układ ten jest zrealizowany technologią 100, a więc niskoprogową. Kombinacja pojemności i szybkości jest typowa dla współczesnych pamięci MOS: 4096 bitów i 750 ns.

Na uwagę zasługuje możliwość zmiany długości słowa. Odwołajmy się tutaj do schematu blokowego pamięci MOS przedstawionego na rys. 21. W zależności od sygnału sterującego doprowadzonego do dekodera Y pamięć działa w układzie 512 słów 8-bitowych lub 1024 słów 4-bitowych. Na przykładzie pamięci MM 5232 zademonstrujemy interesujące rozwiązanie obwodów wyjściowych opracowane w firmie NS, mianowicie wyjście trzystanowe. W układach tego typu wyjście znajduje się w jednym z następujących trzech stanów: 0, 1 lub wyłączenia. W stanie wyłączenia prąd płynący przez wyjście jest bliski zeru. Na rys. 29 pokazano uproszczony schemat zespołu trzech pamięci z wyjściem trzystanowym pracujących na te same linie. Odpowiedni sygnał sterujący w każdym momencie uruchamia (otwiera) wyjście jednego układu, podczas gdy pozostałe znajdują się w stanie wyłączenia. Oczywiście, połączenie takie mogłoby być realizowane także bez wyjść trzystanowych, mianowicie przez zastosowanie układów wyjściowych z otwartymi drenami, obciążonych zewnętrznymi rezystorami. Jednak rozwiązanie trzystanowe wyróżnia się większą efektywną szybkością działania, taniością i zwiększoną odpornością na zakłócenia.



Rys. 29. Zespół trzech pamięci z wyjściami trzystanowymi pracujących na wspólne linie



Układ MM 5232 ze standardową zawartością (do generacji znaków alfanumerycznych na monitorach) kosztuje 40 dol., zaś z zawartością zamówioną przez klienta 60 dol. Są to ceny typowe dla układów tego rodzaju, kształtują się na poziomie 1 c/bit.

Kolejny układ MK 2400P firmy Mostek posiada pojemność 256 słów 10-bitowych i jest realizowany technologią MOS uzupełnioną implantacją jonów. Podobnie jak w przypadku rejestrów przesuwowych firmy Mostek, układ wyróżnia się nowoczesnością. Jest układem niskoprogowym a więc dostosowanym do bezpośredniej współpracy z układami TTL. Jego stosowanie jest znacznie ułatwione dzięki wbudowanemu rejestrowi, który pozwala na zachowywanie ostatniego wyniku na wyjściu. Dane mogą być zapamiętane i dopiero po pewnym czasie odprowadzone do wyjść.

Ponadto układ posiada osobny, programowany według życzenia odbiorcy, dekodery 3-bitowy, który powoduje zadziałanie pamięci dopiero po doprowadzeniu określonej kombinacji trzech bitów składających się na sygnał selekcji. Ułatwia to łączenie większej liczby układów bez zewnętrznych elementów dekodujących. Wyjściowe elementy buforowe działają analogicznie, jak wyjścia trzystanowe stosowane w firmie National Semiconductor (przynajmniej od strony funkcjonalnej).

Wadą pamięci MK 2400P jest niemożliwość programowania elektrycznego, bowiem jej zawartość jest ustalana przez zmianę maski.

Układ 1601 firmy Intel Corporation jest wykonywany przy użyciu technologii krzemowych bramek. Elementami pamięciowymi są w nim elementy FAMOS (por. 2.3.1), które umożliwiają programowanie elektryczne pamięci. Układ jest nieco wolniejszy od MK 2400P, bowiem przy statycznym dekodowaniu czas dostępu wynosi 1  $\mu$ s. Podana w tabeli wartość 750 ns odnosi się do dekodowania dynamicznego. W tym ostatnim przypadku rozpraszana moc maleje czterokrotnie, do poziomu 0,1 mW/bit. Programowanie elektryczne wymaga pewnego, niewielkiego zresztą, oprzyrządowania. Poza tym zaprogramowana pamięć powinna być poddana kontroli. Ponieważ nie wszyscy klienci firmy Intel dysponują odpowiednimi środkami, umożliwiono im programowanie przez wytwórcę według nadesłanej taśmy dalekopisowej. Gotowa, zaprogramowana pamięć jest osiągalna w ciągu 24 godzin od zamówienia. Oczywiście, tak krótki termin nie był możliwy przy pro-

gramowaniu za pomocą masek. Ostatnio obserwuje się zresztą powstawanie firm specjalizujących się wyłącznie w programowaniu elektrycznym różnorodnych pamięci stałych.

Następny układ firmy Intel Corporation (1701) posiada wszystkie własności układu 1601 uzupełnione możliwością reprogramowania. Układ 1701 posiada kwarcowe wieczko, przez które można naświetlać strukturę promieniami UV i w ten sposób rozładować elementy FAMOS. Naświetlanie typową lampą kwarcową przez 10 min. wystarczy do wyczyszczenia pamięci.

Układy 1601 i 1701 mogą być zastąpione przez pamięć programowaną za pomocą maski (typu 1301). Zamiana taka jest celowa przy zwiększonym zapotrzebowaniu, ponieważ pamięci programowane elektrycznie są jak dotychczas znacznie droższe. Cena układu 1601 kształtuje się na poziomie 3c/bit, podczas gdy 1301 - 1c/bit.

Przejdźmy do bipolarnych pamięci stałych; pierwsza z nich to układ typu SN54/74187 firmy Texas Instruments wchodzący w skład popularnej serii TTL. Układ posiada pojemność 256 słów 4-bitowych, zaś jego szybkość jest typowa dla rozwiązań bipolarnych: czas dostępu wynosi 40 ns. Pamięć jest programowana za pomocą maski i nie może być reprogramowana. Elementy wyjściowe posiadają otwarte kolektory, co umożliwia łączenie różnych układów do wspólnych linii za pomocą zewnętrznych rezystorów.

Ostatnie dwa układy (również bipolarne, TTL z diodami Schottky'ego) są produkowane przez specjalistyczną, niewielką lecz prężną firmę Monolithic Memories. Pierwszy z nich - typu MM 52/6280 - posiada wręcz rekordową pojemność 8192 bity. Jest to zaskakujące tym bardziej, że technologia bipolarna nie jest bynajmniej technologią najprostszą. Pamięć MM 52/6280 posiada cztery wejścia zezwolenia (ang. enable), które bez zewnętrznych elementów dekodujących pozwalają na rozbudowę systemu do pojemności 16 tys. słów 8-bitowych. Rozpraszana moc wynosi 0,08 mW/bit. Elementy wyjściowe posiadają otwarte kolektory. Całość jest zamknięta w obudowie ceramicznej DIL z 24 wyprowadzeniami. Szczególnie w tym przypadku widoczne są korzyści płynące z wewnętrznego dekodowania: matryca elementów pamiętających składa się z 64 wierszy i 128 kolumn, a więc liczba wyprowadzeń musiałaby przekraczać  $128 + 64 + 2 + 4 = 198$ , co jest, jak dotąd, praktycznie nie realizowane.

Co do ceny układu, to przy dużych ilościach i w wersji przeznaczonej do pracy w zawężonym zakresie temperatur (MM 6380, od 0 do  $+75^{\circ}\text{C}$ ), kształtuje się ona na poziomie 0,5 c/bit. Jest to cena niższa od ceny wielu pamięci MOS, znacznie przecieź wolniejszych. Najprawdopodobniej firma Monolithic Memories zamierza przez pewien czas sprzedawać swój produkt poniżej kosztów produkcji. Przy tak korzystnym porównaniu z pamięciami MOS problemem może być dostępność układu na rynku. W 1971 r. firma Monolithic Memories produkowała pamięci stałe (TTL) o łącznej pojemności 28 mln bitów miesięcznie, co świadczyłoby o opanowaniu produkcji masowej.

Pamięć MM 52/6280 jest programowana za pomocą maski. Natomiast następny układ tej samej firmy (MM 53/6300) umożliwia programowanie elektryczne polegające na przepalaniu rezystorów nichromowych w określonych węzłach matrycy. Układ ten posiada pojemność 1024 bitów (256 słów 4-bitowych). Jest on zaopatrzony w 2 wejścia zezwolenia; wyjścia posiadają otwarte kolektory. Rozpraszana moc wynosi 0,35 mW/bit. Układ jest zamknięty w ceramicznej obudowie DIL z 16 wyprowadzeniami. Jego ścisłym odpowiednikiem programowanym za pomocą maski jest układ MM 52/6200, trzykrotnie tańszy. Zamawianie układu programowanego elektrycznie jest więc opłacalne tylko wtedy, gdy zawartość pamięci stałej nie jest jeszcze definitywnie ustalona.

## 2.4. Pamięci o swobodnym dostępie umożliwiające szybki zapis

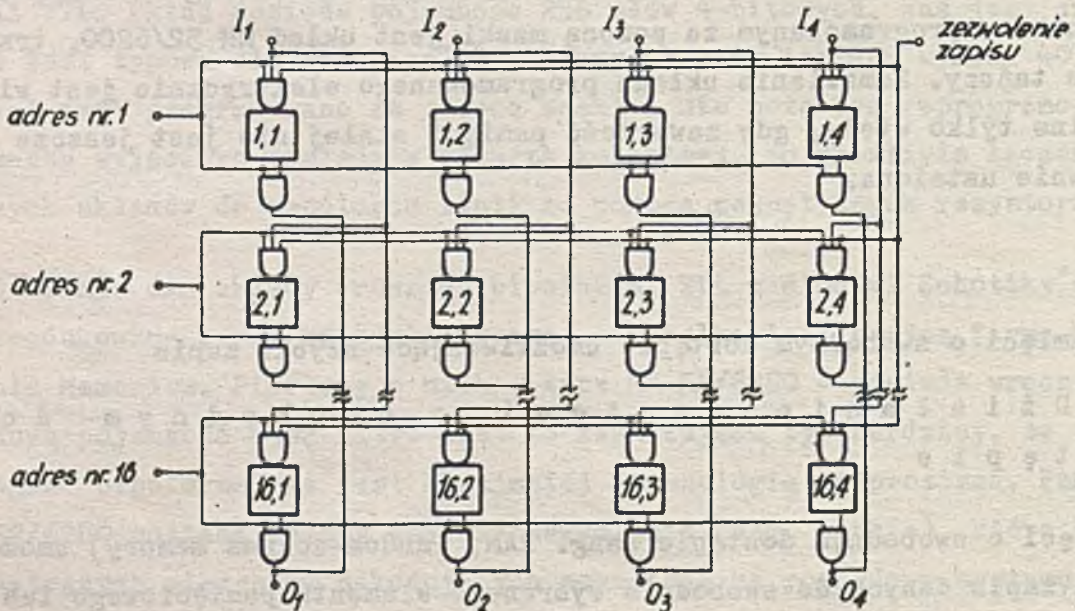
### 2.4.1. D z i a ł a n i e p a m i ę c i o s w o b o d n y m d o s t ę p i e

Pamięci o swobodnym dostępie (ang. RAM, random-access memory) umożliwiają zapis danych do swobodnie wybranego elementu pamięciowego lub grupy elementów pamięciowych. Zapis ten jest szybki i w związku z tym odbywa się wielokrotnie w czasie normalnej pracy układu, co odróżnia ten rodzaj pamięci od programowanych elektrycznie pamięci stałych. Nazwa "pamięć o swobodnym dostępie" nie jest więc zbyt ścisła, ponieważ swobodny dostęp występował również w pamięciach stałych. Charakterystyczna jest raczej możliwość szybkiego zapisu. Tym niemniej ze wzglę-

du na szerokie spopularyzowanie w literaturze nazwy "pamięć o swobodnym dostępie" będziemy jej używali w dalszym ciągu.

Podstawowym składnikiem każdej pamięci RAM jest matryca elementów pamięciowych. Elementy pamięciowe są często przerzutnikami tranzystorowymi, chociaż (jak zobaczymy w dalszym ciągu) realizowane są ekstremalnie uproszczone elementy składające się z jednego tranzystora.

Matryca elementów pamięciowych może być zorganizowana na dwa sposoby: z wybieraniem liniowym i koincydencyjnym. Na rys. 30 pokazano matrycę o pojemności 16 słów 4-bitowych charakteryzującą się wybieraniem liniowym. Każdy z przerzutników składających się na matrycę jest wyposażony w proste elementy logiczne reagujące na sygnały wybierające wspólne dla każdego wiersza oraz na sygnał "Zezwolenie zapisu". Korzystną stroną tego systemu wybierania jest to, że do każdej komórki jest doprowadzana tylko jedna linia adresowa. Zauważmy, że liczba ścieżek przewodzących doprowadzona do każdej komórki podlega ograniczeniom.



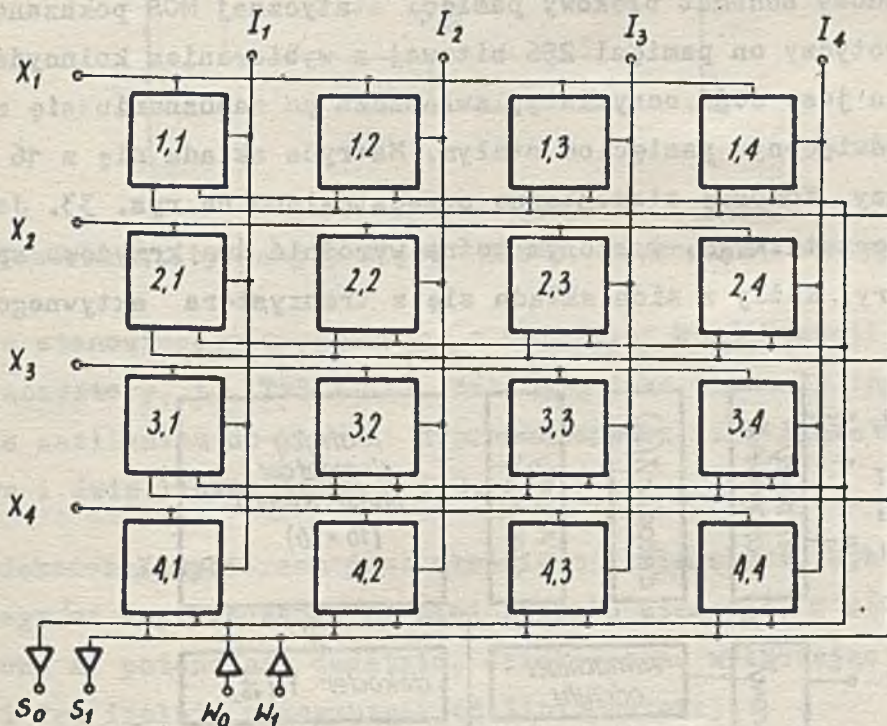
Rys. 30. Matryca pamięci o pojemności 16 słów 4-bitowych z wybieraniem liniowym

Przykładowy zapis słowa 4-bitowego pod adresem nr 2 przebiega następująco:

- adresowanie linii nr 2,
- doprowadzenie sygnału "Zezwolenie zapisu".

Na rys. 31 przedstawiono matrycę o pojemności 16 bitów z wybieraniem koincydencyjnym. Pokazano tu również sposób przełączania wzmacniaczy odczytu i zapisu. W tym przypadku do każdej komórki doprowadzane są dwie linie adresowe X i Y. W przypadku tej pamięci zapis przebiega następująco (dla zapisu w komórce oznaczonej symbolem 1, 2):

- adresowanie linii  $X_1$  i  $Y_2$ ,
- pobudzenie jednego ze wzmacniaczy zapisu ( $W_0$  dla zapisu 0,  $W_1$  dla zapisu 1).



Rys. 31. Matryca pamięci o pojemności 16 słów 1-bitowych z wybieraniem koincydencyjnym

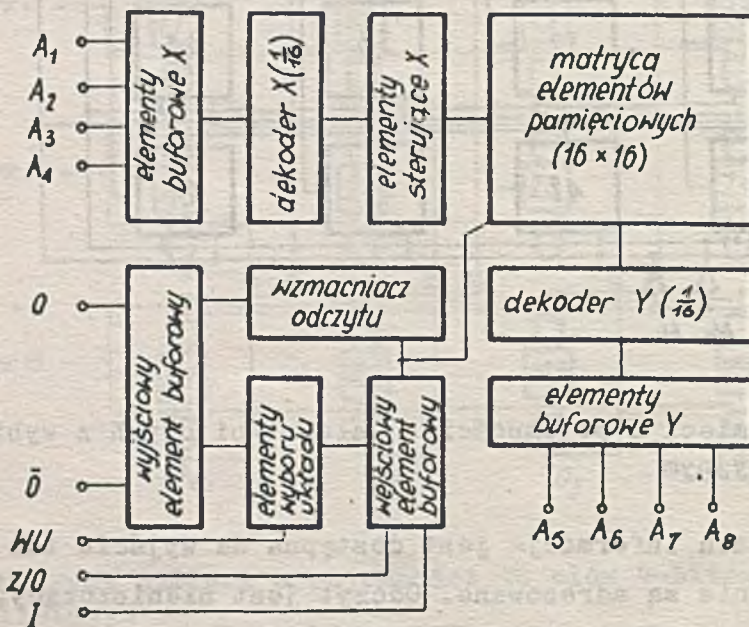
W obydwu pamięciach informacja jest dostępna na wyjściu tak długo, dopóki określone linie są adresowane. Odczyt jest nieniszczący, co jest charakterystyczne dla pamięci półprzewodnikowych.

Bardziej szczegółowe działanie pamięci o swobodnym dostępie rozpoczniemy od jednego z typów obecnie najpopularniejszych, a mianowicie od

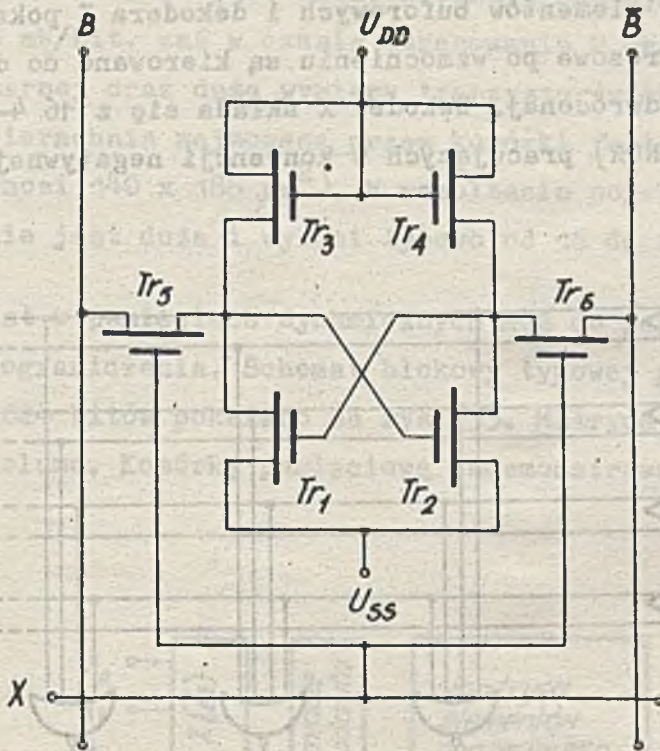
pamięci statycznej typu MOS. W dalszym ciągu będą omówione pozostałe typy pamięci: dynamiczne MOS, statyczne TTL, skojarzeniowe statyczne MOS i TTL oraz, jako osobna grupa, pamięci zachowujące informację po wyłączeniu zasilania.

A więc pamięci statyczne MOS; ich rozwój został zapoczątkowany w 1965 r., kiedy ukazała się słynna, wielokrotnie cytowana praca J.D. Schmidta z firmy Fairchild poświęcona właśnie takim układom. Rozwiązania komórki elementarnej i obwodów peryferyjnych zaproponowanych przez Schmidta okazało się zadziwiająco trwałe. Jeszcze obecnie ukazują się w produkcji układy oparte na tym rozwiązaniu. Naszą dyskusję oprzemy na nieco unowocześnionym rozwiązaniu.

Przykładowy schemat blokowy pamięci statycznej MOS pokazano na rys. 32. Dotyczy on pamięci 256 bitowej z wybieraniem koincydencyjnym. Schemat ten jest dość oczywisty, zwłaszcza po zapoznaniu się z rozdziałem 2.3 poświęconym pamięciom stałym. Matryca składa się z 16 kolumn i 16 wierszy. Komórkę elementarną przedstawiono na rys. 33. Jest to prosty przerzutnik RS, w którym można wyróżnić dwa krzyżowo sprzężone inwertery. Każdy z nich składa się z tranzystora aktywnego oraz



Rys. 32. Schemat blokowy 256-bitowej statycznej pamięci o swobodnym dostępie MOS z wybieraniem koincydencyjnym



Rys. 33. Komórka statycznej pamięci MOS o swobodnym dostępie

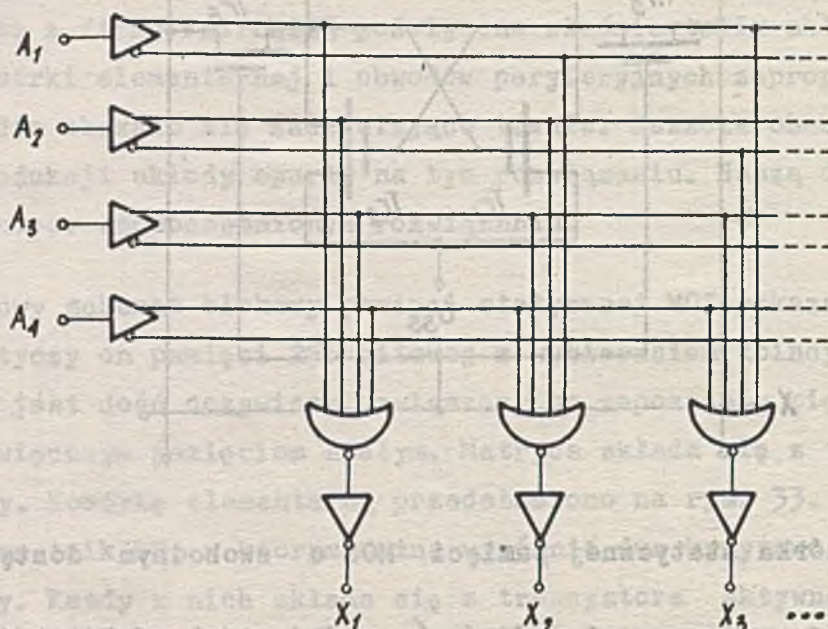
tranzystora stanowiącego obciążenie (o mniejszej konduktancji). Dwa dodatkowe tranzystory, tj. Tr5 i Tr6, działają jako elementy logiczne I (AND). Poza zasilaniem do komórki doprowadzone są trzy linie sygnałowe: linia słowa i dwie linie bitowe B i  $\bar{B}$ .

Przez dekodery X wybierana jest określona linia słowa. Wybór linii słowa polega na doprowadzeniu do niej sygnału ujemnego. W stanie biernym jest ona na potencjale dodatnim, dzięki czemu wyłączając tranzystory Tr5 i Tr6 izoluje przerzutnik od linii bitowej.

Zapis polega na tym, że jedna z linii bitowych (które w stanie biernym znajdują się na potencjale niskim  $U_{SS}$ ) jest pobudzana sygnałem dodatnim. Jeśli dodatni sygnał jest doprowadzony do linii B, to inwerter Tr2 - Tr4 zostaje tym samym wyłączony, zaś komórka pozostaje w stanie "1". Jeżeli natomiast pobudzana jest linia  $\bar{B}$ , to tym samym wymuszane jest wyłączenie inwertera Tr1 - Tr3, równoważne stanowi "0".

W czasie odczytu, zależnie od stanu przerzutnika, tranzystor Tr1 pobudza linię B, bądź Tr2 pobudza  $\bar{B}$ . Powoduje to wysłanie do wzmacniacza odczytu sygnału "1" lub "0".

Schemat logiczny elementów buforowych i dekodera X pokazano na rys. 34. Sygnały adresowe po wzmacnieniu są kierowane do dekodera w postaci prostej i odwróconej. Dekoder X składa się z 16 4-wejściowych elementów NIE-LUB (NOR) pracujących w konwencji negatywnej.



Rys. 34. Schemat logiczny zespołu elementów buforowych i dekodera X pamięci statycznej MOS o swobodnym dostępie

Do każdego elementu doprowadzona jest odmienna, ściśle określona kombinacja sygnałów adresowych prostych i zanegowanych. Określony adres w postaci binarnej pobudzi zatem tylko jedną linię słowa. Bufor i dekodery Y są zbudowane analogicznie.

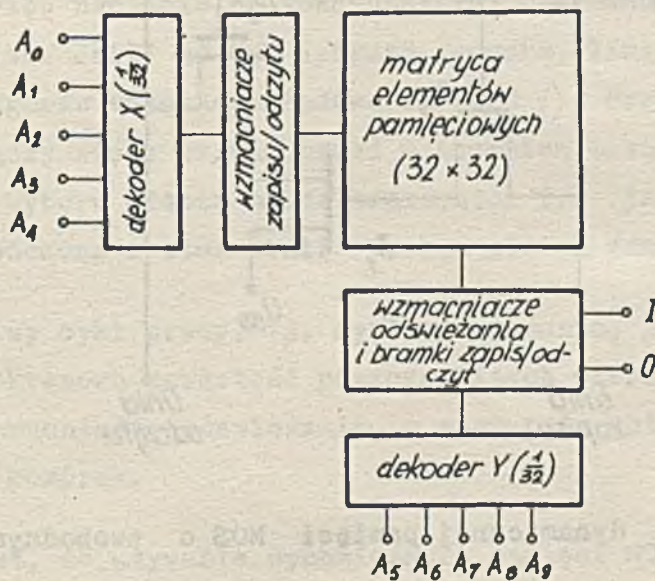
Pozostałe składniki schematu blokowego, jakkolwiek dość złożone w realizacji, nie wymagają szczegółowych objaśnień. Warto jedynie wspomnieć, że standaryzację sygnałów wyjściowych osiąga się przez przerzutnik wbudowany we wzmacniacz odczytu. Stan przerzutnika zależy od tego, czy sygnał był wyprowadzony przez linię B, czy też przez linię  $\bar{B}$ . Na zewnątrz dostarczany jest z przerzutnika za pośrednictwem elementów buforowych zarówno sygnał prosty, jak i zanegowany. Obwody wejścia-wyjścia są sterowane przez sygnały "wybór układu" oraz "zapis/odczyt".

Statyczne pamięci MOS są łatwe do stosowania, jednak nie wyróżniają się dużą szybkością. Czas dostępu wynosi zwykle około 1  $\mu$ s. Również



i rozpraszana moc nie jest mała: w czasie spoczynku pamięć pobiera około 0,05 mW/bit, zaś w czasie adresowania 2 mW/bit. Złożoność komórki elementarnej oraz duże wymiary tranzystorów obciążających sprawiają, że powierzchnia zajmowana przez komórki jest stosunkowo duża (przykładowo wynosi  $140 \times 185 \mu\text{m}^2$ ). W rezultacie pojemność pamięci statycznych MOS nie jest duża i wynosi typowo od 16 do 256 bitów.

Natomiast w pamięciach dynamicznych MOS do pewnego stopnia wyeliminowano te ograniczenia. Schemat blokowy typowej pamięci tego typu o pojemności 1024 bitów pokazano na rys. 35. Matryca składa się z 32 wierszy i 32 kolumn. Komórkę pamięciową zademonstrowano na rys. 36 [59].

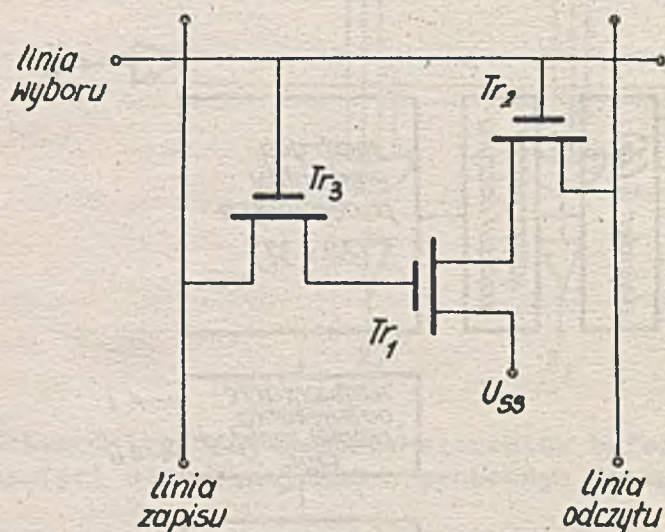


Rys. 35. Schemat blokowy 1024-bitowej dynamicznej pamięci MOS o swobodnym dostępie

Składa się ona z trzech tranzystorów MOS z kanałem wzbogacanym typu p, do których doprowadzone są trzy linie: wyboru, zapisu i odczytu. W starszych konstrukcjach stosowano dwie linie wyboru komórki, tj. dla zapisu i dla odczytu. Działały one dwustanowo. W prezentowanej komórce możliwe są trzy stany linii wyboru: może ona być pod napięciem zerowym (stan bierny), pod napięciem  $-3$  do  $-4$  V (odczyt) oraz  $-20$  V (zapis).

Nośnikiem informacji jest zaznaczona na rys. 36 pojemność C, składająca się głównie z pojemności bramki tranzystora Tr1 i ścieżki prze-

wodzącej połączonej z tą bramką. Jeśli ładunek zawarty w pojemności  $C$  jest dostateczny dla otworzenia tranzystora  $Tr_1$ , uważa się, że komórka jest w stanie "1". Przy małym lub zerowym ładunku tranzystor  $Tr_1$  nie przewodzi i komórka zawiera "0". Ładunek doprowadzony do pojemności  $C$  zanika na skutek istnienia upływności ze stałą czasu wynoszącą typowo 10 ms. Dlatego też zawartość komórek musi być okresowo odświeżana np. co 2 ms. Jeśli określona komórka nie jest aktywna, tzn. nie prowadzi się operacji odczytu, zapisu ani odświeżania, to do linii zapisu i odczytu doprowadzane są zewnętrzne ujemne sygnały (około  $-20\text{ V}$ ) zwane sygnałami wstępnego ładowania.



Rys. 36. Komórka dynamicznej pamięci MOS o swobodnym dostępie

Przeanalizujemy obecnie cykl odczytu. W tym przypadku linie zapisu i odczytu odłącza się od sygnału wstępnego ładowania, jednocześnie zaś do linii wyboru doprowadza się sygnał o amplitudzie  $-3$  do  $-4\text{ V}$ . Jest to wartość 1,5 - 2-krotnie przekraczająca napięcie progowe tranzystora  $Tr_2$ . Jeśli zatem komórka jest w stanie "1" (tranzystor  $Tr_1$  otwarty), to  $Tr_2$  zostanie włączony. W wyniku tego wstępnie naładowana linia odczytu ulega rozładowaniu przez tranzystory  $Tr_2$  i  $Tr_1$ , zaś w tej samej linii odczytu pojawi się impuls dodatni sygnalizujący stan komórki. Jeżeli natomiast komórka jest w stanie "0" i tranzystor  $Tr_1$  nie przewodzi, to  $Tr_2$  nie może być włączony mimo sygnału wyboru. Linia odczytu pozostaje zatem naładowana, co również sygnalizuje stan komórki.

Zauważmy jednocześnie, że sygnał selekcji równy  $-3$  do  $-4$  V nie był w obydwu przypadkach wystarczający dla trwałego włączenia tranzystora Tr3. Jeśli pojemność C była silnie naładowana, to sygnał wyboru nie był dostatecznie ujemny dla włączenia Tr3. Jeżeli zaś pojemność C była naładowana słabo, to Tr3 może ulec chwilowemu włączeniu, doładować ją do napięcia około  $-2$  V i w efekcie wyłączyć się. Gdy wobec tego sygnał wyboru nie przekracza  $-4$  V, to ładunek kondensatora C nie osiągnie samorzutnie wartości dostatecznej dla włączenia tranzystora Tr1 i dla zmiany stanu komórki.

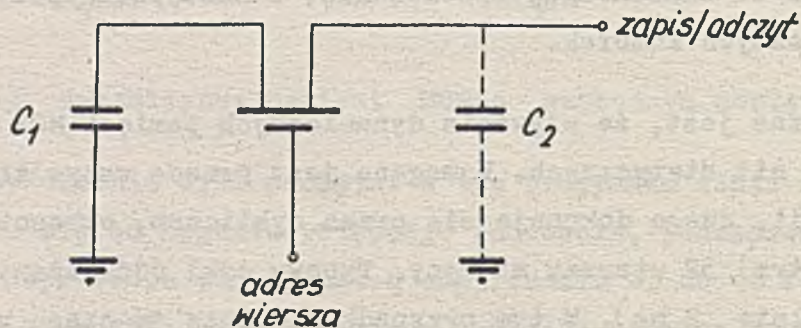
W celu realizacji zapisu również odłącza się linie zapisu i odczytu od sygnału wstępnego ładowania, natomiast do linii wyboru doprowadza się sygnał  $-20$  V. Napięcie to wystarcza do całkowitego włączenia tranzystora Tr3, więc napięcie na kondensatorze C zrównuje się z napięciem linii zapisu. Jeśli ma być wpisana jedynka, linia zapisu dostarcza napięcia sygnału wstępnego ładowania ( $-20$  V). Przy zapisie zera linię zapisu łączy się z ziemią przed włączeniem tranzystora Tr3. Oczywiście, sygnał wyboru włącza także tranzystor Tr2 jednak operacja odczytu jest zakończona i stan linii odczytu nie ma znaczenia.

Trzeci możliwy cykl pracy, tj. cykl odświeżania, jest podobny do cyklu zapisu. Okresowo zawartość poszczególnych wierszy kolejno jest kierowana do wzmacniaczy odświeżania, a następnie wpisywana ponownie do tych samych komórek.

Widoczne jest, że używanie dynamicznych pamięci MOS jest bardziej złożone, niż statycznych. Wymagane jest przede wszystkim odświeżanie informacji, czego dokonuje się przez cykliczne, okresowe adresowanie (z zewnątrz) 32 wierszy matrycy. Typowy cykl odświeżania wynosi  $600 \mu\text{s}$  (maksymalnie  $2 \text{ ms}$ ). W tym przypadku jedynie 1% czasu pracy pamięci jest zużywany na odświeżanie. Jednak mimo to niezbędne są dość rozbudowane obwody zewnętrzne (zegar, licznik). Problemy te będą bliżej przedstawione w rozdziale trzecim. Obecnie zwróćmy uwagę na korzyści osiągnięte przez rozwiązania dynamiczne. Przede wszystkim uzyskano 3-krotne zmniejszenie powierzchni komórki pamięciowej, przez co wzrósł osiągnięty stopień scalenia. Typowa dynamiczna pamięć MOS posiada pojemność  $1024$  bity. Następną korzyść stanowi mniej więcej 3-krotne zmniejszenie czasu dostępu (do około  $300 \text{ ns}$ ). Zmniejszeniu ulega również rozpraszana moc, silnie zresztą zależna od warunków stosowania pamięci.

Bilans wad i zalet wypada bardzo korzystnie dla dynamicznych pamięci MOS. Dlatego też są one, przynajmniej obecnie, zdecydowanie najpopularniejszym rodzajem pamięci RAM na rynku.

W wielu firmach prowadzi się badania możliwości dalszego uproszczenia komórek pamięciowych MOS. Obecnie uzyskano już w tej dziedzinie sukcesy na skalę produkcyjną. Produkowane są już pamięci z ekstremalnie prostą komórką, bo składającą się tylko z tranzystora i kondensatora [60]. Jednotranzystorową (oczywiście dynamiczną) komórkę pamięciową przedstawiono na rys. 37. Właściwym elementem pamiętającym jest kondensator  $C_1$ , zaś tranzystor gra rolę elementu izolującego, otwieranego tylko przez sygnał wyboru. Na rysunku zaznaczono również pojemność pasożytniczą  $C_2$ , która jest zawsze stosunkowo duża ze względu na połączenie całego wiersza ze wspólną linią zapisu/odczytu. Podstawową trudnością w realizacji tej komórki było maksymalne zwiększenie  $C_1$  i zmniejszenie  $C_2$ . Od ich stosunku zależy bowiem sygnał dostarczony do wzmacniacza odczytu. Niezależnie od tego niezbędne było zaprojektowanie wyjątkowo czułego wzmacniacza odczytu. Dzięki ekstremalnemu uproszczeniu komórki elementarnej osiągnięto dalsze zmniejszenie powierzchni, ponad trzykrotne w stosunku do pamięci dynamicznych z komórkami 3-tranzystorowymi. Czas dostępu nie przekracza 250 ns.

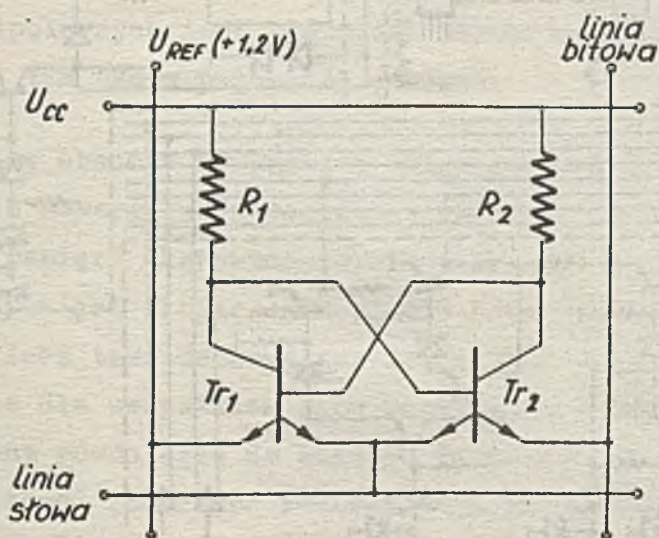


Rys. 37. Jednotranzystorowa komórka dynamicznej pamięci MOS o swobodnym dostępie

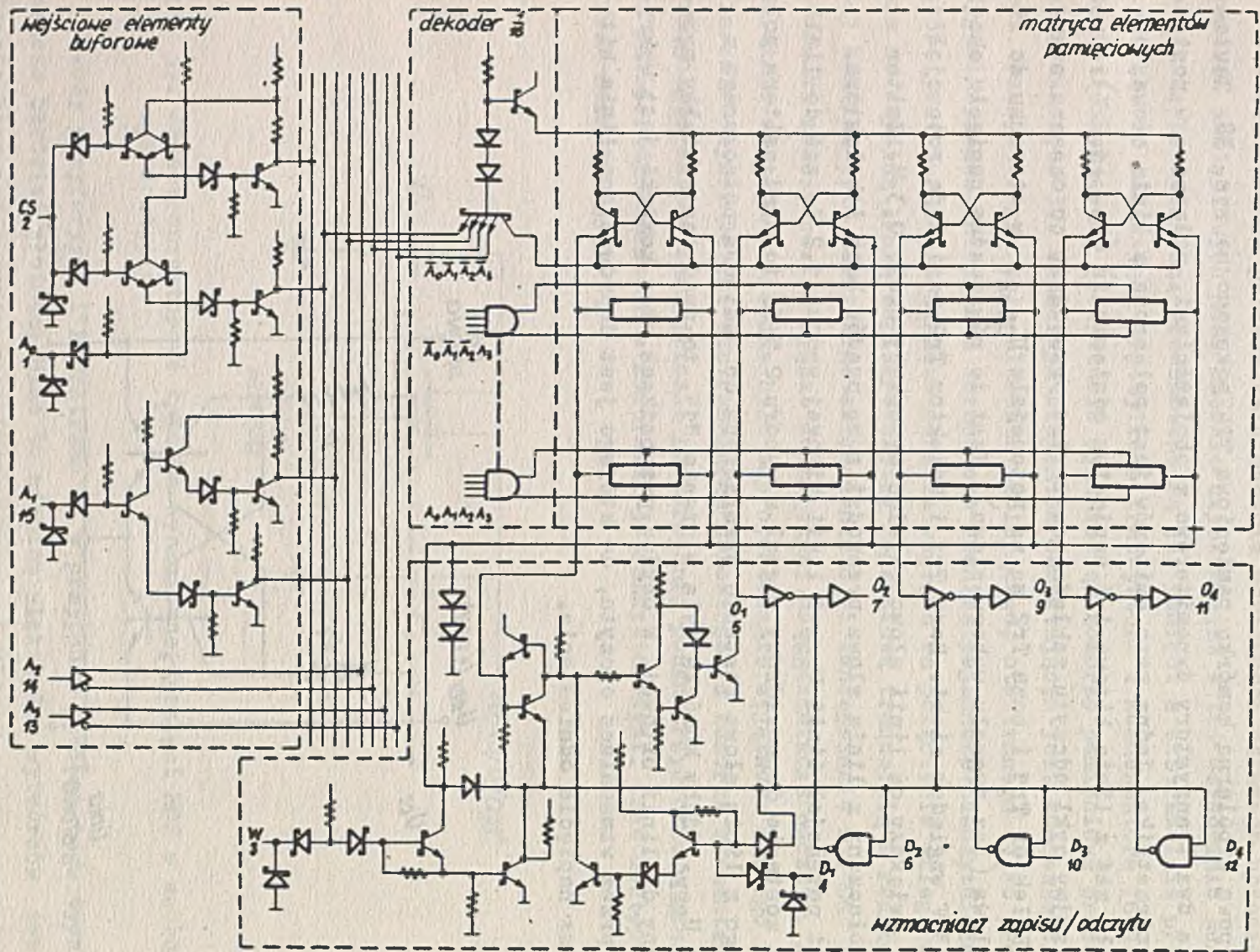
Obwody peryferyjne i zewnętrzne są w przypadku pamięci tego typu jeszcze bardziej złożone. Mimo to zdaniem większości wytwórców ten właśnie kierunek rozwoju dynamicznych pamięci MOS jest perspektywiczny.

Pozycja pamięci o swobodnym dostępie typu MOS jest ostatnio coraz silniej podważana przez pamięci bipolarne. Ich pojemność szybko rośnie zrównując się obecnie ze statycznymi pamięciami MOS. Pod względem szybkości pamięci bipolarne zawsze były bezkonkurencyjne.

Typową bipolarną komórkę pamięciową TTL pokazano na rys. 38. Zawiera ona dwa tranzystory dwuemiterowe z obciążeniami, połączone w postaci przerzutnika. Jedna para emiterów jest połączona z linią słowa, pozostała zaś z linią bitową i z napięciem odniesienia (np.  $+1,2\text{ V}$ ). Przeanalizujmy cykl odczytu zakładając, że  $Tr_1$  przewodzi, co oznacza stan "0". Kolektor  $Tr_1$  i baza  $Tr_2$  są na potencjale  $U_{CEsat}$  w stosunku do linii słowa (bez sygnału wyboru słowa). Jest to równoważne napięciu około  $0,3\text{ V}$  względem ziemi. Baza  $Tr_1$  i kolektor  $Tr_2$  posiadają potencjał o  $U_{BE}$  większy od linii słowa, a więc wynoszący około  $0,3\text{ V}$ . Emiter  $Tr_1$  połączony z linią słowa przewodzi sumę prądów bazy i kolektora. Jeżeli potencjał linii  $U_{REF}$  i linii bitowej wynosi  $1,2\text{ V}$ , zaś do linii słowa zostanie doprowadzony sygnał z wyboru  $2,5\text{ V}$ , to prąd emitiera połączonego z linią słowa zostanie przełączony do emitiera połączonego z linią  $U_{REF}$ . Gdyby komórka była w stanie "1", to prąd ten zostałby przełączony do linii bitowej. W obydwu przypadkach stan komórki jest wykrywany przez wzmacniacz odczytu, do którego jest doprowadzona linia bitowa oraz napięcie odniesienia.



Rys. 38. Komórka pamięci bipolarnej TTL o swobodnym dostępie



Rys. 39. Schemat kompletnej 64-bitowej pamięci bipolarnej TTL o swobodnym dostępie

Również w czasie zapisu linia słowa jest wzbudzana sygnałem 2,5 V. Tym razem linia bitowa jest zasilana sygnałem 0,2 V lub 2,5 V zależnie od tego, czy do komórki ma być wpisana jedynka, czy zero. Sygnał 0,2 V spowoduje przewodzenie Tr2, sygnał 2,5 V otworzy tranzystor Tr1.

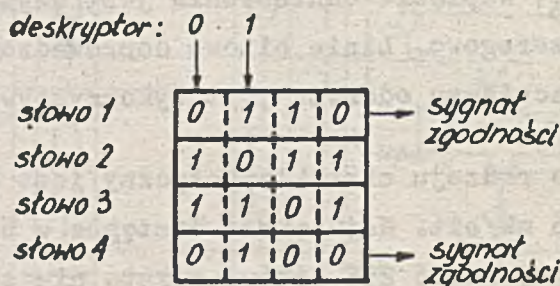
Na rys. 39 przedstawiono kompletną pamięć 64-bitową TTL zbudowaną z wyżej opisanych komórek. Jest to pamięć z wybieraniem liniowym, zorganizowana w postaci 16 słów 4-bitowych. Wszystkie tranzystory w tym układzie są bocznikowane diodami Schottky'ego, co ma na celu zwiększenie szybkości (por. 1.2.1). W układzie można wyróżnić wejściowe elementy buforowe wzmacniające adres i zarazem dostarczające sygnałów odwróconych ( $A$  i  $\bar{A}$ ), niezbędnych do pracy dekodera. Dekoder jest zbudowany na 16 tranzystorach czteroemiterowych (elementy I), przy czym do każdego tranzystora jest doprowadzana inna kombinacja sygnałów  $A$  i  $\bar{A}$ . Pierwszy wiersz jest pobudzany sygnałami  $\bar{A}_0$ ,  $\bar{A}_1$ ,  $\bar{A}_2$  i  $\bar{A}_3$ , zaś ostatni sygnałami  $A_0$ ,  $A_1$ ,  $A_2$ ,  $A_3$ . Napięcie odniesienia jest uzyskiwane na dwóch diodach połączonych szeregowo. Linie bitowe doprowadzone są do wzmacniaczy odczytu. Część wzmacniaczy odczytu jest wykorzystywana przy zapisie.

Dla układów tego rodzaju charakterystyczny jest czas dostępu 40 ns i rozpraszana moc 6 mW/bit. Największe dostępne w handlu pamięci bipolarne posiadają pojemność 256 bitów; często nie są w pełni zdekodowane i wymagają większej liczby obwodów zewnętrznych. Wadą wszystkich pamięci bipolarnych jest złożoność technologii ograniczająca stopień scalenia i tym samym pojemność pamięci.

Przejdźmy obecnie do pamięci skojarzeniowych (CAM, ang. content-addressable memory lub associative memory). Wszystkie dotychczas rozpatrywane pamięci charakteryzowały się wybieraniem adresowym (por. 2.1.1). W pamięci skojarzeniowej nie podaje się na wejściu adresu informacji, lecz tzw. deskryptor, tj. zespół bitów stanowiący kryterium porównawcze dla wszystkich słów zapisanych w pamięci. Deskryptor jest doprowadzany równolegle do każdego zespołu komórek pamięciowych zawierającego słowo. Zawartość komórek jest porównywana z deskryptorem za pomocą komparatorów 1-bitowych mieszczących się w każdej komórce. Jeśli określone słowo (w ogólnym przypadku dłuższe od deskryptora) wykaże zgodność z deskryptorem, to komparatory wysyłają sygnał zgodności, zaś

samo słowo jest doprowadzone do wyjścia pamięci. Oczywiście, nie tylko jedno słowo może spełnić kryterium zgodności. Poglądowo przedstawiono tę sytuację na rys. 40. Deskryptorem jest tutaj zespół 2 bitów 01. Pamięć zawiera 4 słowa 4-bitowe. Załóżmy, że porównaniu podlegają pierwsze bity. Widoczne jest, że kryterium zgodności będzie spełnione przez słowa nr 1 i 4.

Oczywiście, operacje skojarzeniowe mogą być dokonywane przez procesory maszyn cyfrowych współpracujące z pamięciami adresowanymi. Jednak wiele problemów przetwarzania danych ma taki charakter, że duża część czasu pracy procesora musi być przeznaczona na proste operacje przeglądania słów wywoływanych z pamięci i porównywania ich z deskryptorami. Do problemów takich należy np. rezerwacja miejsc w ruchu lotniczym. W takich przypadkach praca komputerów może być znacznie uproszczona, jeżeli operację kojarzenia przejmie pamięć.

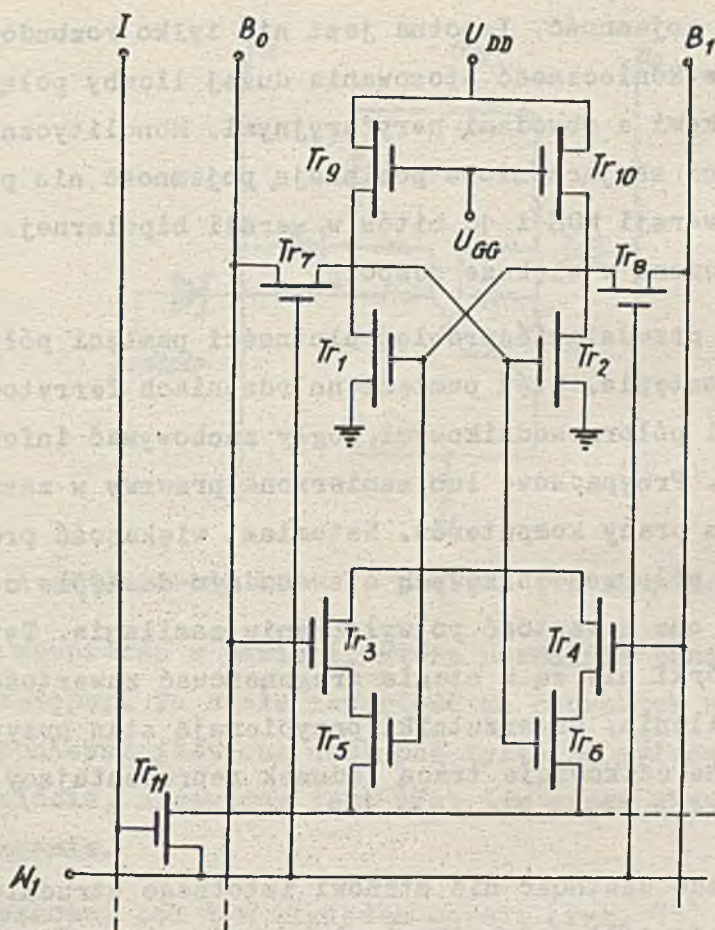


Rys. 40. Działanie pamięci skojarzeniowej

Budowa pamięci skojarzeniowych – jakkolwiek celowa – przez wiele lat była niemożliwa ze względów technologicznych i stanowiła jedynie temat wielu rozpraw teoretycznych. Obecnie rozwój pamięci półprzewodnikowych spowodował, że pamięci skojarzeniowe stają się realne. Pamięci półprzewodnikowe wyróżniają się bowiem względną łatwością rozbudowywania logiki w poszczególnych komórkach pamięciowych.

Półprzewodnikowe pamięci skojarzeniowe są zwykle pamięciami o swobodnym dostępie, jakkolwiek mogą one też być budowane na rejestrach przesuwowych (rzadziej). Przykładowy schemat jednej komórki pamięci skojarzeniowej o swobodnym dostępie typu MOS pokazano na rys. 41.





Rys. 41. Komórka pamięci skojarzeniowej MOS

Tranzystory  $Tr_1$ ,  $Tr_2$ ,  $Tr_9$  i  $Tr_{10}$  tworzą właściwy przerzutnik pamiętający. Tranzystory  $Tr_7$  i  $Tr_8$  służą do selekcji słowa. Łączą one przerzutnik z liniami bitowymi, jeżeli do linii słowa zostanie doprowadzone napięcie ujemne. Gdy napięcie na linii słowa jest bliskie zera, tranzystory  $Tr_7$  i  $Tr_8$  izolują przerzutnik od linii bitowych. Tranzystory  $Tr_3$ ,  $Tr_4$ ,  $Tr_5$ ,  $Tr_6$  tworzą zespół elementów logicznych służący do porównywania zawartości przerzutnika z sygnałami zewnętrznymi. Podczas operacji porównywania linia słowa ( $W$ ) jest uziemiona przez mały rezystor, zaś tranzystor  $Tr_{11}$  jest włączony za pomocą sygnału linii badania ( $I$ ). Stan komórki jest wtedy porównywany z zewnętrznymi sygnałami przyłożonymi do linii bitowych. Linia  $W$  jest zatem linią sterującą dla operacji "zapis" i "odczyt", natomiast dla operacji "badanie" jest wyjściem. Z kolei linie bitowe są wejściami dla "zapisu" i "badania", lecz wyjściami dla "odczytu".

Widoczna jest złożoność pamięci skojarzeniowej w porównaniu z pamięcią adresowaną. Złożoność ta sprawia, że pamięci skojarzeniowe posiadają

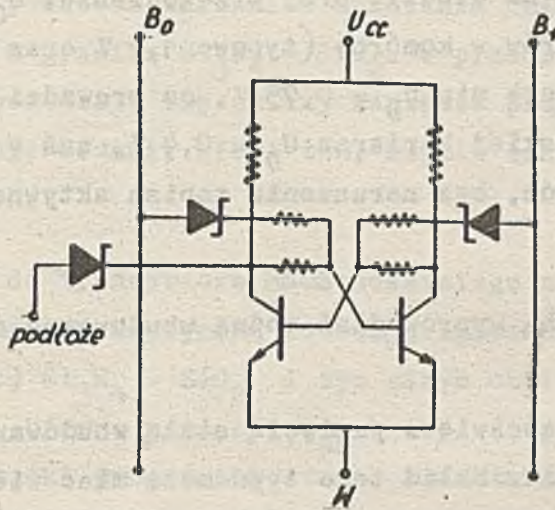
ją znacznie mniejszą pojemność. Istotna jest nie tylko rozbudowa komórek pamięciowych, ale konieczność stosowania dużej liczby połączeń między wszystkimi komórkami a obwodami peryferyjnymi. Monolityczne, dostępne w handlu pamięci skojarzeniowe posiadają pojemność nie przekraczającą 128 bitów w wersji MOS i 16 bitów w wersji bipolarnej. Oczywiście, mogą one być łączone w większe zespoły.

Pozostaje jeszcze przedstawić problem ulotności pamięci półprzewodnikowych o swobodnym dostępie. Otóż pamięci na rdzeniach ferrytowych, konkurujące z pamięciami półprzewodnikowymi, mogły zachowywać informację po wyłączeniu zasilania. Przypadkowe lub zamierzone przerwy w zasilaniu nie dezorganizowały zatem pracy komputerów. Natomiast większość produkowanych obecnie pamięci półprzewodnikowych o swobodnym dostępie cechuje ulotność, tzn. tracą one zawartość po wyłączeniu zasilania. Typowe występujące w nich komórki nie są w stanie zregenerować zawartości po ponownym włączeniu zasilania. Przerzutniki przybierają stan przypadkowy, zaś komórki dynamiczne całkowicie tracą ładunek reprezentujący informację.

W dużych komputerach ulotność nie stanowi istotnego utrudnienia. Po pierwsze pracują one na ogół w sposób ciągły, po drugie zaś mogą być z łatwością wyposażone w układy automatyczne wpisujące informację z pamięci zewnętrznych (np. taśmowych) po włączeniu zasilania. Czas niezbędny dla ponownego wypełnienia pamięci operacyjnej nie gra dużej roli, ponieważ samo uruchamianie komputera zajmuje wiele minut.

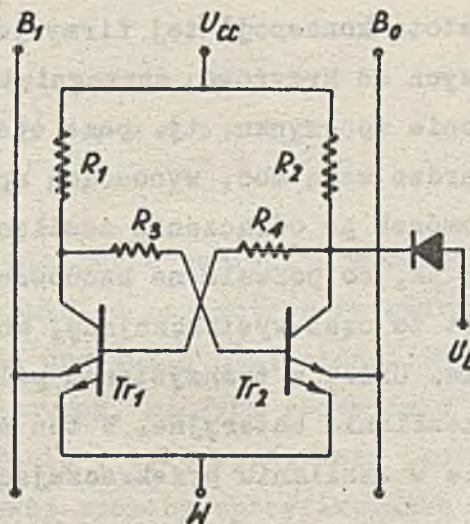
Inaczej kształtuje się sytuacja w przypadku małych urządzeń, np. minikomputerów. Dlatego też podejmuje się wysiłki zmierzające do wyeliminowania ulotności.

Jedno z możliwych rozwiązań powstało w firmie IBM [63]. Polega ono na asymetryzacji przerzutników będących komórkami bipolarnej pamięci RAM. Jeden z możliwych sposobów asymetryzacji przedstawiono na rys. 42. Elementem naruszającym symetrię przerzutnika TTL jest dioda Schottky'ego zwierająca odpowiednie ramię przerzutnika z podłożem. W konkretnej strukturze wystarczy, jeżeli dioda jest połączona ze ścianką izolacyjną  $p^+$ . Gdy do podłoża doprowadzi się sygnał, to dioda spowoduje włączenie przerzutnika. Jeśli dioda byłaby połączona z przeciwnym ramieniem przerzutnika, uległby on wyłączeniu. W ten sposób dołączając do poszczególnych przerzutników diody z jednej lub drugiej strony można wbudować pew-



Rys. 42. Asymetryzacja komórki pamięci TTL za pomocą diody Schottky'ego na stałą zawartość w pamięci, która normalnie pracuje aktywnie, ze swobodnym dostępem. Ta stała zawartość ma charakter utajony (ang. latent image), ponieważ jest ona dostępna tylko po wyłączeniu i włączeniu mocy. Oczywiście, niszczonej jest przy tym zapis aktywny, co jest wadą tego rozwiązania.

W ulepszonej pod tym względem wersji (rys. 43) dioda za pośrednictwem osobnej linii może być polaryzowana napięciem ujemnym lub dodatnim. Przy



Rys. 43. Asymetryzacja komórki pamięci TTL za pomocą diody polaryzowanej normalnej, aktywnej pracy układu dioda jest spolaryzowana ujemnie i nie zakłóca operacji zapisu i odczytu. Dla odczytania zapisu utajonego wzbu-  
dza się linię słowa W sygnałem dodatnim, zaś do anody diody doprowadza się sygnał dodatni o amplitudzie

$$U_L \approx U_D + \frac{1}{2} (U_{C1} + U_{C0}),$$

gdzie  $U_D$  - spadek napięcia na diodzie przy przewodzeniu,  $U_{C1}$  i  $U_{C0}$  - nominalne napięcie kolektorów w komórce (typowo 1,7 V oraz 0,9 V). Dla diod ze złączem p-n przyjmuje się  $U_D = 0,75$  V, co prowadzi do  $U_L = 2$  V. Dla diod Schottky'ego o niskiej barierze  $U_D = 0,4$  V, zaś w konsekwencji  $U_L = 1,7$  V. W ten sposób, bez naruszenia zapisu aktywnego odczytywany jest zapis utajony.

Dysponując większą liczbą wyprowadzeń można wbudowywać dwa zapisy utajone lub więcej.

Mamy tu do czynienia właściwie z pamięcią stałą wbudowaną w pamięć aktywną o swobodnym dostępie. Układ tego typu może mieć wiele interesujących zastosowań. Jedno z nich polega na wykorzystaniu utajonego zapisu stałego dla odnowienia utraconego zapisu aktywnego po wyłączeniu i ponownym włączeniu zasilania. Po prostu zapis stały może zawierać szereg mikrorozkazów uruchamiających odpowiednie bloki komputera w celu odnalezienia i przepisania informacji, które zanikły podczas przerwy w zasilaniu.

Inne rozwiązanie przeciwdziałające ulotności powstało w firmie Monolithic Memories. Szczegółowych informacji na jego temat dotychczas nie opublikowano.

Wiadomo jedynie, że istotą koncepcji tej firmy jest zbudowanie bipolarnych komórek pamięciowych na krzyżowo sprzęgniętych tyrystorach (!) w ten sposób, ażeby w stanie spoczynku, tj. poza operacjami zapisu i odczytu, pobierały one bardzo małą moc, wynoszącą np. 6  $\mu$ W/bit. Dzięki specjalnej konstrukcji komórek po odłączeniu zasilania prąd wyładowania komórki wynosi zaledwie 1 pA, co pozwala na zachowanie zawartości aktywnej przez około 5 ms. Jest to czas wystarczający, aby zostało włączone rezerwowe źródło zasilania. Układ z tranzystorem polowym lub z przekaznikiem może np. włączyć zasilanie bateryjne. W ten sposób ulotność występuje dopiero po przerwie w zasilaniu przekraczającej 5 ms.

Wreszcie ostatnie z rozwiązań zapobiegających ulotności; polega ono na wykorzystaniu histerezy charakterystyk struktury MNOS [64]. Zastosowana do tych celów struktura tranzystora MNOS charakteryzuje się bardzo cienką warstwą tlenku (o grubości poniżej 30 Å) oraz dość grubą warstwą azotku (kilkaset Å). Taka modyfikacja struktury MNOS okazała

się niezbędna, ponieważ warunkiem działania układu jest mała odległość między kanałem a granicą  $\text{Si}_3\text{N}_4 - \text{SiO}_2$ . W przedstawionej strukturze szczególnie uwydatniają się zmiany napięcia progowego powodowane przez silną polaryzację bramki. Efekt ten, zwykle szkodliwy, posłużył tutaj do zapisu danych.

Przyłożenie do tranzystora MNOS dodatniego napięcia  $U_{GS}$  przekraczającego pewną wartość krytyczną powoduje zgromadzenie się ujemnego ładunku na granicy  $\text{Si}_3\text{N}_4 - \text{SiO}_2$  i tym samym obniżenie napięcia progowego tranzystora. Ujemne napięcie  $U_{GS}$  o tej samej wielkości odwraca efekt i regeneruje wysoki próg tranzystora. Struktura jest więc bistabilna, zaś różnica między obydwojma jej stanami wynosi przykładowo 12 V.

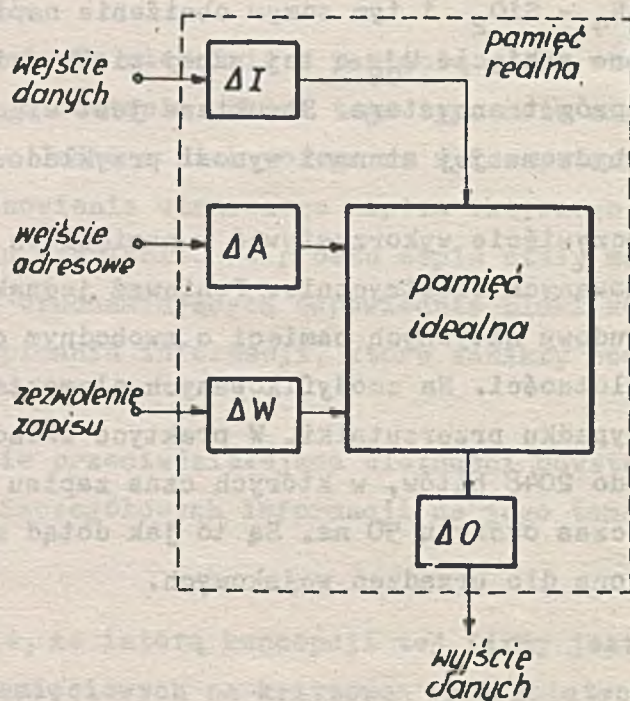
Efekt ten można oczywiście wykorzystywać w pamięciach stałych programowanych i reprogramowanych elektrycznie. Ponieważ jednak jest on szybki, może służyć do budowy aktywnych pamięci o swobodnym dostępie, które są pozbawione wady ulotności. Na zmodyfikowanych elementach MNOS realizuje się w tym przypadku przerzutniki. W praktyce składają się one na pamięć o pojemności do 2048 bitów, w których czas zapisu wynosi przykładowo 250 ns, zaś czas odczytu 50 ns. Są to jak dotąd zastosowania małoseryjne, przeznaczone dla urządzeń wojskowych.

#### 2.4.2. Parametry pamięci o swobodnym dostępie

Ponieważ parametry statyczne pamięci o swobodnym dostępie nie różnią się w istotnym stopniu od parametrów rejestrów przesuwowych i pamięci stałych, nie będą one tutaj powtarzane. Skoncentrujemy się zatem na parametrach czasowych, których rozumienie jest niezbędne dla prawidłowego projektowania i wykorzystywania pamięci. Rozumienie to jest utrudnione, ponieważ sposoby specyfikowania parametrów czasowych przez różnych producentów są bardzo rozbieżne.

Opóźnienia występujące w pamięci łatwiej przeanalizować na podstawie modelu przedstawionego na rys. 44 [65]. Zakłada się, że matryca jest idealna i że nie posiada opóźnień, natomiast są one wnoszone przez obwody peryferyjne, odrębnie dla wejść danych (opóźnienie  $\Delta I$ ), adresów

( $\Delta A$ ) i zezwolenia zapisu ( $\Delta W$ ), a także dla wyjścia danych ( $\Delta O$ ). Sytuacja komplikuje się przez to, że muszą być odróżniane opóźnienia propagacji przy przejściu ze stanu niskiego do wysokiego oraz przy przejściu odwrotnym (tzn.  $\Delta A_+$  i  $\Delta A_-$  oraz analogicznie dla pozostałych opóźnień). Opóźnienia realnych pamięci są superpozycją tych opóźnień elementarnych.



Rys. 44. Opóźnienia występujące w pamięci o swobodnym dostępie

Najważniejsze parametry czasowe pamięci o swobodnym dostępie przedstawiono w tabeli 6. Pierwszy z nich to czas dostępu. Jest to opóźnienie między ustaleniem się adresu na wejściach adresowych a pojawieniem się właściwych danych na wyjściu. Jego składnikami są zatem  $\Delta A$  i  $\Delta O$ :

$$t_a = \Delta A + \Delta O$$

Istotna jest znajomość zarówno minimalnej, jak i maksymalnej wartości tego czasu. Wartość maksymalna informuje, jak długo należy oczekiwać na dane po doprowadzeniu adresu. Wartość minimalna zaś wskazuje, jak długo dane pozostają na wyjściu nienaruszone po odłączeniu właściwego adresu.

Tabela 6. Parametry czasowe pamięci o swobodnym dostępie

Lp.	Parametr	Oznaczenie
1	Czas dostępu	$t_a$
2	Czas powrotu odczytu	$t_{rr}$
3	Czas zapisu	$t_w$
4	Czas utrzymywania danych	$t_{dsh}, t_{dsl}$
5	Czas ustalania adresu	$t_{as}$
6	Czas podtrzymywania adresu	$t_{ah}$

Czas powrotu odczytu jest czasem, po którym wyjścia pamięci ulegają wyłączeniu na skutek odłączenia adresu. Składniki  $t_{rr}$  są w zasadzie takie same, jak czasu dostępu. Oba parametry różnią się warunkami pomiaru. Czas powrotu odczytu posiada potencjalne znaczenie przy rozpatrywaniu dwóch kolejnych operacji odczytu.

Dokonanie zapisu wymaga, aby aktywny stan wejścia "Zezwolenie zapisu" był utrzymany dostatecznie długo. Wymagany czas utrzymywania tego stanu jest nazywany czasem zapisu.

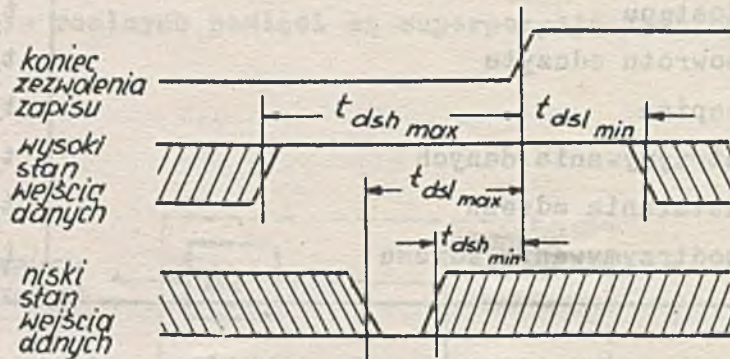
Sygnal zezwolenia zapisu rozpoczyna i kończy operację zapisu, może więc być traktowany jako wygodny sygnał odniesienia, względem którego definiuje się opóźnienia.

Przejdźmy obecnie do parametrów czasowych charakteryzujących możliwość zmiany stanu wejścia danych. Należą do nich czasy utrzymywania danych. Czas utrzymywania danych jest odnoszony do momentu zakończenia sygnału zezwolenia zapisu. Zależy on od kierunku zmiany stanu wejścia danych. Podczas zmiany stanu wejścia "zezwolenie zapisu" z niskiego na wysoki (wylączenie) na wyjściu idealnej komórki pamięciowej muszą być ustalone sygnały reprezentujące dane. Wobec tego na wejściu danych muszą być one ustalone  $\Delta I$  wcześniej. Uwzględniając opóźnienie zezwolenia zapisu otrzymuje się wyrażenia na czasy utrzymywania danych:

$$t_{dsh} = \Delta I_+ - \Delta W_+ \quad (\text{dla narastania})$$

$$t_{dsl} = \Delta I_- - \Delta W_+ \quad (\text{dla opadania})$$

Przedstawiono je na rys. 45. Obszary zakreskowane oznaczają przedziały czasowe, w których dopuszczalne są zmiany sygnałów o kierunku zgodnym z kierunkiem kreskowania.



Rys. 45. Czas utrzymywania danych  $t_{dsh}$ ,  $t_{dsl}$  jako parametr pamięci o swobodnym dostępie

Obecnie rozważmy parametry czasowe związane z adresowaniem, tj. czas ustalania adresu i czas podtrzymywania adresu. Czas ustalania adresu określa niezbędne wyprzedzenie sygnału zezwolenia zapisu przez adres. Wyrażenie na czas ustalania jest uzależnione od tego, które bity adresu ulegają szybszej propagacji w realnym układzie. Jest więc:

$$t_{as} = \begin{cases} \Delta A_+ - \Delta W_- & (\text{jeśli dłuższy od } \Delta A_- - \Delta W_-) \\ \Delta A_- - \Delta W_- & (\text{jeśli dłuższy od } \Delta A_+ - \Delta W_-) \end{cases}$$

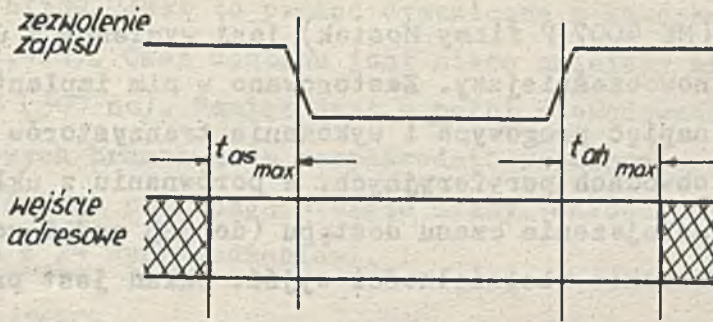
Czas podtrzymywania adresu określa wymagany czas podtrzymywania sygnałów adresowych po wyłączeniu sygnału zezwolenia zapisu. Wynosi on:

$$t_{ah} = \begin{cases} \Delta A_+ - \Delta W_+ & (\text{jeśli krótszy od } \Delta A_- - \Delta W_+) \\ \Delta A_- - \Delta W_+ & (\text{jeśli krótszy od } \Delta A_+ - \Delta W_+) \end{cases}$$

Obydwa czasy przedstawiono na rys. 46. Obszary zakreskowane oznaczają nieznaną stan wejść adresowych.

Oczywiście, konkretne pamięci mogą posiadać pewne uzupełniające parametry czasowe związane z dodatkowymi, opcyjnymi wejściami (np. selekcji układu). Często publikowane są wartości czasów cykli zapisu i odczytu a także cykle obejmujące różne możliwe kombinacje dwóch kolejnych operacji (cykl zapis-odczyt, odczyt-zapis, zapis-zapis oraz odczyt-odczyt).





Rys. 46. Czasy ustalania i podtrzymywania adresu  $t_{as}$ ,  $t_{ah}$  jako parametry pamięci o swobodnym dostępie

Cykle te zawierają jednak wiele składników zależnych od zewnętrznych obwodów współpracujących z pamięciami półprzewodnikowymi (liczniki, dekodery, rejestry). Opóźnienia czasowe wnoszone przez samą pamięć są wystarczająco określone przez wyżej omawiane parametry.

### 2.4.3. Przegląd własności pamięci o swobodnym dostępie

W tabeli 7 zestawiono podstawowe dane dotyczące wybranych pamięci półprzewodnikowych o swobodnym dostępie. Przedstawione zostały typy charakteryzujące się przeciętnymi - według aktualnej skali ocen - parametrami. Obok nich pokazano układy stanowiące aktualnie najwyższe osiągnięcia uzyskane na skalę produkcyjną. Wybór był również wyznaczony przez założenie możliwie pełnego przeglądu stosowanych obecnie technologii.

Na wstępie wymieniono dwie pamięci statyczne MOS. Pierwsza z nich - 1101 firmy Intel - zdobyła olbrzymią popularność na świecie. Jest ona łatwo dostępna, posiada obecnie wielu producentów. Do jej realizacji wykorzystano technologię krzemowych bramek. Układ jest w pełni zdekodowany (adres podaje się w postaci binarnej), zaopatrzony we wzmacniacz odczytu oraz elementy buforowe wejściowe i wyjściowe. Schemat blokowy pamięci 1101 pokazano na rys. 32 i omówiono w p. 2.4.1. Układ mieści się w obudowie ceramicznej DIL z 16 wyprowadzeniami. Został wprowadzony na rynek w 1969 r.

Następny układ (MK 4007 P firmy Mostek) jest wymienny z układem 1101, jest jednak nowocześniejszy. Zastosowano w nim implantację jonów dla obniżenia napięć progowych i wykonania tranzystorów MOS z kanałem zubożonym w obwodach peryferyjnych. W porównaniu z układem 1101 uzyskano znaczne zmniejszenie czasu dostępu (do 525 ns) i rozpraszanej mocy, a także zwiększenie obciążalności wyjść. Układ jest produkowany od 1971 r.

Następne 3 układy przeznaczone są do pracy dynamicznej, co pozwoliło na zwiększenie szybkości i pojemności oraz zmniejszenie mocy rozpraszanej.

Układ 1103 firmy Intel jest bez wątpienia najpopularniejszym układem pamięciowym świata. Firma Intel w 1970 r. sprzedała układy 1103 o łącznej wartości 4-5 mln. dolarów. W 1971 r. przewiduje się sprzedaż 2-3-krotnie wyższą. Jest to tym bardziej godne uwagi, że 1103 jest pierwszą pamięcią półprzewodnikową RAM o cenie zbliżonej do ceny rdzeni ferrytowych (1c/bit). Poza firmą Intel pamięci 1103 produkuje wielu innych wytwórców. Należą do nich: General Instrument, ITT, Mostek Corporation, Microsystems International, Computer Microtechnology, AMI i inne.

Pamięć została zrealizowana przy użyciu technologii krzemowych bramek. Jest w pełni wyposażona w obwody peryferyjne. Jej schemat funkcjonalny pokazano na rys. 35 i omówiono w p. 2.4.1. Posiada elementy wyjściowe z otwartym drenem. Jako pamięć dynamiczna wymaga odświeżenia zawartości najrzadziej co 2 ms. Mieści się w obudowie plastikowej DIL z 18 wyprowadzeniami.

Układ AMS 6002 jest również pamięcią dynamiczną MOS o pojemności 1024 bity. Wyróżnia się ona szybkością: czas dostępu wynosi maksymalnie 150 ns. Jest to najszybsza pamięć MOS o tak dużej pojemności. Jej wadą jest niedopasowanie do układów bipolarnych wynikające z konwencjonalnej, wysokoproęgowej technologii MOS. Pamięć ukazała się na rynku w drugiej połowie 1971 r. Mieści się w obudowie ceramicznej DIL z 22 wyprowadzeniami. Sprzedawana jest nieznacznie drożej od układu 1103.

Natomiast pamięć RA-9-2048 firmy General Instrument reprezentuje najwyższą pojemność osiąganą obecnie przez pamięci MOS o swobodnym dos-

tępie: 2048 bitów. Jest to pamięć dynamiczna z komórką jednotranzystorową (por. 2.4.1). Czas dostępu jest nieco mniejszy niż w przypadku pamięci 1103 (300 ns). Pamięć jest w pełni zdekodowana. Dzięki technologii krzemowych bramek może bezpośrednio współpracować z układami TTL. Elementy wyjściowe posiadają otwarte dreny. Całość jest zamknięta w obudowie DIL z 24 wyprowadzeniami.

Układ TA 6042 firmy RCA został przytoczony dla zilustrowania aktualnych możliwości technologii C/MOS. Posiada pojemność 256 bitów. Jest w pełni zdekodowany. Czas dostępu jest mały: 200 ns. Układ wyróżnia się bardzo małą mocą spoczynkową ( $0,1 \mu W$ ) jak wszystkie układy C/MOS. Jego zaletą jest także zasilanie z jednego źródła (może ono wynosić +5V, jak dla układów TTL). RCA jest dotychczas jedynym dostawcą układów tego typu, i to tylko w ilościach wystarczających do prób.

Pozostałe układy są pamięciami bipolarnymi. Układ 3101 firmy Intel był w 1969 r. nowoczesnym układem tej klasy; obecnie zalicza się do przeciętnych. Przy pojemności 64 bity czas dostępu wynosi 60 ns; obecnie układy o tej pojemności posiadają czas dostępu 20 ns. Jest to w pełni zdekodowany układ TTL z diodami Schottky'ego. Jego schemat blokowy i działanie omówiono dość dokładnie w p. 2.4.1. Rozpraszana moc wynosi 6 mW/bit. Układ mieści się w ceramicznej obudowie DIL z 16 wyprowadzeniami.

Większą i szybszą pamięcią bipolarną jest układ AMS 1003 firmy Advanced Memory Systems. Czas dostępu wynoszący typowo 15 ns uzyskano przy pojemności 128 bitów. Układ jest dopasowany do współpracy z układami ECL. Jest w pełni zdekodowany. Rozprasza moc 3,2 mW/bit.

W znanej serii układów TTL SN 54/74 występuje pamięć 256-bitowa SN 74200. Typowy czas dostępu wynosi dla niej zaledwie 40 ns. Elementy wyjściowe posiadają nowoczesne rozwiązanie 3-stanowe (por. 2.3.3). Pamięć jest w pełni zdekodowana. Rozprasza moc wynoszącą tylko 2 mW/bit. Jest to w sumie nowoczesny układ będący miarą aktualnych produkcyjnych możliwości w zakresie bipolarnych pamięci RAM.

Następny układ, tj. MM 65/5512 firmy Monolithic Memories, posiada większą pojemność: 512 bitów. Jest jednak trochę wolniejszy, bowiem

czas dostępu wynosi 80 ns. Jest to największa produkowana w 1971 r. pamięć bipolarna o swobodnym dostępie.

Pamięć 93410 i 93415 firmy Fairchild reprezentuje najnowocześniejsze pamięci bipolarne TTL zrealizowane przy użyciu technologii izoplanarnej. Drugi z wymienionych układów jest w stadium opracowania i będzie dostępny na rynku na początku 1972 r. Natomiast typ 93410 był sprzedawany już w 1971 r. w cenie 21,5 dol. Obydwa układy potwierdzają wielkie perspektywy technologii izoplanarnej. Pamięć 93415 o pojemności 1024 bity, o czasie dostępu poniżej 100 ns oraz o mocy 0,5 mW/bit zamknięta w obudowie ceramicznej DIL z 16 wyprowadzeniami wydaje się być idealnym elementem pamięci operacyjnej komputerów lat siedemdziesiątych.

Układy TMS 400 firmy Texas Instruments i 8220 firmy Signetics reprezentują tutaj pamięci skojarzeniowe o swobodnym dostępie. Pierwsza z nich jest pamięcią MOS zrealizowaną przy użyciu nie sprecyzowanej technologii z samocentrującą się bramką. Druga zaś jest pamięcią bipolarną. Pamięć TMS 400 mieści 16 słów 8-bitowych. Działanie komórki tej pamięci przedstawiono w p. 2.4.1. Układ nie posiada dekodatorów ani wzmacniaczy odczytu, wymaga wybierania XY. Zamknięty jest w obudowie DIL z 40 wyprowadzeniami. Układ 8220 posiada minimalną pojemność (4 słowa 2-bitowe), co ułatwiło uzyskanie szybkości charakteryzującej się czasem dostępu 20 ns. Mała pojemność jest dowodem trudności z wykonaniem pamięci skojarzeniowych. Decyduje o niej rozbudowana komórka pamięciowa, posiadająca w dodatku dużą liczbę połączeń zewnętrznych. Układ zawiera około 100 elementów logicznych. Pamięć 8220 przeznaczona jest do pracy z deskryptorem 2-bitowym. Zamknięta jest w obudowie DIL z 16 wyprowadzeniami. Została wprowadzona do sprzedaży w 1970 r.

Ostatni układ - MM6510 firmy Monolithic Memories - jest jedynym serijnie produkowanym układem pamięci RAM o zredukowanej ulotności (por. 2.4.1). Dane wpisane do tego układu nie znikają przez 5 ms po wyłączeniu zasilania, co umożliwia włączenie zasilania rezerwowego. Układ posiada pojemność 256 bitów, czas dostępu wynosi 65 ns. Napięcie zasilania może się zmieniać w bardzo szerokich granicach: od 2,5 do 6 V. W czasie spoczynku pobiera jedynie moc 100  $\mu$ W/bit. Pamięć jest w pełni zdekodowana. Mieści się w obudowie DIL z 14 wyprowadzeniami. Sprzedawana jest od sierpnia 1971 r.

Tabela 7. Pamięci o swobodnym dostępie

Lp.	Typ	Firma	Technologia	Pojemność	Czas dostępu	Rodzaj pracy	Możliwość bezpośredniej współpracy z TTL
1	1101	Intel Corporation	MOS z krzemowymi bramkami	256 b.	1000 ns	statyczny	jest
2	MK 4007 P	Mostek Corporation	MOS z implantacją jonów	256 b.	525 ns	statyczny	jest
3	1103	Intel Corporation	MOS z krzemowymi bramkami	1024 b.	300 ns	dynamiczny	jest
4	AMS 6002	Advanced Memory Systems	konwencjonalna (wysokoprogowa) MOS	1024 b.	150 ns	dynamiczny	brak
5	RA-9-2048	General Instrument	MOS z krzemowymi bramkami	2048 b.	250 ns	dynamiczny	jest
6	TA 6042	RCA	C/MOS	256 b.	200 ns	statyczny	brak
7	3101	Intel Corporation	TTL z diodami Schottky'ego	64 b.	60 ns	statyczny	jest
8	AMS 1003	Advanced Memory Systems	bipolarna	128 b.	15 ns	statyczny	jest z ECL
9	SN 74200	Texas Instruments	TTL	256 b.	35 ns	statyczny	jest
10	MM 65/5512	Monolithic Memories	TTL	512 b.	80 ns	statyczny	jest
11	93410	Fairchild	izoplanarna TTL	256 b.	50 ns	statyczny	jest
12	93415	Fairchild	izoplanarna TTL	1024 b.	100 ns	statyczny	jest
13	TMS 400	Texas Instruments	niskoprogowa MOS	128 b.	30 ns	statyczny, wybieranie skojarzeniowe	jest
14	8220	Signetics	bipolarna TTL	8 b.	20 ns	statyczny, wybieranie skojarzeniowe	jest
15	MM 6510	Monolithic Memories	bipolarna z tyrystorami	256 b.	65 ns	statyczny zredukowana ulotność	jest

### 3. Zastosowanie pamięci półprzewodnikowych

#### 3.1. Zastosowanie rejestrów przesuwowych

##### 3.1.1. Cyfrowe linie opóźniające

Najprostszym zastosowaniem rejestrów przesuwowych jest budowanie cyfrowych linii opóźniających. Opóźnienie wnoszone przez rejestr jest równe

$$\tau = n/f_c,$$

gdzie  $n$  jest długością rejestru wyrażoną w bitach,  $f_c$  zaś częstotliwością zegara. W przypadku układów z multipleksowaniem:

$$\tau = \frac{1}{2} n f_c$$

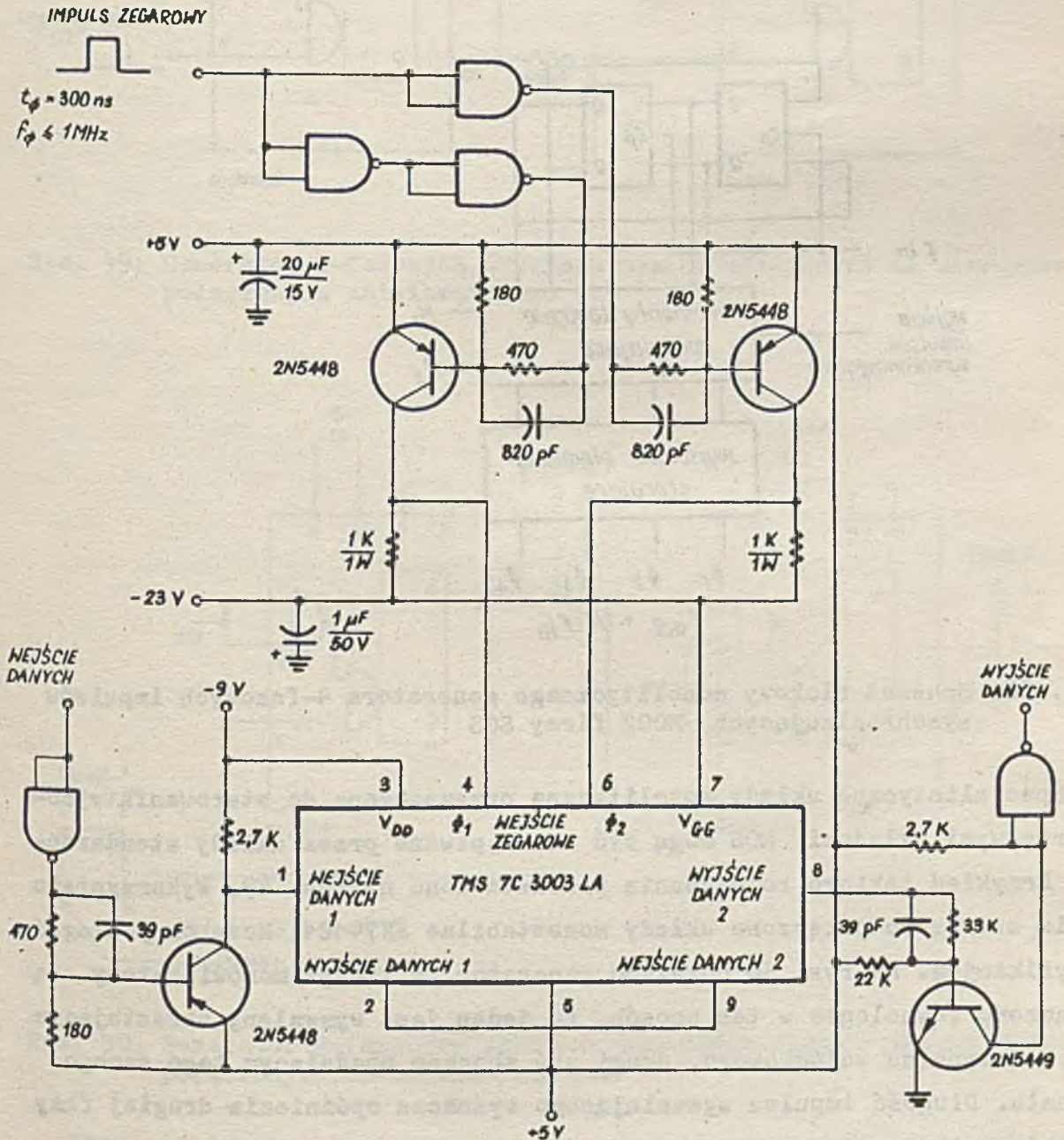
Skoncentrujmy się na sposobach synchronizowania rejestrów oraz na ich dostosowywaniu do współpracy z układami TTL. Problemy te są najtrudniejsze do rozwiązania w przypadku rejestrów MOS wysokoprogowych.

Na rys. 47 przedstawiono kompletny układ 200-bitowej cyfrowej linii opóźniającej na 2 x 100-bitowym statycznym rejestrze wysokoprogowym MOS typu TMS 7C 3003 LA firmy Texas Instruments [66]. W układzie można wyróżnić następujące składniki: /translatory MOS/TTL, translatory TTL/MOS oraz generator dwufazowych impulsów synchronizujących. W rezultacie do wejścia i wyjścia mogą być dołączone układy TTL, zaś synchronizację prowadzi się jednofazowo sygnałami o poziomach charakterystycznych dla układów TTL. Wszystkie użyte bramki są typu SN 7400. Zamiast tranzystora 2N5448 może być użyty bardziej popularny 2N2907, natomiast 2N5449 może być zastąpiony przez 2N2222.

Przedstawione rozwiązanie nie jest wygodne ponieważ zawiera wiele elementów dyskretnych, co rozbudowuje układ, zwiększa jego cenę i zmniejsza niezawodność. Dlatego też dąży się do scalenia układów tego rodzaju.

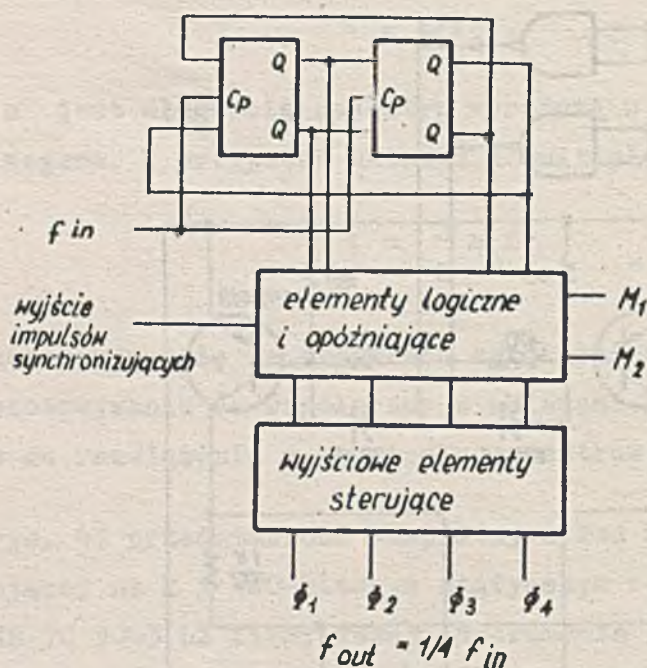
Do generacji sygnałów synchronizujących mogą służyć układy hybrydowe. Jeden z nich - NH 0009 firmy National Semiconductor - mieści się w obudowie TO-8, generuje impulsy dwufazowe i jest zaopatrzony w wewnętrz-

ne translatory umożliwiające bezpośrednio wyzwalanie przez układy TTL. Może pracować do częstotliwości 3 MHz. Maksymalny skok napięcia wyjściowego (amplituda generowanych impulsów) wynosi 30 V.



Rys. 47. 200-bitowa linia opóźniająca na rejestrach przesuwowych MOS

Ostatnio pojawiły się układy monolityczne służące do sterowania wysokoprogowymi układami MOS. Przykładem takiego układu jest MOO2 firmy SGS, który ukazał się na rynku w 1971 r. Jego schemat blokowy przedstawiono na rys. 48. Pozwala on na wyzwalanie impulsów czterofazowych o amplitudzie 25 V i o częstotliwości repetycji do 2 MHz. Przebieg poszczególnych faz może być programowany za pomocą sygnałów M i N.

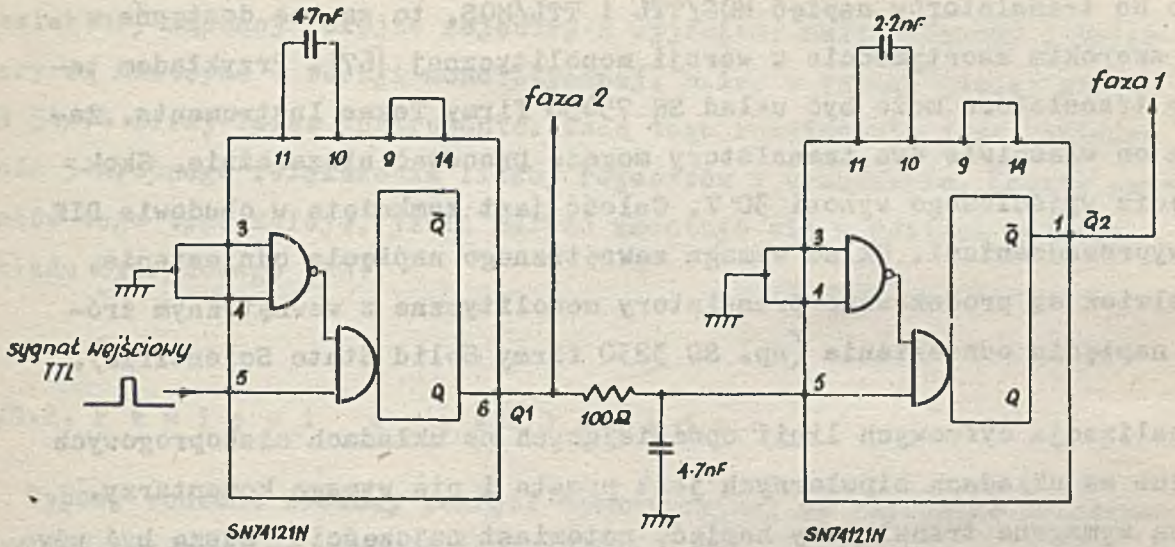


Rys. 48. Schemat blokowy monolitycznego generatora 4-fazowych impulsów synchronizujących MOO2 firmy SGS

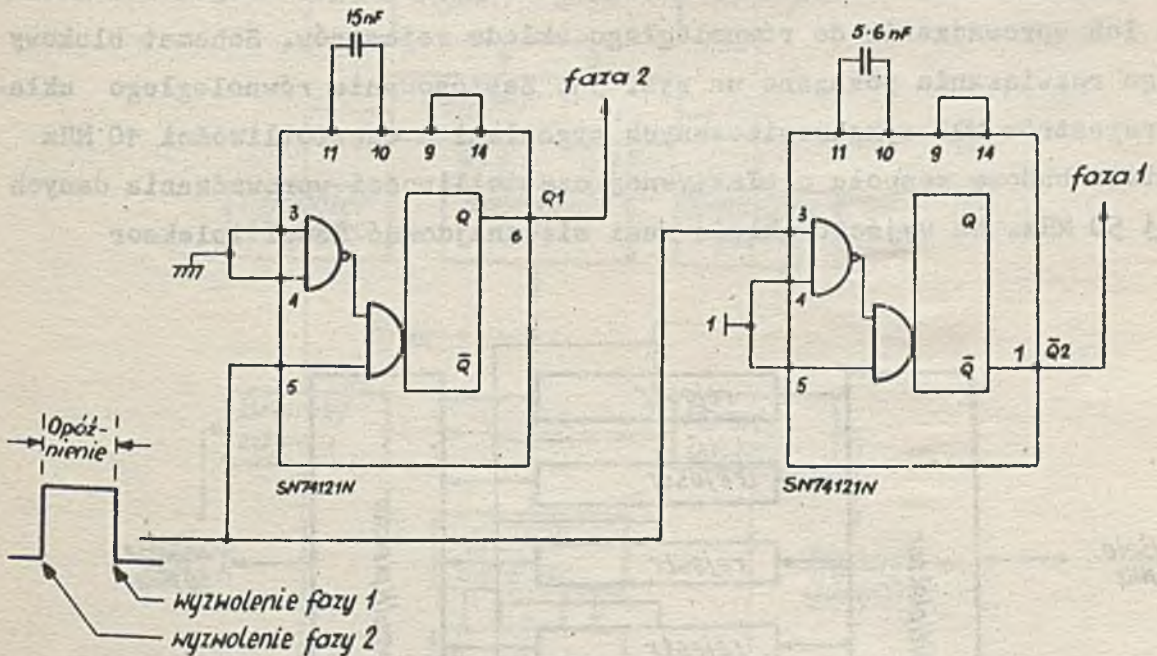
Specjalistyczne układy monolityczne przeznaczone do sterowania wysokoprogowymi układami MOS mogą być zastępowane przez układy standardowe. Przykład takiego rozwiązania przedstawiono na rys. 49. Wykorzystano w nim szeregowo połączone układy monostabilne SN74121. Może on podlegać modyfikacjom. Na rys. 50 pokazano generator, w którym monowibratory są połączone równolegle w ten sposób, że jeden jest wyzwalany narastającym zboczem impulsu wejściowego, drugi zaś zboczem opadającym tego samego sygnału. Długość impulsu wyzwalającego wyznacza opóźnienie drugiej fazy względem pierwszej.

Przedstawione generatory na monowibratorach posiadają częstotliwość ograniczoną do około 200 kHz. Mogą być jednak przyspieszane przez zmianę niektórych elementów.





Rys. 49. Generator 2-fazowych impulsów synchronizujących na szeregowo połączonych uniwibratorach TTL



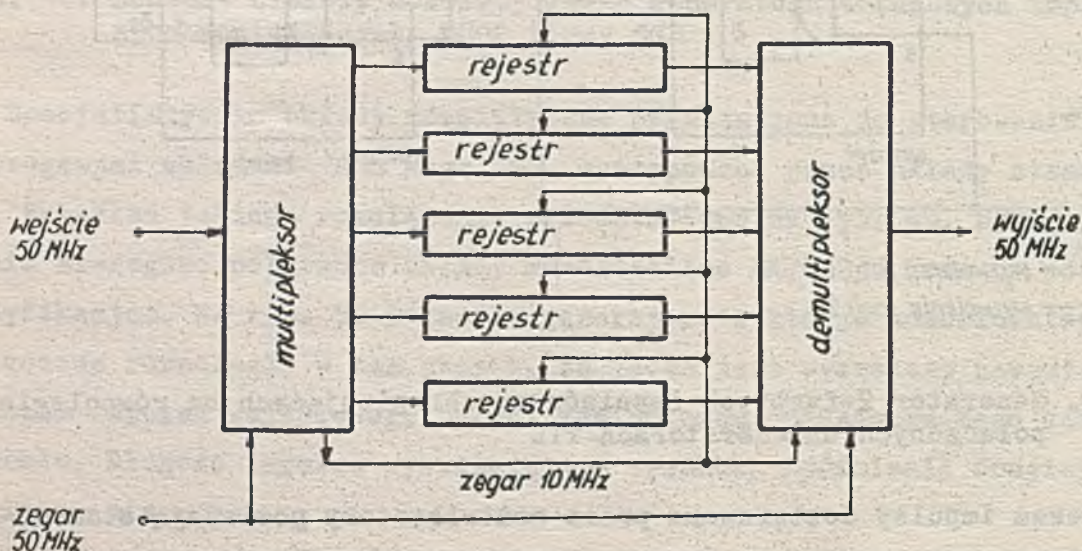
Rys. 50. Generator 2-fazowych impulsów synchronizujących na równolegle połączonych uniwibratorach TTL

Ponieważ impulsy dostarczane przez monowibratory posiadają standardowe poziomy TTL, trzeba je łączyć z układami wysokoprogowymi za pośrednictwem translatorów. Dlatego najkorzystniejsze jest stosowanie specjalistycznych układów sterujących, monolitycznych lub hybrydowych (zależnie od możliwości technicznych i zapotrzebowania).

Co do translatorów napięć MOS/TTL i TTL/MOS, to są one dostępne w dość szerokim asortymencie w wersji monolitycznej [67]. Przykładem takiego translatora może być układ SN 75450 firmy Texas Instruments. Zawiera on właściwie dwa translatory mogące pracować niezależnie. Skok napięcia wyjściowego wynosi 30 V. Całość jest zamknięta w obudowie DIP z 8 wyprowadzeniami. Układ wymaga zewnętrznego napięcia odniesienia, jakkolwiek są produkowane translatory monolityczne z wewnętrznym źródłem napięcia odniesienia (np. SD 3230 firmy Solid State Scientific).

Realizacja cyfrowych linii opóźniających na układach niskoprogowych MOS lub na układach bipolarnych jest prosta i nie wymaga komentarzy. Nie są wymagane translatory napięć, natomiast najczęściej muszą być używane układy sterujące dostarczające wielofazowych impulsów synchronizujących.

Ponieważ rejestry przesuwowe posiadają w większości szybkość ograniczoną do kilku MHz, stosuje się czasem multipleksowanie danych i sekwencyjne ich wprowadzanie do równoległego układu rejestrów. Schemat blokowy takiego rozwiązania pokazano na rys. 51. Zastosowanie równoległego układu 5 rejestrów MOS synchronizowanych sygnałami o częstotliwości 10 MHz umożliwia budowę zespołu o efektywnej częstotliwości wprowadzania danych równej 50 MHz. Na wyjściu układu musi się znajdować demultipleksor

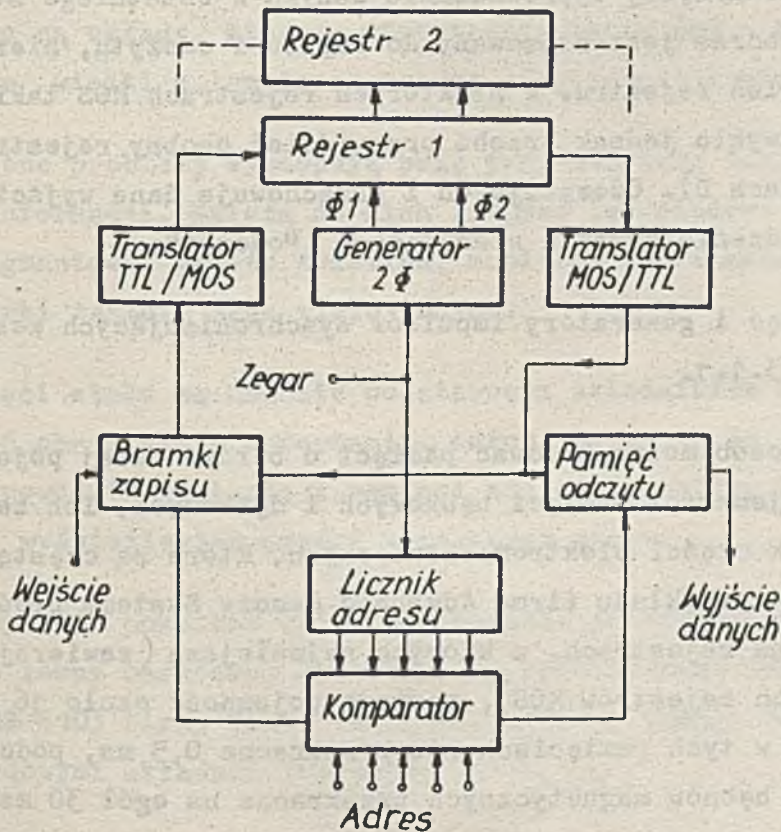


Rys. 51. Multipleksowanie rejestrów przesuwowych MOS

(selektor) łączący kolejne rejestry z wyjściem. Multipleksory i selektory są dostępne w wersji monolitycznej, m.in. w ramach naszej serii SN 54/74 firmy Texas Instruments. Wadą tego rozwiązania jest konieczność 5-krotnego zwiększenia liczby rejestrów w urządzeniu. Koszty zespołów tego typu maleją, jeśli całość zmontuje się w postaci jednego układu hybrydowego [68].

### 3.1.2. P a m i ę c i , c y r k u l a c y j n e

Typowy schemat blokowy pamięci cyrkulacyjnej na rejestrze przesuwowym MOS pokazano na rys. 52 [69]. W przypadku układów niskoprogowych mogą być pominięte translatory napięć. Generator wielofazowych impulsów synchronizujących w nowoczesnych rejestrach jest wbudowany wewnątrz.



Rys. 52. Schemat blokowy pamięci cyrkulacyjnej na rejestrach przesuwowych MOS

Jeżeli w układzie tym zastosuje się  $n$  rejestrów  $m$ -bitowych, to pamięć będzie posiadała pojemność  $m$  słów  $n$ -bitowych. Dwa rejestry

2 x 100-bitowe pozwalają zatem przechowywać 100 słów 4-bitowych. Obwo-  
dy adresowania są wspólne dla wszystkich rejestrów.

Dane podlegają recyrkulacji, zatem czas dostępu może się wahać w  
granicach od (niemal) zera do  $m$  okresów synchronizacji.

W celu identyfikowania danych wyjściowych w dowolnym momencie, ko-  
nieczna jest synchroniczna praca licznika adresów z samymi rejestrami.  
Licznik liczy impulsy zegarowe, zaś jego stan jest doprowadzony na bie-  
żąco do komparatora. Do tego samego komparatora doprowadza się adres  
(numer słowa), pod którym powinna być zapisana informacja lub z które-  
go należy dokonać odczytu. Jeśli bieżący stan licznika jest zgodny z  
adresem, to komparator wysyła sygnał zgodności zatrzymujący recyrkula-  
cję danych. W tym czasie doprowadza się sygnał "Zapis" lub "Odczyt".  
W pierwszym przypadku wprowadza się dane do pierwszego stopnia rejes-  
tru, czemu jednak towarzyszy wyprowadzanie danych z ostatniego stopnia.  
Jeśli więc ten sam adres jest stosowany do zapisu i odczytu, niezbędny  
jest dodatkowy stopień rejestru. W niektórych rejestrach MOS takie stop-  
nie są wbudowane. Zwykle jednak trzeba przewidzieć osobny rejestr  
(np. na przerzutnikach D). Odczytuje on i przechowuje dane wyjściowe  
w przypadku doprowadzenia sygnału sterującego "odczyt".

Translatory napięć i generatory impulsów synchronizujących zostały  
przedstawione w p. 3.1.1.

W analogiczny sposób można budować pamięci o bardzo dużej pojemnoś-  
ci, zbliżonej do pojemności pamięci bębnowych i dyskowych. Ich zaletą  
jest szybkość i brak części elektromechanicznych, które są częstą przy-  
czyną uszkodzeń. Dla przykładu firma Advanced Memory Systems produkuje  
pamięci zewnętrzne na rejestrach, z których najmniejsza (zawierająca  
16 tys. 1024 bitowych rejestrów MOS), posiada pojemność około 16 mln  
bitów. Czas dostępu w tych pamięciach nie przekracza 0,5 ms, podczas  
gdy np. w przypadku bębnowych magnetycznych przekracza na ogół 30 ms.

### 3.2. Zastosowanie pamięci stałych

#### 3.2.1. K o n w e r s j a k o d ó w

Ustalone powiązanie między danymi wyjściowymi a adresem doprowadzo-  
nym do pamięci stałej można wykorzystać do konwersji kodów. Kod wejś-

ciowy stanowi adres, dane wyrażone są w kodzie wyjściowym. Zastosowanie tego typu jest na tyle proste, że nie wymaga bliższych objaśnień.

Konwertery kodów na pamięciach stałych są szeroko wykorzystywane zwłaszcza w peryferyjnych urządzeniach maszyn cyfrowych. Stanowią wtedy ogniwo pośrednie między stacją końcową (ang. terminal) a komputerem. Stacją końcową może być np. dalekopis, zaś konwerter może zamieniać kod telegraficzny ASCII (lub podobny) na kod BCD (dziesiętny kodowany binarnie).

### 3.2.2. G e n e r a c j a z n a k ó w a l f a n u m e r y c z n y c h

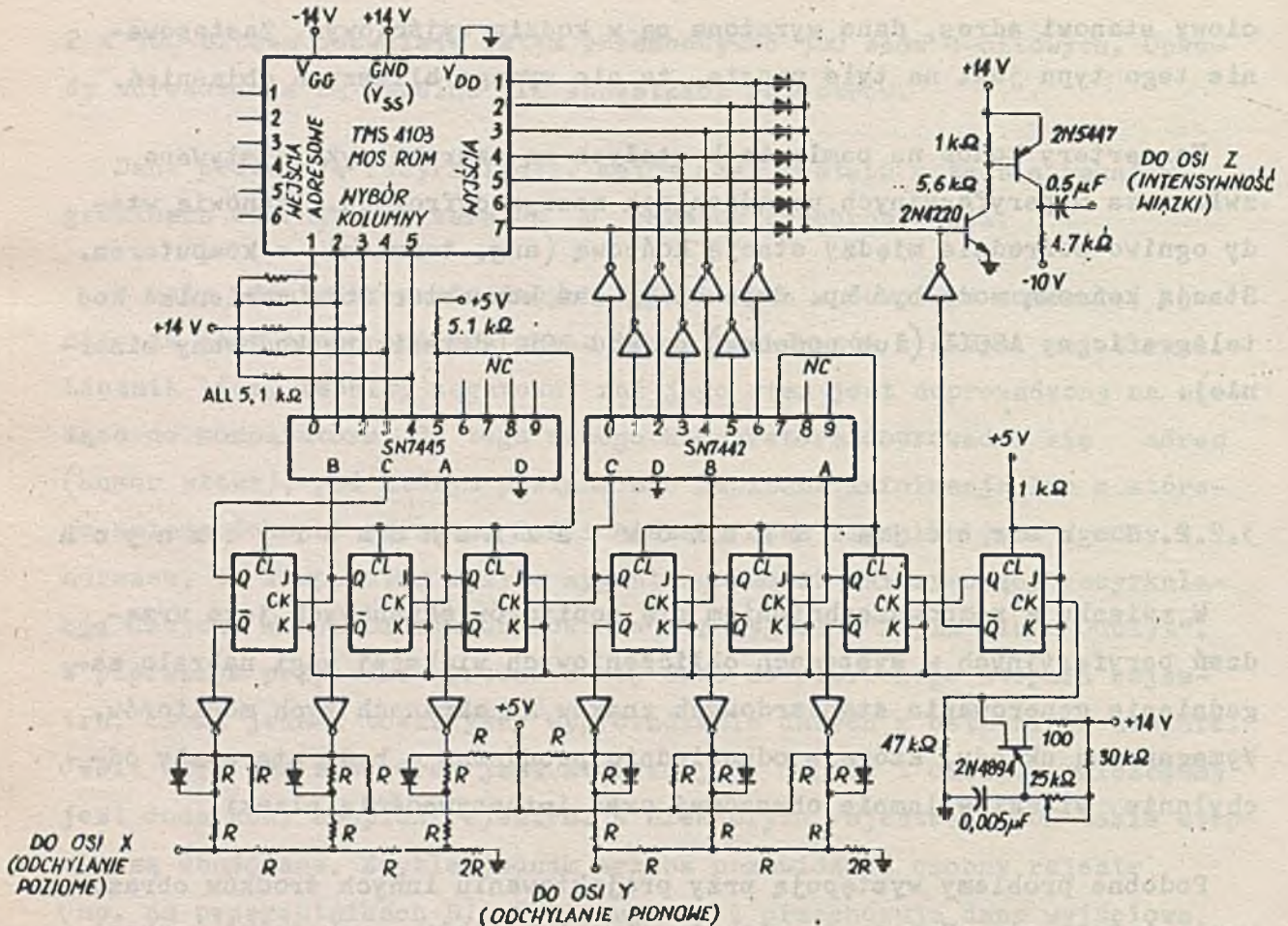
W związku z rozpowszechnieniem się monitorów ekranowych jako urządzeń peryferyjnych w systemach obliczeniowych większej wagi nabrało zadanie generowania standardowych znaków na ekranach tych monitorów. Wymagane są układy, które - odpowiednio pobudzone - będą sterowały odchyłaniem wiązki w lampie obrazowej oraz intensywnością plamki.

Podobne problemy występują przy projektowaniu innych środków obrazowania informacji. Należą do nich lampowe lub diodowe wskaźniki punktowe i segmentowe, gazety świetlne, monitory radiolokacyjne, dziurkarki i drukarki taśmowe oraz wiele innych.

Pamięci stałe są obecnie podstawowym składnikiem układów sterowania urządzeń obrazowania informacji. Adres, wyrażony np. w kodzie BCD lub ASCII, powoduje wysłanie z pamięci stałej sygnałów, z których każdy dysponuje wyświetleniem części wymaganego znaku.

Na rys. 53 pokazano układ generowania pojedynczych cyfr i liter na ekranie lampy obrazowej zbudowany na 2240 bitowej pamięci stałej MOS typu TMS 4103 firmy Texas Instruments [71]. Pamięć ta współpracuje ze standardowymi układami TTL serii SN 74.

Adres dowolnego z 64 dostępnych znaków wyrażony jest w kodzie telegraficznym ASCII. Powiązanie znaków z adresami B1 - B6 pokazano na rys. 54. Na przerzutnikach SN 7473 zbudowano licznik wierszy i licznik kolumn. Obydwa liczniki są pobudzane przez oscylator na tranzystorze



Rys. 53. Układ generatora znaków alfanumerycznych zbudowanego na 2240-bitowej pamięci stałej MOS

jednozłączowym i służą do sekwencyjnego wybierania 7 wierszy i 5 kolumn określających znaki.

Licznik selekcji kolumn cyklicznie zmienia stan wyjść przy ustalonym adresie. Natomiast licznik selekcji wierszy, nie zmieniając stanu wyjść, łączy je cyklicznie ze wzmacniaczem regulującym intensywność wiązki.

Z drugiej strony obydwie liczniki za pośrednictwem prostych konwerterów cyfrowo-analogowych sterują odchyleniem poziomym i pionowym. Przedstawiony układ można dostosować w prosty sposób do generacji wielu znaków w jednym wierszu. Modyfikacja obejmuje tylko selektor kolumn i ma na celu zapewnienie odstępów między znakami.

Dokonując dalszych zmian można otrzymać układ generujący znaki w kilku wierszach [72].

B6 →	1	0	1	0	1	1	1	0	0	0	0	1	0	0	1
B5 →	1	0	0	1	1	0	1	0	0	0	1	0	1	0	1
B4 →	0	0	1	1	0	1	1	0	0	0	1	0	1	0	1
B3 ↓															
B2 ↓															
B1 ↓															
0 0 0															
0 0 1															
0 1 0															
0 1 1															
1 0 0															
1 0 1															
1 1 0															
1 1 1															

Rys. 54. Znaki generowane przez układ z rys. 53 oraz ich adresy

Wytwórcy pamięci stałych oferują zwykle kilka specjalistycznych pamięci stałych do generacji znaków. Posiadają one zawartość standardową. Oczywiście, możliwe jest projektowanie nietypowych generatorów z pamięciami programowanymi na zamówienie lub - co jest często wygodniejsze - z pamięciami programowanymi elektrycznie przez użytkownika.

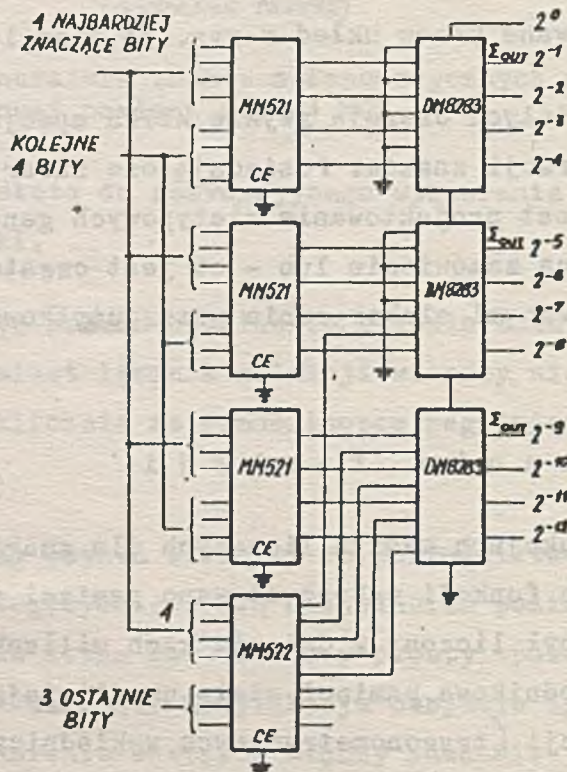
### 3.2.3. T a b l i c o w a n i e f u n k c j i

W starszych konstrukcjach maszyn liczących dla zmagazynowania wartości często używanych funkcji wykorzystywano pamięci zewnętrzne. Dostęp do tych wartości był liczony w dziesiątkach milisekund lub nawet w sekundach. Półprzewodnikowe pamięci stałe umożliwiają tablicowanie wartości różnych funkcji (trygonometrycznych wykładniczych logarytmicznych i innych) z dużą dokładnością i dostarczanie ich w czasie rzędu 100 ns. Do wejść adresowych doprowadza się zmienną  $x$ . Pamięć programuje

się w taki sposób, aby sygnały wyjściowe stanowiły wymaganą funkcję zmiennej  $x$ . Budowa takich układów jest nieskomplikowana.

Jeżeli wymagana jest wysoka dokładność, to niezbędna pojemność pamięci również jest duża. Opracowano ostatnio kilka układów interpolacyjnych pozwalających na uzyskanie wymaganej dokładności przy znacznie mniejszej pojemności pamięci.

Dla przykładu tablicowanie wartości funkcji  $\sin x$  dla  $x = 0 \pm 90^\circ$  z niedokładnością  $2^{-12}$  i rozdzielczością kątową  $2^{-11}$  wymaga 24 pamięci stałych o pojemności 1024 bitów każda. Tymczasem po zastosowaniu metody interpolacyjnej można osiągnąć te same wyniki posługując się jedynie czterema pamięciami 1024-bitowymi i trzema 4-bitowymi sumatorami TTL [72]. Układ tego rodzaju przedstawiono na rys. 55. Najbardziej znaczące bity zmiennej (co  $5,63^\circ$ ) doprowadza się do trzech pamięci MM 521. Wewnątrz tych przedziałów kątowych dokonuje się interpolacji dodając poprawkę zmagazynowaną w 4 pamięci (MM 522). Sumatory DM 8283 są równoważne znanym układom SN 7483. Interpolacja spowodowała opóźnienie wyniku o czas równy propagacji przeniesienia przez 3 sumatory.



Rys. 55. Generator funkcji  $\sin x$  na pamięciach stałych działający na zasadzie interpolacji



W wielu urządzeniach elektronicznych problemem jest generowanie funkcji ciągłych (lub niemal ciągłych) o dowolnym niekoniecznie periodycznym przebiegu w czasie. Również ten problem może być zadowalająco rozwiązany przy użyciu pamięci stałych [73]. Wykorzystuje się w tym celu interpolacyjne uśrednianie czasowe.

Jeżeli kolejne dyskretne wartości pewnej funkcji  $Z(x)$  są określone przez  $Z_i(x_i)$  oraz  $Z_{i+1}(x_{i+1})$ , to wartość  $z$  dla  $x$  zawartego w przedziale  $(x_i, x_{i+1})$  uzyskuje się zwykle przez interpolację liniową:

$$z = z_i + \frac{z_{i+1} - z_i}{x_{i+1} - x_i} \Delta x$$

gdzie  $\Delta x = x - x_i$ .

Zamiast interpolacji tego typu można zastosować uśrednianie czasowe wartości  $z$  w pewnym okresie czasu  $T$ . Wykorzystuje się wartość  $Z_{i+1}$  w przedziale czasu o długości  $\frac{x}{T}$  oraz wartość  $z_i$  w pozostałej części okresu uśredniania  $\frac{x}{T}$ . Przyjmuje się

$$\frac{t_x}{T} = \frac{x - x_i}{x_{i+1} - x_i}$$

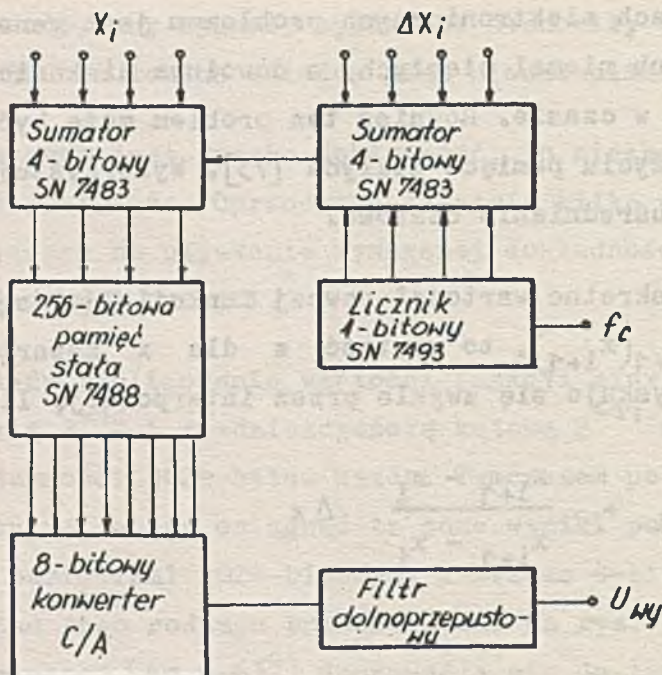
oraz

$$\frac{t_x}{T} = \frac{x_{i+1} - x}{x_{i+1} - x_i}$$

przez co

$$Z = Z_i \frac{t_x}{T} + Z_{i+1} \frac{t_x}{T}$$

Dokonując odpowiednich podstawień można wykazać, że tego typu uśrednianie jest równoważne interpolacji liniowej przedstawionej uprzednio. Jest ono jednak łatwiejsze w realizacji technicznej. Prosty układ działający na przedstawionej zasadzie pokazano na rys. 56.



Rys. 56. Generator funkcji na pamięci stałej działający na zasadzie uśredniania czasowego

Zmienna niezależna  $x$  8-bitowa jest dzielona na połowę. Najbardziej znaczące bity reprezentują 16 wartości  $x$ , dla których w pamięci stałej SN 7488 zmagazynowano 16 ośmiobitowych wartości  $z_i$  (wykorzystana jest tylko połowa 256-bitowej pamięci). Cztery najmłodsze bity  $x$  oznaczono jako  $\Delta x$ . Czterobitowy licznik binarny SN 7493 jest pobudzany przez zegar ( $f_0$ ). Wyjście licznika (od 0 do 15) jest sumowane z  $\Delta x$ . Sygnał przeniesienia ( $C_x$ ) jest równy 1, gdy suma  $C_0 + \Delta x$  jest większa od 15. Jest on doprowadzony do sumatora  $x_i$ . Gdy  $C_x = 0$ , to na wyjściu tego sumatora otrzymuje się  $x_i$ . Gdy natomiast  $C_x = 1$ , to na wyjściu  $x = x_{i+1}$ .

Adresem doprowadzanym do pamięci stałej SN7488 jest raz  $x_i$  (przy  $C_x = 0$ ), raz zaś  $x_{i+1}$  (gdy  $C_x = 1$ ). Na wyjściu pamięci otrzymuje się  $z_i$  oraz  $z_{i+1}$ . Gdy przykładowo  $\Delta x = 11$  (w układzie dziesiętnym), to na wyjściu pamięci otrzymamy sygnał  $z_i$  przez 5 okresów zegara, zaś  $z_{i+1}$  przez 11 okresów. Jeżeli  $f_0 = 1$  MHz, to w tych warunkach okresem zmiany  $z_i$  na  $z_{i+1}$  jest  $T \cong \frac{1}{60 \text{ kHz}}$ . Sygnały  $z_i$  oraz  $z_{i+1}$  są kierowane do konwertera C/A, zaś na jego wyjściu otrzymuje się falę prostokątną o poziomach  $U_i$ ,  $U_{i+1}$  i o częstotliwości 60 kHz (przy  $\Delta x = 11$ ). Po przejściu przez filtr dolnoprzepustowy (RC) fala ta ulega wygładzeniu. W ten sposób otrzymuje się dość dokładne odtworzenie ciągłej funk-

cji  $z(x)$  na podstawie jej wybranych, dyskretnych własności przechowywanych w pamięci stałej.

W podobny sposób można generować funkcję wielu zmiennych. Dyskusja na temat dokładności metody zawarta jest w pracy [73].

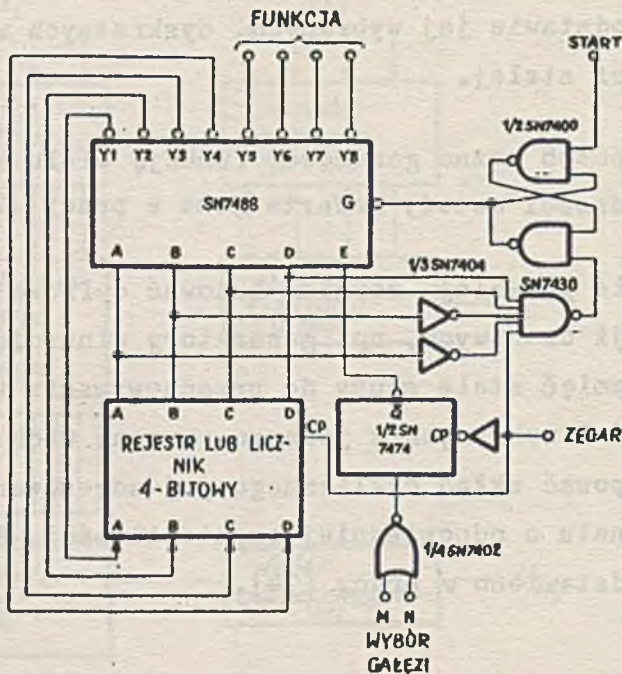
Pamięci stałe pozwalają również budować cyfrowe generatory periodycznych funkcji czasowych, np. generatory sinusoidalne. W generatorach tego rodzaju pamięć stała służy do przechowywania wymaganej ilości dyskretnych wartości wybranych z jednego okresu. Obok pamięci w generatorze musi występować układ cyklicznego jej adresowania zapewniający otrzymanie sygnału o odpowiedniej częstotliwości. Szczegóły rozwiązań tego typu przedstawiono w pracy [74].

### 3.2.4. M i k r o p r o g r a m o w a n i e

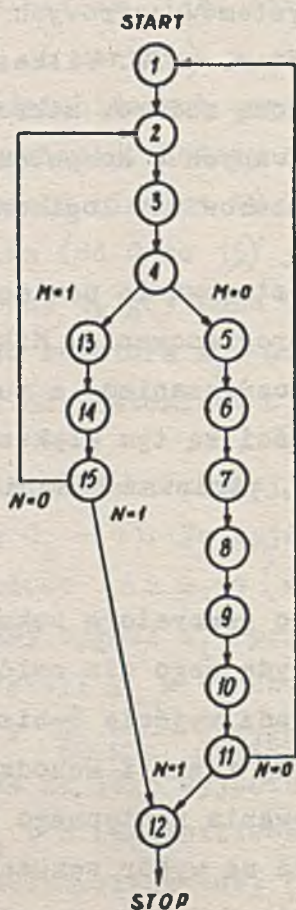
Metoda projektowania systemów cyfrowych oparta na mikroprogramowaniu powstała jeszcze w 1951 r. (M.V. Wilkes). Polega ona na sterowaniu zespołami komputera za pomocą zbiorów mikrorozkazów, które są zawarte w pamięciach stałych wbudowanych w komputer. Alternatywnym rozwiązaniem jest konwencjonalne sterowanie logiczne.

Niski koszt i prostota stosowania pamięci półprzewodnikowych stymulują obecnie rozwój mikroprogramowania. Mikroprogramowanie staje się więc nie tylko prostszym rozwiązaniem z punktu widzenia użytkownika, ale także i tańszym. Korzyści są tym większe, im więcej cykli jest objętych mikroprogramowaniem, ponieważ dodanie cykli polega tylko na dodaniu słowa w pamięci [75].

Przykład synchronicznego generatora sekwencyjnego na 256-bitowej pamięci stałej SN 7488 przydatnego dla celów mikroprogramowania pokazano na rys. 57. Pamięć posiada wyjście 8-bitowe. Połowa jest wykorzystywana jako wyjście bieżącej funkcji wchodzącej w skład mikroprogramu, połowa zaś służy do adresowania następnego cyklu. Przerzutnik D (sterowany zewnątrz) pozwala na wybór sekwencji mikroprogramu. Możliwe są bowiem jego rozgałęzienia w wyniku przejść warunkowych. Przykładowy przebieg mikroprogramu pokazano na rys. 58.



Rys. 57. Generator sekwencyjny dla celów mikroprogramowania zbudowany na pamięci stałej SN7488



Rys. 58. Przykładowy przebieg mikroprogramu generowanego przez układ z rys. 57

Mikroprogramowanie przy użyciu półprzewodnikowych pamięci stałych jest podstawą działania nowoczesnego minikomputera 2100A firmy Hewlett-Packard [76]. Zasadniczą częścią tego 16-bitowego minikomputera jest wewnętrzny mikroprocesor zawierający pamięć stałą o pojemności 256 słów 24-bitowych. Pamięć ta jest zbudowana na 6 bipolarnych układach 1024-bitowych. W każdym cyklu (wynoszącym 196 ns) mikroprocesor pobiera z pamięci stałej i wykonuje jedną mikroinstrukcję. Działa on w systemie półsynchronicznym, tzn. wraca do stanu oczekiwania dopiero po wykonaniu niezbędnych mikroinstrukcji wypełniających często wiele mikrosekund. Przedstawione rozwiązanie znacznie upraszcza obsługę minikomputerów.

### 3.2.5. Układy logiczne i arytmetyczne

Na funkcję pamięci stałych można spojrzeć inaczej: adres może być potraktowany jako zbiór niezależnych zmiennych, zaś dane wyjściowe - jako zbiór niezależnych funkcji logicznych tych zmiennych. Można więc projektować zespoły logiczne na pamięciach stałych. W czasie tego projektowania nie zwraca się uwagi na samo przechowywanie danych, lecz rozpatruje się tylko funkcje logiczne.

Układy kombinacyjne i sekwencyjne realizuje się coraz częściej na pamięciach stałych, zastępując nimi duże ilości bramek, przerzutników itp. [77].

Dla przedstawienia sposobu projektowania kombinacyjnych układów logicznych na pamięciach stałych założymy, że niezbędne jest zrealizowanie następujących funkcji logicznych:

$$F_1 = B\bar{C}\bar{D} + A\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}DC$$

$$F_2 = \bar{A}\bar{B}CD + \bar{A}C\bar{D} + ABC\bar{D} + A\bar{C}D$$

$$F_3 = AB + AC + BC$$

$$F_4 = \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}\bar{C}D + \bar{B}C$$

Upraszczenie tych funkcji, aczkolwiek możliwe, nie jest wymagane. Wystarczy wypełnić dla każdej funkcji tablicę Karnaugh'a w sposób przedstawiony na rys. 59. Każda z tych tablic precyzuje stan funkcji F dla każdej możliwej kombinacji zmiennych A, B, C i D. Zmienne te mogą być

potraktowane jako adres doprowadzony do pamięci stałej, zaś  $F_1$ ,  $F_2$ ,  $F_3$  i  $F_4$  jako sygnały na poszczególnych wyjściach. Wynika stąd niezbędna zawartość 64-bitowej pamięci stałej, którą przedstawiono na rys. 60. Jest to bardzo mała pamięć, jak na współczesne możliwości i w praktyce można wykorzystać fragment większej pamięci.

$C \backslash D$	00	01	11	10
00	0	1	1	0
01	1	0	1	0
11	0	1	1	1
10	1	0	1	0

$C \backslash D$	00	01	11	10
00	0	1	1	0
01	1	0	1	0
11	1	1	0	1
10	1	0	1	0

$C \backslash D$	00	01	11	10
00	0	1	1	0
01	1	0	1	0
11	0	1	1	1
10	1	0	1	0

$C \backslash D$	00	01	11	10
00	0	1	1	0
01	1	0	1	0
11	1	1	0	1
10	1	0	1	0

Rys. 59. Tablice Karnaugh dla realizowania funkcji logicznych za pomocą pamięci stałych

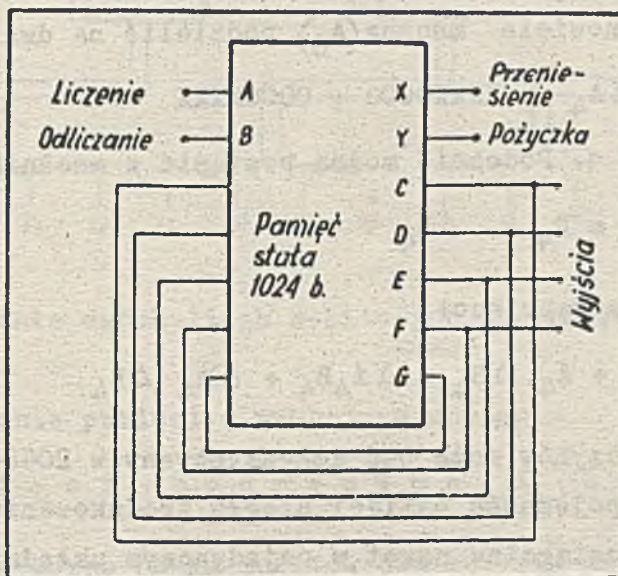
	Adres				Zawartość			
	$A_1$	$B_1$	$C_1$	D	$F_1$	$F_2$	$F_3$	$F_4$
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	0	1
4	0	1	0	0	1	0	0	0
5	0	1	0	1	0	0	0	1
6	0	1	1	0	0	1	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	1	0	0	0
9	1	0	0	1	0	1	0	0
10	1	0	1	0	0	0	1	1
11	1	0	1	1	1	0	1	1
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	1	1	0
14	1	1	1	0	0	1	1	0
15	1	1	1	1	0	0	1	0

Rys. 60. Zawartość pamięci stałych realizujących funkcje logiczne przedstawione na rys. 59

Realizując powyższą funkcję na standardowych bramkach logicznych należałoby użyć 17 bramek z 50 wejściami zawartych w około 10 obudowach DIL z 14 wyprowadzeniami. Tymczasem pamięć stała mieści się w jednej obudowie, zaś pod względem ceny również jest ostatnio konkurencyjna. Szczególnie nadają się do tego celu pamięci programowane elektrycznie. Można je w pewnej ilości magazynować, a następnie programować ich zawartości zależnie od aktualnych potrzeb.

Dostępne obecnie pamięci 2048-bitowe mogą stanowić równoważnik ponad dwustu bramek logicznych. Pewną przeszkodę w rozpatrywanych tu zastosowaniach stanowiło niedopasowanie między układami MOS i TTL. Sytuacja jest obecnie znacznie korzystniejsza, bowiem po pierwsze nowe układy MOS są w przeważającej większości niskoprogowe, po drugie zaś coraz powszechniejsze stają się pamięci stałe TTL.

Obok układów kombinacyjnych mogą być również realizowane układy sekwencyjne. Przykład pamięci stałej w tym zastosowaniu pokazano na rys. 61 [78]. Ażeby pamięć stała realizowała funkcję sekwencyjną, co



Rys. 61. Licznik rewersyjny na pamięci stałej

najmniej jedna linia wyjściowa musi być połączona z wejściami adresowymi. W tym przypadku 1024-bitowa pamięć stała posłużyła do zrealizowania rewersyjnego licznika o 16 stanach stabilnych. Liczba stanów (i zakres liczenia) może być zwiększona przez dołączenie innych pamięci

tego typu. Dwa najbardziej znaczące bity adresowe wykorzystano do sterowania kierunkiem liczenia. Dwie linie wyjściowe dostarczają bitów przeniesienia i pożyczki. Mogą one być połączone z wejściami A i B następnej pamięci.

Oczywiście, w tej samej pamięci mogą być równoległe realizowane funkcje kombinacyjne i sekwencyjne. Więcej: jeżeli pamięć stała posiada wejścia zezwolenia (jak to obecnie jest regułą), to można je wykorzystać do pracy synchronicznej doprowadzając do niej sygnały zegarowe.

Pokażemy teraz, że przy użyciu pamięci stałych można także wykonywać w prosty sposób złożone operacje matematyczne, m.in. mnożenie, dzielenie, obliczanie funkcji  $e^x$  i pierwiastkowanie [79].

Rozpatrzmy przykład mnożenia dwóch słów 8-bitowych. Teoretycznie można wszystkie możliwe rezultaty mnożenia zmagazynować w pamięci stałej. Ponieważ jednak wynik mnożenia ma długość 16 bitów, niezbędna pojemność pamięci wynosi  $65\,536 \times 16$  bitów, a więc ponad milion. Nie jest praktyczne realizowanie tak dużych pamięci stałych. To samo zadanie można jednak zrealizować przechowując w pamięciach stałych tylko iloczyny cząstkowe, mianowicie mnożną ( $A_8$ ) podzielić na dwa składniki:

$$A_8 = A_4 + \Delta A_4 = \text{XXXX0000} + \text{0000XXXX}$$

gdzie X oznacza 0 lub 1. Podobnie można postąpić z mnożnikiem:

$$B_8 = B_4 + \Delta B_4$$

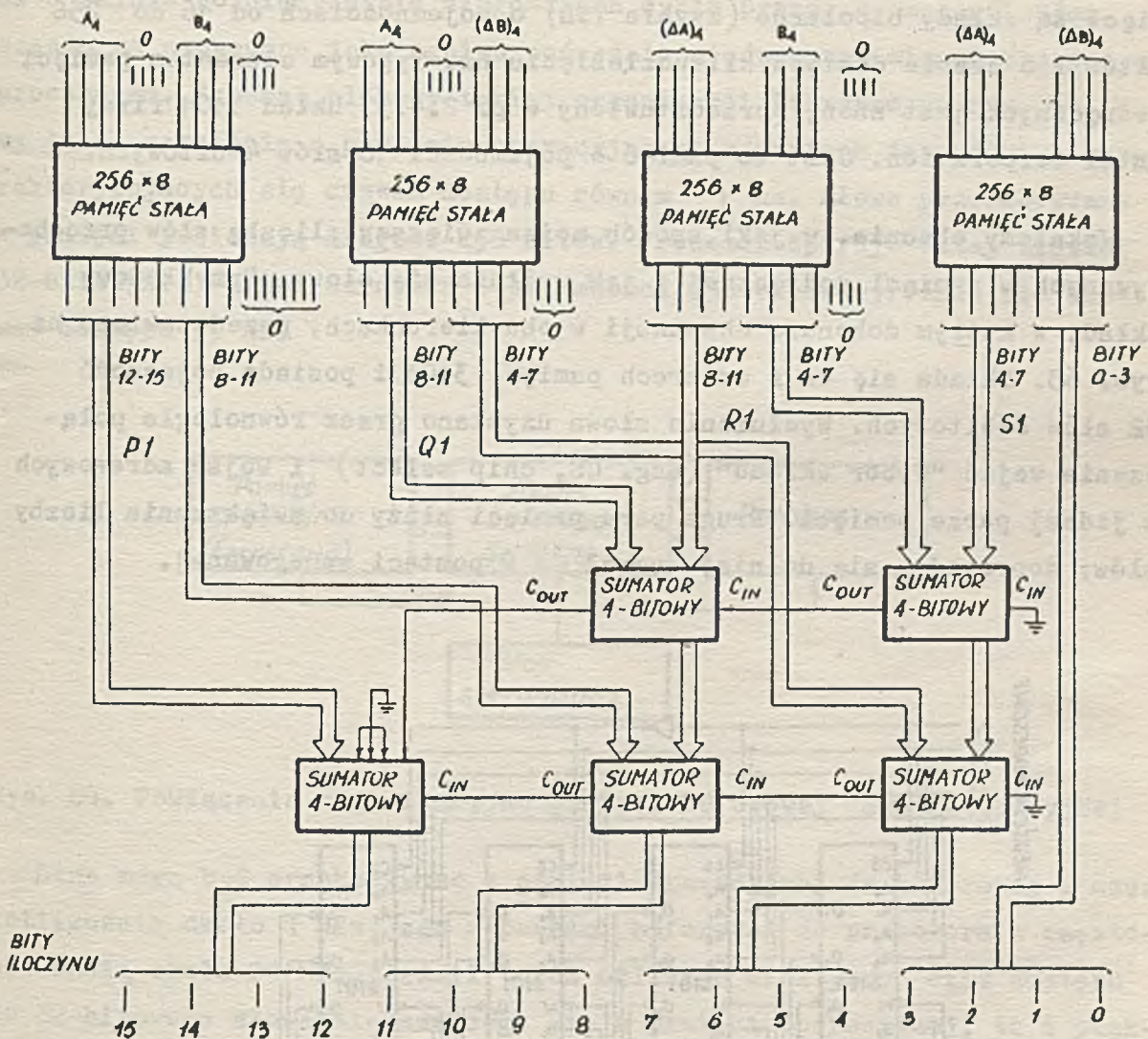
Iloczyn wygląda wtedy następująco:

$$A_8 B_8 = A_4 B_4 + A_4 \Delta B_4 + \Delta A_4 B_4 + \Delta A_4 \Delta B_4$$

Każdy z czterech subiloczynów może być zmagazynowany w 2048-bitowej pamięci stałej. Łączna pojemność pamięci uległa zredukowaniu do 8.192 bitów, co obecnie jest osiągalne nawet w pojedynczym układzie. Pamięci te muszą być uzupełnione jedynie 5 sumatorami 4-bitowymi (np. SN 7483). Całość zespołu mnożenia dwóch liczb ośmiobitowych przedstawiono na rys. 62.

Sposób realizowania innych funkcji matematycznych przedstawiono w pracy [79].





Rys. 62. Mnożenie dwóch liczb 8-bitowych na pamięciach stałych

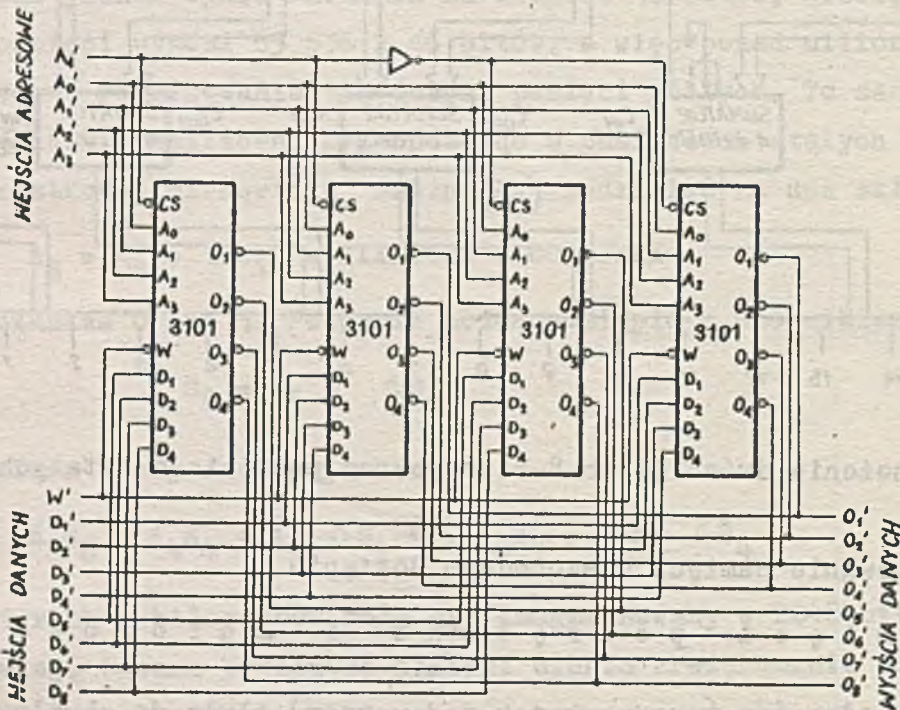
### 3.3. Zastosowanie pamięci o swobodnym dostępie

#### 3.3.1. Pamięci podręczne i buforowe

Pamięci podręczne (ang. scratch-pad memory) służą do chwilowego przechowywania pośrednich wyników obliczeń i innych danych, które powinny być szybko dostępne w toku obliczeń i które w związku z tym nie powinny być odsyłane do pamięci głównej. Przeznaczenie pamięci podręcznych określa ich podstawowe własności; są to niezbyt pojemne, ale za to bardzo szybkie pamięci o swobodnym dostępie.

Idealnym środkiem technicznym służącym dla realizowania takich pamięci są układy bipolarne (zwykle TTL) o pojemnościach od 16 do 256 bitów i o czasie dostępu kilkudziesięciu ns. Typowym elementem pamięci podręcznych jest znany (przedstawiony w p. 2.4.3) układ 3101 firmy Intel Corporation. Jest to pamięć o pojemności 16 słów 4-bitowych.

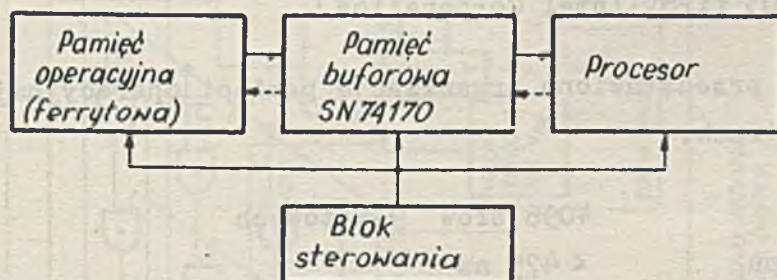
Wskażemy obecnie, w jaki sposób można zwiększyć liczbę słów przechowywanych w pamięci podręcznej i jak wydłużyć się słowo. Przykładowy układ, w którym dokonano ekspansji w obu kierunkach, przedstawiono na rys. 63. Składa się on z czterech pamięci 3101 i posiada pojemność 32 słów 8-bitowych. Wydłużenie słowa uzyskano przez równoległe połączenia wejść "Wybór układu" (ang. CS, chip select) i wejść adresowych w jednej parze pamięci. Druga para pamięci służy do zwiększenia liczby słów; doprowadza się do niej sygnał CS w postaci zanegowanej.



Rys. 63. Pamięć podręczna na bipolarnych układach pamięciowych typu 3101

W przypadku pamięci, w których brakuje wejść "Wybór układu" lub "Zezwolenie", dla ekspansji trzeba stosować dodatkowe, zewnętrzne dekodery.

Pamięci buforowe służą do ułatwienia przepływu danych między blokami o silnie różniących się długościach cyklu pracy. W szczególności często są stosowane jako ogniwo pośrednie między pamięcią operacyjną a procesorem. Schemat blokowy takiej organizacji pokazano na rys. 64. Ma to do czynienia z pamięcią operacyjną na rdzeniach ferrytowych charakteryzujących się czasem dostępu równym  $1 \mu s$ . Słowa przechowywane w pamięci posiadają długość 256 bitów. Procesor operuje tutaj słowami 32-bitowymi. Pamięć buforowa o pojemności 256 bitów wyróżnia się czasem dostępu 35 ns.



Rys. 64. Powiązania organizacyjne pamięci buforowej superoperacyjnej

Dane mogą być przekazywane z pamięci operacyjnej do buforowej z częstotliwością około 1 MHz, zaś z pamięci buforowej do procesora z częstotliwością około 20 MHz. Jeżeli teraz obliczyć efektywny czas dostępu do 32-bitowego słowa mieszczącego się w pamięci operacyjnej, to z punktu widzenia procesora czas ten wynosi

$$\frac{32 \text{ b.}}{256 \text{ b.}} \times 1 \mu s = 125 \text{ ns}$$

Przykład ten ilustruje funkcję pamięci buforowej. Przedstawiona tu pamięć może być zrealizowana na pamięciach TTL typu SN 54/74170 firmy Texas Instruments lub równoważnych.

Od strony technicznej pamięci buforowe nie różnią się w istotnym stopniu od uprzednio omówionych pamięci podręcznych.

### 3.3.2. Pamięci operacyjne dla minikomputerów

Kolejnym etapem rozwoju półprzewodnikowych pamięci o swobodnym dostępie było zastosowanie ich w operacyjnych pamięciach minikomputerów.

Pamięci operacyjne minikomputerów posiadają zwykle pojemność w zakresie od 1 do 64 kilobitów i charakteryzują się cyklem w granicach 0,5 - 10  $\mu$ s. Jest to zakres własności, które są obecnie z łatwością uzyskiwane przez pamięć o swobodnym dostępie typu MOS. Typową pamięcią przeznaczoną głównie (choć nie wyłącznie) dla minikomputerów jest układ typu 1103 firmy Intel Corporation.

Na rys. 65 przedstawiono organizację pamięci operacyjnej o następujących parametrach:

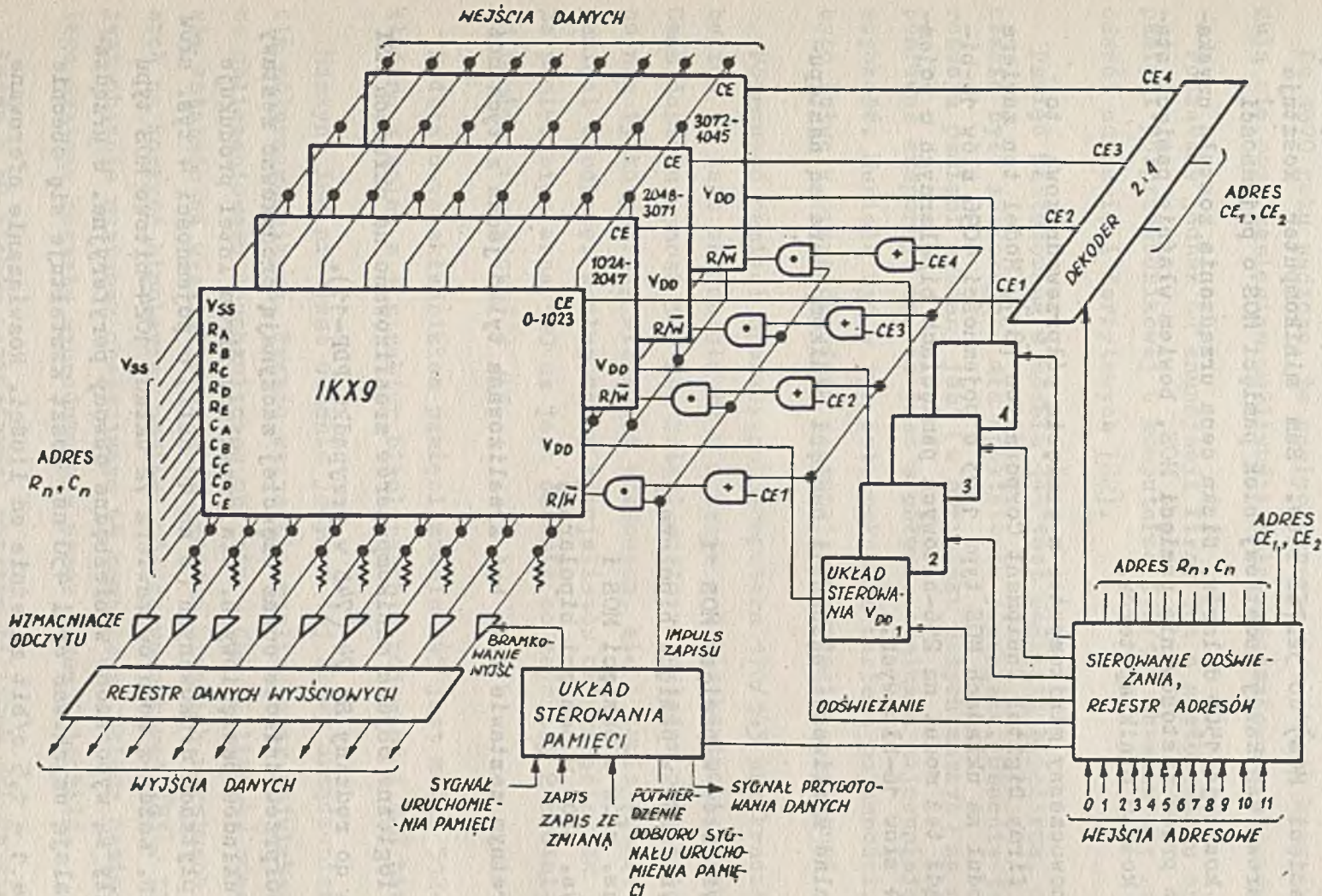
pojemność	4096 słów 9-bitowych
czas dostępu	< 475 ns
cykl zapisu	< 725 ns

Jest ona zrealizowana na układach typu MK 4006 firmy Mostek Corporation, które posiadają pojemność 1024 bitów i charakteryzują się czasem dostępu poniżej 400 ns. Są to pamięci dynamiczne MOS wymagające odświeżania informacji. Na rys. 65 widoczny jest osobny zespół dysponujący odświeżaniem. Odświeżanie zajmuje jeden cykl (725 ns) co 76  $\mu$ s. Tracony jest więc czas stanowiący tylko 1,1 procenta całego czasu pracy pamięci. Wszystkie układy są zasilane impulsowo, do czego służą zespoły sterowania  $U_{DD}$ . Układy są zasilane tylko wtedy, gdy znajdują się w płacie adresowanym.

Każdy z 4 płyt pamięci zawiera 9 układów MK 4006 o wspólnych liniach adresowych i sterujących. Wyjścia z każdego płatu są dołączane do wspólnego wzmacniacza odczytu przypadającego na każdy bit wyjściowy.

Wszystkie obwody peryferyjne mogą być zbudowane na szeroko dostępnych standardowych układach scalonych z wyjątkiem zespołów sterowania (przełączników)  $U_{DD}$ , które są realizowane na elementach dyskretnych.

Charakterystyczne jest, że w dwóch najnowszych minikomputerach wprowadzonych na rynek pamięci zbudowano na pamięciach MOS (typu 1103). Jed-



Rys. 65. Organizacja pamięci operacyjnej o pojemności 4096 słów 9-bitowych na układach pamięciowych typu MK 4006

nym z tych minikomputerów jest model 960A firmy Texas Instruments [80]. Minikomputer 960A zawiera pamięci o pojemności 4096 słów 16-bitowych o cyklu 750 ns. Pamięć ta może być rozszerzona (w postaci zewnętrznych bloków pamięci MOS) do 32.768 słów. Sam minikomputer kosztuje 2.850 dolarów, zaś każdy dodatkowy blok pamięci MOS o pojemności 4096 słów kosztuje 1500 dolarów. Niska cena urządzenia została uzyskana głównie przez zastosowanie pamięci MOS, bowiem właśnie pamięci stanowią 40% kosztu minikomputerów.

Drugi nowoczesny minikomputer z pamięcią półprzewodnikową to PDP-11/45 firmy Digital Equipment Corporation [81]. Model ten zawiera bądź to moduł na układach MOS typu 1103 o pojemności 4096 słów 16-bitowych, bądź też moduł na 256-bitowych pamięciach bipolarnych o pojemności 1024 słów 16-bitowych.

Maksymalne możliwości ekspansji pamięci minikomputera są następujące:

- 32 tys. słów w pamięci MOS i  
8 tys. słów w pamięci bipolarnej
- 16 tys. słów w pamięci MOS i  
4 tys. słów w pamięci bipolarnej

W konkretnym zestawie może być zrealizowana tylko jedna z tych możliwości.

Części logiczne obydwu minikomputerów zrealizowano na układach MSI należących do rodziny SN 74 (74S w przypadku PDP-11).

Firmy półprzewodnikowe coraz częściej zaczynają produkować zestawy scalonych układów pamięciowych. Dla przykładu firma Intel produkuje moduły na płytkach drukowanych (8 na 10 cali) o pojemności 4 tys. słów 18-bitowych. Każdy z modułów zawiera 72 układy 1024-bitowe MOS typu 1103. Moduły są wyposażone w niezbędne obwody peryferyjne. W urządzeniach pozwalają uzyskać cykl 450 ns. Koszt kształtuje się obecnie na poziomie 1 - 1,5 c/bit zależnie od ilości. Rozwiązanie oferowane przez firmę Intel wydaje się obecnie optymalne dla projektantów minikomputerów oraz małych maszyn liczących.

### 3.3.3. Pamięci operacyjne dużych maszyn cyfrowych

Do 1970 roku sądzono, że pamięci operacyjne dużych komputerów znajdują się poza zasięgiem możliwości półprzewodnikowych układów scalonych.

Począwszy jednak od enuncjacji firmy IBM o zastosowaniu operacyjnej pamięci półprzewodnikowej w komputerze 370/145 obserwujemy radykalny odwrót od pamięci ferrytowych [82].

Pamięć zastosowana w modelu 145 jest pamięcią bipolarną, co w swoim czasie było zaskakujące dla spektatorów przemysłu. Obecnie ten kierunek rozwoju pamięci uważany jest (w przypadku dużych maszyn) za naturalny, ponieważ eksponuje to, co jest w półprzewodnikach najcenniejsze: ich szybkość. Musiała być w tym celu pokazana bariera pojemności, co nie było łatwe w przypadku dość złożonej technologii bipolarnej.

Pojemność pamięci operacyjnej komputera 170/145 przekracza pół mln bajtów (1 bajt składa się tu z 8 bitów + 1 bit kontroli parzystości). Czas dostępu wynosi 540 ns. Dzięki scalonym układom pamięciowym uzyskano nie tylko poprawę własności czasowych, ale i zmniejszenie wymiarów pamięci o połowę. Według oceny specjalistów osiągnięcie IBM świadczy, że pamięć bipolarna 500 ns jest obecnie co najmniej 2-krotnie droższa od pamięci ferrytowej 2  $\mu$ s.

Podstawowym składnikiem pamięci modelu 145 jest moduł 512-bitowy złożony z kolei z 4 struktur bipolarnych o pojemności 128 bitów każda.

Maszyna IBM nie jest obecnie jedynym tej klasy urządzeniem z pamięcią półprzewodnikową. Przede wszystkim realizatorzy największego systemu obliczeniowego uruchamianego obecnie w USA (Illiac-4) zdecydowali się ostatecznie na wyeliminowanie pamięci na cienkich warstwach magnetycznych na korzyść bipolarnej pamięci półprzewodnikowej [83]. Illiac-4 jest obecnie systemem obejmującym 64 komputery. Układy pamięciowe dla tego systemu zostały wyprodukowane przez firmę Fairchild.

Każdy z 64 bloków pamięciowych systemu Illiac-4 składa się (obok obwodów peryferyjnych) ze 128 układów bipolarnych o pojemności 256 bitów każdy. Pojemność bloku wynosi zatem 4096 bajtów.

Illiac-4 przy równoległej pracy wszystkich komputerów realizuje 200 mln instrukcji w ciągu sekundy.

Również znana brytyjska firma ICL doniosła o wprowadzeniu pamięci półprzewodnikowej w nowym komputerze typu 1904S [84]. Równoważny model - 1904A - był wykonywany poprzednio z pamięcią ferrytową. W komputerze 1904S zastosowano pamięci MOS. Przedstawiciele firmy stwierdzili, że jeśli nawet pamięci bipolarne stałyby się tańsze, wydzielają one zbyt dużą moc. Zastosowane układy MOS zostały dostarczone przez firmę Cogar Corporation (USA). Zrealizowano je na tranzystorach z kanałem n, co pozwoliło uzyskać czas dostępu 175 ns oraz cykl całej pamięci równy 300 ns.

#### 4. Zarys analizy rynku pamięci półprzewodnikowych

Rozwój produkcji pamięci półprzewodnikowych jest wynikiem dwóch zasadniczych procesów. Pierwszym z nich jest proces rozwoju informatyki i automatyki przemysłowej, z którego wynikło rosnące zapotrzebowanie na nowe, ulepszone i tańsze systemy pamięciowe. Jest to proces technicznie obiektywny.

Wielkie znaczenie miał jednak również i proces aktywnego tworzenia i stymulowania rynku pamięci półprzewodnikowych przez producentów półprzewodników.

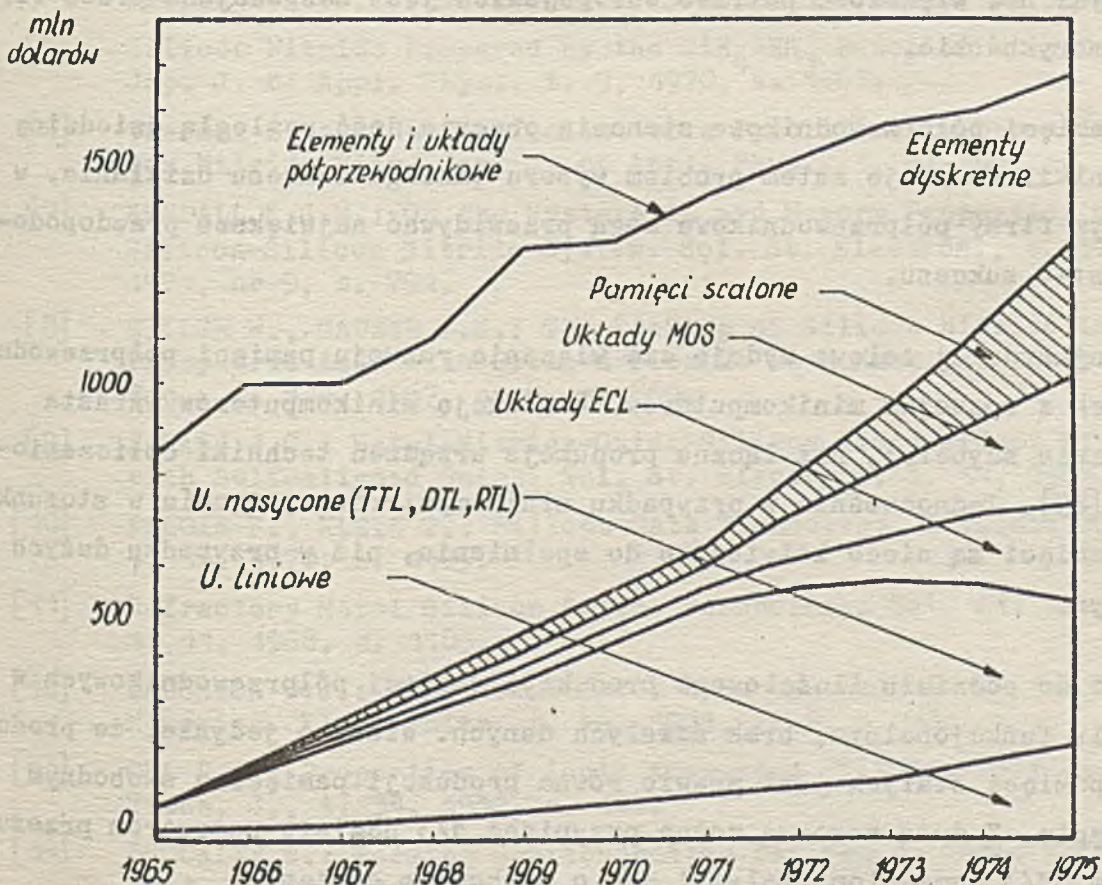
W ostatnich latach firmy półprzewodnikowe produkujące układy scalone zetknęły się z problemem nadprodukcji. Nadprodukcja wywołała wojnę cen: dla utrzymania się na rynku wiele układów (np. cyfrowe TTL) sprzedaje się poniżej kosztów produkcji. Mnożą się doniesienia o tym, ile milionów dolarów dopłaca się obecnie do produkcji układów scalonych. Krytyczna sytuacja rynkowa dotknęła głównie firmy konserwatywne i niezdolne do operatywnej reakcji. Obok nich istnieją firmy, które potrafią z roku na rok dwukrotnie zwiększać sprzedaż układów scalonych (np. North American Rockwell Microelectronics, Intel Corporation czy Advanced Micro Devices). Tajemnica powodzenia polega na znalezieniu i szybkim rozwiązaniu tych rodzajów układów scalonych, które będą się



cieszyły powodzeniem. Obecnie osiągano są zyski głównie z produkcji układów MOS i układów liniowych [85].

Niemal wszystkie poważne firmy półprzewodnikowe dostrzegły szansę zwiększonych zysków w dziedzinie pamięci. Sprzedaż układów pamięciowych w USA w 1971 r. oszacowano na 30 mln dolarów. Już w 1972 r. wartość ich sprzedaży wyniesie najprawdopodobniej  $75 \pm 25$  mln dolarów [86]. Pamiętajmy, że w tym samym czasie wartość sprzedaży np. układów logicznych TTL praktycznie nie ulegnie zmianie.

Jedną z prognoz (firmy Motorola) obrazującą rozwój sprzedaży układów scalonych na świecie pokazano na rys. 66 [1]. Wydzielono tu pamięci półprzewodnikowe niezależnie od technologii. Szacuje się, że obecnie około 5% wszystkich pamięci stanowią pamięci półprzewodnikowe (wartościowo). W 1975 r. udział ten wzrośnie prawdopodobnie do 25% (przy założeniu, że nie pojawi się i nie osiągnie fazy produkcyjnej inne, korzystniejsze rozwiązanie techniczne).



Rys. 66. Prognoza rozwoju produkcji układów scalonych na świecie z uwzględnieniem pamięci półprzewodnikowych

Trudno obecnie szacować ilościowo, jaki będzie udział pamięci MOS, a jaki bipolarnych. Twierdzi się raczej zgodnie, że w 1975 r. połowę układów scalonych MOS będą stanowiły pamięci (obecnie 9%) [87]. Można spotkać się z poglądem, że szybkość układów MOS będzie w stanie zaspokoić 80% potrzeb, jakie w zakresie pamięci spodziewane są na rok 1975 [60]. Jak wykazują dotychczasowe przykłady zastosowań, jedynie duże komputery wymagają zwykle rozwiązań bipolarnych. W dziedzinie średnich komputerów rynek jest podzielony, natomiast małe komputery, minikomputery i kalkulatory stanowią i prawdopodobnie będą stanowiły domenę układów MOS. Zatem wyraźna większość układów pamięciowych powinna być realizowana przy użyciu technologii MOS.

Kapitalistyczny rynek układów MOS podzielony jest następująco: 50% przypada na USA, 25% na Japonię i 25% na Europę Zachodnią. Daje to ogólne pojęcie o prawdopodobnym podziale światowego zapotrzebowania na pamięci półprzewodnikowe. Oczywiście, nie należy mylić rynku z produkcją: np. większość potrzeb europejskich jest zaspokajana przez firmy amerykańskie.

Pamięci półprzewodnikowe stanowią obecnie dość rozległą dziedzinę techniki. Powstaje zatem problem wyboru takiego zakresu działania, w którym firmy półprzewodnikowe mogą przewidywać największe prawdopodobieństwo sukcesu.

Najbardziej celowe wydaje się wiązanie rozwoju pamięci półprzewodnikowych z rozwojem minikomputerów. Produkcja minikomputerów wzrasta znacznie szybciej, niż łączna produkcja urządzeń techniki obliczeniowej [85]. Jednocześnie w przypadku minikomputerów wymagania w stosunku do pamięci są nieco łatwiejsze do spełnienia, niż w przypadku dużych maszyn.

Co do podziału ilościowego produkcji pamięci półprzewodnikowych w ujęciu funkcjonalnym, brak ścisłych danych. Wiadomo jedynie, że produkcja pamięci stałych jest prawie równa produkcji pamięci o swobodnym dostępie. Z dużą rezerwą można przypisać 1/3 udziału rejestrom przesuwowym, 1/3 pamięciom stałym i 1/3 o swobodnym dostępie.

Analizując przytoczone prognozy należy mieć na względzie, że jednocześnie następuje duży spadek cen pamięci półprzewodnikowych. Tym sa-

mym ilość produkowanych układów pamięciowych wzrośnie znacznie szybciej, niż ich wartość. Spadek cen będzie najprawdopodobniej kilkunastokrotny w latach 1971-1975 [88]. Obecnie cena pamięci stałych sięga 0,5 centa/bit, zaś pamięci o swobodnym dostępie 1 centa/bit. Spadkowi cen towarzyszy równoległe ciągle, zaskakująco dynamiczna poprawa własności użytkowych, a więc szybkości, pojemności i mocy.

### Literatura

- [1] GRIFFIN D.: Newer IC Families Will Show Substantial Growth. Electronics Weekly, 27 stycznia 1971, s. 16.
- [2] SAH C.T., PAO H.C.: The Effects of Fixed Bulk Charge on the Characteristics of Metal-Oxide-Semiconductor Transistors. IEEE Trans. on Electron Devices, t. ED-13, 1966, nr 4, s. 393.
- [3] Preparation and Properties of Pyrolytic Silicon Nitride. J. of Electrochem. Soc., t. 113, 1966, s. 1279.
- [4] Silicon Nitride Thin Films from  $\text{SiCl}_4$  plus  $\text{NH}_3$ : Preparation and Properties. J. of Electrochem. Soc., t. 115, 1968, s. 525.
- [5] Silicon Nitride Prepared by the  $\text{SiH}_4$ - $\text{NH}_3$  Reaction with Catalysts. Jap. J. of Appl. Phys., t. 9, 1970, s. 1467.
- [6] Thermal Expansion Coefficient of a Pyrolytically Deposited Silicon Nitride Film. Jap. J. of Appl. Phys., t. 6, 1967, s. 1252.
- [7] KENDALL E.J.M.: On the Hysteresis and Memory Properties of the Silicon-Silicon Nitride System. Sol. St. Electron., t. 14, 1971, 1971, nr 9, s. 791.
- [8] GELDER W., HAUSER V.E.: The Etching of Silicon Nitride in Phosphoric Acid with Silicon Dioxide as a Mask. J. Electrochem. Soc., t. 114, 1967, nr 8, s. 869.
- [9] SARACE J.C.: Metal-Nitride-Oxide-Silicon Field-Effect Transistors with Self-aligned Gates. Sol. St. Electron., t. 11, 1968, s. 653.
- [10] FAGGIN F., KLEIN T.: Silicon Gate Technology. Sol. St. Electron., t. 13, 1970, s. 1125.
- [11] Refractory Metal Silicon Device Technology. Sol. St. Electron, t. 11, 1968, s. 1105.
- [12] LAUGHTON W.J.: Molybdenum Gates Open the Door to Faster MOS Memories. Electronics, t. 44, 1971, nr 8, s. 68.
- [13] OHL R.S.: Properties of Ionic Bombarded Silicon. Bell Syst. Techn. J., t. 31, 1952, s. 104.
- [14] SHOCKLEY W.: Forming Semiconductive Devices by Ionic Bombardment. US Patent 2.768.564, 1954.
- [15] MOS Field Effect Transistors Formed by Gate Masked Ion Implantation. IEEE Trans. on Electron Dev., t. ED-15, 1968, nr 10, s. 757.

- [16] GIBBONS J.F.: Ion Implantation in Semiconductors - part I. Range Distribution Theory and Experiments. Proc. IEEE, 1968, s. 295.
- [17] Ion Implantation Offers a Bagful of Benefits for MOS. Electronics, t. 43, 1970, nr 13, s. 86.
- [18] HERZOG G.B.: COS/MOS: the best of both worlds. Electronics, t. 42, 1969, nr 4, s. 109.
- [19] GORDEEV B.K.: Osobennosti proektirovaniya topologii integral'nykh schem na MDP - tranzistorach s vzaimodopol'njajushchimi tipami provodimosti. Mikroelektronika, t. 4, 1971, s. 34.
- [20] BURGESS R.R., DANIELS R.G.: C/MOS Unites with Silicon Gate to Yield Micropower Technology. Electronics, t. 44, 1971, nr 18, s. 38.
- [21] PLANOX technology in low voltage MOS progress, SGS. Planar News, t. 2, 1971, nr 16, s. 1.
- [22] Silicon and Sapphire getting together for a comeback. Electronics, t. 43, 1970, nr 12, s. 88.
- [23] MILLER A.: Silicon-on-Sapphire Approach Affords Freedom and Flexibility. Electronics, t. 40, 1967, nr 4, s. 171.
- [24] SCHLÖTTERER H.: Growing Silicon on Spinel Adds up to High Isolation, Fast Switching in IC's. Electronics, t. 42, 1969, nr 22, s. 113.
- [25] SCHLÖTTERER H.: Mechanical and Electrical Properties of Epitaxial Silicon Films on Spinel. Sol. St. Electron., t. 11, 1968, s. 947.
- [26] YASUDA Y.: Epitaxial Growth of Silicon Films on Sapphire and Spinel by Vacuum Evaporation. Jap. J. Appl. Phys., t. 10, 1971, nr 1, s. 45.
- [27] Toward MOS memories. Electronics, t. 41, 1968, nr 22, s. 49.
- [28] Complementary MOS-bipolar transistor structure. IEEE Trans. on Electron. Dev., t. ED-16, 1969, nr 11, s. 945.
- [29] Complementary MOS and bipolar make it together on a single chip. Electronics, t. 43, 1970, nr 18, s. 72.
- [30] OWEN A.E., SCHMIDT P.F.: Diffusion from a Plane, Finite Source into a Second Phase with Special Reference to Oxide-film Diffusion Sources on Silicon. J. Electrochem. Soc., t. 115, 1968, nr 5, s. 548.
- [31] BOYLE W.S., SMITH G.E.: Charge Coupled Semiconductor Devices. Bell Syst. Techn. J., t. 49, 1970, nr 4, s. 587.
- [32] Experimental verification of the charge Coupled Device Concept. Bell Sys. Techn. J., t. 49, 1970, nr 4, s. 593.
- [33] New-surface charge transistor has high data storage potential. Electron. Design, t. 18, 1970, nr 26, s. 28.
- [34] CCD makes it into memory denser than MOS. Electronics, t. 44, 1971, nr 6, s. 31.
- [35] LINDMAYER J., SCHNEIDER W.: Theory of Lateral Transistors. Solid St. Electron., t. 10, 1967, s. 225.

- [36] KILE C.: Semiconductor Integrated Circuits. A Review of Fabrication Processes and Component Characteristics. SCP and Solid St. Technol., t. 10, 1967, nr 2, s. 30.
- [37] AMBROZIAK A.: Półprzewodnikowe układy scalone. Warszawa 1966, PWN.
- [38] Analysis and design of integrated circuits. New York 1967, Mc Graw-Hill Book Company.
- [39] VACCA A.A.: The Case for Emitter-Coupled Logic. Electronics, t. 44, 1971, nr 9, s. 48.
- [40] DE FALCO J.A.: Coming up Fast from Behind-denser Bipolar Devices, Electronics, t. 44, 1971, nr 15, s. 76.
- [41] CHANG M.: Developments in Digital Integrated Circuits, 1969 Wescon Technical Papers, part.5, Components and Microelectronics.
- [42] MURPHY B.T., GLIŃSKI V.J.: Transistor-transistor Logic with High Packing Density and Optimum Performance at High Inverse Gain. ISSCC Digest, 1968, s. 38.
- [43] WATSON G.F.: Bell Bipolar Process Ready to Go. Electronics, t. 43, 1970, nr 18, s. 87.
- [44] Ferranti Goes to Collector Diffusion Isolation. Electronics, t. 44, 1971, nr 22, s. 13E.
- [45] New Integrated Circuit is Simple, Inexpensive, Easy to Build. Bell Labs Record, t. 48, 1970, nr 1, s. 26.
- [46] PELTZER D., HERNDON B.: Isolation Method Shrinks Bipolar Cells for Fast, Dense Memories. Electronics, t. 44, 1971, nr 5, s. 52.
- [47] HENEKL R., FIELDS S.W.: Isoplanar Process Stirs IC Houses. Electronics, t. 44, 1971, nr 7, s. 79.
- [48] APPOLS J.A.: Some Problems of MOS Technology. Philips Techn. Rev., t. 31, 1970, nr 7-9, s. 225.
- [49] Bipolar Process Promises RAMs with MOS Density. Electronics, t. 44, 1971, nr 12, s. 35.
- [50] OVSHINSKY S.R.: Symmetrical Current Controlling Device. U.S. Patent 3.271.591, 6.IX.1966.
- [51] PERSCHY J.A.: On the Threshold of Success: Glass Semiconductor Circuits. Electronics, t. 40, 1967, nr 15, s. 74.
- [52] GUNTERS DORFER M.: Schalteffekten in  $VO_2$ , Solid St. Electron., t. 13, 1970, s. 369.
- [53] HENISCH H.K., PRYOR R.W.: On the Mechanism of Ovonic Threshold Switching. Solid St. Electron, t. 14, 1971, s. 765.
- [54] ROBERT H.Z.: Shift Register Using Insulated Gate Field Effect Transistors. U.S. Patent 3.395.292, 19.10.1965.
- [55] VAN DER STEEN L.M.: Digital Integrated Circuits with MOS Transistors, Philips Techn. Rev., t. 31, 1970, nr 7-9, s. 277.
- [56] DUNN R., HARTSELL G.: At Last, a Bipolar Shift Register with the Same Bit Capacity as MOS. Electronics, t. 42, 1969, nr 25, s. 84.

- [57] FROHMAN-BENTCHKOWSKY D.: ROM Can Be Electrically Programmed and Re-programmed and Reprogrammed...Electronics, t.44, 1971, nr 10, s. 91.
- [58] SCHMIDT J.D.: Integrated MOS Transistor Random Access Memory. Solid St. Design, t. 6, 1965, nr 1, s. 21.
- [59] HOFF M.E.: Silicon Gate Dynamic MOS Cranes 1024 Bits on a Chip. Electronics, t. 43, 1970, nr 16, s. 68.
- [60] Single-transistor Sell Makes Room for More Memory on an MOS Chip. Electronics, t. 44, 1971, nr 16, s. 69.
- [61] Active Memory Calls for Discretion. Electronics, t. 40, 1967, nr 5, s. 143.
- [62] BARLETT J.: Associative Memory Chip Fast, Versatile and Here. Electronics, t. 43, 1970, nr 17, s. 96.
- [63] HO I.T., MALEY G.A.: Latent Image Can Provide Chip with Built-in Control Memories. Electronics, t. 44, 1971, nr 17, s. 82.
- [64] VIETH R.F.: Nitride-Oxide Layer Proofs Memory against Data Loss. Electronics, t. 44, 1971, nr 14, s. 53.
- [65] SPRINGER J.: Making Sense out of Delay Specs in Semiconductor Memories. Electronics, t. 44, 1971, nr 22, s. 82.
- [66] HOFFMAN G.B.: MOS Static Shift Register and TTL/DTL Systems. Texas Instruments Application Report CA-114, 1969.
- [67] O'BRIEN T.E.: Monolithic Level Shifter Lets MOS, TTL Share Same Network. Electronics, t. 44, 1971, nr 14, s. 70.
- [68] SAFFIR O.S.: Getting More Speed from MOS. Electronics, t. 42, 1969, nr 4, s. 106.
- [69] MANN R.: MOS Circulating Memories. Texas Instruments Application Report CA-144, 1970.
- [70] IRWIN J.: Arithmetic Functions Using MOS Register, MOS Brief 6, National Semiconductor Corporation, 1969.
- [71] MOS Character Generators. Texas Instruments Application Report CA-145, 1970.
- [72] ROSS C., MRAZEK D.: Trig Function Generators. National Semiconductor Corporation, 1970.
- [73] SCHMIDT H., RUSEK D.: Generator Functions from Discrete Data. Electron. Design, t. 18, 1979, nr 20, s. 42.
- [74] ELLIOT D.F., SYPHERD A.D.: Simplify Function Generator Design. Electron. Design, t. 18, 1970, nr 21, s. 86.
- [75] Microprogramming Made Easy with a 4096-bit Bipolar ROM. Electronics, t. 44, 1971, nr 6, s. 64.
- [76] LEIS C.T.: Microprogramming, ROMs, Firmware and All That. Hewlett-Packard J., t. 23, 1971, nr 2, s. 4.
- [77] FLETCHER W.I., DESPAIN A.M.: Simplify Combination Logic Circuits with Programmable Logic Circuits. Electron. Design, t. 19, 1971, nr 13, s. 72.

- [78] KVAMME F.: Standard Read-Only Memories Simplify Complex Logic Design. Electronics, t. 43, 1970, nr 1, s. 88.
- [79] HEMEL A.: Making Small ROM's Do Math Quickly, Cheaply and Easily. Electronics, t. 43, 1970, nr , s. 104.
- [80] FRAUSON R.T.: Elbows Way into Low-price Minicomputer Use. Electronics, t. 44, 1971, nr 23, s. 111.
- [81] CLAYTON R.J.: Evolution Breeds a Minicomputer that Can Take on Its Big Brothers. Electronics, t. 44, 1971, nr 21, s. 62.
- [82] IBM Surprise Industry with Its New Memory. Electron. Design, t. 18, 1970, nr 21, s. 23.
- [83] RILEY W.B.: Illiac 4 Enters the Home Stretch. Electronics, t. 43, 1970, nr 12, s. 123.
- [84] ICL Breathes New Life into its 1900 Computers. Electronics, t.44, 1971, nr 10, s. 12E.
- [85] ROSENBLATT A.: The Markets Are Still Bottoming out. Electronics, t. 44, 1971, nr 17, s. 97.
- [86] MOS, Linears Bloom in a Flat Land. Electronics, t. 43, 1970, nr 17, s. 71.
- [87] Comment on the News. Electronic Component, t. 12, 1971, nr 6, s. 353.
- [88] KREBS P.: Custom MOS-after Taking the Plunge Familiarity Rapidly Breeds Confidence. Electron. Weekly, 1971, nr 13, s. 7.
- [89] LEPSALTER M.P., MACDONALD R.W.: Beam-lead Devices, 1964 Electron Devices Meeting, Washington D.C.
- [90] TOTTA P.A.: Flip-chip Solder Terminals. Proceedings 21th Electronic Components Conference Washington D.C., 1971, s. 275.





# KRÓTKIE INFORMACJE

## Z KRAJU

### ● MERATRON

#### MODULARNY SYSTEM PRZETWARZANIA I PRZYGOTOWANIA DANYCH

Stosowane dotychczas środki techniki obliczeniowej, głównie urządzenia średniej mechanizacji o przestarzałej technice oraz duże EMC w ośrodkach EPD, nie zaspokajały wszystkich potrzeb w zakresie przygotowania i przetwarzania danych. System MERATRON - 8b - uniwersalny automat obrachunkowy - stanowi od dawna oczekiwane uzupełnienie rozwiązań systemowych.

Zestaw urządzeń składających się na automat obrachunkowy MERATRON - 8b rozbudowywany modularnie (oraz ich oprogramowanie) pozwalają zaspokoić potrzeby szerokich rzesz użytkowników:

- pracujących w zdecentralizowanych zakładowych systemach informatycznych, nie korzystających z ośrodków EPD i wymagających pilnego zastąpienia średnich maszyn mechanicznych nowoczesnymi urządzeniami elektronicznymi - zdolnymi w każdym momencie współpracować z systemami zewnętrznymi,
- korzystających z ośrodków EPD, dla których odpowiedni model automatu obrachunkowego MERATRON - 8b będzie sprawnie działającym urządzeniem przygotowywania danych.

## Składniki systemu

### Jednostka centralna

Jednostką centralną systemu MERATRON - 8b jest mikrokomputer MOMIK-8b. Gwarantuje to dużą wydajność systemu w porównaniu z innymi urządzeniami w tej klasie sprzętu. Charakterystyka jednostki centralnej:

- pamięć operacyjna o pojemności max 8 tys. znaków ośmiobitowych i czasie cyklu 1,8 mikrosekund,
- średnia szybkość 200 tys. operacji/sekundę,
- pamięć podprogramów o pojemności max. 8 tys. rozkazów,
- 34 rozkazy arytmetyczne, logiczne i sterujące,
- kanały: arytmometru, multipleksor, bezpośredniego dostępu,
- maksymalnie 32 urządzenia zewnętrzne dołączane do kanałów.

### Maszyna do pisania

MERATRON wyposażony jest w elektryczną maszynę do pisania FACIT typu 3851 o szybkości druku 10 znaków/s. Maszyna do pisania, podobnie jak i inne urządzenia zewnętrzne, pracuje równolegle z jednostką centralną.

### Czytnik i dziurkarka taśmy papierowej lub kart z obrzeżną perforacją

MERATRON wyposażony jest w czytnik typu CTK - 50 oraz dziurkarke DTK - 50 umożliwiające automatyczne wprowadzanie danych z szybkością 50 znaków/s.

### Klawiatura numeryczna i funkcyjna

umożliwia efektywne wprowadzanie danych numerycznych i ręczne dyspozycje sterujące pracą maszyny.

### Pamięć dyskowa

MERATRON - 8b może być wyposażony dodatkowo w pamięć zewnętrzną o bezpośrednim dostępie. Pamięć dyskowa (typu PDM-1) wyposażona jest w dwa dyski, z których jeden jest wymienny. Pojemność pamięci dyskowej około

6 mln znaków. Średni czas dostępu 48 milisekund. Kasetę dysku wymienne-  
go zgodną ze standardem IBM.

#### Monitor ekranowy

MERATRON - 8b może być wyposażony dodatkowo (lub zamiast) w elektry-  
czną maszynę do pisania - w monitor ekranowy typu ALFA - 10. Pojemność  
ekranu monitora 960 znaków (24 linie po 40 znaków w linii), 95 znaków  
różnych (alfabet łaciński i cyrylica, znaki specjalne).

#### Oprogramowanie

##### Programy użytkowe (w opracowaniu)

- numeryczne, wykonujące większość funkcji logicznych, arytmetycznych  
i sterujących procesami pracy,
- zarządzania, pozwalające prowadzić bieżącą analizę szczegółową:
  - wydajności pracy,
  - kosztów,
  - gospodarki materiałowej,
  - sprzedaży obrotu towarowego,
  - planowania,
- rachunkowości:
  - wydawnictwo dokumentów (w tym fakturowanie, kosztorysowanie itp.),
  - ewidencja,
  - sprawozdawczość.

W programach użytkowych stosowane będą odpowiednie programy sortowania,  
przechowywania, decyzji itp. pozwalające na zautomatyzowanie procesów  
obrachunkowych.

##### Programy specjalne "firmware",

pozwalające na elastyczne dostosowanie systemu do rozszerzonych wymagań  
funkcjonalnych użytkowników oraz do właściwego wykorzystania posiadanego  
już sprzętu (techniki biurowej i obliczeniowej).

## Assembler (MOTIS),

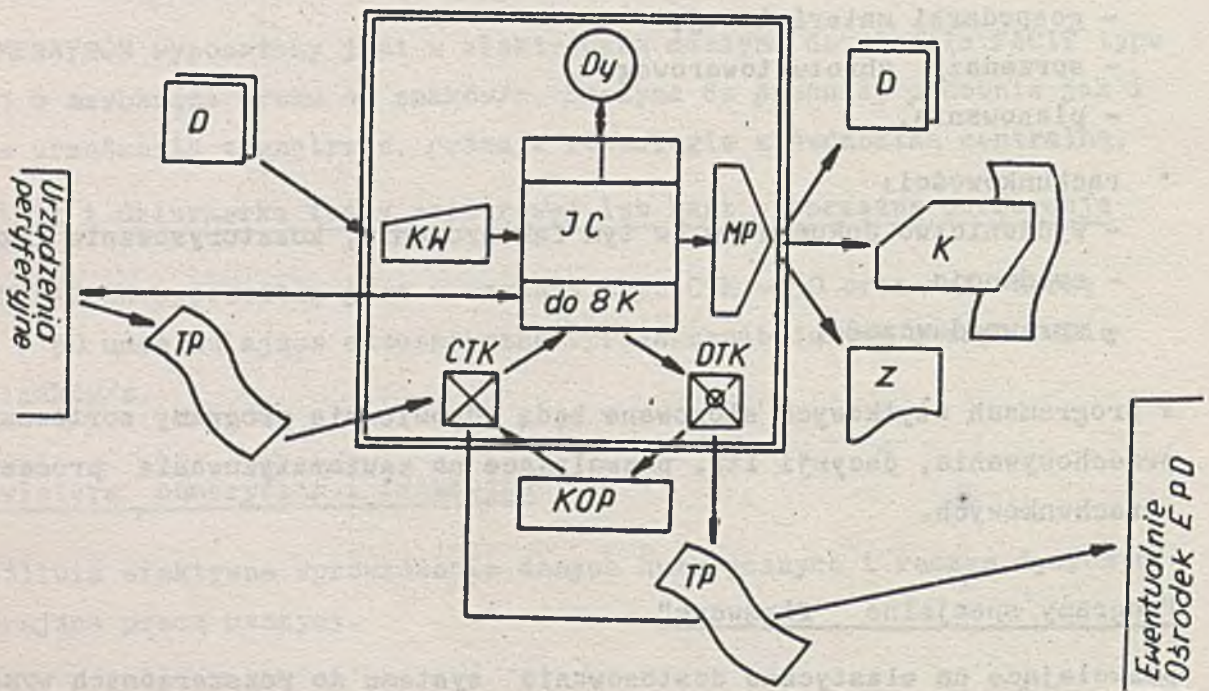
język symboliczny, umożliwiający pisanie programów w kodach i adresach symbolicznych, przystępny dla programistów.

Opracowano w IMM przy współpracy ZWPP "Era". Zakłady "Era" rozpoczną produkcję MERATRON-u w I kwartale 1973 r.

### Przykłady zastosowań

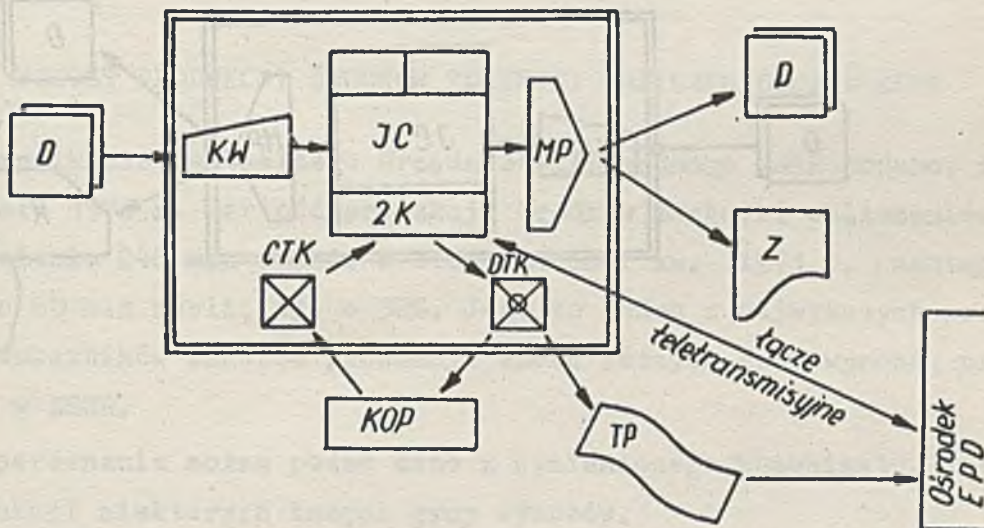
#### 1. Zdecentralizowany zakładowy system informatyczny - MERATRON

Zakres tematyczny: sporządzanie dokumentacji, ewidencja, przetwarzanie, sprawozdawczość, sporządzanie nośników zbiorów informacji dla potrzeb wewnętrznych i na zewnątrz.



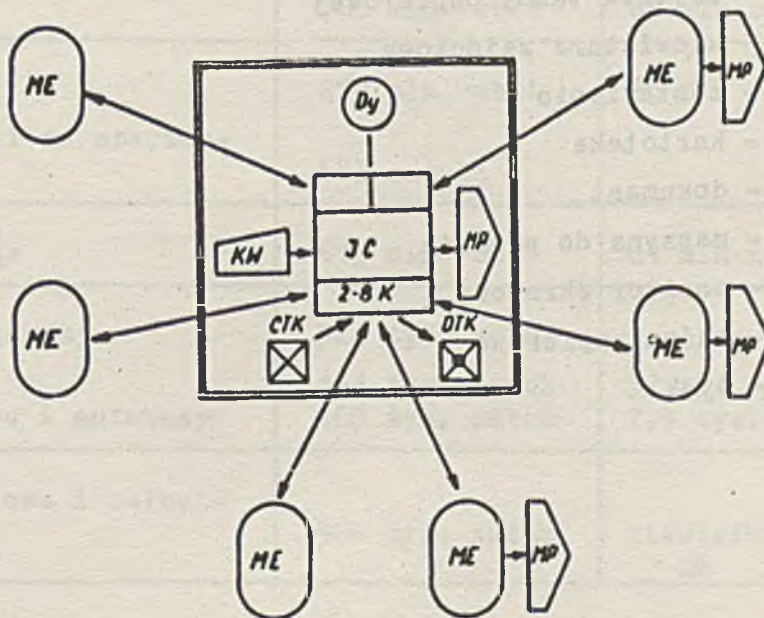
## 2. Stacja przygotowania danych - MERATRON

Zakres tematyczny: sporządzanie dokumentów, uproszczona ewidencja, sporządzanie nośników zbiorów informacji dla zewnętrznych ośrodków EPD.



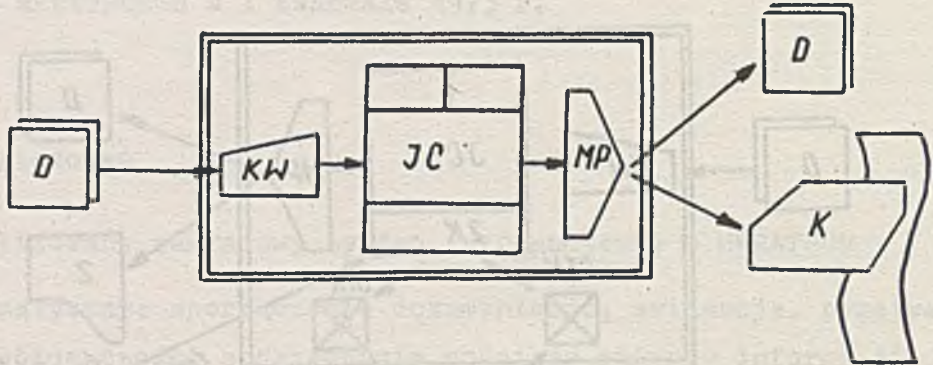
## 3. System bezpośrednich łącz - MERATRON

Zakres tematyczny: obliczenia inżynierskie i naukowe, rezerwacja miejsc itp.



## 4. Zastosowania niesystemowe - MERATRON

Zakres tematyczny: fakturowanie, kosztorysowanie, uproszczona ewidencja itp.



Objaśnienia rysunków:

- JC - jednostka centralna
- DTK - dziurkarka taśmy papierowej i kart obrzeźnie perforowanych
- KOP - karta obrzeźnie perforowana
- CTK - czytnik taśmy papierowej
- KW - klawiatura wejściowa
- Z - zestawienie
- K - kartoteka
- D - dokument
- MP - maszyna do pisania
- ME - monitor ekranowy
- TP - taśma papierowa
- Dy - Dysk

## ZE ŚWIATA

### • WZROST PRODUKCJI ŚRODKÓW TECHNIKI OBLICZENIOWEJ W ZSRR

W komunikacie Centralnego Urzędu Statystycznego ZSRR podano, że w I kwartale 1972 r. wartość produkcji środków techniki obliczeniowej w ZSRR wyniosła 248 mln rubli. W stosunku do I kw. 1971 r. nastąpił wzrost o 60 mln rubli, tj. o 32%. Jest to jeden z najwyższych procentowych wskaźników wzrostu produkcji wśród różnych grup wyrobów przemysłowych w ZSRR.

Dla porównania można podać dane z wymienionego komunikatu, dotyczące produkcji niektórych innych grup wyrobów.

Grupa wyrobów	Produkcja w I kw. 1972 r.	Przyrost w sto- sunku do I kw. 1971 r.
Przyrządy i środki automatyzacji (wraz z częściami zamiennymi)	703 mln rubli	81 mln rubli=13%
Obrabiarki w tym obrabiarki ze sterowaniem liczbowym	279 mln rubli 683 sztuki	25 mln rubli=10% 28%
Maszyny rolnicze	619 mln rubli	61 mln rubli=11%
Samochody i autobusy w tym: osobowe ciężarowe i autobusy	321 tys. sztuk 161 tys. sztuk 160 tys. sztuk	23% 52 tys. szt.=47% 7,4 tys.szt.= 5%
Odbiorniki radiowe i telewizyjne	3566 tys. sztuk	niewielki wzrost < 2%

(dp)

• ANALIZA RYNKU KOMPUTEROWEGO W 4 PRZODUJĄCYCH KRAJACH  
EUROPY ZACHODNIEJ

Analizując przewidywany na 1972 r. rozwój rynku sprzętu komputerowego we Francji, Wielkiej Brytanii, Włoszech i NRF na tle rozwoju rynku urządzeń elektronicznych w tych krajach, można zauważyć co następuje<sup>1</sup>:

- procentowy wzrost zakupów wszystkich urządzeń elektronicznych w każdym z tych krajów, w stosunku do 1971 r., utrzymuje się na średnim zachodnioeuropejskim poziomie wynoszącym 10% (nieznacznie większy we Francji - 11,5%);
- sprzęt komputerowy ma największy udział w rynku urządzeń elektronicznych a równocześnie wykazuje największą dynamikę rozwoju; przewiduje się, że w 1972 r. we Francji nastąpi wzrost zakupów sprzętu komputerowego o 15%, we Włoszech - o 18%, w NRF - o 14%; tylko dla W. Brytanii przewiduje się spadek zakupów o 2,5% w stosunku do 1971 r.;
- z porównania wartości sprzętu komputerowego do wartości elektronicznych wyrobów konsumpcyjnych (II miejsce na rynku urządzeń elektronicznych - poza W. Brytanią) wynika, że w 1972 r. zakupy sprzętu komputerowego będą większe od zakupów domowych urządzeń radio-telewizyjnych we Francji 1,3 raza, we Włoszech dwukrotnie, w NRF 1,2 raza; natomiast w W. Brytanii wartość zakupu domowych urządzeń radio-telewizyjnych będzie przewyższała zakupy sprzętu komputerowego 1,6 raza; łącznie w całej Europie Zachodniej (11 krajów) wartość rynku sprzętu komputerowego znajduje się na poziomie wartości rynku domowych urządzeń radio-telewizyjnych (w 1971 r. 1,05 razy większa, w 1972 r. 1,1 razy większa);
- przewiduje się na 1972 r. następujący wzrost udziału wartości sprzętu komputerowego w krajowych rynkach urządzeń elektronicznych: Francja z 33,8% w 1971 r. do 35,4%; Włochy z 44% w 1971 r. do 47,5%; NRF z 37,3% w 1971 r. do 38,7%; dla Wielkiej Brytanii przewiduje się zmniejszenie w 1972 r. tego udziału z 28% w 1971 r. do 25%;

<sup>1</sup> Szczegółową analizę zawiera tabela 1



- w strukturze przewidywanych zakupów sprzętu komputerowego w 1972 r. na rynkach omawianych 4 krajów dają się zauważyć następujące tendencje<sup>1</sup>:
- największe sumy przewiduje się na zakup jednostek centralnych EMC, a następnie pamięci masowych i urządzeń końcowych (w NRF na trzecim miejscu znajdują się minikomputery);
  - przewiduje się, że udział minikomputerów w wartości rynków sprzętu komputerowego w tych krajach nie przekroczy 5% (poza NRF - 14%); jednakże we wszystkich tych krajach nastąpi w stosunku do 1971 r. wzrost zakupów minikomputerów (we Włoszech o 46%);
  - najmniejszy udział w wartości zakupów sprzętu komputerowego - w granicach 1% - przewiduje się dla urządzeń zapisujących i odczytujących.

(dp i jk)

Electronics, 1971, nr 26, s. 103-106

<sup>1</sup> Szczegółową analizę zawiera tabela 2

Tabela 1. Rozwój rynku urządzeń elektronicznych w czterech krajach Europy Zachodniej (ceny fabryczne podano w milionach dolarów)

	Francja		W. Brytania		Wielka Brytania		1972 r.			
	1971 r.	1972 r.	1971 r.	1972 r.	1971 r.	1972 r.				
Maszyny matematyczne i urządzenia współpracujące, w tym:	528,4	608,6	512,3	500,8	402,5	475,2	118	1106,5	1264,6	114
Elektroniczne maszyny cyfrowe, jednostki centralne (bez minikomputerów)	204,8	235,5	260,0	250,0	152,0	185,0	121,5	431,0	469,8	108,5
Minikomputery (o cenie do 10.000 dolarów)	27,9	31,1	12,0	12,5	12,0	17,5	146	147,9	174,5	118
Pamięci masowe	140,0	161,2	90,0	84,0	111,2	127,0	114	301,8	362,1	120
Urządzenia końcowe	93,3	107,0	78,0	78,0	97,1	110,0	113	93,8	100,3	107
Elektroniczne maszyny analogowe i hybrydowe	27,0	31,1	30,0	30,0	15,8	20,0	126,5	30,0	40,5	135
Urządzenia zapisujące i odczytujące	5,2	5,4	4,3	4,8	1,2	1,2	100	8,9	9,8	110
Konwertery a/c i c/a	7,5	8,3	3,0	3,0	2,4	2,5	104	3,3	3,6	109
Kalkulatory elektroniczne	22,7	29,0	35,0	38,5	10,8	12,0	111	89,8	104,0	116
Domowe urządzenia radiotelewizyjne	441,0	468,6	643,8	788,3	223,8	224,2	100,1	997,4	1070,5	107
Urządzenia telekomunikacyjne	316,5	364,0	448,2	483,2	123,0	131,6	107	379,5	411,3	108
Urządzenia elektroniki przemysłowej	117,4	128,1	155,8	139,1	93,4	99,5	106,5	280,2	306,7	109
Urządzenia pomiarowe	70,0	73,1	59,7	64,2	39,8	43,4	109	90,5	95,9	106
Urządzenia elektroniki medycznej	62,2	67,6	33,6	33,6	28,2	32,0	113	109,2	120,2	110
Ogółem urządzenia elektroniczne	1535,5	1710,2	1833,4	2009,2	910,7	1005,9	110	2963,3	3269,2	110

Tabela 2, Przewidywana struktura zakupów sprzętu komputerowego w czterech krajach Europy Zachodniej w 1972 r.

Grupy sprzętu komputerowego	Procentowy udział poszczególnych grup sprzętu komputerowego			
	Francja	W. Brytania	Włochy	NRF
EMC, jednostki centralne (bez minikomputerów)	39%	50%	39%	37%
Minikomputery (o cenie do 10 tys. dol.)	5%	2,5%	3,7%	14%
Pamięci masowe	27%	17%	27%	29%
Urządzenia końcowe	17%	15%	23%	8%
Elektroniczne maszyny analogowe i hybrydowe	5%	6%	4%	3%
Urządzenia zapisujące i odczytujące	1%	1%	0,3%	0,8%
Konwertery a/c i c/a	1%	0,5%	0,5%	0,2%
Kalkulatory elektroniczne	5%	8%	2,5%	8%
Wartość zakupów całego sprzętu komputerowego w 1972 r.	100%	100%	100%	100%

● ANALIZA RYNKU SPRZĘTU KOMPUTEROWEGO W USA

Z analizy przewidywanego do 1975 r. rozwoju rynku sprzętu komputerowego w USA na tle rozwoju rynku urządzeń elektronicznych w tym kraju wynikają następujące wnioski:

- 1) rynek sprzętu komputerowego wykazuje na tle innych urządzeń elektronicznych (tabela 1) największą dynamikę wzrostu. Przewiduje się, że w 1975 r. nastąpi wzrost zakupów sprzętu komputerowego w stosunku do 1970 r. o 77%, podczas gdy wzrost zakupów wszystkich urządzeń elektronicznych wyniesie 37%;
- 2) przewiduje się, że udział wartości sprzętu komputerowego w całym rynku urządzeń elektronicznych zwiększy się z 24,9% w 1970 r. do 32,2% w 1975 r.;
- 3) wartość rynku sprzętu komputerowego była w 1970 r. około 1,8 razy większa od wartości rynku urządzeń elektronicznych masowego użytku; w 1975 r. stosunek ten zwiększy się do około 2,3;
- 4) w strukturze przewidywanych na 1975 r. zakupów sprzętu komputerowego obejmującego komputery i urządzenia zewnętrzne (tabele 2A i 2B) widać następujące tendencje:
  - udział komputerów w wartości rynku sprzętu komputerowego zmniejszy się z 74% w 1970 r. do 69% w 1975 r., natomiast udział urządzeń zewnętrznych wzrośnie odpowiednio z 26% do 31%;
  - przewiduje się ok. 3,5-krotny wzrost wartości rynku minikomputerów w stosunku do 1970 r. Zakupy minikomputerów wykazują największą tendencję wzrostu na rynku komputerowym. Udział ich w wartości rynku całego sprzętu komputerowego zwiększy się z ok. 4% w 1970 r. do ok. 8% w 1975 r.;
  - wartość zakupów elektronicznych maszyn analogowych i hybrydowych w 1975 r. zwiększy się nieznacznie w stosunku do 1970 r. (ok. 3%). Zmniejszy się o ok. 30% rynek komputerów analogowych przeznaczonych do sterowania procesami przemysłowymi;
  - na rynku urządzeń zewnętrznych największe sumy przypadają na urządzenia pamięciowe, w szczególności na pamięci dyskowe, a następnie taśmowe szpulowe. W dziedzinie urządzeń do przygotowania danych największą dynamikę wzrostu zakupów przewiduje się dla urządzeń końcowych do zbierania danych źródłowych w punkcie sprzedaży: oczekuje się w 1975 r. 44-krotnego wzrostu w stosun-

ku do 1970 r. Rynek rejestratorów na taśmie magnetycznej pozostanie praktycznie na tym samym poziomie (niewielka tendencja zniżkowa), natomiast 3,5-krotnie ma wzrosnąć rynek rejestratorów na dyskach magnetycznych, a 3,7-krotnie - rynek urządzeń do optycznego rozpoznawania znaków. W dziedzinie urządzeń wyjściowych przewiduje się prawie 3-krotny wzrost zakupów drukarek bezuderzeniowych oraz urządzeń mikrofilmowych;

- 5) z analizy przewidywanego do 1975 r. rozwoju rynku niektórych elementów urządzeń elektronicznych w USA (tabela 3) wynikają następujące wnioski: 9-krotny wzrost zakupów w stosunku do 1970 r. przewiduje się dla scalonych układów cyfrowych bipolarnych o dużej integracji i ponad 4-krotny - dla scalonych układów cyfrowych typu MOS. Przewiduje się, że udział wartości zakupów scalonych układów cyfrowych bipolarnych o dużej skali integracji w całym rynku elementów urządzeń elektronicznych zwiększy się z ok. 1% w 1970 r. do ok. 10% w 1975 r.

(jk)

Electronics, 1972, nr 1, s. 53-80

Tabela 1. Rozwój rynku urządzeń elektronicznych w USA w latach 1970-75  
(ceny fabryczne podano w milionach dolarów)

	1970 r.	1971 r.	1972 r.	1975 r.	% $\frac{1975}{1970}$
Ogółem urządzenia elektroniczne w tym	25186,6	24964,2	27452,5	34553,0	137
Urządzenia elektroniczne dla użytku służb państwowych (obrona, badanie przestrzeni kosmicznej, transport, służba zdrowia, szkolnictwo)	11771,0	11174,0	11644,0	13401,0	114
Urządzenia elektroniczne masowego użytku (radiotelewizyjne, instrumenty muzyczne itp.)	3529,3	3885,1	4094,0	4751,0	134,5
Urządzenia elektroniki przemysłowej, pomiarowej, medycznej i urządzenia telekomunikacyjne	3603,9	3636,3	4034,8	5265,9	146
Sprzęt komputerowy	6282,4	6268,8	7679,7	11136,0	177

Tabela 2A. Struktura rynku sprzętu komputerowego w USA w latach 1970-1975 (ceny fabryczne w milionach dolarów) - komputery

	1970 r.	1971 r.	1972 r.	1975 r.	% $\frac{1975}{1970}$
Komputery w tym:	4657,8	4611,2	5632,7	7681	164,9
- Elektroniczne maszyny cyfrowe uniwersalne w tym:	<u>4174,0</u>	<u>4172,0</u>	<u>5080,0</u>	<u>6770</u>	162,2
• mini (< \$50.000)	250,0	280,0	365,0	860	344,0
• małe (\$50.000-\$200.000)	495,0	510,0	565,0	780	157,5
• średnie (\$200.000-\$750.000)	1114,0	1102,0	1310,0	1500	134,6
• duże (\$750.000-\$1.500.000)	1435,0	1390,0	1650,0	1950	135,8
• olbrzymie (> \$1.500.000)	880,0	890,0	1190,0	1680	191,1
- Elektroniczne maszyny analogowe i hybrydowe	<u>53,5</u>	<u>50,3</u>	<u>51,7</u>	<u>55</u>	102,8
- Kalkulatory w tym:	<u>119,2</u>	<u>131,1</u>	<u>218,2</u>	<u>491</u>	411,9
• typowe (biurkowe)	51,2	52,5	61,0	111	216,8
• programowalne	60,1	69,5	108,0	210	349,4
• przenośne	7,9	10,1	49,2	170	2152
- Komputery specjalizowane (do sterowania procesami przemysłowymi) w tym:	<u>311,1</u>	<u>257,8</u>	<u>282,8</u>	<u>365</u>	117,3
• cyfrowe	233,7	206,0	228,5	310	132,8
• analogowe	77,4	50,8	54,3	55	71,0

Tabela 2B. Struktura rynku sprzętu komputerowego w USA w latach 1970-1975 (ceny fabryczne w milionach dolarów) - Urządzenia zewnętrzne

	1970 r.	1971 r.	1972 r.	1975 r.	% $\frac{1975}{1970}$
<b>B. Urządzenia zewnętrzne</b> w tym:	1624,6	1657,6	2047,0	345,5	212,6
- Urządzenia do przygotowania i wprowadzania danych w tym:	<u>420,0</u>	<u>428,5</u>	<u>467,0</u>	<u>593</u>	141,0
• dziurkarki kart	80,5	78,5	76,5	52	64,6
• rejestratory na taśmie magnetycznej	120,8	105,4	107,1	115	95,2
• rejestratory na dysku magnetycznym	22,7	36,8	48,4	78	343,6
• urządzenia do optycznego rozpoznawania znaków	56,0	70,6	92,0	210	375,0
- Urządzenia końcowe do zbierania danych źródłowych, w tym:	<u>8,5</u>	<u>14,5</u>	<u>56,8</u>	<u>215</u>	252,9
• w punkcie sprzedaży	4,4	9,8	51,5	195	4431,8
• inne	4,1	4,7	5,3	20	487,8
- Urządzenia pamięciowe, w tym:	<u>975,8</u>	<u>984,4</u>	<u>1223,1</u>	<u>2259</u>	231,5
• taśmowe kasetowe cyfrowe	10,5	19,4	35,0	74	704,7
• taśmowe szpulowe	290,0	376,5	450,0	440	151,7
• dyskowe	619,4	530,0	665,0	1150	185,6
• bębnowe	25,4	22,5	28,1	40	157,5
• pozostałe (rdzeniowe i półprzewodnikowe)	30,5	36,5	45,0	115	376,7
- Urządzenia wyjściowe, w tym:	<u>125,6</u>	<u>125,5</u>	<u>159,5</u>	<u>225</u>	179,1
• drukarki wierszowe uderzeniowe	35,5	33,0	40,0	50	140,8
• drukarki bezuderzeniowe	12,5	17,0	28,0	35	280,0
• pisaki	58,5	50,7	64,0	90	153,8
• mikrofilmowe urządzenia wyjściowe	19,1	24,8	27,5	50	261,7
- Urządzenia końcowe alfanumeryczne, w tym:	<u>234,7</u>	<u>241,9</u>	<u>277,6</u>	<u>301</u>	128,2
• dalekopisowe	190,0	186,5	211,0	200	105,2
• wideograficzne	44,7	55,4	66,6	101	225,9



Tabela 3. Rozwój rynku elementów urządzeń elektronicznych w USA w latach 1970-1975 (ceny fabryczne w milionach dolarów)

	1970 r.	1971 r.	1972 r.	1975 r.	% $\frac{1975}{1970}$
Elementy urządzeń elektronicznych, w tym:	5338,1	5334,6	5639,5	6490	121,4
rdzenie magnetyczne do pamięci komputerowych	24,9	31,8	41,3	40	160,6
Układy scalone, w tym:	432,2	450,1	512,3	746	172,6
- cyfrowe bipolarne, w tym:	<u>292,0</u>	<u>267,0</u>	<u>289,0</u>	<u>330</u>	113,0
• o małej skali integracji (< 12 bramek)	243,3	207,0	218,0	197	80,9
• o średniej skali integracji (12-100 bramek)	41,8	48,0	56,0	70	167,4
• o dużej skali integracji (> 100 bramek)	6,9	12,0	15,0	63	913,0
- cyfrowe typu MOS	<u>61,1</u>	<u>101,0</u>	<u>130,0</u>	<u>260</u>	425,5
- liniowe	<u>79,1</u>	<u>82,1</u>	<u>93,3</u>	<u>156</u>	197,2

● KOMUTACJA DANYCH I DŹWIĘKU REALIZOWANA PRZEZ IBM

IBM jest w szerokim znaczeniu tego słowa producentem sprzętu informatycznego; poza komputerami oferuje sprzęt biurowy i reprograficzny oraz urządzenia telekomunikacyjne.

Ostatnio we francuskiej filii IBM (La Gaude) zaprojektowano centralę abonencką o nazwie "System 3750", przeznaczoną do transmisji danych i dźwięku w sieci 2264 numerów wewnętrznych oraz w sieci publicznej za pośrednictwem przyłączonych 194 linii międzymiastowych.

Centrala może być eksploatowana jako wydzielona jednostka lub może wchodzić w skład złożonych systemów komutacyjnych sterowanych komputerem; posiada zdolność zbierania danych i wyznaczania marszrut przy współpracy z telefonami klawiszowo-tonowymi.

System 3750 może być zastosowany do kontroli styków elektrycznych i czujników w sterowaniu procesami.

Podstawowy układ systemu obejmuje jednostkę sterującą, sieć, zespoły liniowe, od 2 do 18 pulpity operacyjnych oraz drukarkę przełącznikowo-tablicową.

Jednostka sterująca posiada dupleksowe układy sterowania, z których każdy ma pamięć o 32, 48 lub 64 tysiącach 16-bitowych słów, wspieraną przez pamięć dyskową o pojemności 5 mln słów.

Połączenia wewnętrzne realizuje jednostka sieciowa, natomiast łączność z siecią publiczną - wydzielony zespół liniowy.

Drukarka używana jest do aktualizacji zmagazynowanego programu łączeniowego oraz drukuje potrzebne informacje i dane statystyczne.

Dupleksowe układy sterujące realizując zmagazynowany program kontrolny analizują stan urządzeń, cechują drogi połączeniowe, rozdzielają sygnały, określają marszruty dźwięku i danych przez ponad 25 tysięcy stałych punktów komutacyjnych.

W wypadku uszkodzenia zespołu sterującego następuje automatyczne przełączenie na zespół rezerwowy.

Zespół diagnostyczny, wcielony do zmagazynowanego programu, wykrywa i sygnalizuje błędy działania urządzeń.

System "3750" automatycznie taryfikuje oraz - stosownie do analizowanego ruchu - steruje efektywnie połączeniami.

Jako integralna część systemu informatycznego, system ten może być użyty do zbierania i identyfikacji każdej informacji wejściowej, gromadzenia danych w pamięci dyskowej i przenoszenia ich do komputera.

Zgodnie z wymaganiami użytkowników, system jest wstępnie programowany przez IBM w czasie montażu. Jest godne uwagi to, że tylko zasadnicze zmiany cech systemu wymagają przygotowania nowego programu sterującego.

System 3750, aktualnie jeszcze nie wprowadzony w USA, oferowany jest na rynkach Anglii, Francji, NRF, Belgii, Włoch i Hiszpanii.

Koszt systemu - w granicach od 100 tys. do 700 tys. funtów.

(mr)

Computer Weekly, 1972, March 16

## WYDAWNICTWA IMM

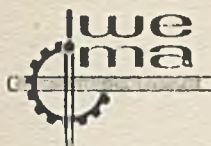
Branżowy Ośrodek Informacji Naukowo-Technicznej i Ekonomicznej Instytutu Maszyn Matematycznych wydaje:

**ALGORYTMY** - półrocznik; zawiera artykuły na temat teorii programowania i zastosowania elektronicznych maszyn cyfrowych. Do nabycia w księgarni ORWN PAN oraz w Domach Książki. Cena zeszytu 40,- zł.

**PRACE IMM** - 3 numery w roku, zawierają publikacje naukowe i badawcze pracowników IMM w zakresie projektowania i budowy elektronicznych maszyn cyfrowych oraz systemów przetwarzania informacji. Do nabycia w księgarni ORWN PAN oraz w Domach Książki. Cena zeszytu 60,- zł.

**Elektroniczna Technika Obliczeniowa - NOWOŚCI** - kwartalnik, zawiera artykuły przeglądowe z dziedziny maszyn matematycznych, opracowane na podstawie najnowszej literatury światowej. Prenumeratę prowadzi Centrala Kolportażu Prasy i Wydawnictw "RUCH". Cena prenumeraty krajowej 240,- zł rocznie.

**Automatyzacja Przetwarzania Informacji - INFORMACJA EKSPRESOWA** - miesięcznik. Prenumeratę prowadzi Centrala Kolportażu Prasy i Wydawnictw "RUCH". Cena prenumeraty krajowej 240,- zł rocznie.



WYDAWNICTWA PRZEMYSŁU MASZYNOWEGO "WEMA"  
oferują usługi wydawnicze

Od 5 lat działa w Warszawie specjalne wydawnictwo resortowe powołane do świadczenia usług wydawniczych na rzecz jednostek organizacyjnych resortu przemysłu maszynowego.

Do szczególnych zadań Wydawnictw Przemysłu Maszynowego "WEMA" należą:

- prowadzenie działalności wydawniczej zgodnie z potrzebami resortu,
- koordynacja działalności wydawniczej w jednostkach organizacyjnych resortu,
- koordynacja i nadzór nad prawidłowym wykorzystaniem maszyn i urządzeń poligraficznych,
- prowadzenie własnego ośrodka poligraficznego,
- prowadzenie ośrodka informacji wydawniczej.

Od ubiegłego roku Wydawnictwo znacznie rozszerzyło zakres usług i obecnie wydaje:

- katalogi branżowe i karty katalogowe

oraz na zlecenie przedsiębiorstw przemysłowych różnego rodzaju literaturę firmową, jak:

- katalogi zakładowe,
- katalogi części wymiennych,
- informatory techniczno-handlowe,
- dokumentacje techniczno-ruchowe, instrukcje obsługi i instrukcje naprawcze,
- dokumentacje techniczne kapitalnych remontów,
- wydawnictwa reklamowe, jak prospekty, foldery, ulotki itp.

Katalogi branżowe wydaje się w porozumieniu i we współpracy z właściwymi gestyjnie zjednoczeniami.

Sprzedażą katalogów WPM "WEMA" zajmują się następujące księgarnie:  
Księgarnie "WSPÓLNEJ SPRAWY":

Warszawa, ul. Marszałkowska 28, tel. 21-66-60

Warszawa, ul. Marchlewskiego 35, tel. 20-49-69

"DOM KSIĄŻKI":

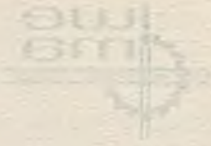
Główna Księgarnia Techniczna, Warszawa, ul. Świętokrzyska 14,  
tel. 26-63-38.

Księgarnie te prowadzą sprzedaż odręczną i wysyłkową.

Literaturę firmową WPM "WEMA" wykonują na konkretne zamówienie przedsiębiorstw przemysłowych.

WPM "WEMA" znacznie skróciły cykle wydawnicze i zapewniają obecnie terminową realizację zamówień.

Wszelkich informacji na temat warunków przyjmowania i realizacji zamówień wydawniczych udziela Sekretariat Wydawnictwa, Warszawa, ul. Daniłowiczowska 18, pokój nr 7, tel. 27-49-47, skr. poczt. 90.



### Warunki prenumeraty

Cena prenumeraty krajowej:

rocznie - zł 240,-

Prenumerata przyjmowana jest do dnia 10 grudnia na rok następnny.

Prenumeratę krajową dla czytelników indywidualnych przyjmują urzędy pocztowe oraz listonosze.

Czytelnicy indywidualni mogą dokonywać wpłat również na konto PKO Nr 1-6-100020 - Centrala Kolportażu Prasy i Wydawnictw "Ruch" Warszawa, ul. Wronia 23.

Wszystkie instytucje państwowe i społeczne mogą zamawiać prenumeratę wyłącznie za pośrednictwem Oddziałów i Delegatur "Ruch".

Prenumeratę ze zleceniem wysyłki za granicę, która jest o 40% droższa od krajowej, przyjmuje Biuro Kolportażu Wydawnictw Zagranicznych "Ruch" Warszawa, ul. Wronia 23 konto PKO Nr 1-6-100024 tel. 20-46-88.