

Bolesław POCHOPIEŃ

Instytut Informatyki Czasu Rzeczywistego
Politechniki Śląskiej

SYNTEZA LICZNIKÓW ASYNCHRONICZNO-SYNCHRONICZNYCH

Streszczenie. W pracy przedstawiono metodę syntezy liczników asynchroniczno-synchronicznych realizowanych z zastosowaniem przerzutników synchronicznych. Metodę zilustrowano licznymi przykładami. Proponowane w pracy postępowanie pozwala stosunkowo łatwo uzyskać realizacje liczników asynchroniczno-synchronicznych nie bardziej złożone od ich odpowiedników synchronicznych lub asynchronicznych.

1. LICZNIKI

Licznikiem nazywa się sekwencyjny układ cyfrowy, który pod wpływem impulsów wprowadzanych na wejście licznikowe generuje na swoich wyjściach zadaną sekwencję różnych stanów. Stan wyjść licznika określa jednoznacznie ilość impulsów wprowadzonych na wejście licznikowe o ile ich numeracja rozpoczyna się od impulsu wprowadzonego do licznika będącego w wyróżnionym stanie (uważanym za stan początkowy), a ilość tych impulsów nie przekracza pojemności licznika.

Pojemność P (okres, długość cyklu) licznika odpowiada liczbie zadanych stanów wyjść, które są generowane cyklicznie. Licznik o pojemności P określany jest jako licznik zliczający impulsy od 0 do $P-1$ (licznik modulo P).

Liczbę elementów pamięci (przerzutników) potrzebnych do realizacji licznika modulo P określa zależność:

$$P \leq 2^N,$$

gdzie N - liczba przerzutników.

W zależności od sposobu pracy wśród liczników wyróżnia się zasadniczo:

- liczniki synchroniczne,
- liczniki asynchroniczne.

W licznikach synchronicznych zmiany kolejnych stanów wyjść następują prawie równocześnie w chwilach określanych zmianami na wejściu licznikowym. Przy realizacji tych liczników z wykorzystaniem przerzutników synchronicznych wejście licznikowe stanowią zwarte wszystkie wejścia taktu-

jące (zegarowe) C. Zwieranie wejść taktujących powoduje silne obciążanie, a tym samym ogranicza dopuszczalną liczbę stopni.

W licznikach asynchronicznych zmiany kolejnych stanów wyjść następują niesynchronicznie z sygnałem wejściowym. W typowym liczniku asynchronicznym przerzutniki połączone są ze sobą szeregowo w ten sposób, że wyjście każdego z nich jest połączone z wejściem taktującym następnego. W ten sposób ostatni przerzutnik (ostatni stopień) zmienia swój stan po czasie będącym sumą czasów propagacji wszystkich poprzednich. Mimo tych wad liczniki asynchroniczne są często stosowane w układach automatyki, gdyż szybkość działania nie jest zazwyczaj istotnym ograniczeniem; okresy przejściowe można zlikwidować dodatkowym brankowaniem (przy dekodowaniu stanów), natomiast ważną zaletą jest ich prosta budowa [8]. Projektowanie liczników asynchronicznych wymaga zwrócenia uwagi na zjawisko hazardu.

Często stosuje się rozwiązania pośrednie, tzn. łączy się ze sobą szeregowo liczniki synchroniczne (liczniki asynchroniczno-synchroniczne).

2. SYNTEZA LICZNIKÓW

Znane są metody syntezy i analizy [1,2,3,4,5,6,7,8,9]

- liczników synchronicznych,
- liczników asynchronicznych,
- liczników asynchroniczno-synchronicznych, realizowanych przez szeregowo połączenie liczników synchronicznych.

Spotykane w literaturze dosyć często proste rozwiązania układowe liczników asynchroniczno-synchronicznych (rzadko odpowiadające strukturze ostatnio wymienionej) skłoniły autora do podjęcia próby opracowania sposobu syntezy takich liczników. Poszukiwanie takim metody może być uzasadnione m.in. optymalizację układową struktur scalonych.

3. SPOSÓB SYNTEZY LICZNIKÓW ASYNCHRONICZNO-SYNCHRONICZNYCH

Zakłada się, że do realizacji tych liczników mogą być zastosowane przerzutniki synchroniczne JK, T(J=K), D:

- jednostopniowe (wyzwalane zboczem dodatnim $C = 0 \rightarrow 1$ lub zboczem ujemnym $C = 1 \rightarrow 0$),
- dwustopniowe (Master-Slave).

Tablicę wzbudzeń dla tych przerzutników podano na rys. 1.

3.1. Sformułowanie problemu

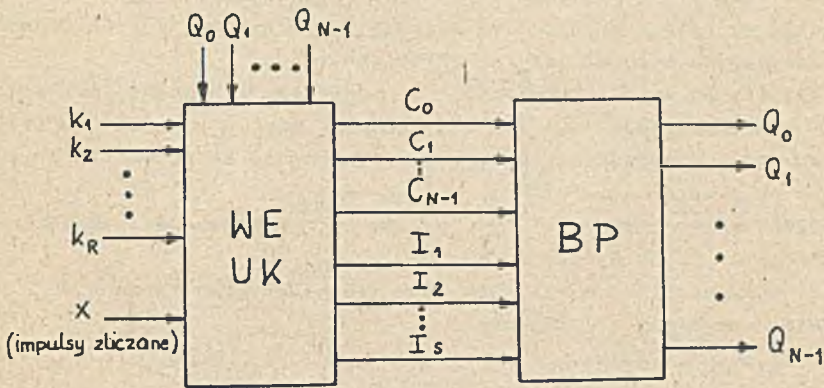
W celu zaprojektowania licznika modulo P o wyjściach Q_0, Q_1, \dots, Q_{N-1} (wyjścia przerzutników), który przy wprowadzaniu impulsów na wejście

licznikowe przechodzi cyklicznie przez P wyróżnionych stanów Q^i gdzie $Q^i = (Q_0^i, Q_1^i, \dots, Q_j^i, \dots, Q_{N-1}^i)$ dla $i = 0, 1, \dots, P-1$ należy dla każdego z przerzutników określić funkcje wzbudzeń dla:

- wejść taktujących C_j
 - wejść informacyjnych (J_j, K_j, T_j lub D_j),
- pozwalające zrealizować zadane sekwencje.

Q^t	Q^{t+1}	T^t	J^t	K^t	D^t
0	0	0	0	0	0
0	1	1	1	0	1
1	0	1	0	1	0
1	1	0	0	0	1

Rys. 1. Tablica wzbudzeń przerzutników synchronicznych



Rys. 2. Schemat blokowy licznika
WEUK - wejściowy układ kombinacyjny, BP - blok pamięci

Schemat blokowy projektowanego licznika przedstawiono na rys. 2. W przypadku ogólnym funkcje wzbudzeń przerzutników mają postać:

$$C = C(x, k_1, \dots, k_R, Q_0, \dots, Q_{N-1})$$

$$I = I(x, k_1, \dots, k_R, Q_0, \dots, Q_{N-1})$$

gdzie:

- x - sygnał wejściowy (impulsy zliczane),
- k - sygnały zewnętrzne (np. pojemność licznika, kierunek zliczania),

- C - sygnały wejść taktujących przerzutników,
 I - sygnały wejść informacyjnych przerzutników.

3.2. Zmiana stanu wyjść przerzutników synchronicznych

Zmiana stanu wyjścia Q przerzutnika następuje zgodnie z tablicą wzbudzeń (rys. 1) odpowiednio w chwilach zmiany stanu sygnału taktującego C

- C = 0 → 1 - dla przerzutników wyzwalanych dodatnim zboczem,
 C = 1 → 0 - dla przerzutników wyzwalanych ujemnym zboczem lub przerzutników Master-Slave.

Na rysunku 3 zestawiono przebiegi czasowe sygnałów C, T oraz D wymagane dla prawidłowej realizacji przejść $Q = 0 \rightarrow 1$ lub $Q = 1 \rightarrow 0$ przerzutników jedno- i dwustopniowego wyzwalania.

3.3. Opis sposobu określania funkcji wzbudzeń

Funkcje wzbudzeń C_j oraz I_j określić można na podstawie znajomości kolejnych sekwencji stanów wyjścia Q_j w sposób następujący:

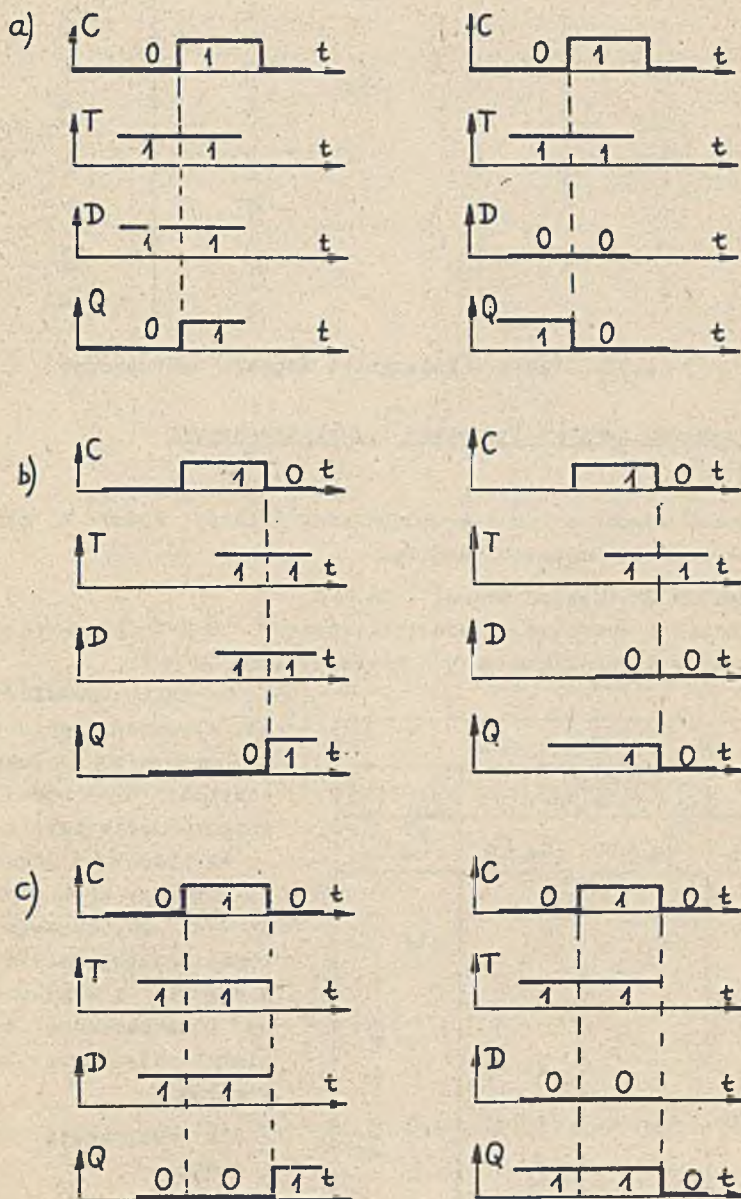
- 1) wypisać kolejne sekwencje stanów wyjść w kolumnach,
- 2) określić wyjście o największej liczbie zmian stanów i zrealizować odpowiadający mu stopień jako synchroniczny,
- 3) dla wszystkich wejść taktujących C_j określić ich stan, jaki powinien być w chwilach zmiany wyjścia ($Q = 0 \rightarrow 1$ lub $Q = 1 \rightarrow 0$) w zależności od sposobu wyzwalania przerzutnika, zgodnie ze schematem przedstawionym na rys. 4,
- 4) określić wprost z tablicy (rys. 4) lub po przejściu na siatki Karnaugh'a wyrażenia na $C_j = C_j(k_1, \dots, k_R, Q_0, \dots, Q_{N-1})$,
- 5) wpisać kolejne stany w kolumnie C_j dla wszystkich sekwencji cyklu zgodnie z uzyskaną zależnością:

$$C_j = C_j(k_1, \dots, k_R, Q_0, \dots, Q_{N-1})$$

- 6) w oparciu o tablicę wzbudzeń, wykresy przedstawione na rys. 3 oraz znajomość przebiegu C_j uzupełnić odpowiednie stany w kolumnie I_j , a następnie określić funkcje:

$$I_j = I_j(k_1, \dots, k_R, Q_0, \dots, Q_{N-1})$$

Należy zwrócić uwagę na fakt, że w przypadku wystąpienia na wyjściu Q_j w kolejnych chwilach wyznaczanych przez sygnał zliczany przynajmniej jednej zmiany typu $Q_j = 0 \rightarrow 1 \rightarrow 0$ lub $Q_j = 1 \rightarrow 0 \rightarrow 1$, funkcje wzbudzeń wejść informacyjnych I_j można określić tylko jak dla licznika synchronicznego w odniesieniu do sygnału zliczanego.



Rys. 3. Realizacja przejść $Q = 0 \rightarrow 1$ i $Q = 1 \rightarrow 0$ dla przerzutników synchronicznych

a) wyzwalanych dodatnim zboczem, b) wyzwalanych ujemnym zboczem, c) Master-Slave

a)	... Q_j C_j ...	b)	... Q_j C_j ...
	\vdots	\vdots		\vdots	\vdots
	0	0		0	1
	1	1		1	0
	\vdots	\vdots		\vdots	\vdots
	1	0		1	1
	0	1		0	0
	\vdots	\vdots		\vdots	\vdots

Rys. 4. Tablica zależności sygnału taktującego

3.4. Przykłady syntezy liczników jednokierunkowych

Przykład 1

Zrealizować asynchronicznie-synchroniczny licznik modulo 6, zliczający impulsy w kodzie 421 z zastosowaniem:

- przerzutników JK (Master-Slave) - JK M-S,
- przerzutników D wyzwalanych dodatnim zboczem - D E-T (Edge-Triggered),
- przerzutników D zrealizowanych z przerzutników JK M-S.

Kod zliczania	Przerzutnik					
	JK M-S		D E-T		D M-S	
$Q_2 Q_1 Q_0$	C_2	C_1	C_2	C_1	C_2	C_1
0 0 0	0		1		0	
0 0 1		1		0		1
0 1 0		0		1		0
0 1 1	1	1		0	0	1 1
1 0 0		0		1	1	0 0
1 0 1	1			0		1

Rys. 5. I krok syntezy licznika modulo 6

$$C_2 = C_1 = Q_0$$

- dla realizacji D E-T

$$C_2 = C_1 = \bar{Q}_0$$

W celu określenia funkcji wzbudzeń przerzutników JK wygodnie posłużyć się siatkami Karnaugh funkcji wzbudzeń przerzutnika T [9].

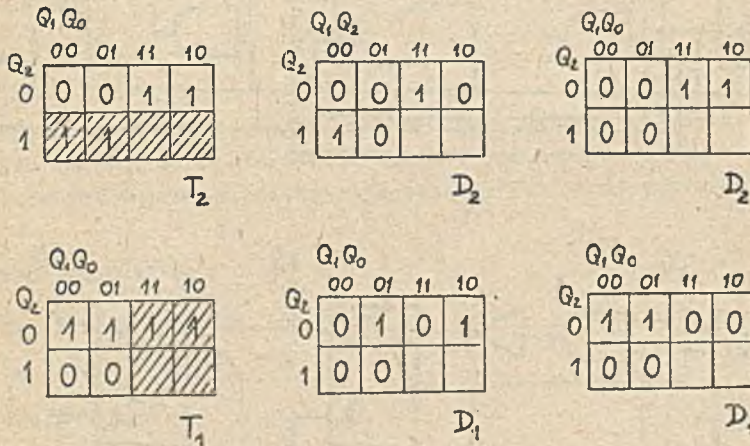
Na rysunku 5 przedstawiono pierwszy krok syntezy licznika asynchronicznie-synchronicznego modulo 6. Bezpośrednio z uzyskanej tablicy (bez potrzeby tworzenia siatki Karnaugh) łatwo określić:

- dla realizacji JK M-S i D M-S.

Uzyskane zależności pozwalają uzupełnić kolumnę C_j , a następnie utworzyć kolumny T_j oraz D_j w oparciu o znajomość C_j oraz Q_j (drugi krok syntezy - rys. 6).

Kod zliczania	Przerzutnik							
	JK		M-S		D E-T		D M-S	
$Q_2 Q_1 Q_0$	$C_2=C_1$	$T_2 T_1$	$C_2=C_1$	$D_2 D_1$	$C_2=C_1$	$D_2 D_1$	$C_2=C_1$	$D_2 D_1$
0 0 0	0	0 1	1	0 0	0	0 1		
0 0 1	1	0 1	0	0 1	1	0 1		
0 1 0	0	1 1	1	0 1	0	1 0		
0 1 1	1	1 1	0	1 0	1	1 0		
1 0 0	0	1 0	1	1 0	0	0 0		
1 0 1	1	1 0	0	0 0	1	0 0		

Rys. 6. II krok syntezy licznika modulo 6

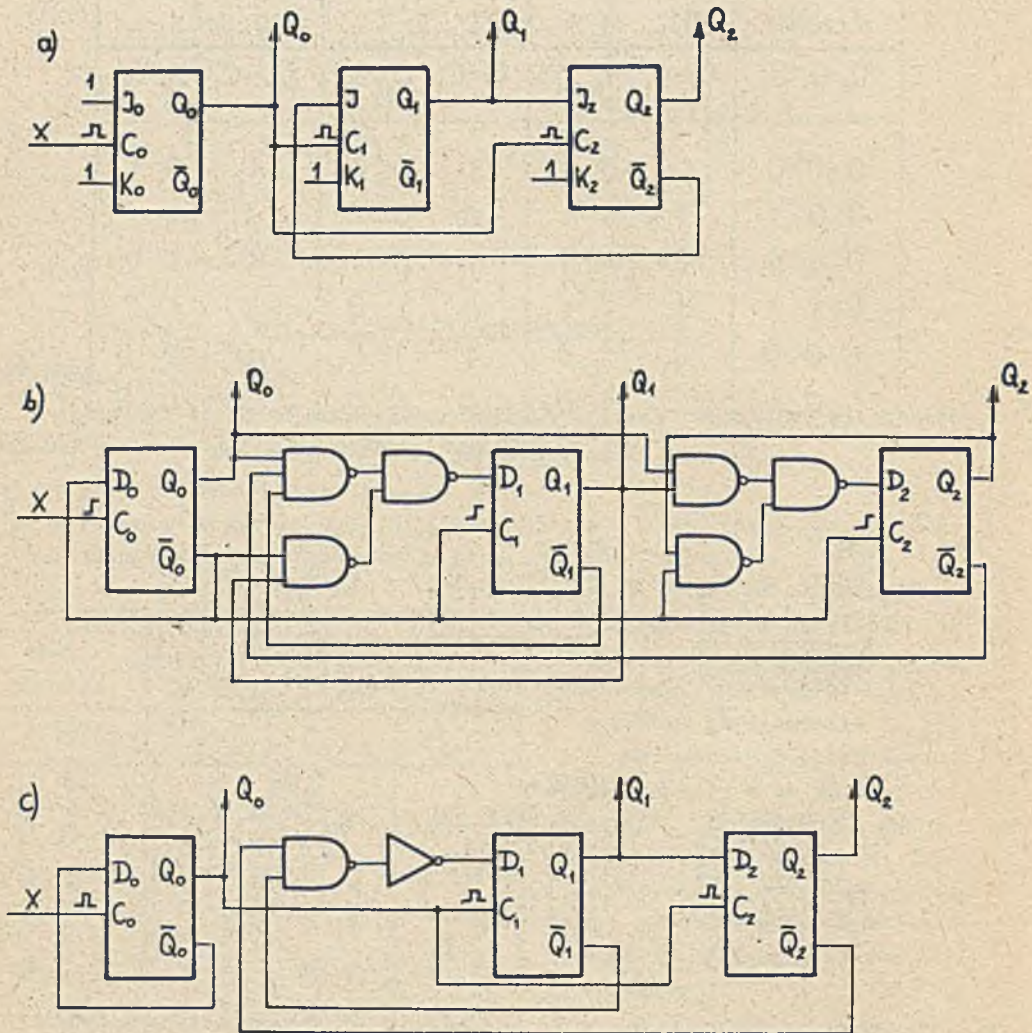


Rys. 7. Siatki Karnaughe dla wejść informacyjnych przerzutników w liczniku modulo 6

Z siatek Karnaughe (rys. 7) uzyskanych z tablic zależności (rys. 6) otrzymuje się

- dla realizacji JK M-S

$$\begin{aligned}
 J_2 &= Q_1 & J_1 &= \bar{Q}_2 \\
 K_2 &= 1 & K_1 &= 1
 \end{aligned}$$



Rys. 8. Schematy logiczne asynchroniczno-synchronicznego licznika modulo 6 z zastosowaniem przerzutników
 a) JK M-S, b) D E-T, c) D M-S

- dla realizacji D E-T

$$D_2 = Q_1 Q_0 + Q_2 \bar{Q}_0 \quad D_1 = \bar{Q}_2 \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0$$

- dla realizacji D M-S

$$D_2 = Q_1 \quad D_1 = \bar{Q}_2 \bar{Q}_1$$

Dla tego przypadku oczywiście:

$$C_0 = x \quad J_0 = K_0 = 1 \quad D_0 = \bar{Q}_0$$

Schematy logiczne uzyskanych realizacji licznika modulo 6 przedstawiono na rys. 8.

W przypadku realizacji synchronicznej uzyskuje się odpowiednio:

- dla realizacji JK

$$\begin{aligned} J_2 &= Q_1 Q_0 & J_1 &= \bar{Q}_2 Q_0 & J_0 &= 1 \\ K_2 &= Q_0 & K_1 &= Q_0 & K_0 &= 1 \\ C_2 &= C_1 = C_0 = x \end{aligned}$$

- dla realizacji D

$$\begin{aligned} D_2 &= Q_2 \bar{Q}_0 + Q_1 Q_0 & D_1 &= \bar{Q}_2 \bar{Q}_1 Q_0 + Q_1 Q_0 \\ D_0 &= \bar{Q}_0 & C_2 &= C_1 = C_0 = x \end{aligned}$$

Przykład 2

Zrealizować asynchroniczno-synchroniczną dekadę (licznik modulo 10) dodającą impulsy w kodzie 8421 z zastosowaniem przerzutników JK M-S.

Postępując w sposób analogiczny jak w przykładzie poprzednim, uzyskuje się:

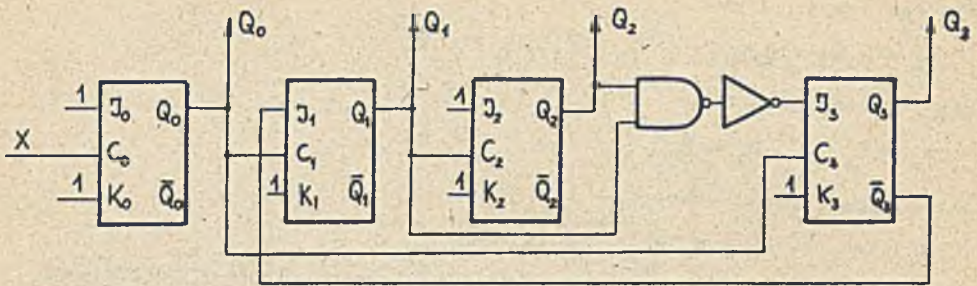
- po pierwszym kroku:

$$\begin{aligned} C_0 &= x & C_3 &= C_1 = Q_0 \\ C_2 &= Q_0 \quad \text{lub} & C_2 &= Q_1 \end{aligned}$$

- po drugim kroku:

$$\begin{aligned} J_3 &= Q_2 Q_1 & K_3 &= 1 \\ J_1 &= \bar{Q}_3 & K_1 &= 1 \\ J_2 &= K_2 = Q_1 & \text{dla} & C_2 = Q_0 \\ J_2 &= K_2 = 1 & \text{dla} & C_2 = Q_1 \\ J_0 &= K_0 = 1 \end{aligned}$$

Na rysunku 9 przedstawiono schemat logiczny dekady w wersji prościej ($C_2 = Q_1$).



Rys. 9. Schemat logiczny asynchroniczno-synchroniczny dekady

Dla realizacji tej samej dekady w wersji synchronicznej uzyskuje się następujące zależności:

$$\begin{aligned}
 J_3 &= Q_2 Q_1 Q_0 & K_3 &= Q_0 \\
 J_2 &= Q_1 Q_0 & K_2 &= Q_1 Q_0 \\
 J_1 &= \bar{Q}_3 Q_0 & K_1 &= Q_0 \\
 J_0 &= 1 & K_0 &= 1
 \end{aligned}$$

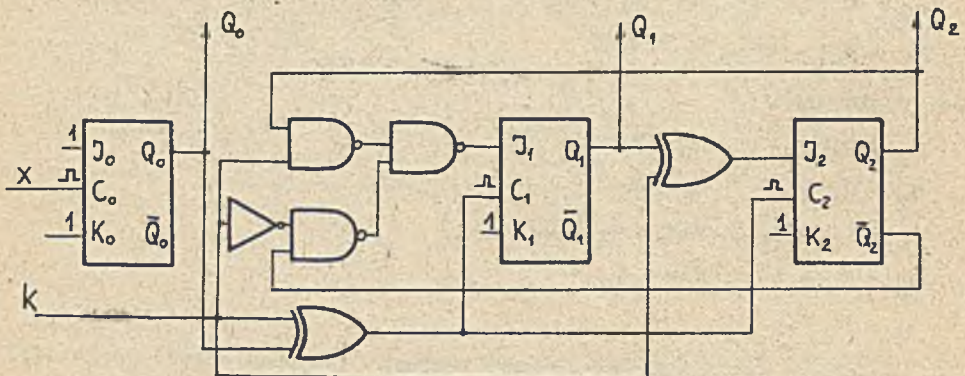
3.5. Przykład syntezy licznika rewersyjnego modulo 6

Przykład 1

Zrealizować rewersyjny asynchroniczno-synchroniczny licznik modulo 6 ($k=0$ - dodawanie, $k=1$ - odejmowanie).

Przebieg kolejnych etapów syntezy liczników rewersyjnych lub o różnej pojemności jest analogiczny jak dla przypadku liczników jednokierunkowych. Sygnał kierunku zliczania uwzględnia się na etapie tworzenia tablic zależności i siatek Karnaugh'a.

Na rysunku 10 przedstawiono kolejne kroki syntezy projektowanego licznika oraz jego schemat logiczny.



Rys. 10. Schemat logiczny asynchroniczno-synchronicznego licznika modulo 6

W rozwiązaniu tym:

$$\begin{aligned} C_2 &= C_1 = k\bar{Q}_0 + kQ_0 = k \oplus Q_0 & C_0 &= x \\ J_2 &= k \oplus Q_1 & K_2 &= 1 \\ J_1 &= kQ_2 + k\bar{Q}_2 & K_1 &= 1 \\ J_0 &= 1 & K_0 &= 1 \end{aligned}$$

W przypadku realizacji tego licznika w wersji synchronicznej uzyskuje się odpowiednio:

$$\begin{aligned} C_2 &= C_1 = C_0 = x \\ J_2 &= kQ_1Q_0 + k\bar{Q}_1\bar{Q}_0 & K_2 &= kQ_0 + k\bar{Q}_0 = k \oplus Q_0 \\ J_1 &= k\bar{Q}_2Q_0 + kQ_2\bar{Q}_0 & K_1 &= kQ_0 + k\bar{Q}_0 = k \oplus Q_0 \\ J_0 &= 1 & K_0 &= 1 \end{aligned}$$

3.6. Podsumowanie

Przedstawiony w pracy sposób syntezy liczników asynchroniczno-synchronicznych pozwala uzyskać realizacje układowe nie bardziej złożone niż w przypadku realizacji synchronicznej oraz asynchronicznej. Fakt ten może mieć istotne znaczenie ze względu na optymalizację układową struktur scalonych. Podobnie jak przy syntezie liczników asynchronicznych należy zwracać uwagę na zjawisko hazardu w przypadku stosowania kodu o dużej liczbie równoczesnych zmian między dwoma kolejnymi stanami wyjść.

LITERATURA

- [1] Anderson W.D. i inni: Projektowanie układów z TTL obwodami scalonymi. Ośrodek Informacji o Energii Jądrowej. Warszawa 1973.
- [2] Kalisz J.: Cyfrowe układy scalone w technice systemowej. Wyd. Min. Obrony Narodowej. Warszawa 1977.
- [3] Kohonen T.: Elementy i układy elektronicznych maszyn cyfrowych. WNT, Warszawa 1975.
- [4] Misiurewicz P., Grzybek M.: Półprzewodnikowe układy logiczne. WNT, Warszawa 1975.
- [5] Morris Mano M.: Projektowanie systemów logicznych maszyn cyfrowych. WNT, Warszawa 1975.
- [6] Peatman J.B.: Projektowanie systemów cyfrowych. WNT, Warszawa 1976.
- [7] Siwiński J.: Układy przełączające w automatyce. WNT, Warszawa 1968.
- [8] Traczyk W.: Układy cyfrowe automatyki. WNT, Warszawa 1974.
- [9] Wagner F.: Liczniki elektroniczne w przemysłowych układach sterowania. WNT, Warszawa 1971.

СИНТЕЗ АСИНХРОННО-СИНХРОННЫХ СЧЕТЧИКОВ

Резюме

В статье представлен метод синтеза асинхронно-синхронных счетчиков, построенных на синхронных триггерах. Метод иллюстрируется многочисленными примерами. Предлагаемый метод позволяет сравнительно легко построить асинхронно-синхронные счетчики, конструкция которых не сложнее их синхронных эквивалентов.

THE SYNTHESIS OF ASYNCHRONOUS-SYNCHRONOUS COUNTER

Summary

The paper presents a method of synthesis of the asynchronous-synchronous counters with application of the synchronous flip-flops. Many examples are presented to illustrate this method. The proposed procedure makes it possible to obtain the realization of the asynchronous-synchronous counters being not more complicated than the synchronous or asynchronous ones with relative ease.