ZESZYTY NAUKOWE POLITECHNIKI ŚLĄSKIEJ 1980

Seria: AUTOMATYKA z. 50 Nr kol. 626

Lesław TOPÓR-KAMIŃSKI

INWERTOR IMPEDANCYJNY STEROWANY

Streszczenie. Podano modele teoretyczne i praktyczne inwertorów impedancyjnych o sterowanych współczynnikach inwersji, dwuwejściowych i wielowejściowych, budowanych na bazie analogowego układu mnożącego.

Pokazano realizacje dwójników parametrycznych uziemionych i swobodnych z zastosowaniem inwertorów sterowanych.

1. Wstęp

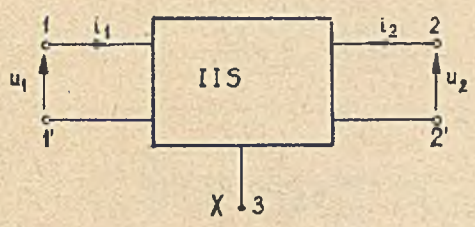
Wprowadzenie do obwodów aktywnych idealnego analogowego układu mnożącego jako źródła podwójnie sterowanego, pozwala realizować liniowe elementy parametryczne o parametrach sterowanych zewnętrznie, takie jak: impedancje sterowane, konwertory sterowane, inwertory sterowane, rotatory sterowane oraz filtry sterowane [1] [2] [8].

Teoretycznie wszystkie te elementy zawierają źródła podwójnie sterowane, które mogą być budowane dla zmiennych zaciskowych sterujących i wyjściowych zarówno napięciowych jak i prądowych 1 .

W rozwiązaniach praktycznych wymienionych układów uzasadnione jest traktowanie mnożników analogowych równorzędnie do scalonych wzmacniaczy operacyjnych, ze względu na produkowanie ich przez wiele firm na świecie w postaci mikroelektronicznej o wymiarach i cenie zbliżonych do wzmacniaczy operacyjnych [1] [7].

2. Definicja inwertora impedancyjnego sterowanego

Inwertor impedancyjny sterowany (IIS) jest wielozaciskowym bezinercyjnym układem aktywnym (rys. 1).



Rys. 1. Schemat blokowy inwertora impedancyjnego sterowanego

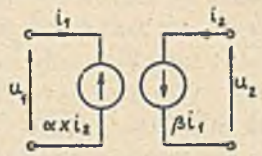
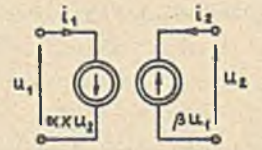
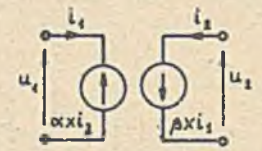
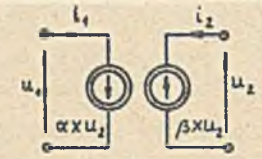
Między zaciskami 11' oraz 22' rozpatrywany jest jako czwórnik opisany macierzą łańcuchową (1) o parametrach sterowanych sygnałem x będącym prądem lub napięciem na zacisku sterującym 3.

$$[A]_{IIS} = \begin{bmatrix} 0 & k_1(x) \\ k_2(x) & 0 \end{bmatrix} \tag{1}$$

W zależności od tego czy obydwa współczynniki k_1 i k_2 są funkcjami sygnału x czy tylko jeden z nich, wyróżnić można IIS pierwszego i drugiego rzędu względem x. (Tablica 1).

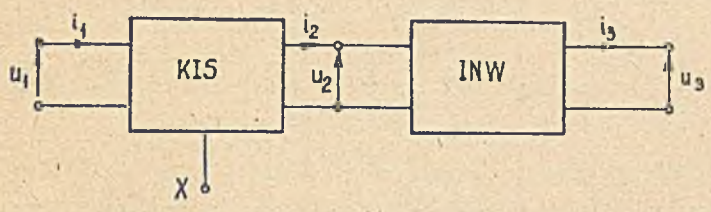
Wprowadzając dodatkowy zacisk sterujący w IIS rzędu drugiego uzyskuje się oddzielne sterowanie współczynników k_1 i k_2 sygnałami x_1 i x_2.

Tablica 1

Lp.	Rodzaj IIS	Schemat	Macierz admitancyjna	Rezystancja wejściowa dla $Z_2 = R_o$
1	2	3	4	5
1	Rzędu 1 typ a		$\begin{bmatrix} 0 & -\frac{1}{\beta} \\ \frac{1}{\alpha x} & 0 \end{bmatrix}$	$R_{we} = \alpha\beta x\, G_o$
2	Rzędu 1 typ b		$\begin{bmatrix} 0 & \alpha x \\ -\beta & 0 \end{bmatrix}$	$G_{we} = \alpha\beta x\, R_o$
3	Rzędu 2 typ a		$\begin{bmatrix} 0 & -\frac{1}{\beta x} \\ \frac{1}{\alpha x} & 0 \end{bmatrix}$	$R_{we} = \alpha\beta x^2 G_o$
4	Rzędu 2 typ b		$\begin{bmatrix} 0 & \beta x \\ -\alpha x & 0 \end{bmatrix}$	$G_{we} = \alpha\beta x^2\, R_o$

IIS rzędu drugiego przy założeniach $\alpha = \beta$ przekształca się w żyrator sterowany sygnałem x . [3] [4] [5].

Inwertory impedancyjne sterowane można także przedstawić i realizować przez łańcuchowe połączenie konwertora impedancyjnego sterowanego [2] i dowolnego inwertora stacjonarnego (rys. 2).



Rys. 2. Realizacja IIS za pomocą konwertora impedancyjnego sterowanego i dowolnego inwertora stacjonarnego

Jeżeli KIS i inwertor posiadają macierze łańcuchowe (2) i (3)

$$[A]_{KIS} = \begin{bmatrix} K_U(x) & 0 \\ 0 & K_I(x) \end{bmatrix} \tag{2}$$

$$[A]_{INW} = \begin{bmatrix} 0 & \alpha \\ \beta & 0 \end{bmatrix} \tag{3}$$

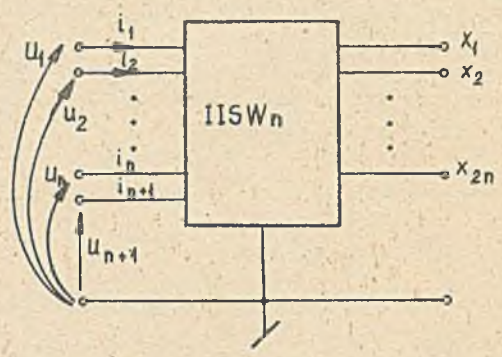
to układ z rys. 2 opisuje macierz łańcuchowa (4)

$$[A]_{IIS} = \begin{bmatrix} 0 & \alpha K_U(x) \\ \beta K_I(x). & 0 \end{bmatrix} \tag{4}$$

W wyniku zmiany kolejności połączeń KIS i inwertora otrzymuje się IIS o macierzy (5)

$$[A]_{IIS} = \begin{bmatrix} 0 & \alpha K_I(x) \\ \beta K_U(x) & 0 \end{bmatrix} \tag{5}$$

Uogólnieniem wielozaciskowym IIS jest układ z rys. 3. Posiada on n + 1 zacisków głównych oraz 2n zacisków sterujących poszczególnymi współczynnikami inwersji i może być nazwany inwertorem impedancyjnym sterowanym wielowejściowym stopnia n-tego (IISWn). Napięcia i prądy na zaciskach głównych IISW z rys. 3 powiązane są równaniami (6)



Rys. 3. Schemat blokowy inwertora impedancyjnego wielozaciskowego

$$\begin{bmatrix} i_1 \\ i_2 \\ i_3 \\ \vdots \\ i_n \\ i_{n+1} \end{bmatrix} = \begin{bmatrix} 0 & \pm g_{12}(x_2) & & & & 0 \\ \mp g_{21}(x_1) & 0 & \pm g_{23}(x_4) & \dots & & 0 \\ 0 & \mp g_{32}(x_3) & 0 & \dots & & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & 0 & & \pm g_{n,n+1}(x_{2n}) \\ 0 & 0 & 0 & \dots & \mp g_{n+1,n}(x_{2n-1}) & 0 \end{bmatrix} \times \begin{bmatrix} U_1 \\ U_2 \\ U_3 \\ \vdots \\ U_n \\ U_{n+1} \end{bmatrix} \tag{6}$$

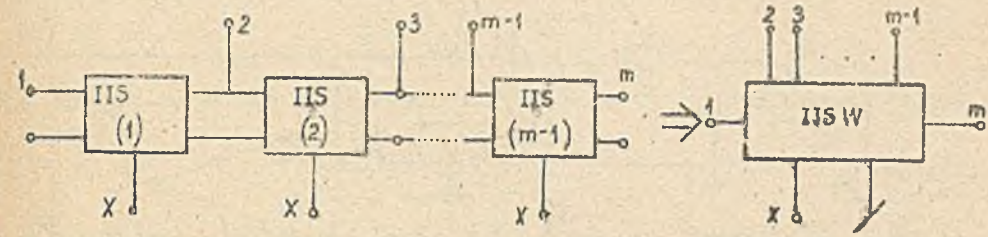
$$\left.\begin{array}{ll} \text{Przy założeniu:} & x_1 = x_2 = x_3 = \dots = x_{2n} = x \\ \text{oraz:} & n + 1 = m \end{array}\right\} \tag{7}$$

otrzymuje się IISW sterowany jednym sygnałem x. Opisuje ge równanie (8):

$$\begin{bmatrix} i_1 \\ i_2 \\ \cdot \\ \cdot \\ \cdot \\ i_m \end{bmatrix} = \begin{bmatrix} 0 & \mp g_{12}(x) & 0 & \dots & 0 \\ \mp g_{21}(x) & & \pm g_{23}(x) & \dots & 0 \\ 0 & \mp g_{32}(x) & & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & & 0 & \mp g_{m-1,m}(x) \\ 0 & \dots & 0 & \pm g_{m,m-1}(x) & 0 \end{bmatrix} \cdot \begin{bmatrix} u_1 \\ u_2 \\ \cdot \\ \cdot \\ \cdot \\ u_m \end{bmatrix} \tag{8}$$

IISW o własności (7) mogą być przydatne do realizacji nieliniowych aktywnych układów rezystancyjnych w oparciu o liniowe rezystancje i konduktancje sterowane [6] [8].

Macierze admitancyjne w równaniach (6) i (8) posiadają wyrazy różne od zera tylko na przekątnych sąsiadujących z przekątną główną, co implikuje możliwość realizacji IIS n-wejściowego po-przez łańcuchowe połączenie n IIS dwuwejściowych podanych w tablicy 1 (rys. 4). Realizacja IISW według

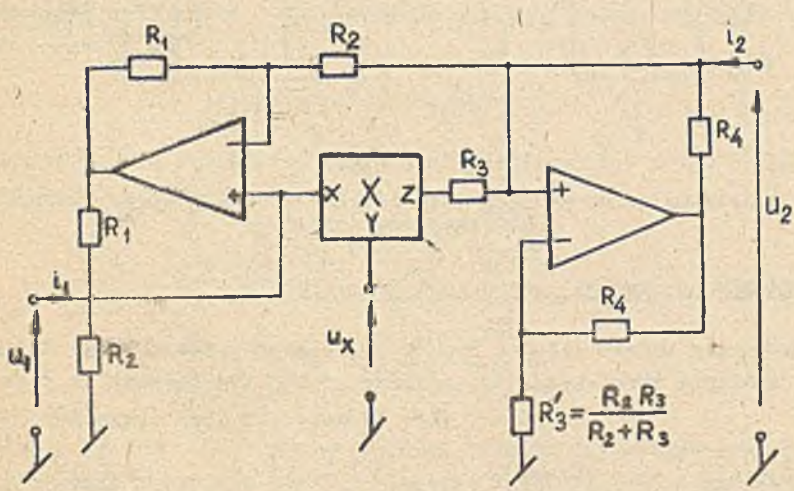


Rys. 4. Realizacja IIS wielozaciskowego za pomocą inwertorów sterowanych dwuwejściowych

modelu z rys. 4 pozwala poprzez dobór poszczególnych składowych inwertorów sterowanych generację IISW o współczynnikach $g_{kl}(x)$ dowolnie uzależnionych od sygnału sterującego x, a tym samym posiadających szeroki wachlarz własności przydatnych do budowy aktywnych układów parametrycznych.

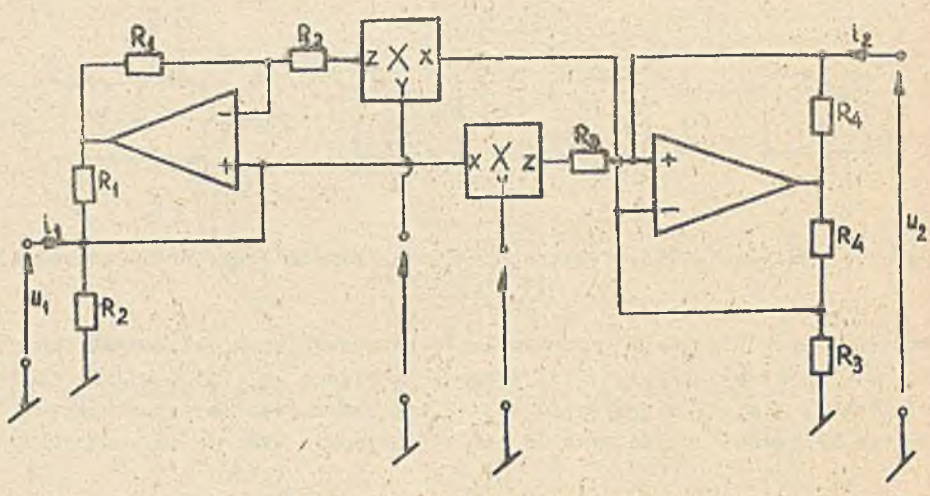
3. Realizacja rzeczywistych układów inwertorów impedancyjnych sterowanych

Inwertory impedancyjne sterowane rzeczywiste można realizować według schematów podanych w tablicy 1 przy pomocy wzmacniaczy operacyjnych oraz

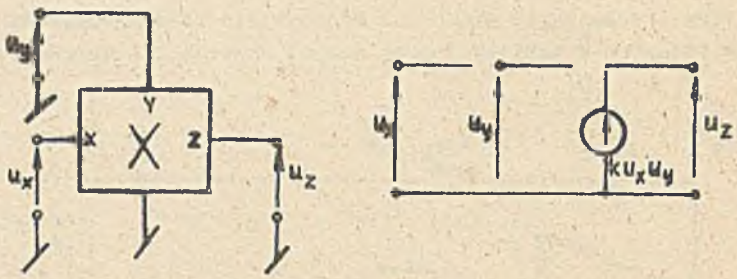


Rys. 5. Realizacja IIS rzędu pierwszego za pomocą układu mnożącego i wzmacniaczy operacyjnych

analogowego układu mnożącego. Na rysunku 5 przedstawiona jest przykładowa realizacja IIS rzędu pierwszego, a na rysunku 6 rzędu drugiego. W każdej z tych realizacji analogowy układ mnożący uważany jest za idealne źródło napięciowe podwójnie sterowane napięciami (rys. 7).



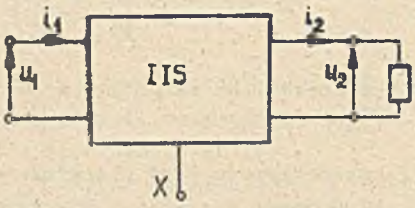
Rys. 6. Realizacja IIS rzędu drugiego



Rys. 7. Analogowy układ mnożący jako idealne źródło napięciowe podwójnie sterowane napięciami

4. Przetwarzanie dowolnej impedancji przez IIS

Rozpatrywany będzie układ z rys. 8, na którym przedstawiony IIS opisany jest macierzą łańcuchową (9), a dwójnik D_2 przyłączony do jego zacisków wyjściowych (2') równaniem (10).



Rys. 8. Schemat blokowy układu przetwarzania dowolnego dwójnika przez IIS

$$[A] = \begin{bmatrix} 0 & k_1(x) \\ k_2(x) & 0 \end{bmatrix} \tag{9}$$

$$\hat{a}\, u_2 = \hat{b}\, i_2 \tag{10}$$

Gdzie:

$$\hat{a} = \sum_{k=0}^{n} a_k \frac{d^k}{dt^k} \tag{11}$$

jest operatorem różniczkowym rzędu n (dla $a_n \neq 0$) działającym na napięcie oraz:

$$\hat{b} = \sum_{k=0}^{m} b_k \frac{d^k}{dt^k} \tag{12}$$

jest operatorem różniczkowym rzędu m (dla $b_m \neq 0$) działającym na prąd. Dla IIS opisanego macierzą (9) między zmiennymi zaciskowymi wejścia i wyjścia zachodzą związki (13)

$$\begin{aligned} u_1 &= k_1(x)\, i_2 \\ i_1 &= k_2(x)\, u_2 \end{aligned} \tag{13}$$

Po podstawieniu relacji (13) do równania (10) otrzymuje się równanie (14) opisujące dwójnik D_1 widziany z zacisków (11') rys. 8:

$$\hat{a} \frac{1}{k_1(x)} i_1 = \hat{b} \frac{1}{k_2(x)} u_1 \tag{14}$$

Jak widać z równania (14), IIS przemienia między sobą działanie operatorów $\hat{a}$ i $\hat{b}$ na zmienne zaciskowe wejściowe i wyjściowe przemnożone dodatkowo przez funkcje sygnału sterującego x. Uwzględniając (11) i (10) w równaniu (14) oraz dodatkowo wstawiając (15) otrzymuje się ostatecznie równanie (16) opisujące dwójnik D_1.

$$\frac{1}{k_1(x)} = \gamma; \qquad \frac{1}{k_2(x)} = \delta \tag{15}$$

Wielkości γ i δ są zależne od sygnału sterującego x, a tym samym są funkcjami czasu.

$$\sum_{k=0}^{n} \sum_{l=0}^{k} a_k \binom{k}{l} \frac{d^l \gamma}{dt^l} \frac{d^{k-l} i_1}{dt^{k-l}} =$$

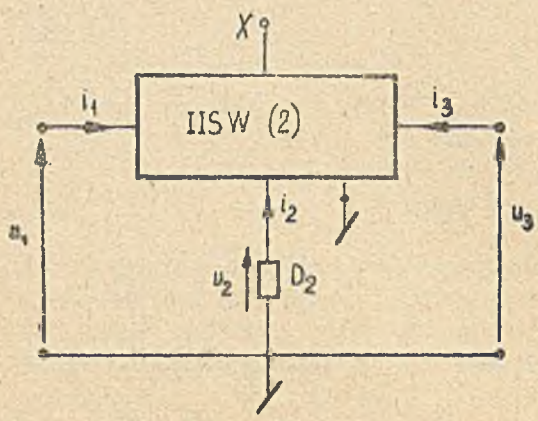
$$= \sum_{k=0}^{m} \sum_{l=0}^{k} b_k \binom{k}{l} \frac{d^l \delta}{dt^l} \frac{d^{k-l} u_1}{dt^{k-l}} \tag{16}$$

Jak widać ze wzoru (16) w symulowanym dwójniku parametrycznym D_1 w ogólnym przypadku występuje zjawisko generacji dodatkowych składników rzędów niższych od najwyższego rzędu operatorów różniczkowych $\hat{a}$ i $\hat{b}$ opisujących dwójnik D_2.

5. Symulacja impedancji sterowanej nieuziemionej

Rozpatrywany będzie IIS wielozaciskowy stopnia drugiego (rys. 9) opisany równaniem macierzowym (17), z przyłączonym do zacisku 2 dwójnikiem opisanym równaniem (10).

$$\begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} = \begin{bmatrix} 0 & +g_{12}(x) & 0 \\ \mp g_{21}(x) & 0 & +g_{23}(x) \\ 0 & \mp g_{32}(x) & 0 \end{bmatrix} \begin{bmatrix} u_1 \\ u_2 \\ u_3 \end{bmatrix} \tag{17}$$



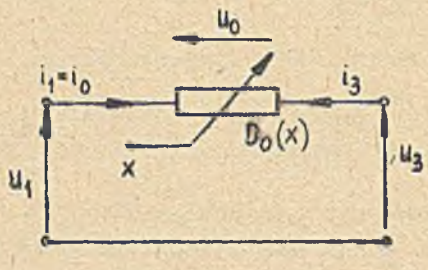
Rys. 9. Schemat blokowy układu do symulacji impedancji sterowanej nieuziemionej

Po uwzględnieniu w równaniu (10) relacji (17) otrzymuje się dwa równania (18) opisujące układ z rys. 9 między zaciskami 1 i 3.

$$\hat{a}\,\frac{1}{g_{12}}\,i_1 = -\hat{b}\,g_{21}\,u_1 + \hat{b}\,g_{23}\,u_3 \tag{18}$$

$$\hat{a}\,g_{32}\,i_3 = \hat{b}\,g_{21}\,u_1 - \hat{b}\,g_{23}\,u_3$$

Po wprowadzeniu założeń (19) oraz (20) relacje (18) przechodzą w równanie (21) opisujące dwójnik parametryczny swobodny (o zaciskach nie połączonych z masą) $D_o(x)$ sterowany sygnałem x (rys. 10)



Rys. 10. Impedancja sterowania nieuziemiona symulowana za pomocą układu z rys. 9

$$\left.\begin{aligned} g_{21} &= g_{23} = k_1(x) \\ g_{12} &= g_{32} = \frac{1}{k_2(x)} \end{aligned}\right\} \tag{19}$$

$$\left.\begin{aligned} i_1 &= -i_3 = i_o \\ u_3 - u_1 &= u_o \end{aligned}\right\} \tag{20}$$

$$\hat{a}\,k_2(x)\,i_o = \hat{b}\,k_1(x)\,u_o \tag{21}$$

6. Wnioski

IIS wraz z uogólnieniem wielozaciskowym pozwala na:

- realizację dwójników parametrycznych uziemionych i swobodnych o parametrach sterowanych sygnałem x,
- symulację inwertorów impedancyjnych sterowanych [3],
- syntezę aktywnych filtrów sterowanych [3],
- syntezę nowych klas rezystancyjnych układów nieliniowych zawierających rezystancje i konduktancje sterowane [6] [8],
- realizację innych układów o zmiennych parametrach, np. przestrajane linie opóźniające [5], oscylatory, modulatory i mikssery [9].

Przedstawiony w niniejszej pracy sposób realizacji IIS przy użyciu mnożnika analogowego posiada szereg zalet w stosunku do układów przedstawionych w literaturze [3] [4], między innymi cechują się one dość dobrą liniowością i stabilnością temperaturową. Wadą ich może być większy koszt elementów składowych.

LITERATURA

[1] TOPÓR-KAMIŃSKI L.: Analogowy układ mnożący jako element teorii obwodów. Zesz. Nauk. Pol. Śl., Elektryka z. 54, 1976.

[2] TOPÓR-KAMIŃSKI L.: Konwertor impedancyjny sterowany. Zesz.Nauk.Pol.Śl. Elektryka z. 60, 1978.

[3] MOOS P., MARTINEK P.: Żyratory sterowane napięciowo TESLA SN 150 10 i ich zastosowania. Elektronika 9, 1977.

[4] NEW W., NEWCOMB R.: An intergratable time - variable gyrator.Proc.IEEE. December 1965.

[5] ANDERSON B.D., BRADY D.M., NEW W., NEWCOMB R.: A Tapped Elektronically Variable Delay Line Suitable for Integrated Circuits. Proc. IEEE. August 1966.

[6] MALIK N.R., JACKSON G.L., YOUNG SOO KIM.: Theory and Applications of Resistor, Linear Controlled Resistor, Linear Controlled Conductor Networks. IEEE Trans. on Circuits and Systems. April 1976.

[7] SHEINGOLD D.H.: Nonlinear Circuits Handbook. Published by Analog Devices 1976.

[8] TOPÓR-KAMIŃSKI L.: Uogólniony rotator sterowany. Zesz.Nauk.Pol.Śl.Elektryka (w druku).

[9] ANDERSON B.D., NEW W., NEWCOMB R.W.: Oscilators, Modulators, and Mixers Suitable for Integrated Circuit Realization. Proc. IEEE. March 1967.

УПРАВЛЯЕМЫЙ ИНВЕРТОР ИМПЕДАНСА

Р е з ю м е

Представлены теоретические и практические модели двухходных и многовходных, построенных с применением аналогово умножителя, инверторов импеданса с управляемыми коэффициентами инверсии. Указано осуществление заземленных и незаземленных параметрических двухполюсников с применением управляемых инверторов.

A CONTROLLED IMPEDANCE INVERTER

S u m a r y

The theoretical and practical models of two - and multiport impedance inverters with controlled inversion factor, built on the basis of the analog multiplier, were shown. The realizations of the time varying, grounded and floating one ports with the use of controlled inverters, were shown.