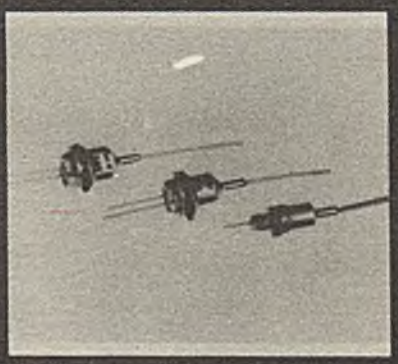
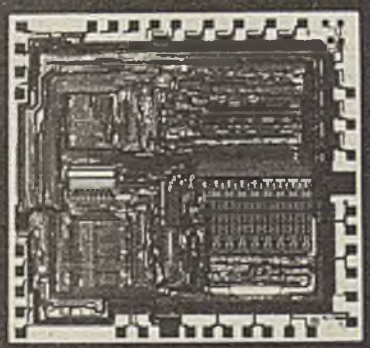
ITE CEMI

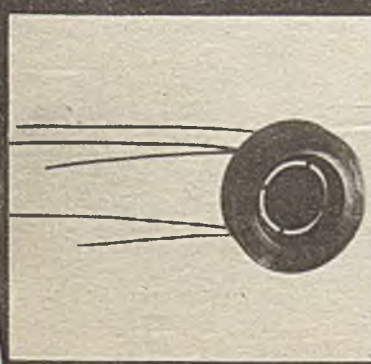
NOWOŚCI

1986





K Lisko

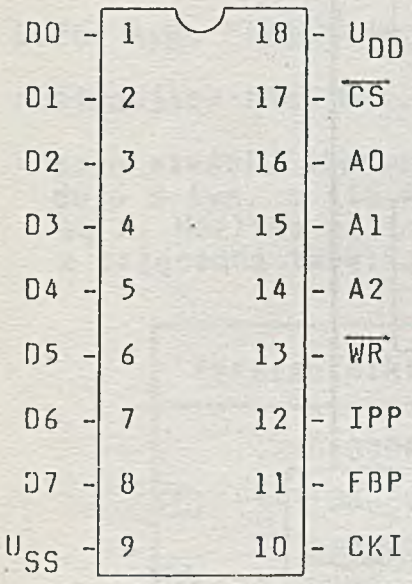


1987

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

PROGRAMOWANY DZIELNIK CZĘSTOTLIWOŚCI MCY 76201I

Monolityczny układ scalony MCY 76201I stanowi programowany dzielnik częstotliwości. Jest to układ cyfrowy wykonany w technologii NMOS z bramką polikrzemową. Napięcie zasilania oraz wejścia i wyjścia są kompatybilne ze standardem TTL. Układ mieści się na płytce krzemowej o wymiarach 5,0 x 3,7 mm, zamkniętej w dwurzędowej obudowie plastykowej z 18 wyprowadzeniami typu CE-81.



D0-D7 - Wejścia danych

A0-A2 - Wejścia adresowe

$\overline{WR}$ - Wejście blokujące zapis

$\overline{CS}$ - Wejście wyboru struktury /chip select/

CKI - Wejście zegarowe dzielnika

FBP - Wejście zegarowe licznika

IPP - Wyjście

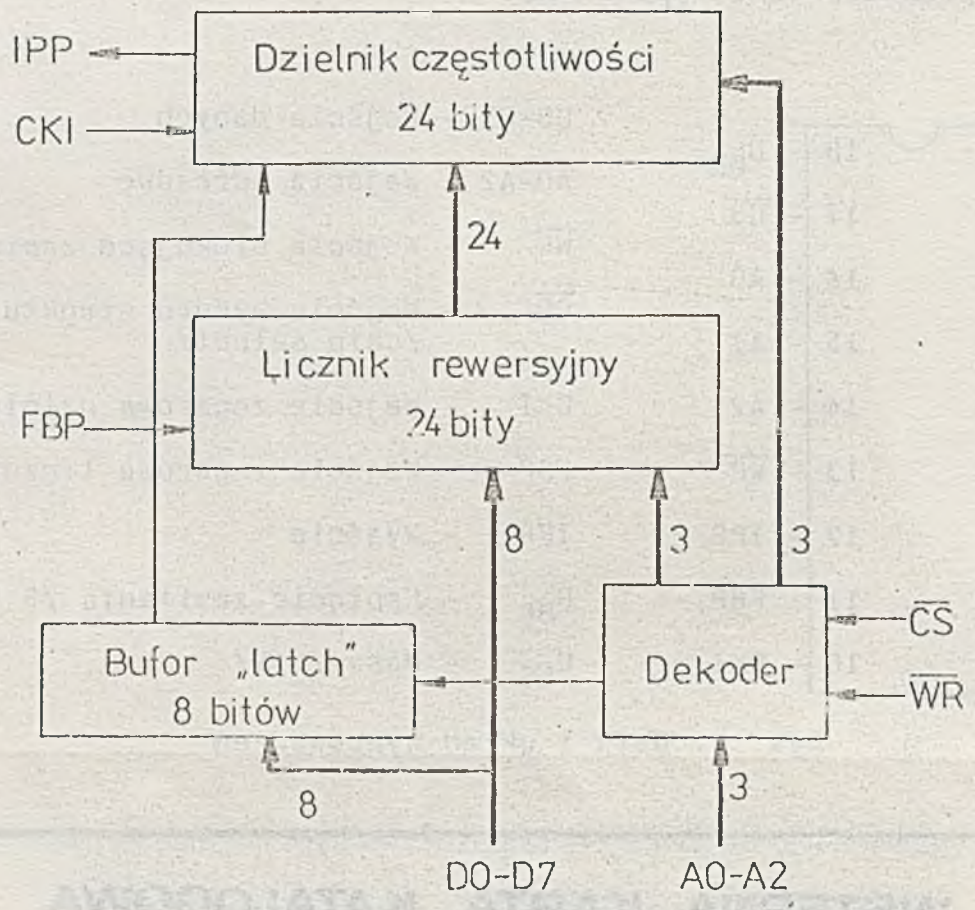
U_{DD} - Napięcie zasilania /5 V/

U_{SS} - Masa /0 V/

Rys. 1. Opis i układ wyprowadzeń

WSTĘPNA KARTA KATALOGOWA

Programowany dzielnik częstotliwości /ang. rate multiplier/ dzieli częstotliwość w ten sposób, że przy podawaniu impulsów na wejście zegarowe CKI /rys. 2/ tylko niektóre z nich /odpowiednio dobrane/ są powtarzane na wyjściu IPP. Każdym kolejnym 2^{24} impulsom na wejściu CKI odpowiada X impulsów na wyjściu IPP, przy czym X oznacza 24-bitową liczbę dwójkową zawartą w liczniku rewersyjnym. Programowanie dzielnika częstotliwości /czyli liczby X/ odbywa się za pomocą wejść danych D0-D7, wejść adresowych A0-A2, wejść blokujących zapis $\overline{CS}$ i $\overline{WR}$ oraz wejścia zegarowego FBP. Stan L jednocześnie na obu wejściach $\overline{CS}$ i $\overline{WR}$



Rys. 2. Schemat blokowy układu MCY 7620N

powoduje odblokowanie dekodera i wczytanie danych D0-D7 zgodnie z zadanym adresem A0-A2 /A2A1A0/:

- adres 000: wczytanie danych D0-D7 do bufora typu "latch",
- adres 001: wczytanie danych D0-D7 do licznika rewersyjnego /8 najmniej znaczących bitów liczby X/,
- adres 010: wczytanie danych D0-D7 do licznika rewersyjnego /środkowe bity liczby X/,
- adres 011: wczytanie danych D0-D7 do licznika rewersyjnego /8 najbardziej znaczących bitów liczby X/,
- adres 100: zerowanie licznika zawartego w dzielniku częstotliwości,
- adres 101: służy do testowania układu scalonego,
- adres 110: wymuszenie stanu L na wyjściu IPP,
- adres 111: nie używane.

Bufor typu "latch" zawiera 8 przerzutników, których stany mają następujące znaczenie:

- stan sześciu pierwszych przerzutników /wejścia D0-D5/ decyduje o tym, o ile każdy impuls na wejściu FBP zmienia liczbę X. Możliwe są tu zmiany o 16^n dla n = 0,...,5 zgodnie z załączoną tabelką,

Przerzutniki D0-D5	Zmiana liczby X o:
000000	0
100000	1
010000	16^1
001000	16^2
000100	16^3
000010	16^4
000001	16^5

- siódmy przerzutnik /wejście D6/ określa kierunek zmian liczby by X: stan L oznacza zwiększanie, a stan H zmniejszanie,
- stan H ósmego przerzutnika /wejście D7/ blokuje dzielnik częstotliwości, w wyniku czego na wyjściu IPP trwa stan H.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Dopuszczalne napięcie dowolnego wyprowadzenia względem U_{SS}		-0,3	+7 V
Temperatura przechowywania	t_{stg}	-55	+125°C
Temperatura otoczenia w czasie pracy	t_{amb}	0	+70°C

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

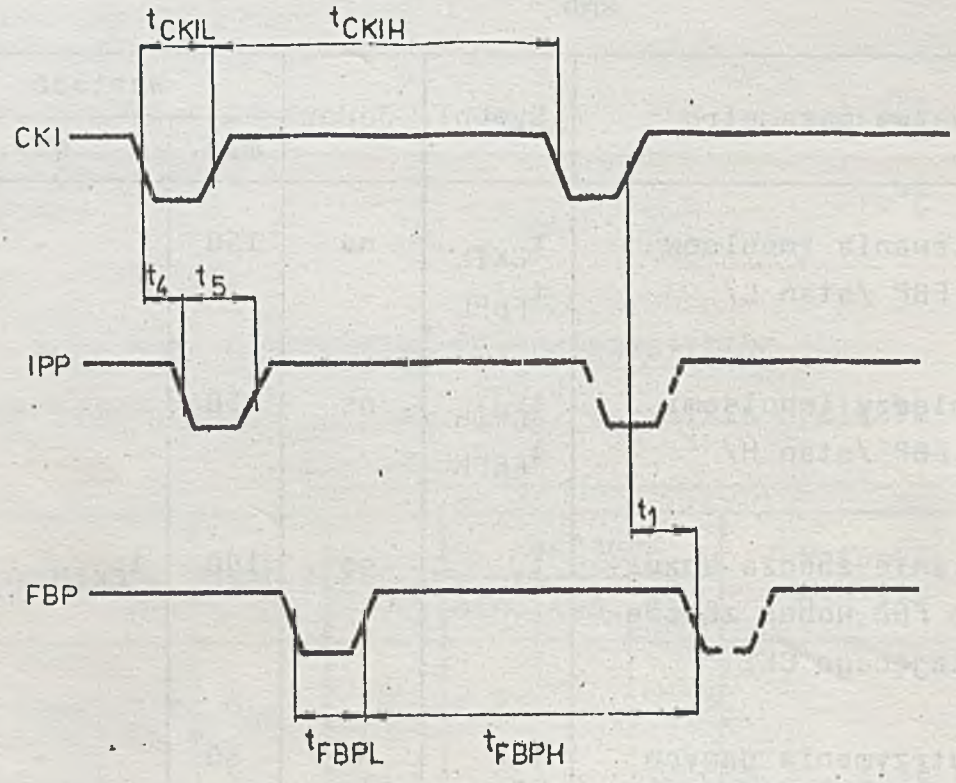
PARAMETRY STATYCZNE /t_{amb} = 0 - 70°C, wszystkie napięcia względem U_{SS}/

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Napięcie zasilania	U_{DD}	V	4,75	5	5,25	
Prąd zasilania	I_{DD}	mA	-	-	50	U_{DD} = 5,25 V
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2,0	-	5,25	
Napięcie wejściowe w stanie niskim	U_{IL}	V	-0,3	-	0,8	
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	2,4	-	-	I_{OH} = -60 µA U_{DD} = 4,75 V
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	-	0,4	I_{OL} = 2,4 mA U_{DD} = 4,75 V
Prąd upływności wejść /dla każdego wejścia/	I_{IH}	µA	-	-	40	U_I = 5,25 V U_{DD} = 5,25 V

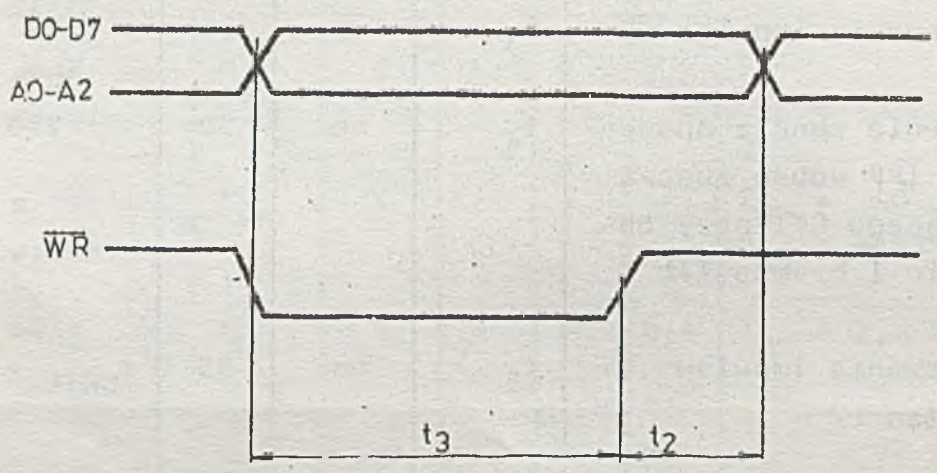
PARAMETRY DYNAMICZNE /zdefiniowane na rys. 3 i rys. 4

t_{amb} = 0 - 70°C/

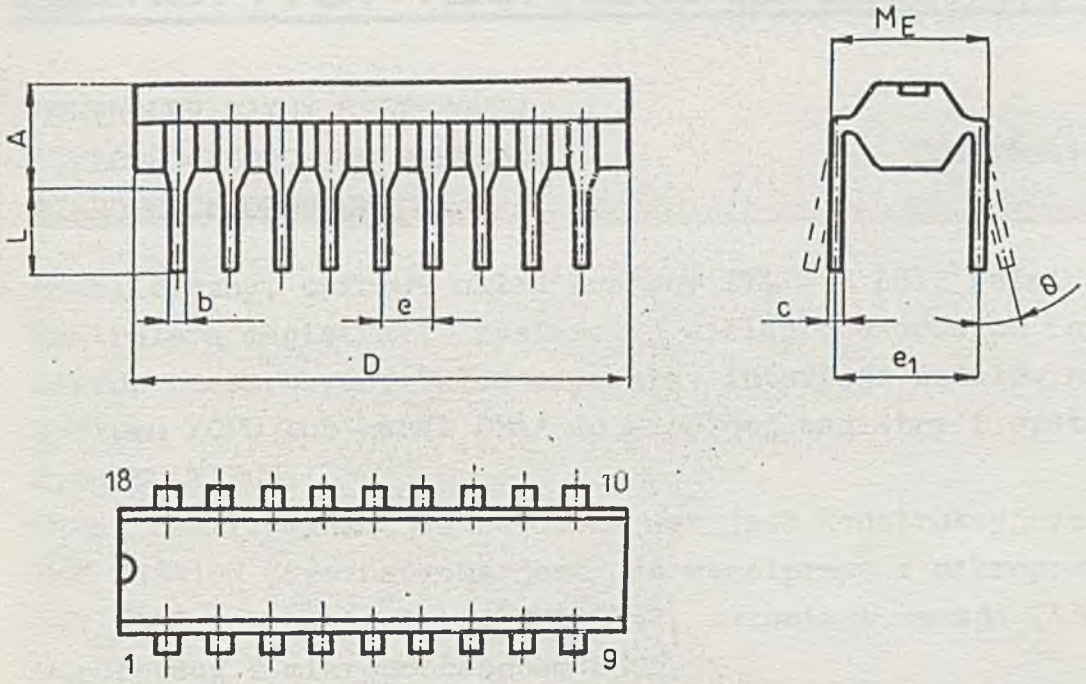
Nazwa parametru	Symbol	Jedn.	Wartość	
			min.	max.
Czas trwania impulsów CKI i FBP /stan L/	t_{CKIL} t_{FBPL}	ns	150	-
Czas między impulsami CKI i FBP /stan H/	t_{CKIH} t_{FBPH}	ns	750	-
Opóźnienie zbocza opadającego FBP wobec zbocza narastającego CKI	t_1	ns	100	t_{CKIH} 100
Czas utrzymania danych D0-D7 i adresu A0-A2 po narastającym zboczu $\overline{WR}$	t_2	ns	80	-
Czas trwania impulsu $\overline{WR}$	t_3	ns	320	-
Opóźnienie zbocza opadającego IPP wobec zbocza opadającego CKI przy obciążeniu 1 bramką TTL	t_4	ns	50	250
Czas trwania impulsu IPP /stan L/	t_5	ns	80	t_{CKIL} + 50



Rys. 3. Przebiegi sygnałów CKI, IPP, FBP



Rys. 4. Przebiegi sygnałów DØ-D7, AØ-A2, $\overline{WR}$



Rys. 5. Kształt i wymiary obudowy plastykowej typ CE-81

Symbol	Wymiary /mm/			Kąt /stopnie/
	min.	nom.	max.	
A	-	-	5,10	-
b	0,38	0,50	0,59	-
c	0,2	0,25	0,36	-
D	-	-	22,86	-
e	-	2,54	-	-
e_1	-	7,62	-	-
L	2,54	-	4,5	-
M_E	-	-	8,30	-
θ	-	-	-	0 ÷ 15

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

Telex 815647
Tel. 435401

Cena 80 zł
Luty 1987

Druk ZOINTE ITE zam. 41/87 n. 300

PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

KONTROLER SZYNY SYSTEMOWEJ WIELOPROCESOROWYCH SYSTEMÓW MIKROPROCESOROWYCH

UCY 74S418/419N

Monolityczny, cyfrowy układ scalony TTL - S LSI, pełni funkcję kontrolera magistrali systemowej wieloprocesorowych systemów mikroprocesorowych. Układ zapewnia interfejs modułów nadrzędnych systemu /CPU lub kanał DMA/ do wspólnej magistrali systemowej typu MULTIBUS.

Układ realizowany jest w dwóch wersjach konstrukcyjnych. Wersja UCY 74S418N przeznaczona jest do współpracy z mikroprocesorem MCY 7880 lub kontrolerem DMA 8257, natomiast wersja 74S419N do współpracy z mikroprocesorem 8085.

Układ składa się z trzech zasadniczych bloków funkcjonalnych /rys. 2/ realizujących następujące funkcje:

- rozpoznanie stanu magistrali systemowej /linia $\overline{\text{BUSY}}$/,
- generacja synchronicznych z zegarem systemowym sygnałów żądania dostępu do magistrali dla zewnętrznych układów arbitrażu,
- generacja sygnałów kontrolnych systemu oraz sygnałów sterujących pracą buforów szyn adresu i danych,
- zapewnienie odpowiednich relacji czasowych dla sygnałów magistrali systemowej.

Praca układu rozpoczyna się w chwili, gdy moduł nadrzędny /ang. MASTER/ zgłasza żądanie dostępu do magistrali systemowej na liniach BCR1, $\overline{\text{BCR2}}$/BCR2/ lub $\overline{\text{ASRQ}}$ /wersja 74S419N/. Sygnały żądania są strobowane w układzie za pomocą zewnętrznego sygnału $\overline{\text{RSTB}}$ /z wyjątkiem sygnału $\overline{\text{ASRQ}}$/. Drugie opadające zbocze sygnału zegarowego $\overline{\text{BCLK}}$ /licząc od chwili wystąpienia sygnału stro-

WSTĘPNA KARTA KATALOGOWA

bującego $\overline{RSTR}$/ spowoduje wygenerowanie sygnału żądania dostępu do magistrali $\overline{BREQ}$ oraz wprowadzi wyjście $\overline{BPRO}$ w stan wysoki /rys. 3/.

Sygnał $\overline{BREQ}$ wykorzystywany jest w przypadku, gdy priorytet dostępu do magistrali systemowej rozstrzygany jest w równoległym układzie arbitrażu. Sygnał $\overline{BPRO}$ zezwala na dostęp do magistrali modułowi nadrzędnemu o niższym priorytecie i wykorzystywany jest w szeregowym układzie arbitrażu /ang. DAISY CHAIN/.

W przypadku gdy moduł nadrzędny uzyska priorytet dostępu do magistrali /stan niski na wejściu $\overline{BPRN}$/, kolejne opadające zbocze sygnału zegarowego $\overline{BCLK}$ spowoduje wygenerowanie stanu niskiego na wyjściach $\overline{BUSY}$ i $\overline{ADEN}$, co jest jednoznaczne z dołączeniem modułu nadrzędnego do magistrali systemowej.

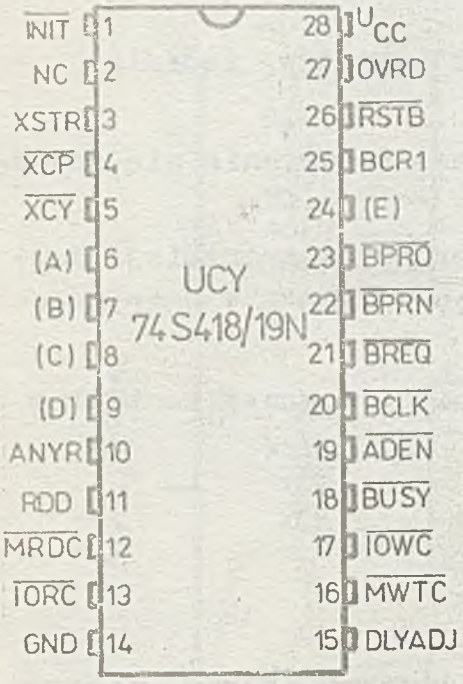
Sygnał $\overline{BUSY}$ blokuje dostęp do magistrali wszystkich innych modułów nadrzędnych, natomiast sygnał $\overline{ADEN}$ wykorzystywany jest do aktywizacji buforów/driverów szyn adresu i danych.

Cykl kontrolny systemu rozpoczyna się w momencie wystąpienia narastającego zbocza sygnału XSTR lub opadającego zbocza sygnału $\overline{ADEN}$, w zależności od tego, które z nich wystąpi jako ostatnie /rys. 4/. Powoduje to wygenerowanie sygnału $\overline{XCY}$, a po czasie opóźnienia τ /zależnym od wartości elementów RC na wyprowadzeniu DLYADJ/ odpowiedniego sygnału kontrolnego /$\overline{MRDC}$, $\overline{MWTC}$ itd/. Kolejne narastające zbocze sygnału XSTR może pojawić się już w trakcie aktualnego cyklu kontrolnego, co umożliwia przyspieszenie rozpoczęcia następnego cyklu. Zakończenie cyklu kontrolnego następuje w chwili wystąpienia opadającego zbocza sygnału $\overline{XCP}$, które powoduje zdjęcie sygnału kontrolnego, a po czasie opóźnienia τ wprowadzenie wyjścia $\overline{XCY}$ w stan wysoki.

Kontrolowana przez moduł nadrzędny magistrala systemowa może zostać zwolniona tylko w dwóch przypadkach:

- moduł nadrzędny traci priorytet /$\overline{BPRN}$ = 1/,
- moduł nadrzędny wstrzymuje żądanie dostępu do magistrali /BCR1 = 0, $\overline{BCR2}$ = 1/,

pod warunkiem, że nastąpiło zakończenie cyklu kontrolnego /$\overline{XCY}$=1/ oraz na wejściu OVRD występuje stan niski. Wyjścia $\overline{ADEN}$ i $\overline{BUSY}$ wprowadzone są wówczas w stan wysoki /rys. 3/.



	UCY 74S418N	UCY 74S419N
/A/	IOWR	IO/M
/B/	MWTR	WR
/C/	IORR	RD
/D/	MRDR	ASRQ
/E/	BCR2	BCR2

Rys. 1. Rozkład wyprowadzeń układu UCY 74S418/419N

Nazwy wyprowadzeń

INIT - wejście - sygnał inicjujący, sprowadzający układ do znanego stanu początkowego,
XSTR - wejście /aktywne narastające zbocze sygnału/ - sygnał rozpoczęcia cyklu kontrolnego systemu,
XCP - wejście /aktywne opadające zbocze sygnału/ - sygnał końca cyklu kontrolnego, wskazujący że dane zostałe odebrane przez układ podrzędny /cykl zapisu/ lub wysłane przez układ podrzędny i odebrane przez układ nadrzędny /cykl odczytu/,
XCY - wyjście TTL - sygnał wskazujący na przebieg cyklu kontrolnego
MRDR, MWTR, IDRR, IOWR - /wejścia układu UCY 74S418/ - sygnały żądania: odczytu z pamięci, zapisu do pamięci, czytania z portu WE/WY, zapisu do portu WE/WY.
Sygnały generowane przez kontroler systemu UCY 74S428 /dla układu MCY 7880/ lub przez kontroler DMA 8257:
WR, RD, IO/M - wejścia układu UCY 74S419 - sygnały kontrolne generowane przez mikroprocesor 8085 i wewnętrznie dekodowane

przez układ UCY 74S419N w celu uzyskania sygnałów żądania $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR}$,

ANYR - wyjście TTL - sygnał wskazujący na pojawienie się jednego z sygnałów żądania /$\overline{MRDR}$, $\overline{MWTR}$ itd./

RDD - wyjście TTL - sygnał sterujący kierunkiem transmisji dwukierunkowych buforów /driverów szyny danych/ RDD = 1 w trakcie cyklu czytania.

$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$ - wyjścia 3-stanowe - sygnały kontrolne systemu:

- odczytu z pamięci
- zapisu do pamięci
- odczytu z portu WE/WY
- zapisu do portu WE/WY

$\overline{ADEN}$ - wyjście TTL - sygnał aktywizacji buforów szyny adresu i danych

$\overline{BUSY}$ - wyjście typu "otwarty kolektor" - sygnał wskazujący stan magistrali systemowej /zajęte, zwolnione/

$\overline{BCLK}$ - wejście - sygnał zegara systemowego

$\overline{BREQ}$ - wyjście TTL - sygnał żądania dostępu do magistrali wykorzystywany w równoległym układzie arbitrażu

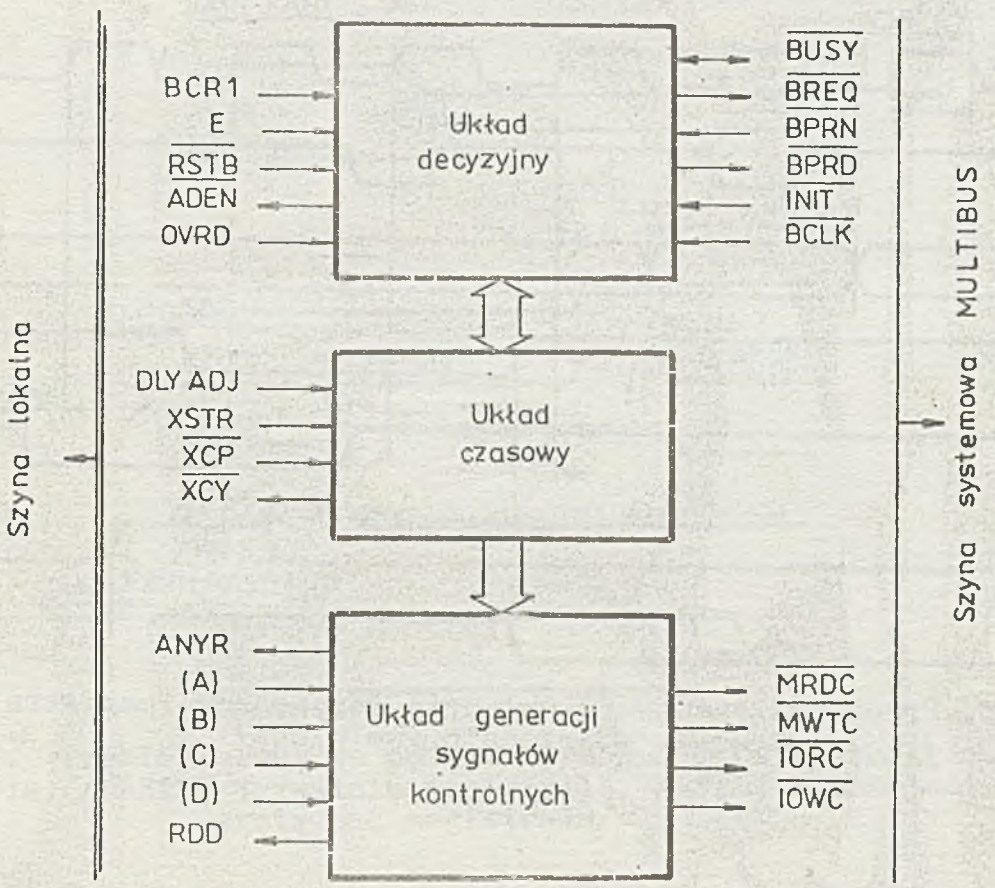
$\overline{BPRN}$ - wejście - sygnał priorytetu magistrali, wskazujący że żaden z układów równoległych o wyższym priorytecie nie zgłasza żądania dostępu do magistrali /$\overline{BPRN}$ = 0/

$\overline{BPRO}$ - wyjście TTL - sygnał priorytetu magistrali wykorzystywany w szeregowym układzie arbitrażu /ang. DAISY CHAIN/

BCR1, $\overline{BCR2}$/BCR2 - wejście - sygnały żądania dostępu do magistrali generowane przez moduł nadrzędny. Dla układu UCY 74S419N stanem aktywnym na wejściu BCR2 jest stan wysoki, natomiast dla układu UCY 74S418N, stan niski /$\overline{BCR2}$/

$\overline{ASRQ}$ - wejście - asynchroniczny sygnał żądania dostępu do magistrali, nie wymagający sygnału strobującego $\overline{RSTB}$ /tylko dla UCY 74S419N/

RSTB - wejście - sygnał strobujący sygnały żądania dostępu do magistrali BCR1, BCR2. W układzie UCY 74S418N strobowanie następuje w stanie niskim sygnału, natomiast w układzie UCY 74S419N, przy opadającym zboczu sygnału



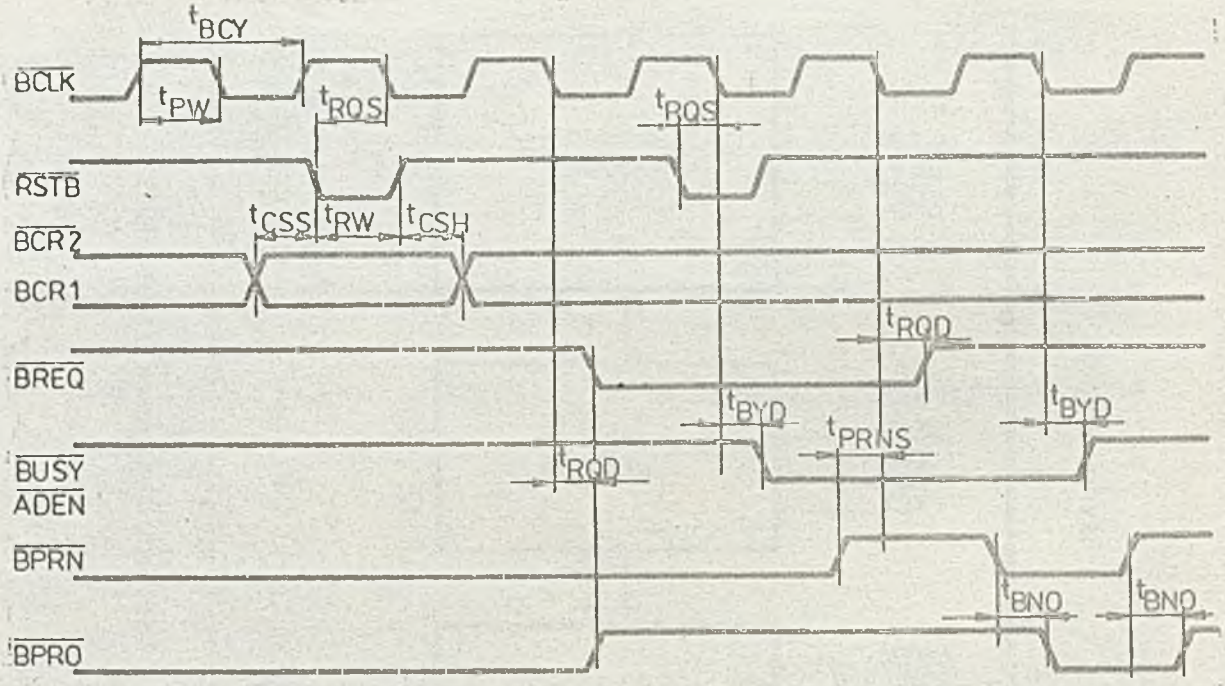
Rys. 2. Schemat blokowy układu UCY 74S418/419N

OVRD - wejście - sygnał zapobiegający utracie kontroli nad magistralą w przypadku utraty priorytetu przez moduł nadrzędny kontrolujący magistralę. Może być wykorzystywany w operacjach semaforowych typu czytanie - modyfikacja - zapis.

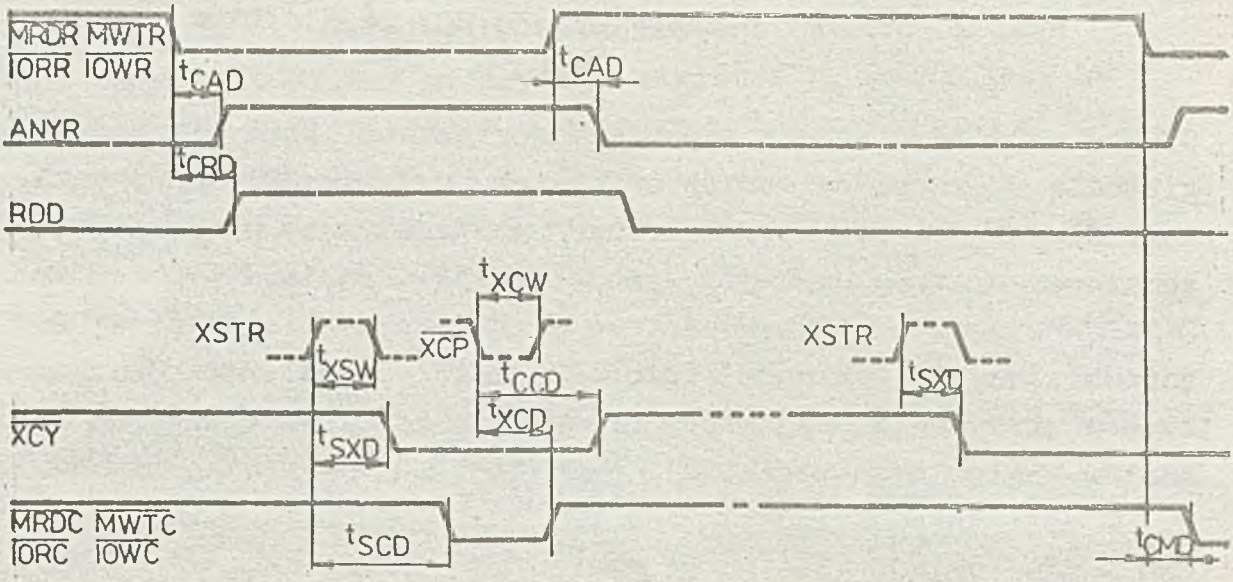
DLYADJ-wejście - wyprowadzenie dla zewnętrznych elementów RC zapewniających wymagane wartości czasów ustalenia oraz czasów utrzymania sygnałów adresu i danych w stosunku do sygnałów kontrolnych magistrali $\overline{\text{MRDC}}$ itd.

U_{CC} - zasilanie układu

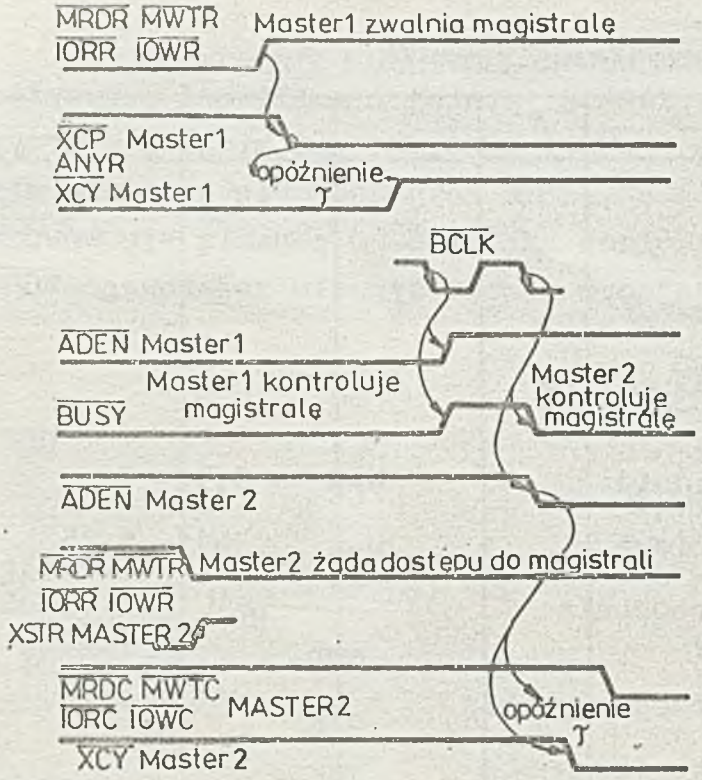
GND - masa układu



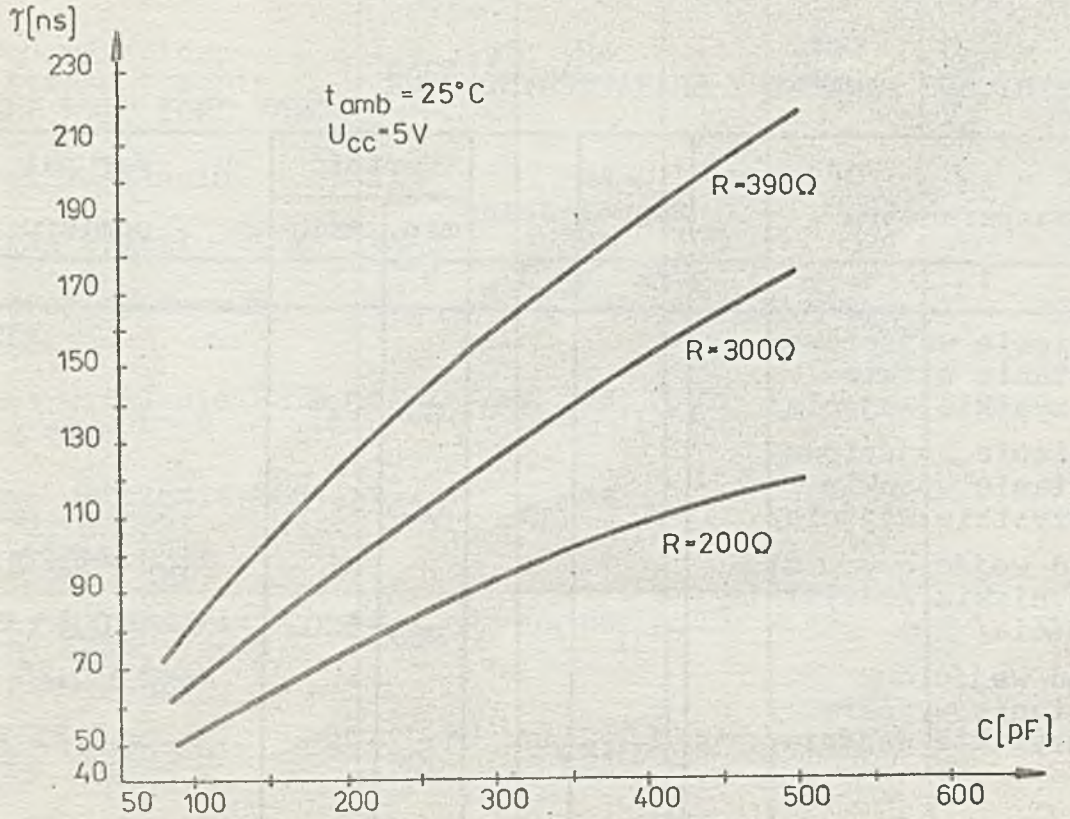
Rys. 3. Przebiegi czasowe w układzie decyzyjnym /magistrala systemowa poprzednio zwolniona/



Rys. 4. Przebiegi czasowe podczas cyklu kontroli magistrali /magistrala poprzednio zwolniona/



Rys. 5. Przebiegi czasowe podczas przejmowania kontroli nad magistralą. /MASTER 1 zwalnia magistralę, MASTER 2 przejmuje kontrolę nad magistralą/



Rys. 6. Zależność czasu opóźnienia τ od elementów R, C

W układzie UCY 74S418 istnieje możliwość przyspieszonej generacji sygnałów $\overline{BPRQ}$ i $\overline{BPRO}$. Ma to miejsce w przypadku, gdy wejścia BCR1, $\overline{BCR2}$, $\overline{RSTB}$ znajdują się w stanie niskim. Stany aktywne na wejściach $\overline{BREQ}$ i $\overline{BPRO}$ pojawią się wówczas już po pierwszym opadającym zboczu sygnału zegarowego $\overline{BCLK}$.

PARAMETRY DOPUSZCZALNE

Napięcie zasilania	U_{CC}	0,5 - 7	V
Napięcie wejściowe	U_I	-1 - 5,25	V
Temperatura otoczenia w czasie pracy	t_{amb}	0 - +70	^oC
Temperatura przechowywania	t_{stg}	-55 - +125	^oC
Rezystancja termiczna złącze-otoczenie	R_{thj-a}	55	k/W
Temperatura złącza	t_j	150	^oC

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
1	2	3	4	5	6
Napięcie wejściowe w stanie niskim /wszystkie wejścia/	U_{IL}	V	-	0,8	
Napięcie wejściowe w stanie wysokim /wszystkie wejścia/	U_{IH}	V	2	-	
Prąd wejściowy w stanie niskim /wszystkie wejścia/	$-I_{IL}$	/uA	-	500	U_{CC} = 5,25 V U_I = 0,45 V
Prąd wejściowy w stanie wysokim /wszystkie wejścia/	I_{IH}	/uA	-	100	U_{CC} = 5,25 V U_I = 5,25 V

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

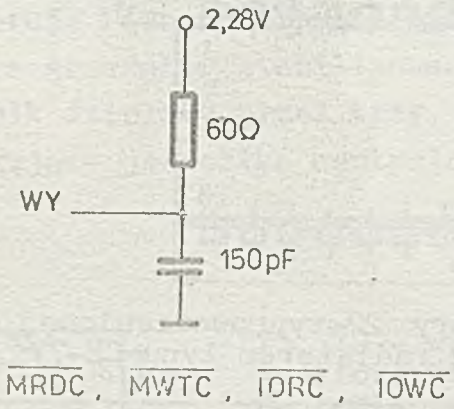
1	2	3	4	5	6
Napięcie wyjściowe w stanie niskim	U_{OL}	V			U_{CC} = 4,75 V
$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$			-	0,45	I_{OL} = 32 mA
$\overline{BREQ}$, $\overline{BUSY}$			-	0,45	I_{OL} = 20 mA
$\overline{XCY}$, $\overline{ADEN}$, RDD				0,45	I_{OL} = 16 mA
$\overline{BPRO}$, ANYR				0,45	I_{OL} = 3,2 mA
Napięcie wyjściowe w stanie wysokim	U_{OH}	V			U_{CC} = 4,75 V
$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$, $\overline{BUSY}$ - wyjście typu OC			2,4		I_{OH} = -2 mA
Pozostałe wyjścia			2,4		I_{OH} = -400/uA
Wyjściowy prąd zwarciowy	$-I_{OS}$	mA	10	90	U_{CC} = 5,25 V U_O = 0 V
Prąd wyjściowy w stanie trzecim $\overline{MRDC}$,$\overline{MWTC}$,$\overline{IORC}$,$\overline{IOWC}$	$I_{o/off/}$	/uA	- -	-100 100	U_{CC} = 5,25 V U_o = 0,45 V U_o = 5,25 V
Prąd zasilania	I_{CC}	mA	-	240	U_{CC} = 5,25 V
Okres sygnału $\overline{BCLK}$	t_{BCY}	ns	100	-	
Szerokość impulsu BCLK	t_{PW}	ns	35	$0,65_{BCY}$	
Czas ustalenia $\overline{RSTB}$ względem $\overline{BCLK}$	t_{RQS}	ns	25	-	
Czas ustalenia BCR1, $\overline{BCR2}$, /BCR2/ względem $\overline{RSTB}$	t_{CSS}	ns	15	-	
Czas utrzymania BCR1,$\overline{BCR2}$, /BCR2/ względem $\overline{RSTB}$	t_{CSH}	ns	15	-	
Czas opóźnienia $\overline{BCLK}$— $\overline{BREQ}$	t_{RQD} ※)	ns	35	-	

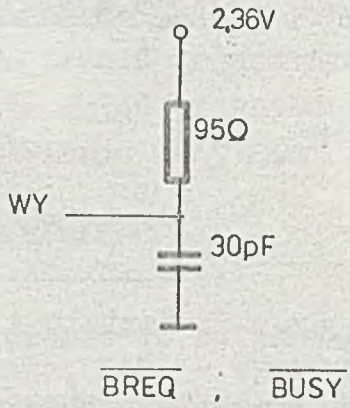
ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

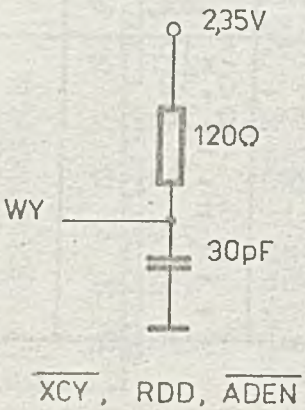
1	2	3	4	5	6
Czas ustalenia $\overline{BPRN}$ względem $\overline{BCLK}$	t_{PRNS}	ns	23	-	
Czas opóźnienia $\overline{BPRN} \rightarrow \overline{BPRO}$	t_{BNO} *)	ns	-	30	
Czas opóźnienia $\overline{BCLK} \rightarrow \overline{BUSY}$	t_{BYD} *)	ns	-	55	
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow$ ANYR	t_{CAD} *)	ns		30	
Czas opóźnienia XSTR $\rightarrow \overline{XCY}$	t_{SXD} *)	ns	-	40	
Czas opóźnienia XSTR $\rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{SCD} *)	ns	50	200	Regulacja za pomocą elementów RC na wypr. DLYADJ
Szerokość impulsu XSTR	t_{XSW}	ns	30	-	
Czas opóźnienia $\overline{XCP} \rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{XCD} *)	ns	-	50	
Szerokość impulsu $\overline{XCP}$	t_{XCW}	ns	35	-	
Czas opóźnienia $\overline{XCP} \rightarrow \overline{XCY}$	t_{CCD} *)	ns	50	200	Regulacja za pomocą elementów RC na wypr. DLYADJ
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{CMD} *)	ns	-	35	
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow$ RDD	t_{CRD} *)	ns	-	25	
Szerokość impulsu $\overline{RSTB}$	t_{RW}	ns	30	-	

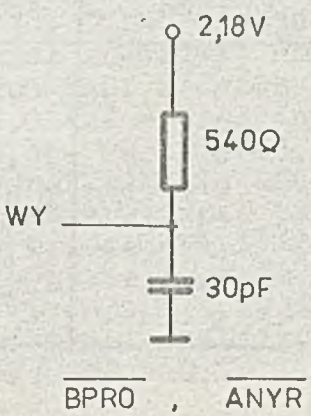
ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

1	2	3	4	5	6
Czas opóźnienia $\overline{BCLK} \rightarrow \overline{BDRO}$	t_{CPD} *)	ns	-	40	
Czas opóźnienia $\overline{XCP} \rightarrow RDD$	t_{XRD} *)	ns	25	70	
*) Obciążenie wyjść jak na rys 7.					

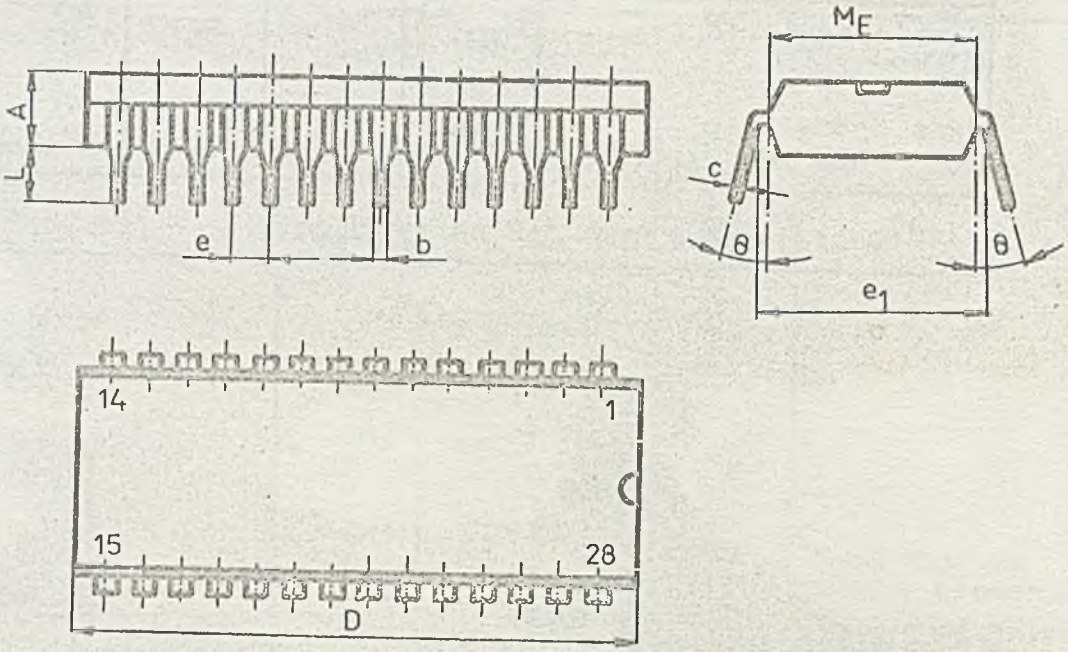








Rys. 7. Obciążenie wyjść układu UCY74S418/419N podczas pomiaru parametrów dynamicznych



Rys. 8. Kształt i wymiary 28-wyprowadzeniowej obudowy plastykowej z radiatorem typu CE-77

Symbol wymiaru	Wymiary /mm/			Kąt /stopnie/
	min.	nom.	max.	
A	-	-	5,10	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	36,4	36,7	-	-
e	-	2,54	-	-
e_1	-	15,24	-	-
L	2,54	-	-	-
M_E	13,8	-	-	-
θ	-	-	-	0 ÷ 15

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

Tlx 815647
Tel. 435401
Maj 1987

Druk ZOINTE ITE zam. 74/87 n.3(

Cena 120 zł

PRAWO REPRODUKCJI ZASTRZEŻONE

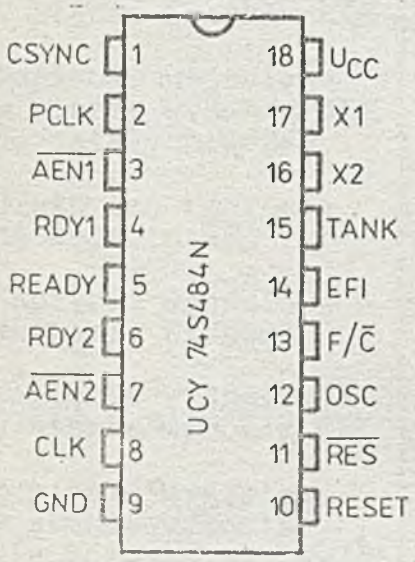
INSTYTUT TECHNOLOGII ELEKTRONOWEJ

GENERATOR IMPULSÓW ZEGAROWYCH DO STEROWANIA JEDNOSTKI CENTRALNEJ MIKROPROCESORA 8086

UCY 74S484N

Monolityczny, cyfrowy układ scalony TTL-S UCY 74S484N pełni funkcję generatora impulsów zegarowych jednostki centralnej mikroprocesora 8086.

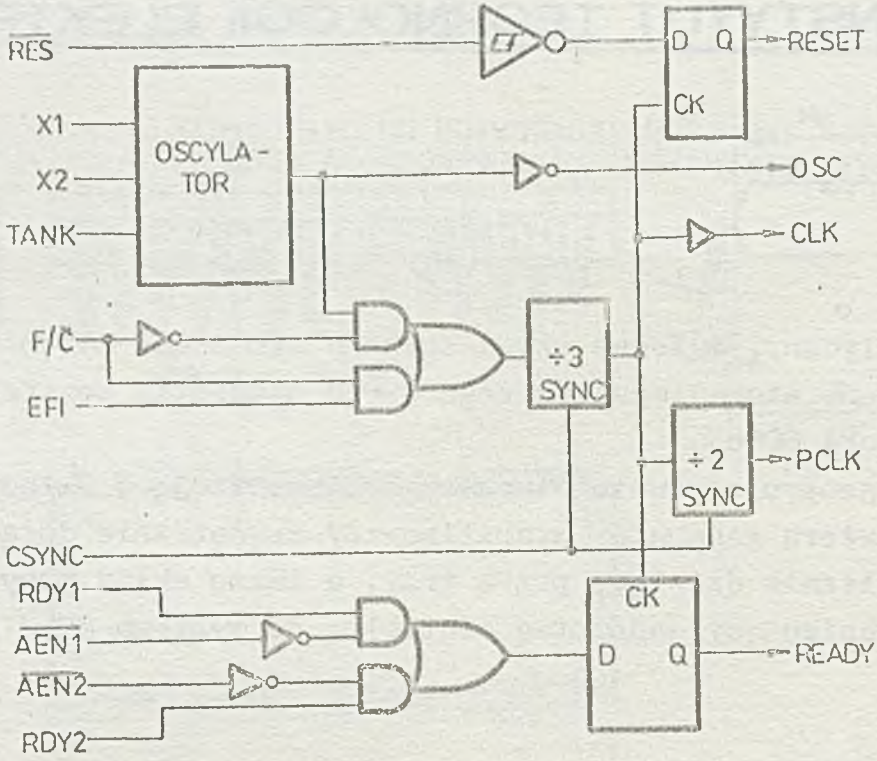
Układ generuje również impulsy synchronizujące układy peryferyjne. Zawiera generator stabilizowany zewnętrznie dołączonym kwarcem, licznik dzielący przez trzy, a także układ przystosowujący i synchronizujący jednostkę centralną do systemu MULTIBUS™.



X1, X2 - wyprowadzenie do podłączenia rezonatora kwarcowego; TANK - wyprowadzenie do podłączenia obwodu rezonansowego przy pracy na częstotliwości harmonicznej rezonatora kwarcowego; F/C - selektor źródła sygnału zegarowego; CSYNC - wejście synchronizujące sygnał zegarowy; RDY1, RDY2 - wejścia sygnału READY z dwóch systemów MULTIBUS™; AEN1, AEN2 - wejścia adresowe zezwalające na pracę wejść RDY1, RDY2; RES - wejście sygnału RESET; OSC - wyjście oscylatora; CLK - wyjście sygnału zegarowego dla mikroprocesora i innych układów MOS; PCLK - wyjście sygnału zegarowego dla układów TTL; READY - wyjście sygnału READY; UCC - napięcie zasilania /wartość typowa +5 V/; GND - 0 V

Rys. 1. Rozkład i nazwy wyprowadzeń

WSTĘPNA KARTA KATALOGOWA



Rys. 2. Schemat blokowy

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{CC}	-0,5- 7	V
Napięcie wejściowe	U_I	-1,5- 7	V
Temperatura otoczenia w czasie pracy	t_{amb}	0 - 70	°C
Temperatura przechowywania	t_{stg}	-55-+125	°C
Rezystancja termiczna złącze - otoczenie	R_{thj-a}	75	k/W
Temperatura złącza	t_j	150	°C

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /t_{amb}=0°C + 70°C, U_{CC}=5 V ± 5%, o ile nie podano inaczej/

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
1.	2	3	4	5	6
Prąd wejściowy w stanie niskim	$-I_{IL}$	mA		0,5	U_I = 0,45 V
Prąd wejściowy w stanie wysokim	I_{IH}	/uA		50	U_I=5,25 V
Ujemne napięcie wejściowe	$-U_{IL}$	V		1	$-I_I$=5 mA
Napięcie wejściowe w stanie niskim	U_{IL}	V		0,8	U_{CC}=5 V
Napięcie wejściowe w w stanie wysokim $\overline{RES}$	U_{IH}	V		2,6	U_{CC}=5 V
Napięcie wejściowe w stanie wysokim dla pozostałych wejść	U_{IH}	V		2,0	U_{CC}=5 V
Histereza napięcia na wejściu $\overline{RES}$	$U_{T+}-U_{T-}$	V		0,25	U_{CC}=5 V
Napięcie wyjściowe w stanie niskim	U_{OL}	V		0,45	I_o=5 mA
Napięcie wyjściowe w stanie wysokim CLK	U_{OH}	V	4		I_o=-1 mA
Napięcie wyjściowe w stanie wysokim dla pozostałych wyjść	U_{OH}	V	2,4		I_o=-1 mA
Prąd zasilania	I_{CC}	mA		140	U_{CC}=5,25 V
Okres sygnału CLK	t_{CLCL}	ns	125		U_{CC}=5 V obciążenie zgodne z rys. 3
Czas trwania sygnału CLK w stanie wysokim	t_{CHCL}	ns	$\frac{1}{3}t_{CLCL}+2$		
Czas trwania sygnału CLK w stanie niskim	t_{CLHL}	ns	$\frac{2}{3}t_{CLCL}-15$		

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c. d.

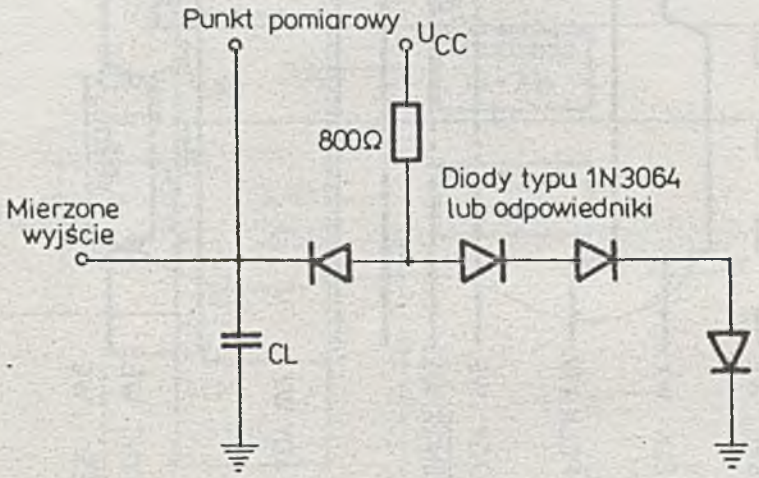
1	2	3	4	5	6
Czas narastania sygnału CLK	t_{CH1CH2}	ns		10	U_{CC}=5 V obciążenie zgodne z rys.3
Czas opadania sygnału CLK	t_{CL2CL1}	ns		10	1,0 ÷ 3,5V
Czas trwania sygnału PCLK w stanie wysokim	t_{PHPL}	ns	t_{CLCL}-20		
Czas trwania sygnału PCLK w stanie niskim	t_{PLPH}	ns	t_{CLCL}-20		
Przejście sygnału READY w stan nieaktywny względem CLK[4])	t_{RYLCL}	ns	-8		
Przejście sygnału READY w stan aktywny względem CLK[3])	t_{RYHCH}	ns	$\frac{2}{3}t_{CLCL}$-15		
Opóźnienie sygnału CLK względem sygnału RESET	t_{CLIL}	ns	40		U_{CC}=5 V obciążenie zgodne z rys.3
Czas trwania stanu wysokiego sygnału na wejściu EFI	t_{EHEL}	ns	20		
Czas trwania stanu niskiego sygnału na wejściu EFI	t_{ELEH}	ns	20		
Okres sygnału na wejściu EFI	t_{ELEL}	ns	$t_{EHEL}+t_{ELEH+\delta}$ [1])		
Częstotliwość kwarcu		MHz	12		
Czas narastania RDY1, RDY2 względem CLK	t_{R1VCL}	ns	35		
Czas podtrzymania RDY1, RDY2 względem CLK	t_{CLR1X}	ns	0		
Czas narastania $\overline{AEN1}$, $\overline{AEN2}$ względem RDY1, RDY2	t_{A1VR1V}	ns	15		
Czas podtrzymania $\overline{AEN1}$, $\overline{AEN2}$ względem RDY1, RDY2	t_{CLA1X}	ns	0		

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE... c. d.

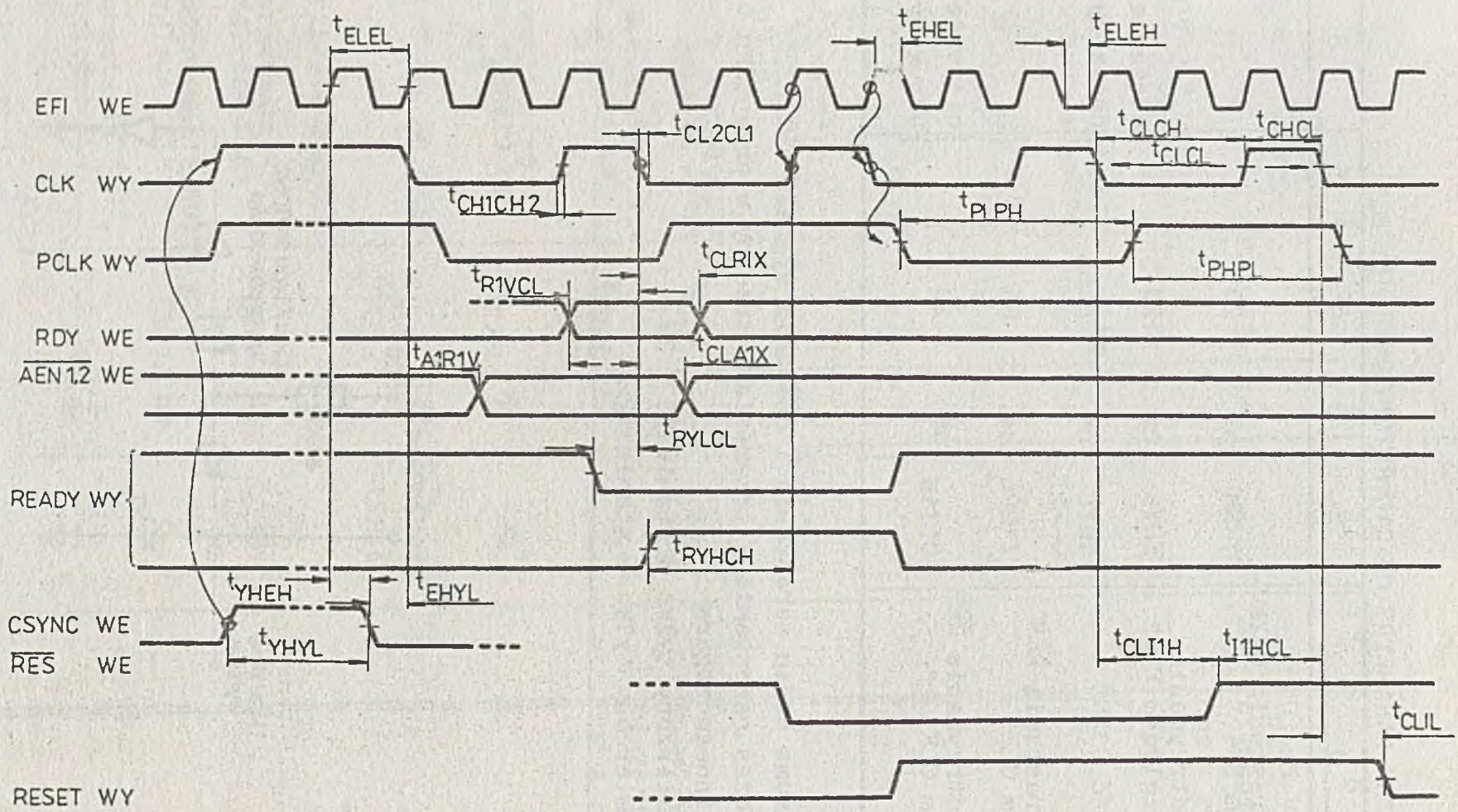
1	2	3	4	5	6
Czas narastania CSYNC względem EFI	t_{YHEH}	ns	20		U_{CC}=5 V obciążenie zgodne z rys.3
Czas podtrzymania CSYNC względem EFI	t_{EHYL}	ns	20		
Szerokość CSYNC	t_{YHYL}	ns	$2xt_{ELEL}$		
Czas narastania $\overline{RES}$ względem CLK	t_{I1HCL}	ns	65		U_{CC}=5 V obciążenie zgodne z rys.3 [2]
Czas podtrzymania $\overline{RES}$ względem CLK	t_{CLI1H}	ns	20		

Uwagi:

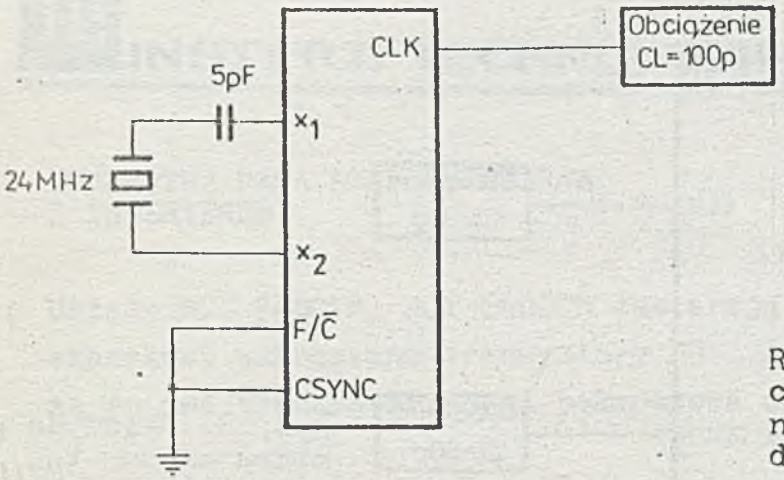
1) δ - suma czasu narastania i opadania sygnału EFI.
2) - czas narastania i trzymania potrzebny w przypadku użycia innego zegara
3) - mierzony tylko w stanie T3 i TW.
4) - mierzony tylko w stanie T2.



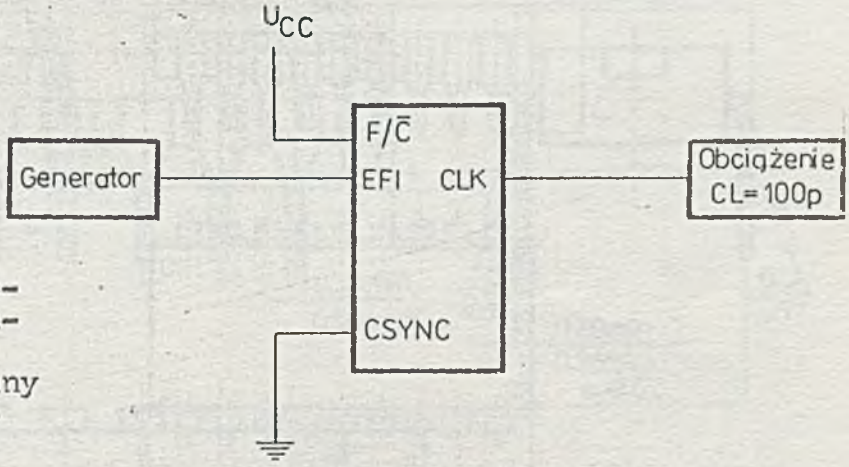
Rys. 3. Obciążenie wyjść przy pomiarach parametrów dynamicznych
C_L zawiera pojemność sondy i złącza diody



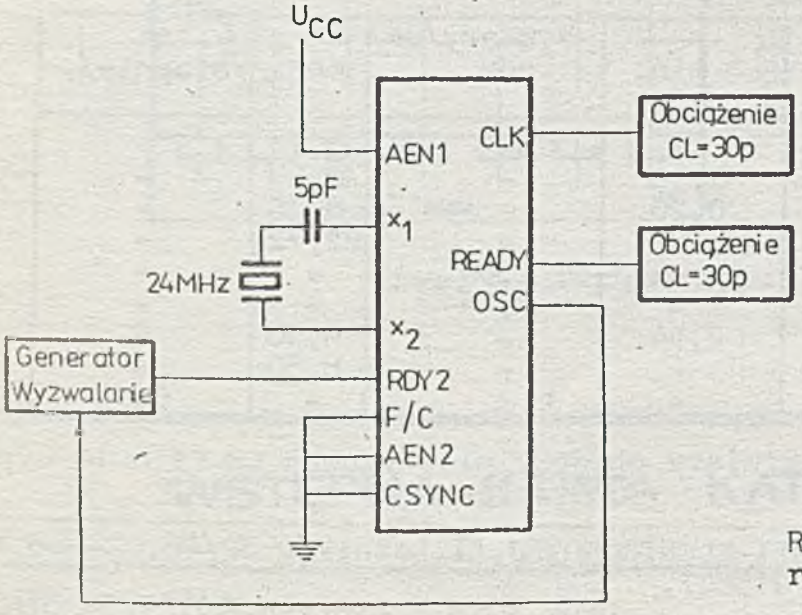
Rys. 4. Przebieg sygnałów w układzie. Wszystkie czasy mierzono w punkcie 1,5 V, o ile nie zaznaczono inaczej



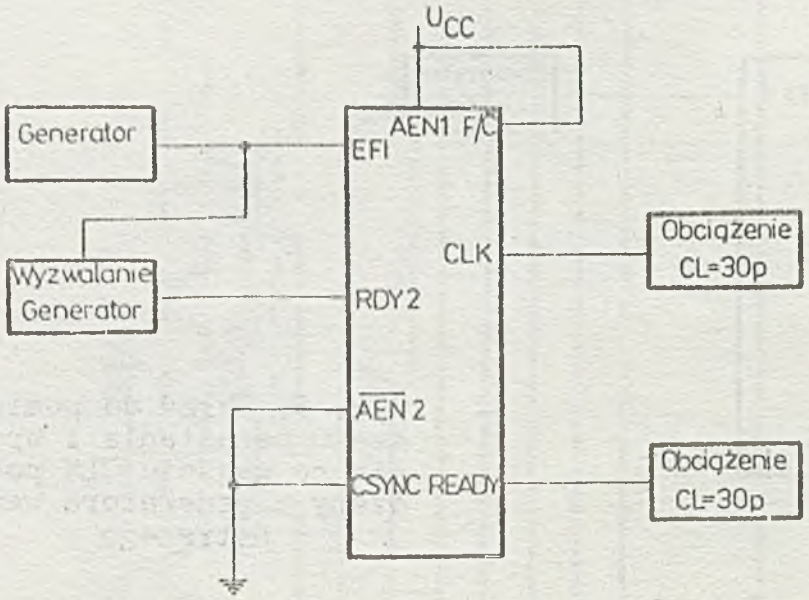
Rys. 5. Układ do pomiaru czasu narastania i opadania na wyjściu CLK pobudzany z generatora wewnętrznego



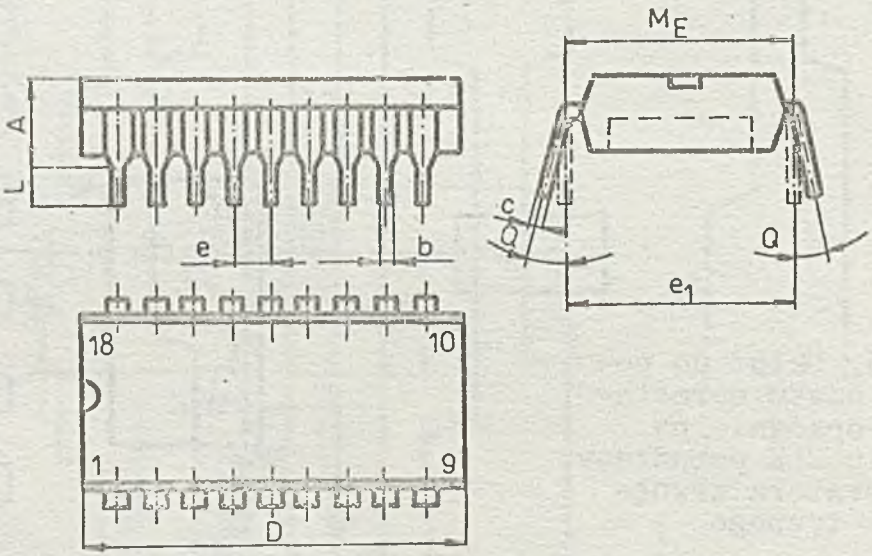
Rys. 6. Układ do pomiaru czasu narastania i opadania na wyjściu CLK pobudzany z generatora zewnętrznego



Rys. 7. Układ do pomiaru czasu t_{RYHCH} i t_{RYLCL}



Rys. 8. Układ do pomiaru czasu t_{RYLCL} i t_{RYHCH}



Symbol wymiaru	min.	Wymiary/mm/ nom.	max.	Kąt /stopnie/
A	-	-	5,1	-
b	0,38	-	0,59	-
C	0,20	-	0,36	-
D	-	-	22,72	-
e	-	2,54	-	-
e_1	-	7,62	-	-
L	2,54	-	4,50	-
M_E	-	-	8,30	-
Q	-	-	-	0÷15

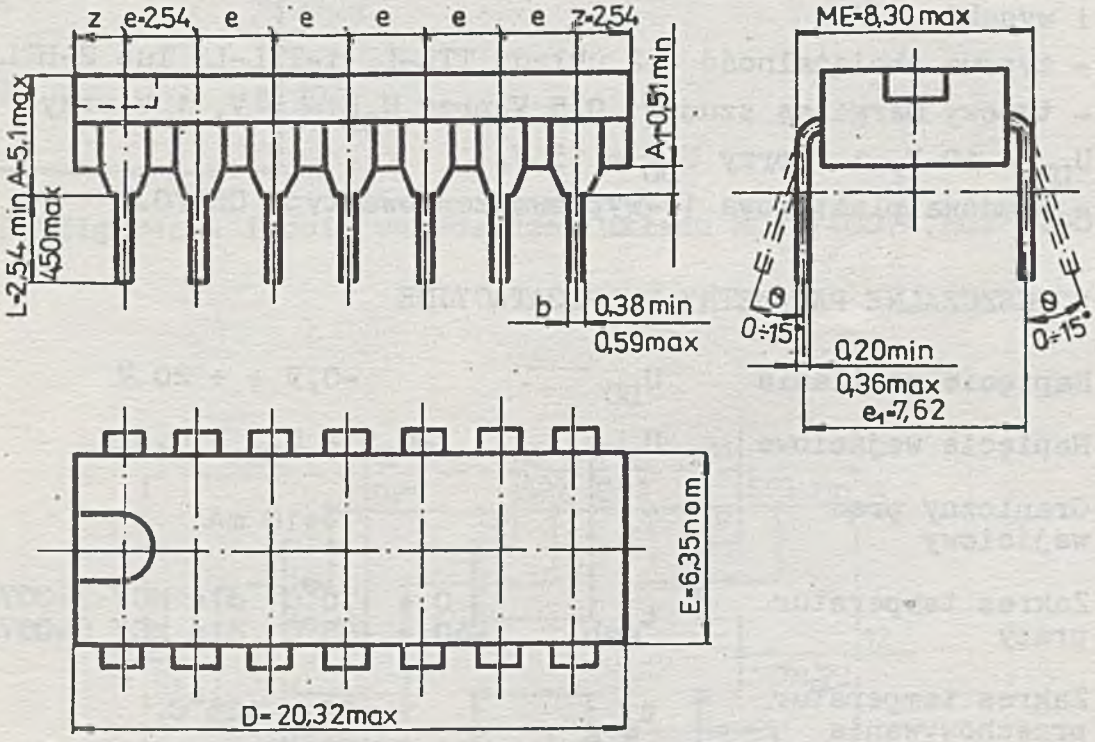
Rys. 9. Kształt i wymiary obudowy plastykowej CE 81 o 18 wyprowadzeniach

INSTYTUT TECHNOLOGII ELEKTRONOWEJ, Al. Lotników 32/46, 02-668 W-wa
Tel. 435401, tlx. 815647,
Kwiecień 1987 Druk ZOINTE ITE zam. 68/87 n. 300
Cena 80 zł
PRAWO REPRODUKCJI ZASTRZEŻONE

DWUKROTNA PARA KOMPLEMENTARNA
Z INWERTEREM

MCY 74007N
MCY 64007N

Układy MCY 74007N, MCY 64007N zawierają 3 n-kanałowe oraz 3 p--kanałowe wzbogacane tranzystory MOS. Przez wprowadzenia dostępne są po dwa tranzystory n- i p-kanałowe oraz inwerter CMOS /rys.1/



Rys. 1. Obudowa typu CE70

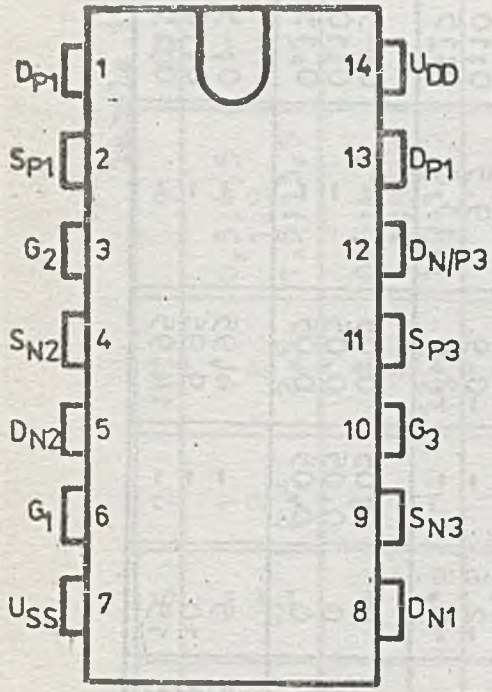
WSTĘPNA KARTA KATALOGOWA

Układy są przeznaczone do pracy w zespołach:
- inwerterów,
- kształtowania impulsów,
- wzmacniaczy liniowych,
- wzmacniaczy o dużej impedancji wejściowej,
- bramek transmisyjnych,
- bramek funkcyjnych.

Cechy charakterystyczne:
- zakres napięć zasilania 3 ÷ 18 V,
- wszystkie wejścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki wyjściowe w stanie niskim i wysokim,
- typowa obciążalność - 2 układy TTL-L, 1-TTL-LS lub 2-HTL,
- typowy margines szumów: 0,5 V przy U_{DD} = 5 V, 1 V przy U_{DD} = 10 V, 1 V przy U_{DD} = 15 V,
- obudowa plastykowa 14-wyprowadzeniowa typu CE-70.

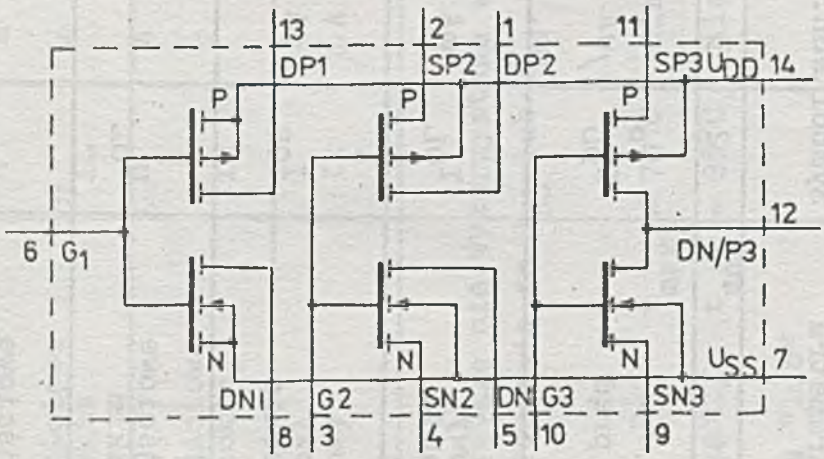
DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ + 20 V
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	± 10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ +70°C dla MCY 74007N, -40 ÷ +85°C dla MCY 64007N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ 125°C
Temperatura lutowania:	t_{sol}	
- ręcznego /max. 4 s/		350°C
- automatycznego		270°C
Całkowita moc rozproszona	P_{tot}	500 mW



U_{DD} - napięcie zasilania +
U_{SS} - napięcie zasilania -
G - bramka
D_N - dren tranzystora n-kanałowego
D_P - dren tranzystora p-kanałowego.
S_N - źródło tranzystora n-kanałowego
S_P - źródło tranzystora p-kanałowego

Rys.2.Konfiguracja i opis wyprowadzeń układu MCY 74007N,MCY 64007N



Rys. 3. Schemat funkcjonalny układów MCY 74007N, MCY 64007N

Tabela. 1. ELEKTRYCZNE PARAMETRY STATYCZNE

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C min.	Wartość 25°C typ.	Wartość 25°C max.	t_{max} *)	Warunki pomiaru U_O [V]	Warunki pomiaru U_I [V]	Warunki pomiaru U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/uA	0,25	-	0,01	0,25	7,5	-	0; **) 5	5
			0,5	-	0,01	0,5	15	-	0;10	10
			1	-	0,01	1	30	-	0;15	15
			5	-	0,02	5	150	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,64	0,51	1	-	0,36	0,4	0; 5	5
			1,6	1,3	2,6	-	0,9	0,5	0;10	10
			4,2	3,4	6,8	-	2,4	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,64	-0,51	-1	-	-0,36	4,6	0; 5	5
			-2	-1,6	-3,2	-	-1,15	2,5	0; 5	5
			-1,6	-1,3	-2,6	-	-0,9	9,5	0;10	10
			-4,2	-3,4	-6,8	-	-2,4	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0,15	15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95	4,95	5	-	4,95	-	0; 5	5
			9,95	9,95	10	-	9,95	-	0;10	10
			14,94	14,95	15	-	14,95	-	0;15	15

Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wejściowe w stanie niskim	U_{IL}	V	1 2 2,5	- - -	- - -	1 2 2,5	1 2 2,5	0,5;4,5 1,9 1,5;13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	4 8 12,5	4 8 12,5	- - -	- - -	4 8 12,5	0,5;4,5 1;9 1,5;13,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18

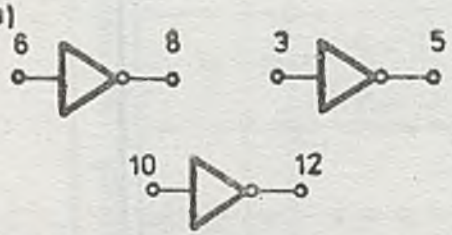
Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla serii MCY 74...N

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla serii MCY 64...N

**) ; oznacza "lub"

a)



Zwarte wyprowadzenia w grupach (14,2,11);(8,13);(1,5);(7,4,9)

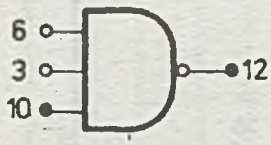
Potrójny inwerter

b)

Zwarte wyprowadzenia w grupach (13,2); (1,11);(12,5,8);(7,4,9)

Trzywejściowa bramka NOR

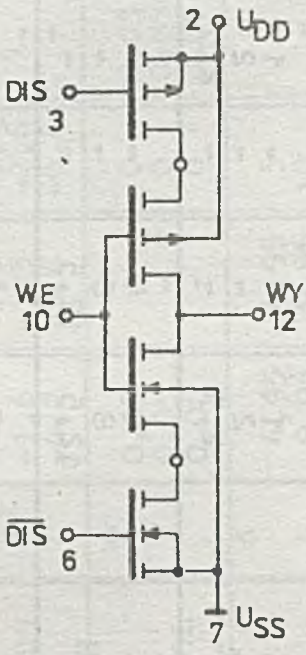
c)



Zwarte wyprowadzenia w grupach (1,12,13);(2,14,11);(4,8);(5,9)

Trzywejściowa bramka NAND

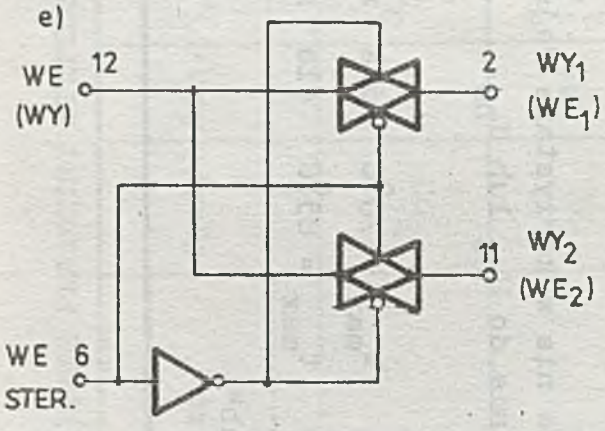
d)



Wyprowadzenia zwarte w grupach (11,1);(8,9)

Bufor trzystanowy

e)



Wyprowadzenia zwarte w grupach (1,5,12);(2,9);(11,4);(8,13,10); (6,3)

Dwuwejściowy multiplekser/demultiplekser

Rys. 4. Przykładowe zastosowania układu MCY 74007N, MCY 64007N

Tabela 2. ELEKTRYCZNE PARAMETRY DYNAMICZNE /t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ /

Nazwa parametru	Symbol	Jedn.	Wartość typ.	Wartość max.	U_{DD} [V]
Czas propagacji przy zmianie stanu logicznego:			55	110	5
- z wysokiego na niski	t_{PHL}	ns	30	60	10
- z niskiego na wysoki	t_{PLH}		25	50	15
Czas transmisji sygnału na wyjściu przy przejściu:			100	200	5
- z poziomu wysokiego na niski	t_{THL}		50	100	10
- z poziomu niskiego na wysoki	t_{TLH}	ns	40	80	15
Pojemność wejściowa	C_I	pF	10	15	-

WYMAGANIA DODATKOWE

Przechowywanie i transport wyrobu

Układy powinny być przechowywane w sposób zapewniający zwarcie elektryczne wszystkich wyprowadzeń. Zalecane stosowanie gąbki przewodzącej, folii aluminiowej lub innych materiałów przewodzących.

Montaż układów

Podczas montażu układów zalecane jest stosowanie obrączek uziemiających o rezystancji 1 MΩ do ziemi, uziemienie stołu montażowego, uziemienie narzędzi montażowych /np. lutownica/. Niedozwolony jest montaż lub demontaż układów pod napięciem na którymkolwiek z wyprowadzeń.

Układy aplikacyjne

Wszystkie nie wykorzystane wejścia powinny być połączone z masą /U_{SS}/ lub zasilaniem /U_{DD}/ odpowiednio do pełnionej funkcji logicznej.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx. 815647

Luty 1987
Cena 30 zł

Druk ZOINTE ITE-zam. 23/87 n.30

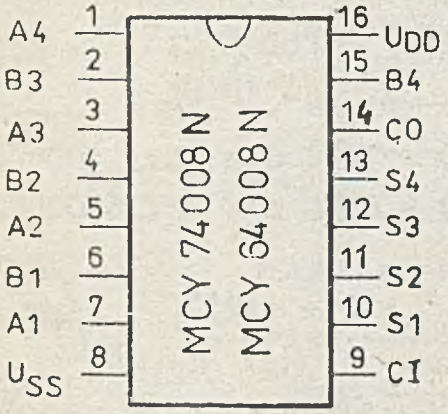
PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

MCY 74008N
MCY 64008N

4-BITOWY PEŁNY SUMATOR RÓWNOLEGŁY

Układy MCY 74/64008N zbudowane są z tranzystorów wzbogacanych p i n-kanałowych, wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS-CMOS/.
Układy te służą do sumowania dwóch 4-bitowych argumentów z uwzględnieniem przeniesienia wchodzącego na sumowaną tetradę z jednoczesną generacją przeniesienia wychodzącego z sumowanej tetrady.
Układy MCY 74/64008N składają się z dwóch bloków, tj. bloku sumowania i bloku szybkiego przeniesienia równoległego.
Blok sumowania składa się z czterech połączonych równolegle pełnych sumatorów posiadających właściwość szybkiego przesyłania sygnału przeniesienia dla danego sumatora ze stopnia poprzedniego. Blok szybkiego przeniesienia równoległego służy



A1 ÷ A4
B1 ÷ B4 - wejścia bitów sumowanych,

CI - wejścia przeniesienia,

S1 ÷ S4 - wyjścia 4 bitów sumy,

CO - wyjście przeniesienia.

Rys. 1 Opis i układ wyprowadzeń

do szybkiej generacji sygnału przeniesienia sumowanej tetrady, co umożliwia działanie z dużą szybkością jednostki arytmetycznej zbudowanej z kilku sumatorów MCY 74/64008N.

Cechy charakterystyczne sumatorów MCY 74/64008N:

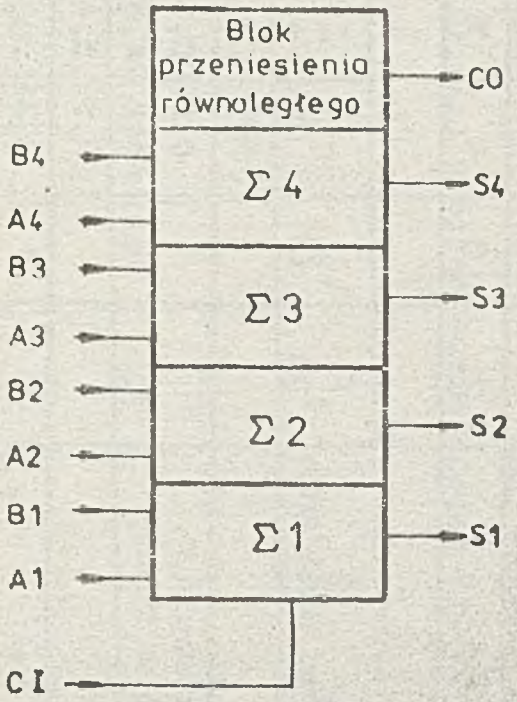
- zakres napięcia zasilania - 3 ÷ 18 V,
- wszystkie wyjścia buforowane,
- wszystkie wejścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystki wyjściowe w stanie niskim i wysokim,
- obudowa plastykowa 16-wyprowadzeniowa,
- typowy margines szumów: 1 V przy U_{DD} = 5 V, 2 V przy U_{DD} = 10 V, 2,5 V przy U_{DD} = 15 V.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 V ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	± 10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C dla MCY 74008N, -40 ÷ 85°C dla MCY 64008N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ +125°C
Temperatura lutowania:	t_{sol}	
- ręcznego /max. 4 s/		350°C
- automatycznego		270°C
Maksymalna moc strat	P_d	500 mW

TABELA STANÓW

AN	BN	CN	CO	SN
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1



Rys. 2 Schemat funkcjonalny 4-bitowego pełnego sumatora równoległego MCY 74008N, MCY 64008N

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Parametr	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_o [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/uA	5	-	0,04	5	150	-	0; 5	5
			10	-	0,04	10	300	-	0;10	10
			20	-	0,04	20	600	-	0;15	15
			100	-	0,08	100	3000	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,64	0,51	1	-	0,36	0,4	0; 5	5
			1,6	1,3	2,6	-	0,9	0,5	0;10	10
			4,2	3,4	6,8	-	2,4	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,64	-0,51	-1	-	-0,36	4,6	0; 5	5
			-2	-1,6	-3,2	-	-1,15	2,5	0; 5	5
			-1,6	-1,3	-2,6	-	-0,9	9,5	0;10	10
			-4,2	-3,4	-6,8	-	-2,4	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0;15	15

Tabela 1 c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95 9,95 14,95	4,95 9,95 14,95	5 10 15	- - -	4,95 9,95 14,95	- - -	0; 5 0;10 0;15	5 10 15
Napięcie wejściowe w stanie niskim	U_{IL}	V	1 3 4	- - -	- - -	1 3 4	1 3 4	4,5 9 13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5 1 1,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18

Uwaga: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla układów MCY 74008N,

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla układów MCY 64008N.

Tabela 2 PARAMETRY DYNAMICZNE /t_{amb}= 25°C, t_r= t_f= 20 ns, C_L= 50 pF, R_L= 200 kΩ/

Nazwa parametru	Symbol	Jedn.	Wartość			U_{DD} [V]
			min.	typ.	max.	
Czas propagacji AN/BN do SN	t_{PHL}, t_{PLH}	ns	-	400	800	5
			-	160	320	10
			-	115	230	15
Czas propagacji C1 do SN			-	370	740	5
			-	155	310	10
			-	115	230	15
Czas propagacji AN/BN do CO			-	200	400	5
			-	90	180	10
			-	65	130	15
Czas propagacji C1 do CO			-	100	200	5
			-	50	100	10
			-	40	80	15
Czas transmisji sygnału na wyjściu	t_{THL}, t_{TLH}	ns	-	100	200	5
			-	50	100	10
			-	40	80	15
Pojemność wejściowa	C_I	pF	-	5	7,5	-

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647

1986
Cena 60 zł

Druk ZOINTE ITE zam. 42[illegible]/86 n. [illegible]

PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

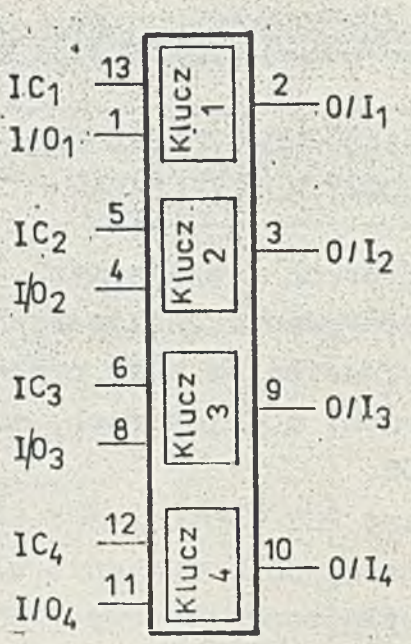
BILATERALNE KLUCZE ANALOGOWO-CYFROWE MOS — MCY 74016N
POCZWÓRNY KLUCZ ANALOGOWY/MULTIPLEKSER — MCY 64016N

Układ składa się z czterech niezależnych kluczy, które mogą pracować w układach sterowania analogowych lub cyfrowych. Podstawowym jego przeznaczeniem jest praca w układach bramkujących, dyskryminatorach, modulatorach, demodulatorach i układach logicznych CMOS.

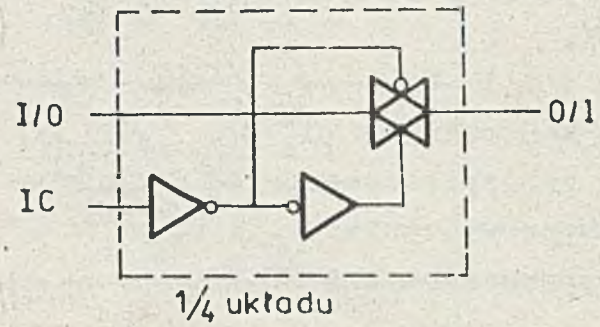
Cechy charakterystyczne MCY 74016N, MCY 64016N to:

- stosunek napięcia na wyjściu w stanie włączonym do napięcia na wyjściu w stanie wyłączonym typowy - 65 dB /f_{IS} = 10 kHz, R_L = 10 kΩ/,
- mały pozom przesłuchów pomiędzy przełącznikami: - 50 dB, /f_{IS} = 0,9 MHz, R_L = 1 kΩ/,
- zakres napięć zasilania 3 ÷ 18 V,
- duża impedancja wejścia kontrolnego 10^{12} Ω,
- wszystkie wyprowadzenia zabezpieczone przed ładunkiem elektrostatycznym /wyjątek: wyprowadzenia U_{DD} i U_{SS}/,
- obudowa plastikowa 14-wyprowadzeniowa CE-70.

WSTĘPNA KARTA KATALOGOWA



Rys. 1 Układ wyprowadzeń



IC	Klucz
„0"	Wyłączony
„1"	Włączony

Rys. 2 Schemat funkcjonalny multipleksera MCY 74016N, MCY 64016

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ 20 V
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	±10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C dla MCY 74016N -40 ÷ 85°C dla MCY 64016N
Zakres temperatur przechowywania	t_{stg}	-55°C ÷ 125°C
Temperatura lutowania:	t_{sol}	
- ręcznego /max. 4 s/		350°C
- automatycznego		270°C

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Parametr	Symbol	Jedn	Wartości graniczne					Warunki pomiaru	U_{DD} [V]
			t_{min} *)	25°C min.	25°C typ.	25°C max.	t_{max} *)		
1	2	3	4	5	6	7	8	9	10
Spoczynkowy prąd zasilania	I_{DD}	/uA	0,25	-	0,01	0,25	7,5	U_{IC}=0 V; U_{DD} U_{SS} = 0 V	5
			0,5	-	0,01	0,5	15		10
			1	-	0,01	1	30		15
			5	-	0,02	5	150		20
Rezystancja włączonego klucza	R_{ON}	Ω	6500	-	-	7000	10000	U_{IC} = U_{DD} U_{IS} = 0 ÷ U_{DD} R_L = 10 kΩ U_{SS} = 0 V	5
			1900	-	-	2000	2600		10
			790	-	-	850	1250		15
Różnica oporności kluczy w jednej obudowie	ΔR_{ON}	Ω	-	-	15	-	-	U_{IC} = U_{DD} U_{IS} = 0 ÷ U_{DD} R_L = 10 kΩ U_{SS} = 0 V	5
			-	-	10	-	-		10
			-	-	5	-	-		15
Napięcie wejściowe w stanie niskim	U_{ILC}	V	0,9	-	-	0,7	0,4	$I_{IS} \leqslant 10$ /uA U_{SS} = 0 V	5
			0,9	-	-	0,7	0,4		10
			0,9	-	-	0,7	0,4		15
Napięcie wejściowe w stanie wysokim	U_{IHC}	V	3,5	3,5	-	-	3,5	U_{SS} = 0 V	5
			7	7	-	-	7		10
			11	11	-	-	11		15
Prąd upływności wejść sygnałowych	I_{LIS}	/uA	±0,1	-	$\pm 10^{-5}$	±0,1	±1	U_{IC} U_{IS} = 0; 18 V U_{OS} = 0; 18 V U_{SS} = 0 V	18
Prąd upływności wejść sterujących	I_{LIC}	/uA	±0,1	-	$\pm 10^{-5}$	±0,1	±1	U_{IC} = 0; 18 V	18

Tabela 1 c.d.

1	2	3	4	5	6	7	8	9	10
Pojemność wejściowa wejść sygnałowych	C_{IS}	pF	-	-	4	-	-	$U_{IC}=U_{SS}=-5$ V	5
Pojemność wejściowa wejść sterujących	C_{IC}	pF	-	-	5	7,5	-		
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,20	0,20	1	-	0,12	U_{IC} = 5 V U_{OS} = 0,4 V	5
			0,5	0,5	2,6	-	0,3	U_{IC} = 10 V U_{OS} = 0,5 V	10
			1,5	1,5	6,8	-	1	U_{IC} = 15 V U_{OS} = 1,5 V U_{SS} = U_{IS} = 0 V	15
Prąd wyjściowy w starie wysokim	I_{OH}	mA	0,2	0,20	1	-	0,12	U_{IC} = U_{IS} = 5 V U_{OS} = 4,0 V	5
			0,5	0,5	2,6	-	0,3	U_{IC} = U_{IS} = 10 V U_{OS} = 9,5 V	10
			1,5	1,5	6,8	-	1	U_{IC} = U_{IS} = 15 V U_{OS} = 13,5 V	15

Uwaga: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) t_{min} = 0°C, t_{max} = 70°C dla układów MCY 74016N,
t_{min} = -40°C, t_{max} = 85°C dla układów MCY 64016N.

Tabela 2. PARAMETRY DYNAMICZNE /t_{amb} = 25°C/

Nazwa parametru	Symbol	Jedn.	Wartości graniczne			Warunki pomiaru	U_{DD} [V]
			min.	typ.	max.		
1	2	3	4	5	6	7	8
Maksymalna częstotliwość sygnału przy kluczu włączonym	f_{IS}	MHz		40		$U_{IC} = U_{DD}$ U_{SS} = -5 V $U_{IS/p-p/}$ = 5 V /fala sinusoid. wokół 0 V/ U_{OS} - spadek 3 dB R_L = 1 kΩ	
Czas propagacji sygnału kluczowanego	t_{pd}	ns		40	100	$U_{IC} = U_{DD}$ U_{IS} = 10 V /fala prostokątna wokół 5 V/ $t_r = t_f$ = 20 ns R_L = 200 kΩ C_L = 50 pF U_{SS} = 0 V	5
				20	40		10
				16	30		15
Czas propagacji sygnału kluczującego	t_{pc}	ns		35	70	R_L = 1 kΩ C_L = 50 pF $t_r = t_f$ = 20 ns U_{SS} = 0 V	5
				20	40		10
				15	30		15
Maksymalna częstotliwość przełączania klucza	f_c	MHz		10		R_L = 1 kΩ C_L = 50 pF $t_r = t_f$ = 20 ns U_{SS} = 0 V	10

Tabela 2. c.d.

1	2	3	4	5	6	7	8
Maksymalne zniekształcenia harmoniczne	h_D	%		0,4		$U_{IC} = U_{DD}$ $U_{SS} = -5$ V $U_{IS/p-p/} = 5$ V /fala sinusoid. wokół 0 V/ f = 1 kHz $R_L = 10$ kΩ	5

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647
1986

Cena 60 zł

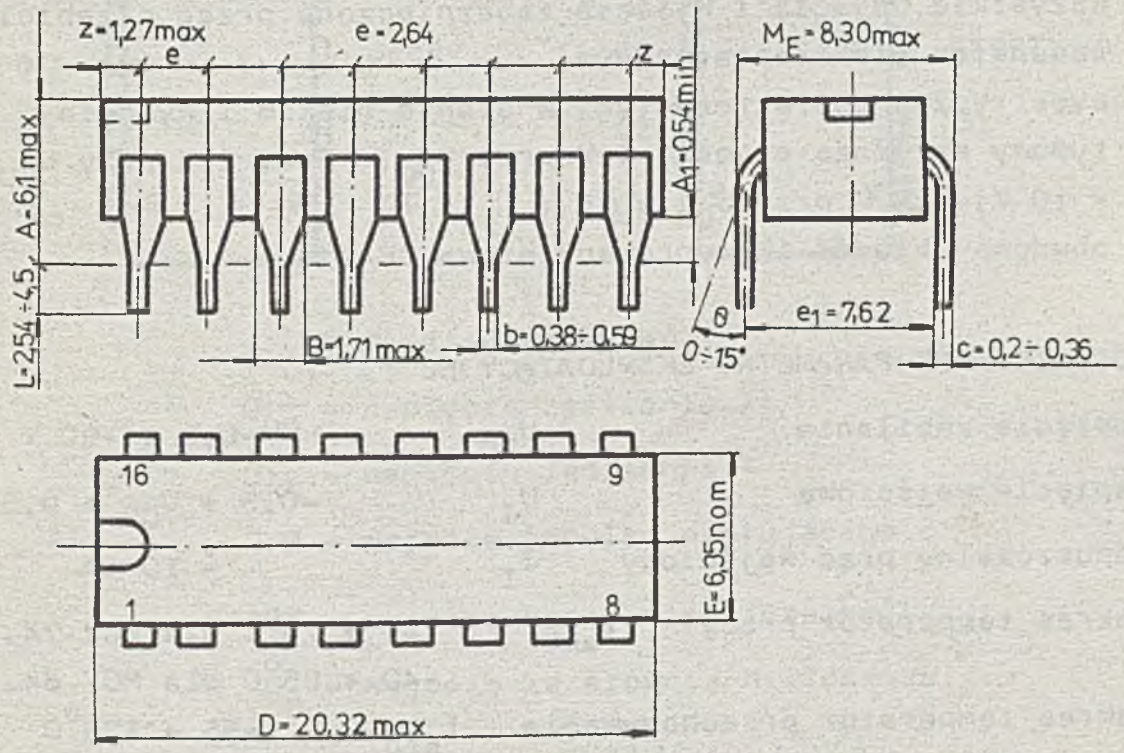
Druk ZOINTE ITE zam. 128/86 n. 500

PRAWO REPRODUKCJI ZASTRZEŻONE

14- i 12-STOPNIOWE LICZNIKI BINARNE CMOS

MCY 74020N, MCY 64020N
MCY 74040N, MCY 64040N

Układy MCY 74020N, MCY 74040N, MCY 64020N i MCY 64040N wykonane są w technologii CMOS z bramką aluminiową. Zbudowane są z tranzystorów wzbogacanych p- i n-kanałowych, wytworzonych na jednej płytce monokryształu. Ich podstawowe przeznaczenie to praca w układach sterowania liczników, timerach, dzielnikach częstotliwości i układach opóźnienia czasowego.



Rys. 1. Wymiary obudowy typu CE-71

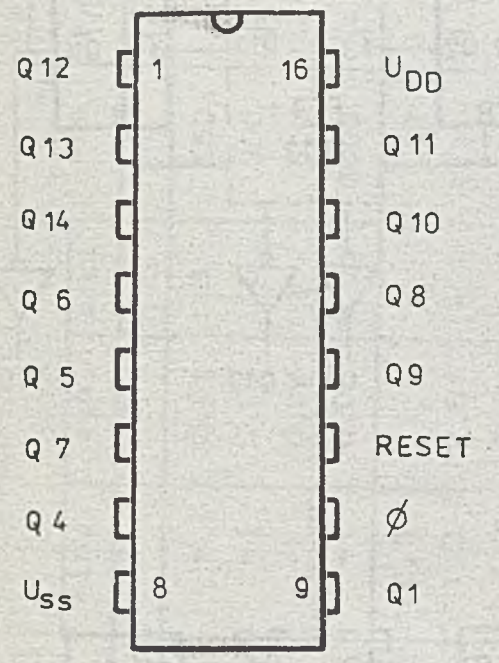
Układy spełniają funkcję 14- i 12-stopniowych liczników binarnych, asynchronicznych z możliwością zerowania. Zastosowanie na wejściu układu Schmitta zapewnia poprawną pracę układów przy dowolnych czasach narastania i opadania impulsów wejściowych. Układ MCY 74020N, MCY 64020N, składa się z 14 przerzutników typu master-slave, a MCY 74040N, MCY 64040N z 12. Stan na wyjściach licznika zmienia się podczas opadającego zbocza impulsu na wejściu każdego ze stopni. Podanie stanu wysokiego na wejście zerujące RESET ustawia wszystkie wyjścia licznika w stanie "0".

Cechy charakterystyczne:
- zakres napięć zasilających 3-18 V,
- wszystkie wejścia i wyjścia buforowane,
- wszystkie wejścia i wyjścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki w stanie niskim i wysokim,
- typowy margines szumów: 1 V przy U_{DD} = 5 V, 2 V przy U_{DD} = = 10 V, 2,5 V przy U_{DD} = 15 V,
- obudowa układów 16-wyprowadzeniowa CE-71.

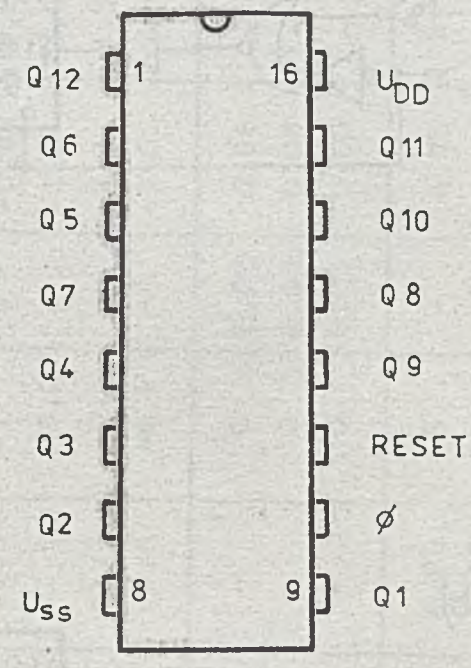
DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V
Dopuszczalny prąd wejściowy	I_I	± 10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C dla MCY 74...N
		-40 ÷ 85°C dla MCY 64...N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ 125°C
Temperatura lutowania		
- ręcznego /max 4s/	t_{sol}	350°C
- automatycznego		270°C
Maksymalna moc strat	P_D	500 mW

a)



b)



Opis wyprowadzeń

U_{DD} - napięcie zasilania +

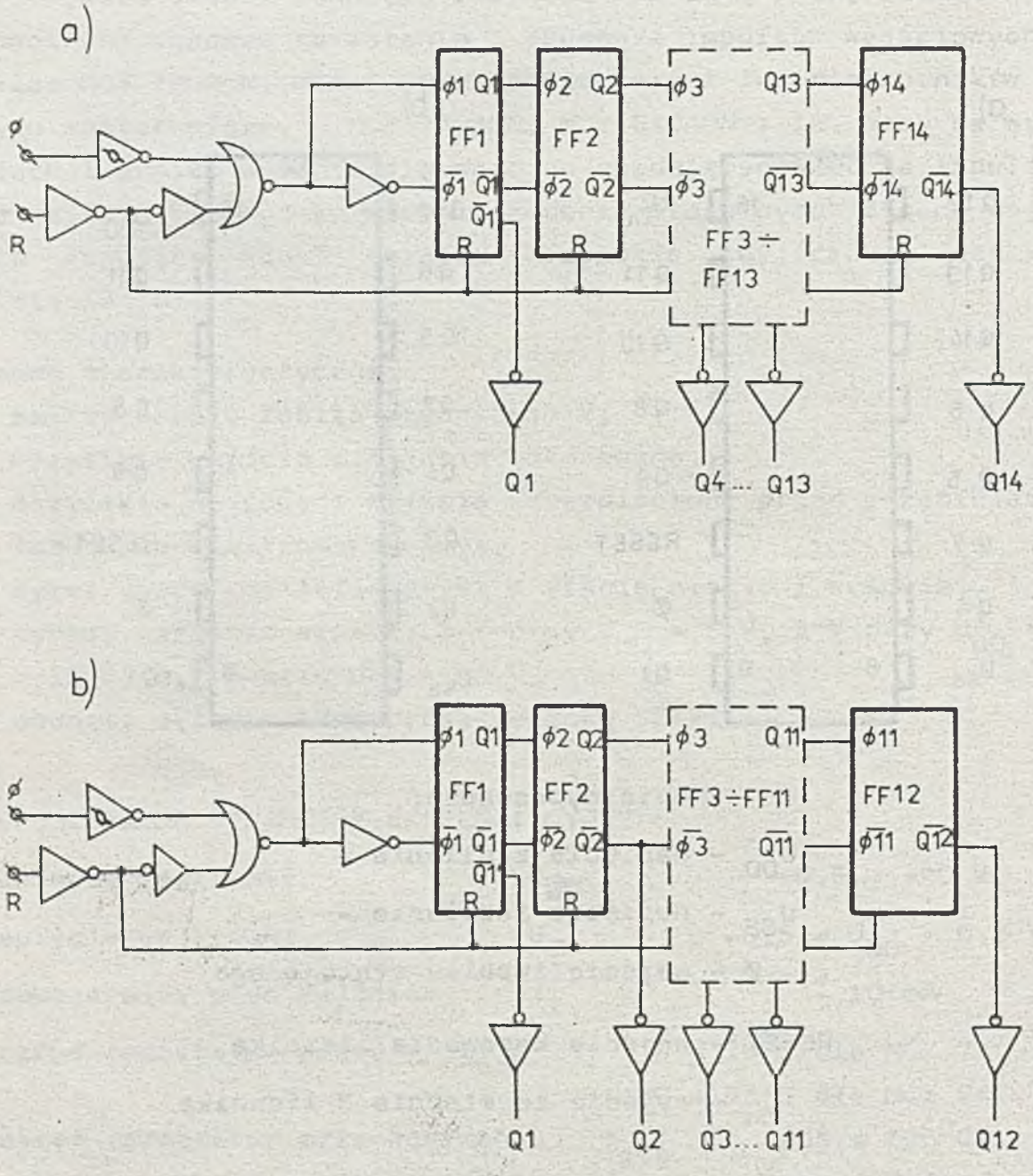
U_{SS} - napięcie zasilania -

Ø - wejście impulsu sterującego

RESET - wejście kasowania licznika

Q_n - wyjście ze stopnia N licznika

Rys. 2. Konfiguracja i opis wyprowadzeń układów: a/ MCY 74020N MCY 64020N, b/ MCY 74040N, MCY 64040N



Rys. 3. Schemat logiczny układów: a/ MCY 74020N, MCY 64020N , b/ MCY 74040N, MCY 64040N

Tabela 1. ELEKTRYCZNE PARAMETRY STATYCZNE DLA UKŁADÓW MCY 74020N, MCY 64020N, MCY 74040N, MCY 64040N

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_O [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	uA	5	-	0,04	5	150	-	0; 5	5
			10	-	0,04	10	300	-	0;10	10
			20	-	0,04	20	600	-	0;15	15
			100	-	0,08	100	3000	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,61	0,51	1	-	0,42	0,4	0; 5	5
			1,5	1,3	2,6	-	1,1	0,5	0;10	10
			4,0	3,2	6,8	-	2,8	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,61	-0,51	-1	-	-0,42	4,6	0; 5	5
			-1,8	-1,6	-3,2	-	-1,3	2,5	0; 5	5
			-1,5	-1,3	-2,6	-	-2,1	9,5	0;10	10
			-4,0	-3,4	-6,8	-	-2,8	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0 ; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0;15	15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95	4,95	5	-	4,95	-	0 ; 5	5
			9,95	9,95	10	-	9,95	-	0;10	10
			14,95	14,95	15	-	14,95	-	0;15	15

Tabela 1.c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wejściowe w stanie niskim	U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	0,5;4,5 1;9 1,5;13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5;4,5 1;9 1,5;13,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18

*)

$t_{min} = 0^oC$, $t_{max} = 70^oC$ dla serii MCY 74 ...N

$t_{min} = -40^oC$, $t_{max} = 85^oC$ dla serii MCY 64 ...N

Uwaga: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

Tabela 2. ELEKTRYCZNE PARAMETRY DYNAMICZNE DLA UKŁADÓW MCY 74020 N, MCY 64020N, MCY 74040N, MCY 64040N

Nazwa parametru	Symbol	Jedn.	Wartość			U_{DD} [V]
			min.	typ.	max.	
1	2	3	4	5	6	7
Czas propagacji Ø do wyjścia Q1	t_{PHL}	ns	-	180	360	5
			-	80	160	10
			-	65	130	15
Czas propagacji Q_n do Q_{n+1}	t_{PLH}	ns	-	100	200	5
			-	40	80	10
			-	30	60	15
Czasy narastania i opadania sygnału na wyjściu	t_{THL} t_{TLH}	ns	-	100	200	5
			-	50	100	10
			-	40	80	15
Minimalna szerokość impulsu wejściowego	t_w	ns	-	70	140	5
			-	30	60	10
			-	20	40	15
Czasy narastania i opadania impulsu wejściowego	$t_{r\emptyset}$ $t_{f\emptyset}$	/us	dowolne			5
						10
						15
Maksymalna częstotliwość impulsu wejściowego	$f_{\emptyset}$	MHz	3,5	7	-	5
			8	16	-	10
			12	24	-	15
Pojemność wejściowa dowolnego wejścia	C_I	pF	-	5	7,5	-
Czas propagacji sygnału RESET na wyjście	t_{PHL}	ns	-	140	280	5
			-	60	120	10
			-	50	100	15

Tabela 2. c. d.

1	2	3	4	5	6	7
Minimalna szerokość impulsu zerującego /RESET/	t_W	ns	-	100	200	5
			-	40	80	10
			-	30	60	15
Minimalny czas usunięcia impulsu RESET	t_{REM}	ns	-	175	350	5
			-	75	150	10
			-	50	100	15

WYMAGANIA DODATKOWE

Przechowywanie i transport wyrobu

Układy powinny być przechowywane w sposób zapewniający zwarcie elektryczne wszystkich wyprowadzeń. Zalecane jest stosowanie gąbki przewodzącej, folii aluminiowej lub innych materiałów przewodzących.

Montaż układów

Podczas montażu układów zalecane jest stosowanie obrączek uziemiających o rezystancji 1 MΩ do ziemi, uziemienie stołu montażowego, uziemienie narzędzi montażowych /jak np. lutownica/. Niedozwolony jest montaż lub demontaż układów pod napięciem na którymkolwiek z wyprowadzeń.

Układy aplikacyjne

Wszystkie nie wykorzystane wejścia powinny być połączone z masą /U_{SS}/ lub zasilaniem /U_{DD}/ odpowiednio do pełnionej funkcji logicznej.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa
tel.435401
tlx.815647
Styczeń 1987

DRUK ZOINTE ITE zam. /87 n.

Cena zł 80

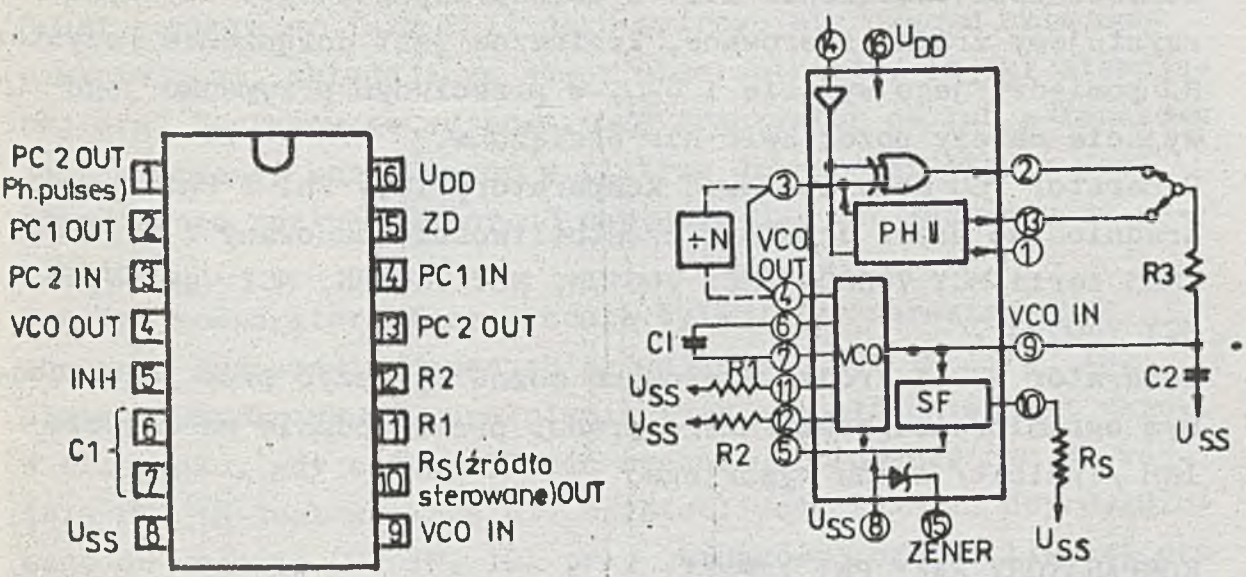
PRAWO REPRODUKCJI ZASTRZEŻONE

PĘTLA SYNCHRONIZACJI FAZOWEJ /PLL/

MCY 74046N
MCY 64046N

Układ MCY 74046N, MCY 64046N zawiera:

- liniowy generator przestrajany napięciem /ang. VCO - Voltage Controlled Oscillator/,
- źródło sterowane /ang. SF - Source Follower/,
- dwa różne komparatory fazy, posiadające wspólne wejścia /PhI i PhII/,
- diodę Zenera /ZD/.



Rys. 1. Schemat funkcjonalny i układ wyprowadzeń

WSTĘPNA KARTA KATALOGOWA

GENERATOR MAŁEJ MOCY /VCO/

Generator VCO jest zaprojektowany w ten sposób, że wymaga dołączenia jedynie dwóch lub trzech elementów zewnętrznych C_1 i R_1 lub C_1, R_1 i R_2, określających zakres zmian częstotliwości VCO i częstotliwości minimalnej. Rezystor R_1 i kondensator C_1 określają zakres zmian częstotliwości, a rezystor R_2 częstotliwość minimalną. Im R_2 większe, tym częstotliwość minimalna zmniejsza się i osiąga minimum przy $R_2 \rightarrow \infty$.
Duża impedancja wejściowa generatora VCO, rzędu 10^{12}, pozwala na łatwe zaprojektowanie filtru dolnoprzepustowego w szerokim zakresie wartości rezystancji i pojemności. Na wejściu VCO zastosowano źródło /SF/ sterowane bezpośrednio sygnałem z wejścia VCO IN, umożliwiające uzyskanie sygnału zdemodulowanego bez konieczności obciążenia filtru dolnoprzepustowego. Gdy wykorzystujemy źródło sterowane, konieczne jest dołączenie rezystora R_S pomiędzy jego wyjście i U_{SS}, w przeciwnym przypadku jego wyjście należy pozostawić nie obciążone.
Generator VCO może sterować komparatory fazy PhI i PhII bezpośrednio lub przez dzielnik częstotliwości zbudowany z układów CMOS serii MCY 74000N /MCY 74017N, MCY 74018N, MCY 74029N, MCY 74059N/.
Generator VCO i źródło sterowane można wyłączyć przy jednoczesnym ograniczeniu pobieranego prądu, przez podanie na wejście INH /Inhibit/ stanu wysokiego.

KOMPARATORY FAZY PhI I PhII

Komparatory fazy mają dwa wspólne wejścia: sygnałowe PC1 IN i odniesienia PC2 IN. Wejście PC1 IN ma układ automatycznej polaryzacji /ang. SBC - Self, Bias Circuit/ pozwalający nie tylko na doprowadzenie bezpośrednio sygnału o poziomach logicznych "0" i "1" jak dla serii CMOS, ale także małych sygnałów przez kondensator separujący.
Pierwszy komparator fazy PhI jest bramką EX-OR i pracuje analogicznie jak układ detektora fazy działający na zasadzie

zrównoważonego modulatora. W celu otrzymania maksymalnego zakresu trzymania pętli PLL sygnały doprowadzone do komparatora powinny mieć współczynnik wypełnienia 50%. Przy braku sygnału i szumów na wejściu PC1 IN ten komparator utrzymuje średnie napięcie wyjściowe równe $U_{DD}/2$, które steruje przez filtr dolnoprzepustowy VCO wymuszając jego oscylacje przy częstotliwości środkowej /fo/.

Charakterystyczne dla tego komparatora fazy jest to, że może nastąpić synchromizacja w pętli, gdy na wejście PC1 IN podany zostanie sygnał o częstotliwości harmonicznej bliskiej częstotliwości środkowej generatora VCO oraz to, że przesunięcie fazy sygnałów podawanych na wejściach PC1 IN i PC2 IN zmienia się od 0 do 180 stopni; dla częstotliwości środkowej jest równe 90 stopni.

Drugi komparator fazy PhII jest cyfrowo sterowanym układem pamiętającym, składającym się z przerzutników, logiki sterującej oraz 3-stanowego wyjścia. Gdy tranzystor n- lub p-kanałowy jest włączony, kondensator w filtrze dolnoprzepustowym jest odpowiednio rozładowywany do napięcia U_{SS} lub ładowany do napięcia U_{DD}.

Ten typ komparatora fazy pracuje tylko przy narastających zboczach sygnałów podawanych na wejścia PC1 IN i PC2 IN, dlatego współczynnik wypełnienia tych sygnałów nie jest ważny. W przypadku, gdy częstotliwość sygnału doprowadzonego do wejścia PC1 IN jest większa niż częstotliwość sygnału doprowadzonego do wejścia PC2 IN, lub przy jednakowej częstotliwości obu sygnałów, faza sygnału doprowadzonego do wejścia PC1 IN wyprzedza fazę sygnału doprowadzonego do wejścia PC2 IN, zostaje włączony na czas komparacji tranzystor p-kanałowy. Powoduje to doładowanie kondensatora w filtrze dolnoprzepustowym i /rys.2/ wzrost częstotliwości sygnału generowanego przez VCO.

W przypadku, gdy zależność wartości częstotliwości i fazy pomiędzy sygnałami doprowadzonymi do wejść PC1 IN i PC2 IN są odwrotne niż opisane powyżej, na czas komparacji włączany jest tranzystor n-kanałowy, przez który rozładowuje się kondensator

w filtrze dolnoprzepustowym, powodując z kolei zmniejszenie częstotliwości sygnału generowanego przez VCO.
Poza czasem komparacji /próbkowania/, wyjście 3-stanowe PC2 OUT pozostaje wyłączone, co minimalizuje moc rozpraszaną w filtrze dolnoprzepustowym. Pętla synchronizacji fazowej /PLL/ przy tym tempie komparatora fazy ma zakres trzymania równy zakresowi chwytania, niezależnie od filtru dolnoprzepustowego. Generator VCO przy braku sygnału na wejściu PC1 IN, sterowany tym komparatorem fazy, generuje sygnał o najniższej częstotliwości z zakresu przestrajania.
Układ przeznaczony jest do pracy w:
- układach modulatorów,
- układach demodulatorów FM,
- syntezach częstotliwości,
- przetwornikach napięcie-częstotliwość,
- dyskryminatorach częstotliwości,
- układach mnożących.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	±10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C dla MCY 74046N, -40 ÷ 85°C dla MCY 64046N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ +125°C
Temperatura lutowania:	t_{sol}	
- ręcznego /max. 4s/,		350°C
- automatycznego		270°C
Maksymalna moc strat	P_D	500 mW

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_o [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania. WE PC1 IN nie podłączone, INH = U_{DD}	I_{DD}	mA	0,1 0,5 1,5 4	- - - -	0,05 0,25 0,75 2,00	0,1 0,5 1,5 4	0,1 0,5 1,5 4	- - - -	0; 5 0;10 0;15 0;20	5 10 15 20
Spoczynkowy prąd zasilania WE PC1 IN=U_{SS} lub U_{DD} INH = U_{DD}	I_{DD}	/uA	20 40 80 160	- - - -	10 20 40 80	20 40 80 160	20 40 80 160	- - - -	0; 5 0;10 0;15 0;20	5 10 15 20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,64 1,6 4,2	0,51 1,3 3,4	1 2,6 6,8	- - -	0,36 0,9 2,4	0,4 0,5 1,5	0; 5 0;10 0;15	5 10 15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,64 -2 -1,6 -4,2	-0,51 -1,6 -1,3 -3,4	-1 -3,2 -2,6 -6,8	- - - -	-0,36 -1,15 -0,9 -2,4	4,6 2,5 9,5 13,5	0; 5 0; 5 0;10 0;15	5 5 10 15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05 0,05 0,05	- - -	0 0 0	0,05 0,05 0,05	0,05 0,05 0,05	- - -	0; 5 0;10 0;15	5 10 15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95 9,95 14,95	4,95 9,95 14,95	5 10 15	- - -	4,95 9,95 14,95	- - -	0; 5 0;10 0;15	5 10 15

Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wejściowe w stanie niskim	U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	0,5: 4,5 1:9 1,5:13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5: 4,5 1:9 1,5:13,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18
Prąd upływu 3-stanowego wyjścia	I_{LOZ}	/uA	$\pm$0,4	-	$\pm 10^{-4}$	$\pm$0,4	$\pm$12	-	0;18	18

Uwagi: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}, za wyjątkiem wejścia PC1 IN.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla serii MCY 74...N,

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla serii MCY 64...N.

Tabela 2. PARAMETRY DYNAMICZNE /t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ /

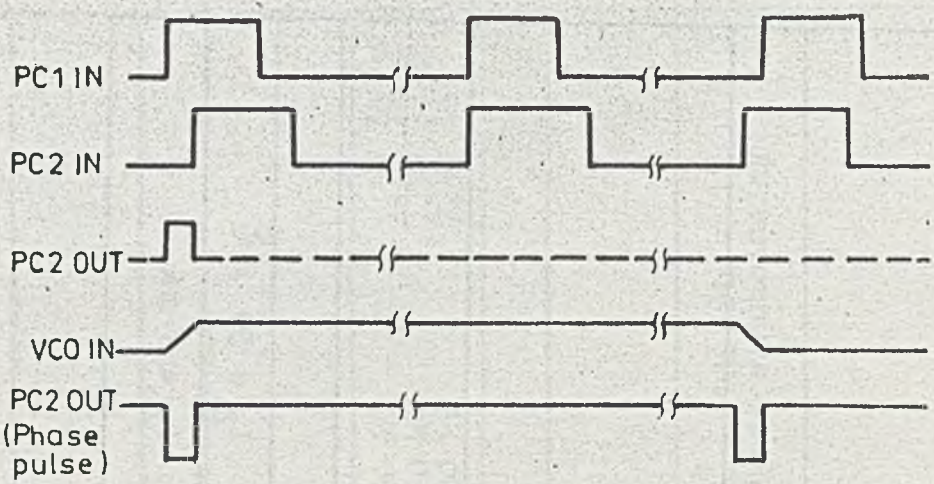
Nazwa parametru	Symbol	Jedn.	U_{DD}	Wartość			Warunki pomiaru
				min.	typ.	max.	
1	2	3	4	5	6	7	8
	Generator przestrajany napięciem /VCO/						
Maksymalna częstotliwość generacji VCO	f_{cpmax}	MHz	5	0,3	0,6	-	C_1 = 50 pF R_2 = ∞ R_1 = 10 kΩ $VCO_{IN} = U_{DD}$
			10	0,6	1,2	-	
			15	0,8	1,6	-	
			5	0,5	0,8	-	C_1 = 50 pF R_2 = ∞ R_1 = 5 kΩ $VCO_{IN} = U_{DD}$
			10	1	1,4	-	
			15	1,4	2,4	-	
Współczynnik liniowości	ε	%	5	-	1,7	-	VCO_{IN} 2,5V ±0,3V R_1 = 10 kΩ
			10	-	0,5	-	5V ±4V = 100 kΩ
			10	-	4	-	5V ±2,5V = 400 kΩ
			15	-	0,5	-	7,5V ±1,5V = 100 kΩ
			15	-	7	-	7,5V ±5V = 1 MΩ
Temperaturowy współczynnik stabilności częstotliwości	TWF	%/°C	5	-	±0,12	-	f_{min} = 0
			10	-	±0,04	-	
			15	-	±0,015	-	
			5	-	±0,09	-	$f_{min} \neq 0$
			10	-	±0,07	-	
			15	-	±0,03	-	
Współczynnik wypełnienia	D	%	5	-	50	-	
			10	-	50	-	
			15	-	50	-	

Tabela 2: c.d.

1	2	3	4	5	6	7	8
Czas transmisji sygnału wyjściowego	t_{THL} t_{TLH}	ns	5 10 15	- - -	100 50 40	200 100 30	
Źródło sterowane /SF/							
Napięcie niezrównoważenia $/U_{VCO_{IN}} - U_{DEM}/$	U	V	5 10 15	- - -	1,8 1,8 1,8	2,5 2,5 2,5	$R_S > 10$ kΩ
Współczynnik liniowości	ε	%	5 10 15	- - -	0,3 0,7 0,9	- - -	R_S 100 kΩ VCO_{IN} 1,5V ±0,3V 300 kΩ 5V ±2,5V 500 kΩ 7,5V ±5V
Komparatory fazy /Ph I i Ph II/							
Rezystancja wejściowa wejścia PC1 IN	R_{14}	MΩ	5 10 15	1 0,2 0,1	2 0,4 0,2	- - -	
Czułość napięciowa wejścia PC1 IN /p-p/	-	mV	5 10 15	- - -	130 330 900	360 660 1800	f_{IN} = 100 kHz sygnał sinusoidalny
Czas propagacji PC1 IN PC2 OUT	t_{PHL}	ns	5 10 15	- - -	225 100 65	450 200 130	
	t_{PLH}		5 10 15	- - -	350 150 100	700 300 200	

Tabela 2. c.d.

1	2	3	4	5	6	7	8
Czas propagacji sygnału z PC1 IN do PC2 OUT duża impedancja	t_{PHZ}	ns	5 10 15	- - -	225 100 95	450 200 190	
	t_{PLZ}		5 10 15	- - -	285 130 95	570 260 190	
Czas narastania i opadania sygnału na wejściu PC2 IN	t_r, t_f	/us	5 10 15	- - -	- - -	50 1 0,3	
PC1 IN			5 10 15	- - -	- - -	500 20 2,5	
Czas narastania i opadania sygnału wyjściowego	t_{TLH} t_{THL}	/us	5 10 15	- - -	100 50 40	200 100 80	
Dioda Zenera							
Napięcie stabilizacji	U_Z	V	-	4,45	5,5	6,7	I_Z = 50 /uA
Rezystancja dynamiczna	r_z	Ω	-	-	40	-	I_Z = 1 mA

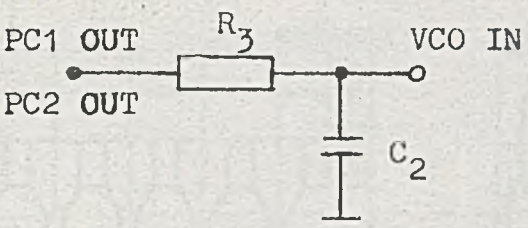


Rys. 2. Działanie komparatora

Tabela 3. WSKAZÓWKI PROJEKTOWE

Podstawowa własność	Komparator fazy I /Ph I/	Komparator fazy II /Ph II/
1	2	3
Częstotliwość generatora VCO	$f_{min} = \frac{1}{R_2/C_1 + 32\ pF/}$; $U_I = U_{SS}$ $f_{max} = \frac{1}{R_1/C_1 + 32\ pF/}$; $U_I = U_{DD}$ gdzie: U_I - napięcie na wejściu VCO IN 10 kΩ ⩽ R_1 ⩽ 1 MΩ 10 kΩ ⩽ R_2 ⩽ 1 MΩ 100 pF ⩽ C_1 ⩽ 0,01 /uF	
Środkowa częstotliwość generatora VCO	$f_o = f/U_I = 0,5\ U_{DD}$/ gdzie: U_I - napięcie na wejściu VCO IN	
Brak sygnału na wejściu VCO IN	$f = f_o$	$f = f_{min}$
Kąt przesunięcia fazowego między sygnałami wejść PC1 IN i PC2 IN	90° dla f_o ok. 0° dla f_{min} ok. 180° dla f_{max}	zawsze 0°

Tabela 3. c.d.

1	2	3
Zakres trzymania	$2f_L = f_{max} - f_{min}$	
Zakres chwytania	$f_{CR} \leqslant f_L$ f_{CR} określona jest przez graniczną częstotliwość przenoszenia filtru dolnoprzepustowego  $2f_{CR} = \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{R_3 C_2}}$	$f_{CR} = f_L$
Synchronizacja do harmonicznych częstotliwości środkowej	jest	brak
Odporność na zakłócenia	wysoka	niska

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx 815647

październik 1986

Druk ZOINTE ITE zam. 129/86 n. 500

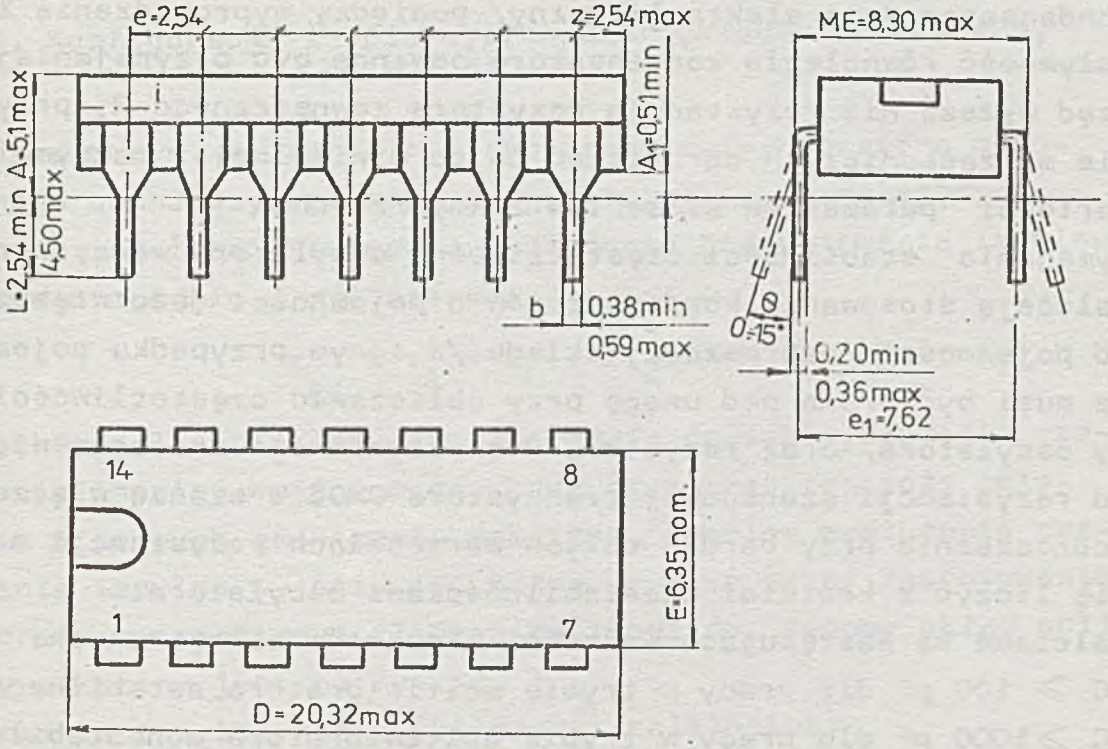
Cena zł 120

PRAWO REPRODUKCJI ZASTRZEŻONE

MONOSTABILNE I ASTABILNE MULTIWIBRATORY CMOS

MCY 74047N
MCY 64047N

Układy logiczne CMOS zbudowane są z tranzystorów wzbogacanych p- i n-kanałowych, wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS/. Ich podstawowym przeznaczeniem jest praca w układach cyfrowych automatyki, telekomunikacji i miernictwa oraz maszyn liczących średniej szybkości, gdzie wymagany jest niski pobór mocy i/lub wysoka odporność na zakłócenia.



Rys. 1. Wymiary obudowy typu CE-70

WSTĘPNA KARTA KATALOGOWA

Cechy charakterystyczne:
- zakres napięć zasilania 3 ÷ 18 V,
- wszystkie wejścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki wyjściowe w stanie niskim i wysokim,
- obudowa plastykowa 14-wyprowadzeniowa typu CE-70.

Układ multiwibratora składa się z astabilnego multiwibratora oraz wielu układów logicznych, umożliwiających realizację poszczególnych trybów pracy układu.

Tabela 3 zawiera wykaz możliwych trybów pracy układu wraz ze sposobem podłączenia wyprowadzeń.

We wszystkich trybach pracy wymagane jest podłączenie elementów zewnętrznych R i C: rezystor R pomiędzy wyprowadzenia 2 i 3, kondensator /nie elektrolityczny/ pomiędzy wyprowadzenia 1 i 3. Upływność równoległa kondensatora powinna być przynajmniej o rząd wyższa niż rezystancja rezystora zewnętrznego R, przy czym nie ma zasadniczych ograniczeń co do minimalnej i maksymalnej wartości parametrów elementów zewnętrznych.

Wymagania stabilności częstotliwości oscylatora wewnętrznego zalecają stosowanie kondensatorów o pojemności dużo większej od pojemności rozproszonej układu /w innym przypadku pojemność ta musi być brana pod uwagę przy obliczaniu częstotliwości pracy oscylatora/ oraz rezystora R o rezystancji znacznie większej od rezystancji szeregowej tranzystora CMOS w stanie włączenia. Jednocześnie przy bardzo dużych wartościach rezystancji należy się liczyć z krótkimi niestabilnościami oscylatora.

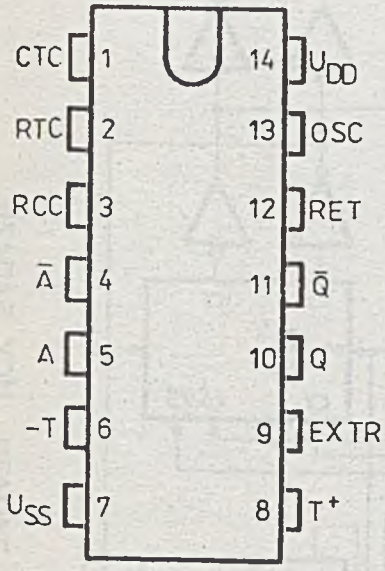
Zalecane są następujące wartości elementów zewnętrznych:

$C \geqslant 100$ pF dla pracy w trybie multiwibratora astabilnego,

$C \geqslant 1000$ pF dla pracy w trybie multiwibratora monostabilnego,

$10\ k\Omega \leqslant R \leqslant 1\ M\Omega$.

Dla wydłużenia czasu trwania impulsu wyjściowego lub porównania częstotliwości sygnału zewnętrznego z częstotliwością oscylatora wewnętrznego należy stosować tryb pracy powtórnego wyzwolenia /RETRIGGER/. W trybie tym sygnał wejściowy podaje się na wyprowadzenia 8 i 12, a sygnał wyjściowy otrzymywany jest z wyprowadzeń 10 lub 11.



1-CTC wyprowadzenie do podłączenia zewnętrznego kondensatora, 2-RTC wyprowadzenie do podłączenia zewnętrznego rezystora, 3-RCC wyprowadzenie wspólne do podłączenia kondensatora i rezystora 4-$\bar{A}$ stan wysoki na wyprowadzeniu A wymusza tryb pracy astabilnej, 5-A podanie impulsów wejściowych na wyprowadzenie A lub ich dopełnień logicznych na wyprowadzenie $\bar{A}$ wymusza tryb pracy multiwibratora bramkowanego, 6-T wyzwalanie impulsem opadającym, 7-U_{SS} masa układu, 8-+T wyzwalanie impulsem narastającym, 9-EXTR poziom wysoki na wyprowadzeniu zabezpiecza przed pojawieniem się przypadkowych impulsów na wyjściu układu podczas włączenia zasilania, 10-Q, 11-$\bar{Q}$ wyjścia układu, 12-RET wyprowadzenie powtórnego wyzwalania, 13-OSC wyjście oscylatora wewnętrznego, 14-U_{DD} napięcie zasilania.

Rys. 2. Konfiguracja i opis wyprowadzeń układów MCY 74047N, MCY 64047N

Jak wynika z rys. 4, normalny tryb pracy multiwibratora monostabilnego można uzyskać przy jednym impulsie wyzwalającym. Przy dwóch impulsach następuje wydłużenie czasu trwania impulsu wyjściowego zgodnie z równaniem:

$$t_{RC} = t_1 + t_1 + 2t_2.$$

Przy większej liczbie impulsów następuje dalsze wydłużenie czasu trwania impulsu wyjściowego, przy czym czas ten może zmieniać się w pewnych granicach. Dokładne, dowolne wydłużenie czasu trwania impulsu wyjściowego można uzyskać przez zastosowanie trybu pracy z zewnętrznym zliczaniem impulsów. Typowy układ aplikacyjny pokazany jest na rys. 5.

Czas trwania impulsu można obliczyć z zależności:

$$t_{ext} = \left(N - 1 \right) t_A + \left(t_M + t_{A/2} \right)$$

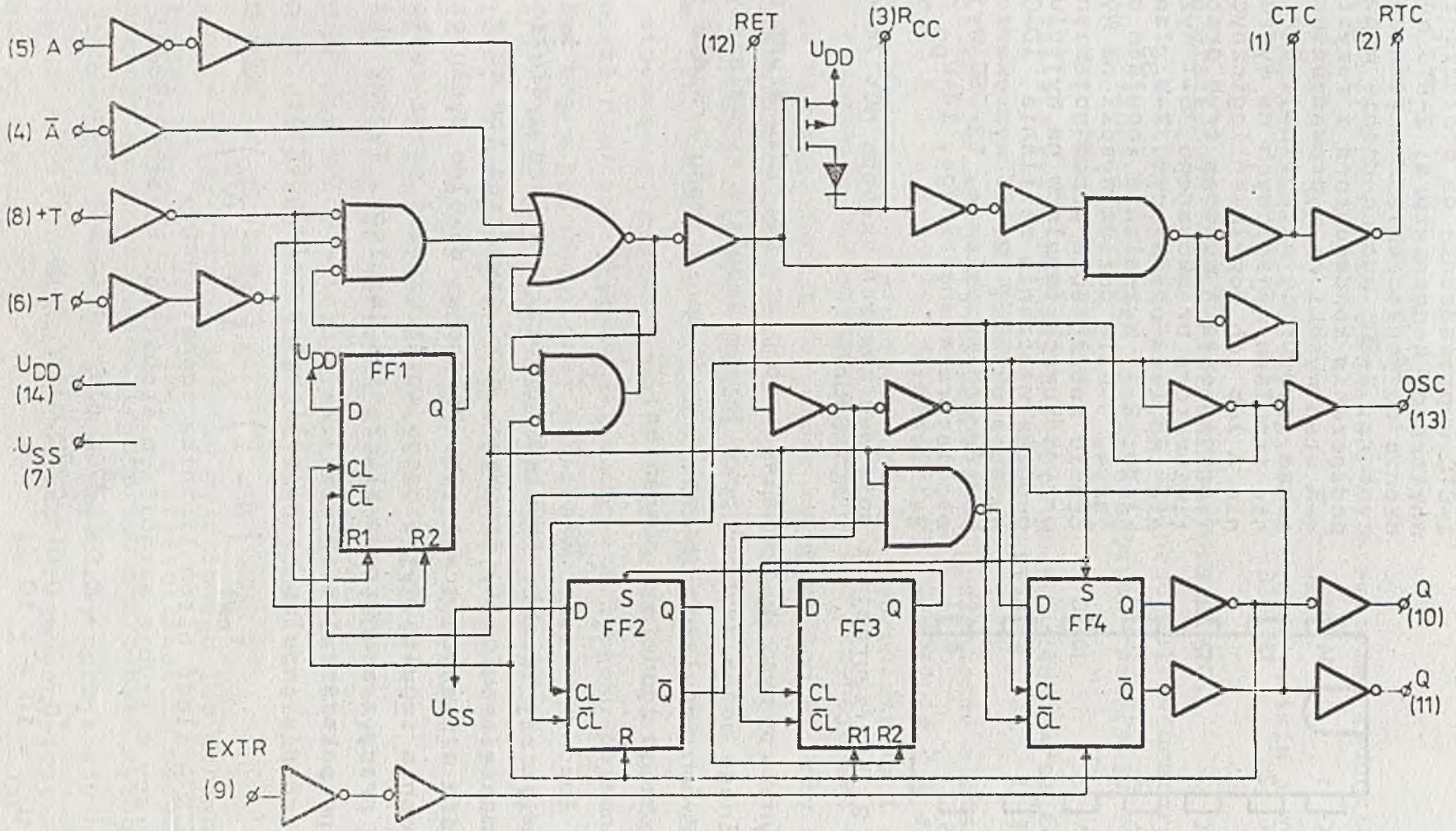
gdzie N - ilość bitów licznika zewnętrznego.

Dla pracy w trybie astabilnym stabilność częstotliwości wynosi:

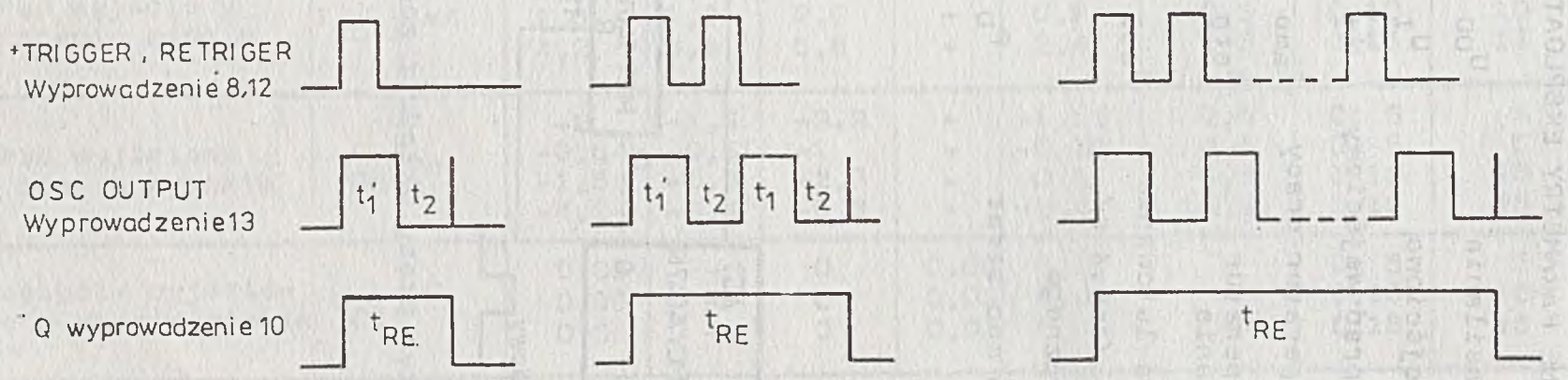
$\pm 2\ \% + 0{,}03\ \%/^{\circ}C$ dla f do 100 kHz,

$\pm 0{,}5\ \% + 0{,}015\ \%/^{\circ}C$ dla f do 10 kHz,

przy $U_{DD} = 10\ V \pm 10\ \%$.



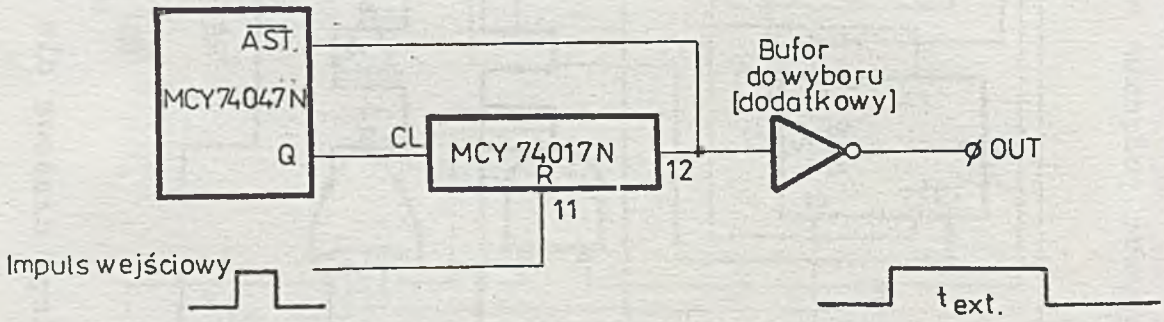
Rys. 3. Schemat logiczny układu MCY 74047N, MCY 64047N



Rys. 4. Przebiegi czasowe dla trybu pracy powtórnego wyzwolenia

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 V ÷ $(U_{DD} + 0,5)$ V
Graniczny prąd wejściowy	I_I	± 10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C; MCY 74047N -40 ÷ 85°C; MCY 64047N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ 125°C
Temperatura lutowania	t_{sol}	
- ręcznego /max.4 s/,		350°C
- automatycznego		270°C
Maksymalna moc strat	P_D	500 mW



Rys. 5. Tryb pracy układu z zewnętrznym zliczaniem impulsów

Tabela 1. ELEKTRYCZNE PARAMETRY STATYCZNE /dla wszystkich układów, jeżeli nic jest wyspecyfikowane inaczej/

Nazwa parametru	Symbol	Jedn.	t_{min} **)	Wartość 25°C			t_{max} **)	Warunki pomiaru		
				min.	typ.	max.		U_O [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/uA	1	-	0,02	1	30	-	0; 5	5
			2	-	0,02	2	60	-	0;10	10
			4	-	0,02	4	120	-	0;15	15
			20	-	0,04	20	600	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,64	0,51	1	-	0,36	0,4	0; 5	5
			1,6	1,3	2,6	-	0,9	0,5	0;10	10
			4,2	3,4	6,8	-	2,4	1,5	0,15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-2	-1,6	-3,2	-	-1,15	2,5	0; 5	5
			-0,64	-0,51	-1	-	-0,36	4,6	0; 5	5
			-1,6	-1,3	-2,6	-	-0,9	9,5	0;10	10
			-4,2	-3,4	-6,8	-	-2,4	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0;15	15

Tabela 1 c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95 9,95 14,95	4,95 9,95 14,95	5 10 15	- - -	4,95 9,95 14,95	- - -	0;5 0;10 0,15	5 10 15
Napięcie wejściowe w stanie niskim	U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	0,5;4,5 *) 1;9 1,5;13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5;4,5 1;9 1,5;13,5	- - -	5 10 15
Prąd wejściowy	I_I	uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18

-*) ; oznacza "lub"
*)

$t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla MCY 74047N

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla MCY 64047N

Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

Tabela 2. ELEKTRYCZNE PARAMETRY DYNAMICZNE / t_{amb} = 25°C, t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ/

Nazwa parametru	Symbol	Jedn.	Wartość typowa	Warunki pomiaru U_{DD} [V]
Czasy propagacji: ASTABLE, $\overline{\text{ASTABLE}}$ do OSC OUT	t_{PHL} t_{PLH}	ns	200 100 50	5 10 15
Czasy propagacji: ASTABLE, $\overline{\text{ASTABLE}}$ do Q, $\overline{Q}$	"	ns	550 250 150	5 10 15
Czasy propagacji: +TRIGGER -TRIGGER do Q, $\overline{Q}$	"	ns	700 300 200	5 10 15
Czasy propagacji: +TRIGGER RETRIGGER do Q, $\overline{Q}$	"	ns	300 175 175	5 10 15
Czasy propagacji: EXTERNAL RESET do Q, $\overline{Q}$	"	ns	300 125 75	5 10 15
Czas opadania i narastania OSC OUT, Q, $\overline{Q}$	t_{THL} t_{TLH}	ns	100 60 40	5 10 15
Minimalna szerokość impulsu wejściowego	t_w	ns	500 200 140	5 10 15
+TRIGGER, RETRIGGER: czas opadania i narastania	t_r, t_f		nieograniczona	5 10 15
Pojemność wejściowa /dowolne wejście/	C_{IN}	pF	5	

Tabela 3. WYKAZ TRYBÓW PRACY UKŁADU I SPOSÓB PODŁĄCZANIA WYPROWADZEŃ

Tryb pracy	Sposób podłączenia wyprowadzeń			Wyprowadzenie sygnału wyjściowego	Okres sygnału wyjściowego lub szerokość impulsu
	Do U_{DD} /nr wyprowadzenia/	Do U_{SS} /nr wyprowadzenia/	Wyprowadzenie sygnału wejściowego		
1	2	3	4	5	6
Tryb pracy multiwibratora astabilnego:					
a) multiwibrator astabilny	4,5,6,14	7,8,9,12	-	10,11,13	t_A /10,11/=4,40·R·C **)
b) bramkowanie sygnałem wysokim	4,6,14	7,8,9,12	5	10,11,13	t_A /13/=2,20·R·C
c) bramkowanie sygnałem niskim	6,14	5,7,8,9,12	4	10,11,13	
Tryb pracy multiwibratora monostabilnego:					
a) wyzwolenie zboczem narastającym	4,14	5,6,7,9,12	8	10,11	
b) wyzwolenie zboczem opadającym	4,8,14	5,7,9,12	6	10,11	t_M /10,11/=2,[illegible]·R·C ***)

Tabela 3. c.d.

1	2	3	4	5	6
c) praca w trybie powtórnego wyzwalania	4,14	5,6,7,9	8,12	10,11	***) t_M /10,11/=2,48·R·C
d) tryb pracy zewnętrznego zliczania impulsów *)		5,6,7,8, 9,12	-	10,11	

*) Impuls wejściowy podłączony do wyprowadzania RESET zewnętrznego układu licznika a wyprowadzenie OUTPUT zewnętrznego układu licznika do wyprowadzenia 4.

**) t_A - okres impulsu /wypełnienie 50% /.

***) t_M - szerckość impulsu.

Uwaga: we wszystkich trybach pracy konieczne jest podłączenie elementów zewnętrznych R i C.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al.Lotników 32/46
02-668 Warszawa

Tel. 435401
Tlx: 815647

1987
Cena zł 120.-

Druk ZOINTE ITE zam. 24 /87 n. 3

PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

UKŁADY MULTIPLEKSERÓW/DEMULTIPLEKSERÓW CMOS

MCY 74051N, MCY 74052N, MCY 74053N,
MCY 64051N, MCY 64052N, MCY 64053N.

Układy MCY 74051N, MCY 74052N, MCY 74053N wytwarzane są w technologii CMOS z bramką aluminiową. Zbudowane są z wzbogacanych tranzystorów p- i n-kanałowych wytworzonych na jednej płytce monokryształu. Ich podstawowe przeznaczenie to praca jako analogowe i cyfrowe multipleksery/demultipleksery, przetworniki sygnałów analogowych na cyfrowe i odwrotnie oraz jako układy bramkujące sygnały.

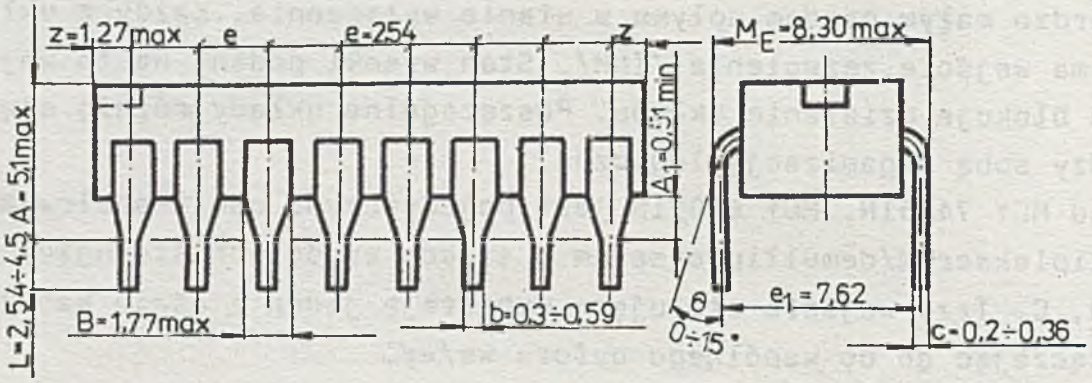
Układy te odznaczają się małą impedancją w stanie włączenia i bardzo małym prądem upływu w stanie wyłączenia. Każdy z układów ma wejście zezwolenia /INH/. Stan wysoki podany na to wejście blokuje działanie układu. Poszczególne układy różnią się między sobą organizacją logiczną.

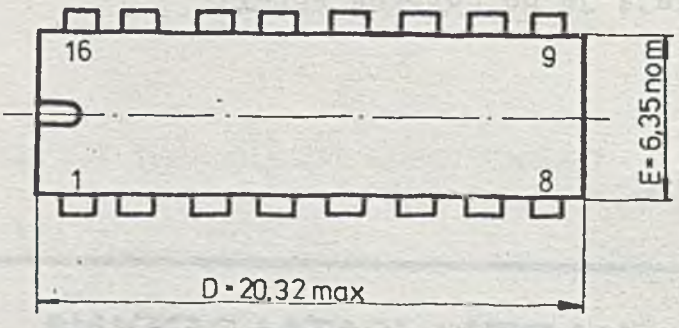
Układ MCY 74051N, MCY 64051N jest pojedynczym, ośmiokanałowym multiplekserem/demultiplekserem o trzech wejściach sterujących A, B, C. Trzy wejścia sterujące wybierają jeden z ośmiu kanałów podłączając go do wspólnego bufora we/wy.

Układ MCY 74052N, MCY 64052N jest podwójnym czterokanałowym multiplekserem/demultiplekserem o dwóch wejściach sterujących A i B. Wejścia sterujące wybierają po jednym kanale z czterech z obydwu grup i podłączają je do buforów we/wy.

WSTĘPNA KARTA KATALOGOWA

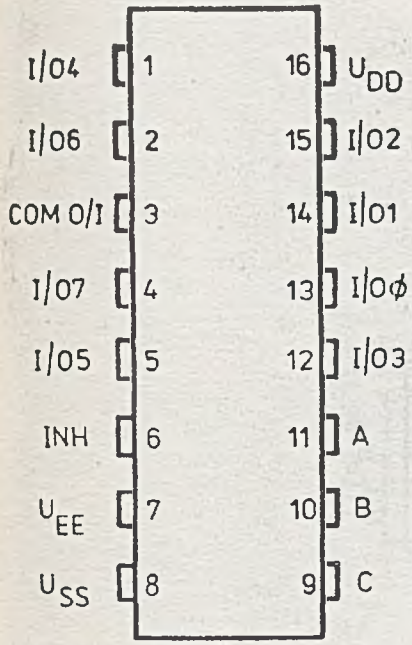
Układ MCY 74053N, MCY 64053N jest potrójnym, dwukanałowym multiplekserem/demultiplekserem o trzech niezależnych wejściach sterujących A, B, C. Każde z wejść sterujących wybiera jeden z dwóch kanałów podłączając go do bufora wyjściowego.
Układy umożliwiają multipleksowanie/demultipleksowanie sygnałów analogowych o amplitudzie do 20 V_{p-p}, przy amplitudzie cyfrowych sygnałów sterujących od 4,5 do 20 V /jeżeli $U_{DD}-U_{SS}$ = = 3 V, to można sterować sygnałami o amplitudzie $U_{DD}-U_{EE}$ = 13 V; przy różnicy potencjałów $U_{DD}-U_{EE}$ powyżej 13 V wymagana jest przynajmniej różnica napięć $U_{DD}-U_{SS}$ = 4,5 V/. Przykładowo, gdy U_{DD} = +5 V, U_{SS} = 0 V i U_{EE} = -13,5 V, to sygnały analogowe o napięciach w granicach 13,5 do 4,5 V mogą być przełączane sygnałami sterującymi o amplitudzie od 0 do 5 V.



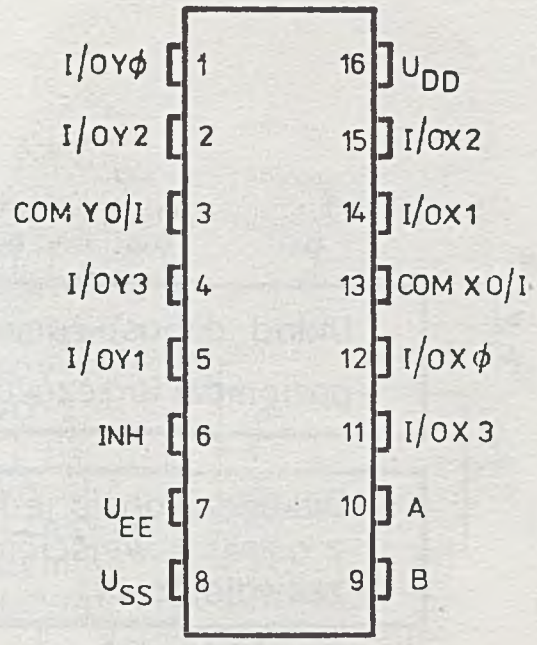


Rys. 1. Zwymiarowana obudowa typu CE-71

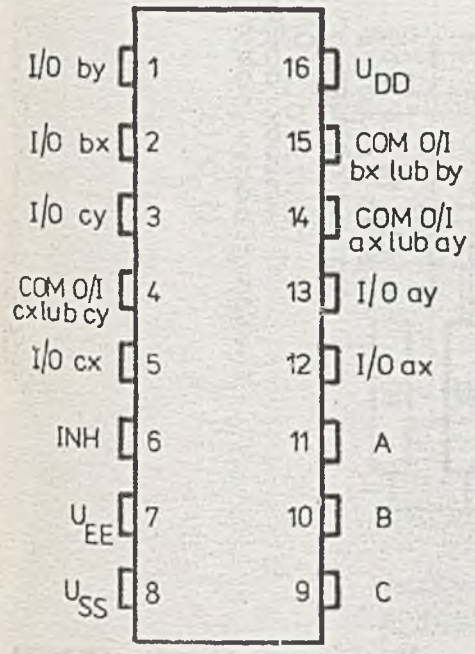
a)



b)



c)



OPIS WYPROWADZEŃ

U_{DD} - napięcie zasilania +

U_{SS} - napięcie zasilania $U_{EE} < U_{SS} < U_{DD}$

U_{EE} - napięcie zasilania -

A,B,C - wejścia sterujące

I/O - wejścia/wyjścia kanałów

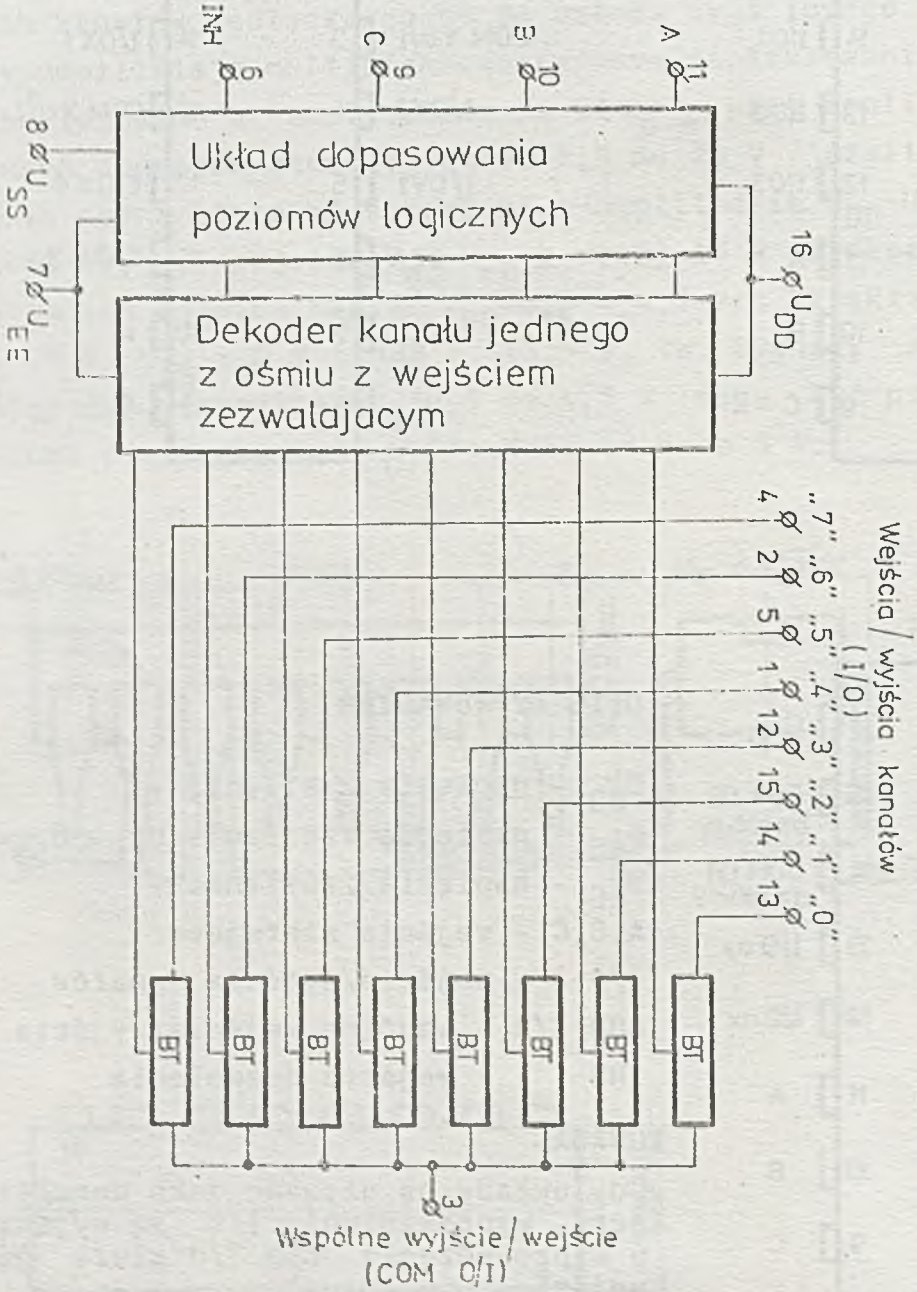
COM I/O - wspólne wejścia/wyjścia

INH - wejścia zezwolenia

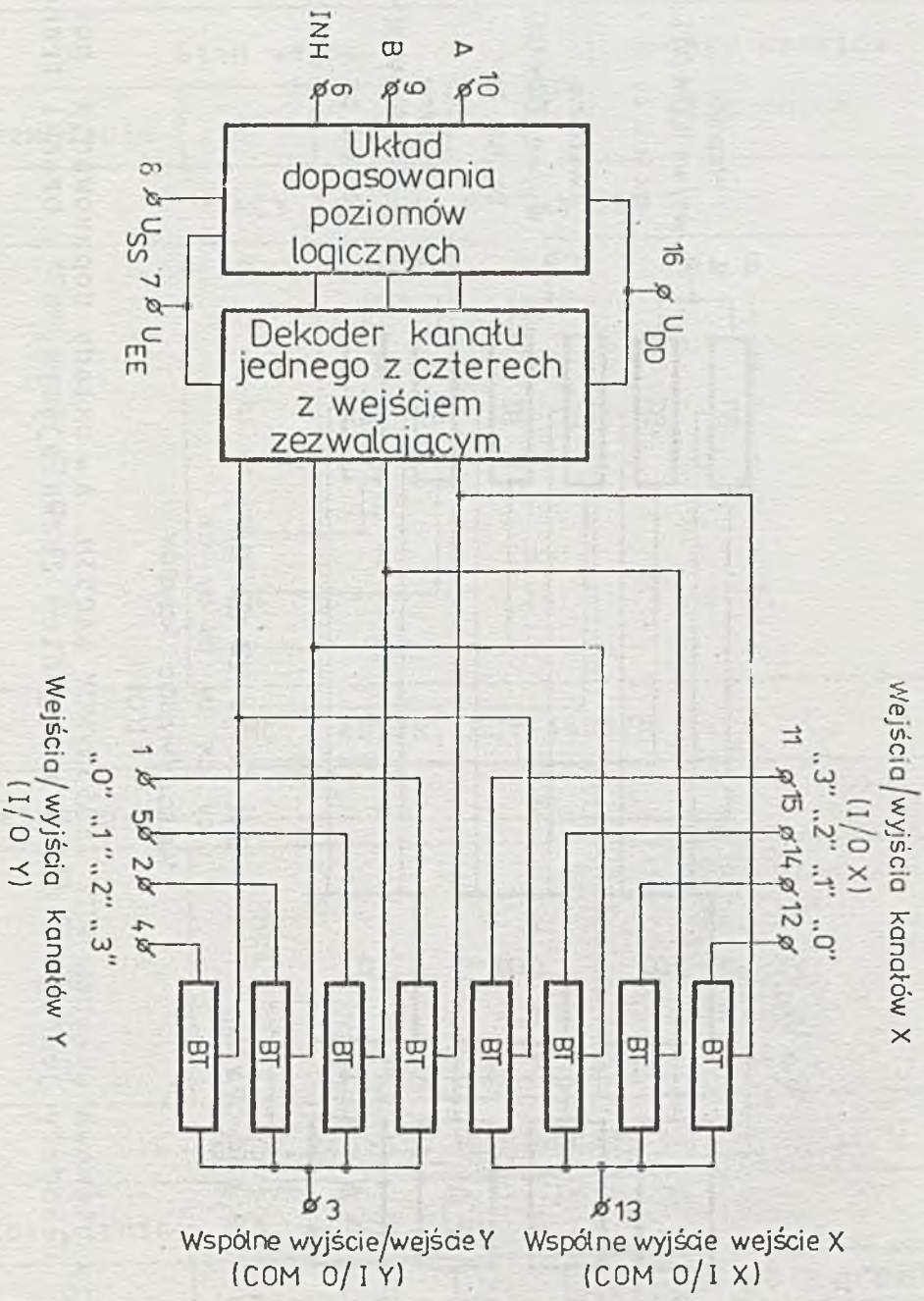
UWAGA

Gdy układy są używane jako demultiplekser, wyprowadzenia I/O są wyjściami, a wyprowadzenia COM I/O służą jako wejścia

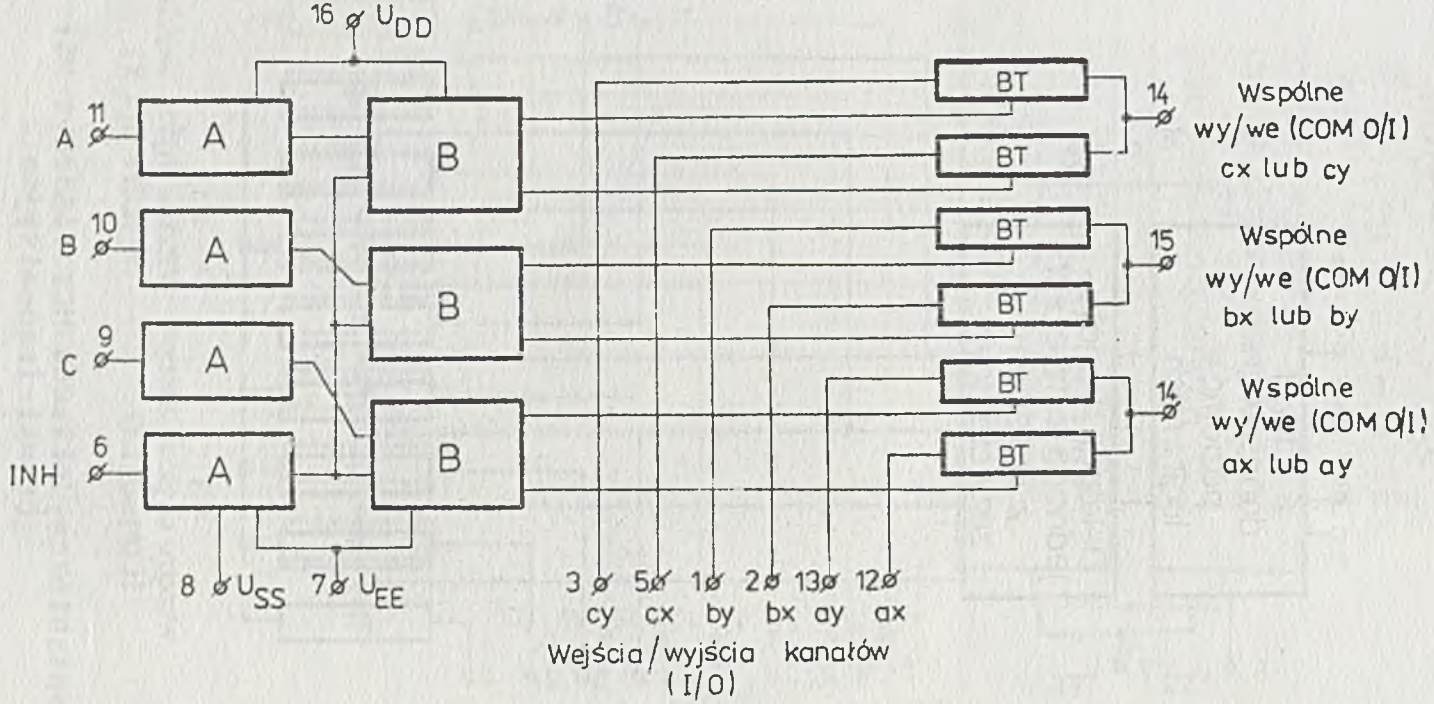
Rys. 2. Konfiguracja i opis wyprowadzeń układów: a) MCY 74051N, MCY 64051N, b) MCY 74052N, MCY 64052N, c) MCY 74053N, MCY 64053N



Rys. 3. Schemat blokowy układów MCY 74051N i MCY 64051N. BT - bramki transmisyjne



Rys. 4. Schemat blokowy układów MCY 74052N i MCY 64052N. BT - bramki transmisyjne



Rys.5 Schematy blokowe układów MCY 74053N/MCY 64053N. A – układy dopasowania poziomów logicznych, B - dekodery jednego z dwóch z wejściem zezwalającym, BT - bramki transmisyjne

Tabela stanów poszczególnych układów

Stan wejść				Numery kanałów włączonych
Zezwolenie	C	B	A	
MCY 74051N, MCY 64051N				
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	-
MCY 74052N, MCY 64052N				
Zezwolenie		B	A	
0		0	0	0x, 0y
0		0	1	1x, 1y
0		1	0	2x, 2y
0		1	1	3x, 3y
1		X	X	-
MCY 74053N, MCY 64053N				
Zezwolenie	A lub B lub C			
0		0		ax lub bx lub cx
0		1		ay lub by lub cy
1		X		-
X - nie dotyczy				

Cechy charakterystyczne:

- zakres napięć zasilania 3-18 V,
- wszystkie wejścia i wyjścia buforowane,
- wszystkie wejścia i wyjścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki wyjściowe w stanie niskim i wysokim,
- szeroki zakres przełączanych napięć analogowych 20 V_{p-p},
- niska rezystancja przewodzenia kanału - 125Ω typowo przy $U_{DD}-U_{EE}$ = 15 V,
- maksymalny prąd kanału - 25 mA,
- minimalna rezystancja obciążenia - 100Ω .

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}		-0,5 ÷ 20 V
Napięcie wejściowe	U_I		-0,5 ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I		±10 mA
Zakres temperatur pracy	t_{amb}	dla MCY 74...N	0 ÷ 70°C
		dla MCY 64...N	-40 ÷ 85°C
Zakres temperatur przechowywania	t_{stg}		-55 ÷ 125°C
Temperatura lutowania:			
- ręcznego /max. 4 s/	t_{sol}		350°C
- automatycznego			270°C
Maksymalna moc strat	P_D		500 mW

ELEKTRYCZNE PARAMETRY STATYCZNE I DYNAMICZNE DLA UKŁADÓW MCY 74051N, MCY 74052N, MCY 74053N
MCY 64051N, MCY 64052N, MCY 64053N

Nazwa parametru	Symbol	Jedn.	Wartości graniczne					Warunki pomiaru			
			t_{min} *)	25°C			t_{max} *)	U_I [V]	U_{SS} [V]	U_{EE} [V]	U_{DD} [V]
				min	typ	max					
1	2	3	4	5	6	7	8	9	10	11	12
Spoczynkowy prąd zasilania	I_{DD}	µA	5	-	0,04	5	150	0; 5	-	-	5
			10	-	0,04	10	300	0;10	-	-	10
			20	-	0,04	20	600	0;15	-	-	15
			100	-	0,08	100	3000	0;20	-	-	20
Rezystancja włączonego kanału	R_{ON}	Ω	850	-	470	1050	1200	0; 5	0	0	5
			330	-	180	400	520	0;10	0	0	10
			210	-	125	240	300	0;15	0	0	15
Różnice oporności pomiędzy dwoma kanałami w jednej obudowie	ΔR_{ON}	Ω	-	-	15	-	-	-	0	0	5
			-	-	10	-	-	-	0	0	10
			-	-	5	-	-	-	0	0	15
Prąd upływności wyłączonego kanału	I_{IS}	µA	-	-	$\pm 10^{-5}$	$\pm 0,1$	-	-	0	0	18

ELEKTRYCZNE PARAMETRY STATYCZNE I DYNAMICZNE c.d.

1		2	3	4	5	6	7	8	9	10	11	12
Pojemność wejściowa wejść analogowych		C_{IS}	pF	-	-	5	-	-	-	-5	-5	5
Pojemność wyjściowa	MCY 74051N, MCY 64051N.	C_{OS}	pF	-	-	30	-	-	-	-5	-5	5
	MCY 74052N, MCY 64052N.	C_{OS}	pF	-	-	18	-	-	-	-5	-5	5
	MCY 74053N, MCY 64053N.	C_{OS}	pF			9			-	-5	-5	5
Czas propagacji sygnału z wyjścia na wyjście, U_{IS} - sygnał prostokątny o amplitudzie U_{DD}, R_L = 200 kΩ, C_L = 50 pF, $t_r = t_f$ = 20 ns		t_{pd}	ns	- - -	- - -	30 15 10	60 30 20	- - -	- - -	- - -	- - -	5 10 15
Napięcie wejściowe w stanie niskim. I_{IS} = 2 µA, na wszystkich wyłączonych kanałach		U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	U_{EE} = U_{SS}			5 10 15
Napięcie wejściowe w stanie wysokim		U_{IH}	V	3,5 7 11	- - -	3,5 7 11	- - -	3,5 7 11				5 10 15

1	2	3	4	5	6	7	8	9	10	11	12
Prąd wejściowy	I_I	µA	±0,1	-	$\pm 10^{-5}$	±0,1	±1	0÷18	-	-	18
Czas propogacji adresu do sygnału na wyjściu /kanały włączone lub wyłączone/ $t_r = t_f =$ = 20 ns, C_L = 50 pF	t_{pa}	ns	-	-	360	720	-	-	0	0	5
			-	-	160	320	-	-	0	0	10
			-	-	120	240	-	-	0	0	15
			-	-	225	450	-	-	0	-5	5
Czas propegacji sygnału zezwolenia na wyjście, kanały włączone $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 10 kΩ	t_{pIN}	ns	-	-	360	720	-	-	0	0	5
			-	-	160	320	-	-	0	0	10
			-	-	120	240	-	-	0	0	15
			-	-	200	400	-	-	0	-10	5
Czas propagacji sygnału zezwolenia na wyjście, kanały wyłączone $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 300 kΩ	t_{pIF}	ns	-	-	200	450	-	-	0	0	5
			-	-	90	210	-	-	0	0	10
			-	-	70	160	-	-	0	0	15
			-	-	130	300	-	-	0	-10	5
Pojemność wejściowa wejść adresowych i wejście zezwolenia	C_{IN}	pF	-	-	5	7,5	-	-	-	-	-
Maksymalne zniekształcenia harmoniczne R_L = 40 kΩ, U_T **)	T_{HD}	%	-	-	0,3	-	-	2		U_{EE} =	5
			-	-	0,2	-	-	3		= U_{SS}	10
			-	-	0,12	-	-	5			15

*) $t_{min} = 0^oC$, $t_{max} = 70^oC$ dla serii MCY 74...N; $t_{min} = -40^oC$, $t_{max} = 85^oC$ dla serii MCY 64...N.

**) sygnał wejściowy jest sinusoidalny symetryczny wokół $U_{DD} - U_{EE}/2$ o częstotliwości f = 1 kHz.

Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

WYMAGANIA DODATKOWE

Przechowywanie i transport wyrobu

Układy powinny być przechowywane w sposób zapewniający zwarcie elektryczne wszystkich wyprowadzeń. Zalecane jest stosowanie gąbki przewodzącej, folii aluminiowej lub innych materiałów przewodzących.

Montaż układów

Podczas montażu układów zalecane jest stosowanie obrączek uziemiających o rezystancji 1 MΩ do ziemi, uziemienie stołu montażowego, uziemienie narzędzi montażowych /jak np. lutownica/. Niedozwolony jest montaż i demontaż układów pod napięciem na którymkolwiek z wyprowadzeń.

Układy aplikacyjne

Wszystkie nie wykorzystane wejścia powinny być połączone z masą /U_{SS}/ lub zasilaniem /U_{DD}/ odpowiednio do pełnionej funkcji logicznej.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx. 815647

Styczeń 1987
Cena 120 zł

Druk ZOINTE ITE zam. 24 / 87 n.30

PRAWO REPRODUKCJI ZASTRZEŻONE

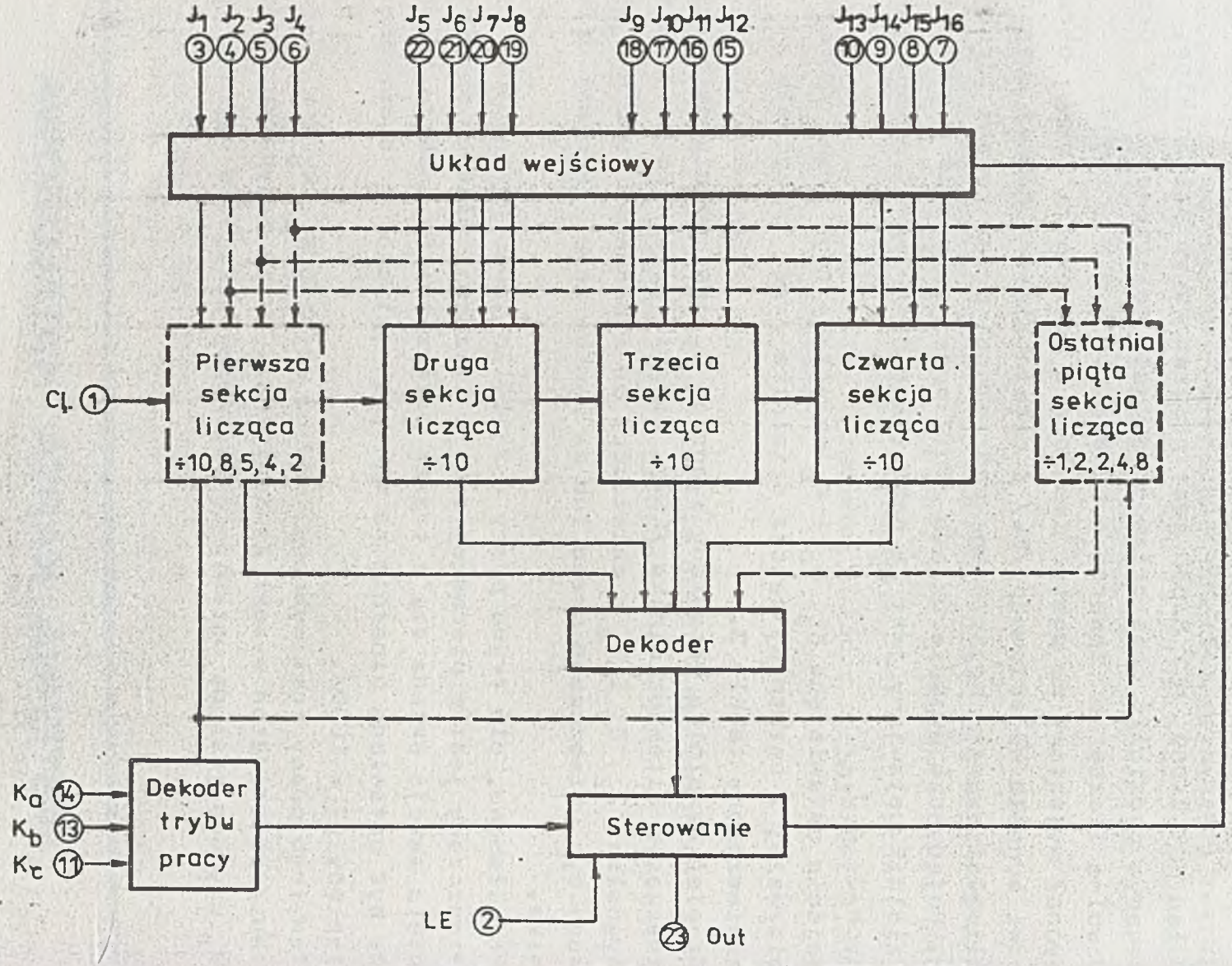
INSTYTUT TECHNOLOGII ELEKTRONOWEJ

PROGRAMOWANY DZIELNIK CZĘSTOTLIWOŚCI

MCY 74059
MCY 64059

Układ MCY 74059, MCY 64059 jest programowanym dzielnikiem, mogącym podzielić częstotliwość sygnału wejściowego /CL/ przez dowolną liczbę N zawartą w przedziale $3 \leqslant N \leqslant 15999$.
Sygnał wyjściowy ma postać impulsów o szerokości równej okresowi sygnału wejściowego /CL/ i częstotliwości równej częstotliwości sygnału wejściowego podzielonej przez zadaną liczbę N. Pojedyncze wyjście układu /OUT/ może wysterować bramkę TTL.
Dzielnik ustawiany jest za pomocą szesnastu wejść ustawiających $J_1 \div J_{16}$.
Wejścia ustawiające K_a, K_b i K_c określają tryb pracy /MODE/ pierwszej i ostatniej sekcji dzielnika /rys. 1/ zgodnie z zamieszczoną tabelą 3.
Stopień dzielnika ustawiany sygnałem J_1 jest zawsze najmniej znaczącym bitem dzielnika /LSB/. Stopnie dzielnika ustawiane sygnałami J_2, J_3 i J_4 w zależności od wybranego trybu pracy mogą być umieszczone przed lub za wewnętrznymi sekcjami dzielnika.
Przykładowo, dla trybu pracy ÷ 2, tylko jeden przerzutnik umieszczany jest w pierwszej sekcji liczącej, dlatego ostatnia, piąta sekcja składa się z trzech przerzutników. Sekcja ta może być ustawiona binarnie na maksymalną liczbę 7 o wartości tysięcy /7 x 1000/.
Ten tryb pracy jest wybrany, gdy na wejściu K_a, K_b i K_c zostanie podany stan wysoki /1 logiczna/. W tym przypadku wejście J_1 używane jest do ustawiania pierwszej sekcji, a wejścia J_2,

WSTĘPNA KARTA KATALOGOWA



Rys. 1. Schemat blokowy układu MCY 74059

J_3, J_4 do ustawiania ostatniej, piątej sekcji liczącej. Jeżeli wybrany jest tryb pracy ÷ 10 /K_a, K_b - stan wysoki, K_c - stan niski/ wejścia od J_1 do J_4 używane są do ustawiania pierwszej sekcji liczącej; w tym przypadku nie ma ostatniej, piątej sekcji liczącej. Pośrednie sekcje liczące, są to trzy kaskadowo połączone liczniki BCD / ÷ 10 /, ustawiane za pomocą wejść: J_5 ÷ J_{16}.

Doprowadzenie sygnału zegarowego do układu po ustawieniu licznika na liczbę N powoduje zliczanie rewersyjne do momentu, aż układ detekcji licznika wykryje stan zera, wtedy układ ustawiania ponownie ustawia stan licznika na liczbę N oraz wytwarza impuls wyjściowy.

Ustawianie licznika na założoną liczbę N uzyskuje się zgodnie ze wzorem:

N = (Tryb pracy *)) (1000 x liczba ustawiona w 5 sekcji + 100x liczba ustawiona w 4 sekcji + 10x liczba ustawiona w 3 sekcji + 1x liczba ustawiona w 2 sekcji) + liczba ustawiona w 1 sekcji.

W celu obliczenia liczby ustawionej dla dowolnej liczby N należy liczbę N podzielić przez współczynnik podziału, tzn. tryb pracy /MODE/. Wynik odpowiada cyfrom ustawianym w poszczególnych sekcjach od piątej do drugiej, z resztą będącą wartością, którą należy ustawić w pierwszej sekcji.

$$\text{liczba ustawiana} = \frac{N}{\text{tryb pracy /MODE/}}.$$

Oto przykłady:

1) N = 8479 i tryb pracy = 5
   wartość ustawiana = 8479 ÷ 5 = 1695 z resztą 4, a zatem wejścia ustawiające muszą przybrać następujące wartości:
   $K_a = 1$, $K_b = 0$, $K_c = 1$, /"1" = U_{DD}, "0" = U_{SS}/

---

*) Tryb pracy /MODE/ = współczynnik podziału pierwszej sekcji /10, 8, 5, 4 lub 2/.

4			1	5				9				6			
J_1	J_2	J_3	J_4	J_5	J_6	J_7	J_8	J_9	J_{10}	J_{11}	J_{12}	J_{13}	J_{14}	J_{15}	J_{16}
0	0	1	1	1	0	1	0	1	0	0	1	0	1	1	0

2) N = 12382, tryb pracy = 8
wartość ustawiana = 12382 = 1547 z resztą 6
$K_a = 0$, $K_b = 0$, $K_c = 1$

6			1	7				4				5			
J_1	J_2	J_3	J_4	J_5	J_6	J_7	J_8	J_9	J_{10}	J_{11}	J_{12}	J_{13}	J_{14}	J_{15}	J_{16}
0	1	1	1	1	1	1	0	0	0	1	0	1	0	1	0

3) N = 8479 i tryb pracy = 10
wartość ustawiana = 0847 z resztą 9
$K_a = 1$, $K_b = 1$, $K_c = 0$

9				7				4				8			
J_1	J_2	J_3	J_4	J_5	J_6	J_7	J_8	J_9	J_{10}	J_{11}	J_{12}	J_{13}	J_{14}	J_{15}	J_{16}
1	0	0	1	1	1	1	0	0	0	1	0	0	0	0	1

Wejścia ustawiające tryb pracy /MODE/ pozwalają na separację kanałów w syntetyzerze częstotliwości o 10; 12; 5; 20; 25 i 50 części. Wejścia te również określają maksymalną wartość N na 9999 /gdy pierwsza sekcja dzieli przez 5 lub 10/, lub na 159999 /gdy pierwsza sekcja dzieli przez 8, 4 lub 2/. Dekady trzech pośrednich sekcji mogą być ustawione binarnie maksymalnie na wartość 15 zamiast 9, na pozycji jedynek, dziesiątek i setek. Przykładowo, przy trybie pracy = 8, liczba od której pośrednie sekcje zliczają w dół, może być ustawiona na:

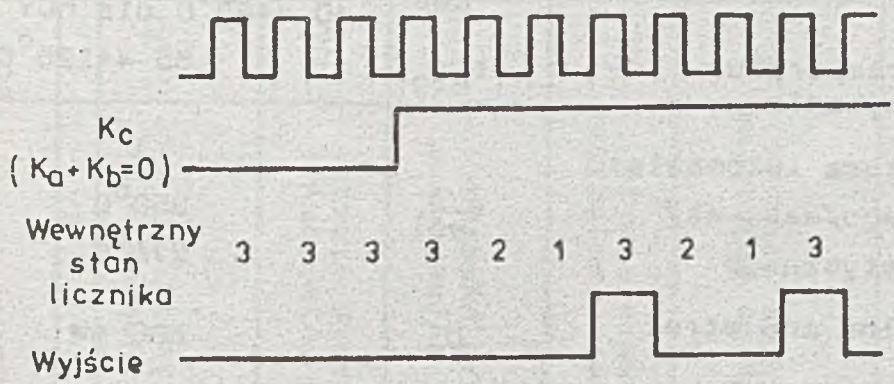
trzecia sekcja	1500
druga sekcja	150
pierwsza sekcja	15
	1665

Ostatnia sekcja może być ustawiona maksymalnie na 1 z wagą tysięcy. Suma tych liczb /2665/ razy 8 daje 21320. Pierwsza sekcja może być ustawiona maksymalnie na liczbę 7, co daje liczbę 21327, która jest maksymalną możliwością do ustawienia w trybie pracy ÷ 8.

Największe dopuszczalne zakresy podziału dla różnych trybów pracy przedstawione zostały w tab.3.

Wejścia ustawiające K_b i K_c mogę być również użyte do "wyłączenia" licznika /Master Preset/. W tym przypadku przerzutniki w liczniku ustawione są zgodnie z wejściami ustawiającymi $J_1 \div J_{16}$, lecz licznik nie zlicza i pozostaje w tym stanie tak długo, jak na wejściach K_b i K_c pozostaje niski /"0"/. Licznik zacznie zliczać rewersyjnie od ustawionej wartości dopiero wtedy, gdy tryb pracy będzie różny od stanu "wyłączenia" /Master Preset/. Jeżeli chcemy "wyłączyć" licznik, to sygnały sterujące wejść K_b i K_c muszą być równe 0 logicznemu przez co najmniej trzy okresy sygnału zegarowego CL /wejściowego/.

Po "wyłączeniu" licznika a następnie przejściu do dowolnego trybu pracy, pierwsze narastające zbocze sygnału zegarowego CL zmienia stan wewnętrznego przerzutnika, tak że zliczanie w dół zaczyna się od drugiego narastającego zbocza sygnału zegarowego. Dlatego po wyłączeniu licznika, licznik zlicza o jeden impuls więcej, zanim zmieni się stan na wyjściu. Rys. 2 przedstawia działanie licznika w trybie pracy ÷8 od ustawianego stanu 3.



Rys. 2. Działanie licznika w trybie pracy ÷8 od ustawianego stanu 3

Jeżeli wejścia K_b i K_c zostały ustawione na poziom O, w czasie krótszym od dwóch okresów sygnału zegarowego lub mniejszym, przed pojawieniem się impulsu wyjściowego, impuls ten pojawi się w oczekiwanym czasie. Pojawienie się impulsu wyjściowego powoduje ustawienie stanu licznika zgodnie z wejściami ustawiającymi $J_1 \div J_{16}$. Stan wysoki 1 na wejściu LE /Latch Enable - LE/ spowoduje, że wyjście pozostanie w stanie wysokim 1 tak długo dopóki stan na wejściu LE nie powróci do stanu niskiego O. Gdy na wejście LE zostanie podany stan niski, impuls wyjściowy będzie miał szerokość jednego okresu zegarowego.

Gdy K_a = O, K_b = 1 i K_c = O oraz wejście LE = O, licznik dzieli przez 10000, niezależnie od stanu wejść ustawiających. Przy tym samym stanie wejść K_a, K_b i K_c zmiana stanu na wejściu LE na stan wysoki 1 nie powoduje zapamiętania stanu wysokiego na wyjściu /OUT/.

Wyjście układu /OUT/ w tym trybie pracy jest nieczułe na zmiany stanu wejścia LE; układ pracuje tak, jakby na wejściu LE był podany stan niski. Układ wyprowadzeń wg rys. 3.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	±10 mA
Zakres temperatur pracy	t_{amb}	O ÷ +70°C dla MCY 74059N -40 ÷ +85°C dla MCY 64059N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ +125°C
Temperatura lutowania:		
- ręcznego/max. 4s/	t_{sol}	350°C
- automatycznego		270°C
Maksymalna moc strat	P_D	500 mW

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	t_{min} *)		Wartość 25°C			t_{max} *)		Warunki pomiaru U_O[V]	U_I[V]	U_{DD}[V]
			min.	max.	min.	typ.	max	min.	max.			
	2	3	4	5	6	7	8	9	10	11	12	13
Spoczynkowy prąd zasilania	I_{DD}	µA	-	5	-	0,04	5	-	150	-	0; 5	5
			-	10	-	0,04	10	-	300	-	0;10	10
			-	20	-	0,04	20	-	600	-	0;15	15
			-	100	-	0,08	100	-	3000	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	2,4	-	2	4	-	1,6	-	0,4	0;5	5
			6	-	5	10	-	4,4	-	0,5	0;10	10
			16	-	13	26	-	11,2	-	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,64	-	-0,51	-1	-	-0,36	-	4,6	0;5	5
			-2	-	-1,6	-3,2	-	-1,15	-	2,5	0;5	5
			-1,6	-	-1,3	-2,6	-	-0,9	-	9,5	0;10	10
			-4,2	-	-3,4	-6,8	-	-2,4	-	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	0,05	-	0	0,05	-	0,05	-	0;5	5
			-	0,05	-	0	0,05	-	0,85	-	0;10	10
			-	0,05	-	0	0,05	-	0,05	-	0;15	15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95	-	4,95	5	-	4,95	-	-	0;5	5
			9,95	-	9,95	10	-	9,95	-	-	0;10	10
			14,95	-	14,95	15	-	14,95	-	-	0;15	15

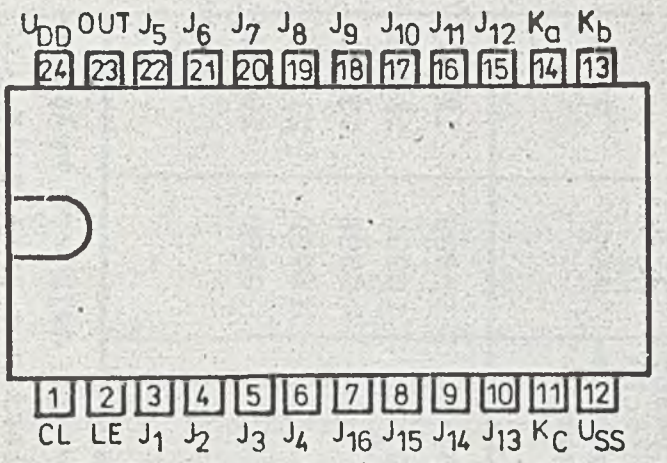
Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11	12	13
Napięcie wejściowe w stanie niskim	U_{IL}	V	- - -	1,5 3 4	- - -	- - -	1,5 3 4	- - -	1,5 3 4	0,5;4,5 1;9 1,5;13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	- - -	3,5 7 11	- - -	- - -	3,5 7 11	- - -	0,5;4,5 1;9 1,9;13,5	- - -	5 10 15
Prąd wejściowy	I_I	μA	-	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	-	$\pm$1	-	0,18	18

Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla serii MCY 74...N,

$t_{min} = -40^{o}C$ $t_{max} = 85^{o}C$ dla serii MCY 64...N.



Rys. 3. Układ wyprowadzeń układu MCY. 74/64059 N

Tabela 2. PARAMETRY DYNAMICZNE / t_{amb} = 25°C, t_r = t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ /

Nazwa parametru	Symbol	Jedn.	Wartości			Warunki pomiaru U_{DD} [V]
			min.	typ.	max.	
Czasy propagacji z wejścia do wyjścia	t_{PHL} t_{PLH}	ns	- - -	230 120 60	460 230 110	5 10 15
Czas transmisji sygnału wyjściowego	t_{TLH}	ns	- - -	100 50 40	200 100 80	5 10 15
Czas transmisji sygnału wyjściowego	t_{THL}	ns	- - -	70 50 30	100 70 50	5 10 15
Maksymalna częstotliwość sygnału zegarowego	f_{cpmax}	MHz	1,5 3 4,5	- - -	- - -	5 10 15
Pojemność wejściowa	C_I	pF	-	10	15	-
Minimalna szerokość impulsu zegarowego	t_{wCL} min	ns	- - -	- - -	200 100 80	5 10 15

Tabela 3. TRYB PRACY /MODE/ PIERWSZEJ I OSTATNIEJ SEKCJI LICZNIKA

Tryb pracy /MODE/			Pierwsza sekcja licząca			Ostatnia sekcja licząca			Zakres liczenia	
									Projektowany	Rozszerzony
K_a	K_b	K_c	Współczynnik podziału /MODE/	Może być ustawiona na maksymalną wartość	Używane wejścia ustawiające	Współczynnik podziału /MODE/	Może być ustawiona na maksymalną wartość	Używane wejścia ustawiające	max.	max.
1	1	1	2	1	J_1	8	7	J_2, J_3, J_4	15999	17331
0	1	1	4	3	J_1, J_2	4	3	J_3, J_4	15999	18663
1	0	1	5*)	4	J_1, J_2, J_3	2	1	J_4	9999	13329
0	0	1	8	7	J_1, J_2, J_3	2	1	J_4	15999	21327
1	1	0	10	9	J_1, J_2, J_3, J_4	1	0	-	9999	16659
X	0	0	"wyłączona"			"wyłączona"			-	-

*) Działanie licznika w trybie pracy =5 /pierwsza sekcja licząca/ wymaga najpierw wyłączenia licznika, tzn. przejście przez stan Master Preset. W czasie włączania zasilania, wejście K_c musi mieć podany stan 0 logicznego na czas trzech okresów sygnału zegarowego /CL/ po osiągnięciu przez zasilanie /U_{DD}/ wartości minimum 3 V.

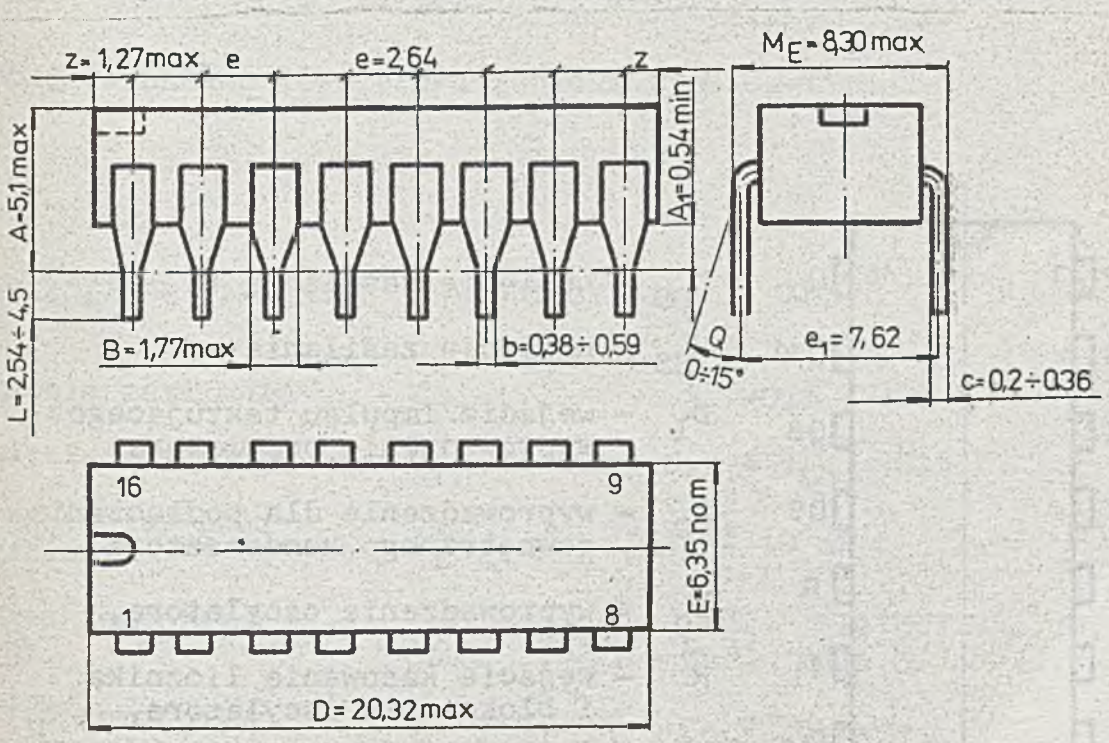
"1" = U_{DD}, "0" = U_{SS}, "X" = U_{DD} lub U_{SS}, J_1 = LSB, J_4 = MSB.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ Al. Lotników 32/46 02-668 Warszawa tel. 435401 tlx. 815647
Październik 1986, cena zł 100 PRAWO REPRODUKCJI ZASTRZEŻONE Druk ZOINTE ITE zam. 424/86 n. 500

14-STOPNIOWY ASYNCHRONICZNY LICZNIK BINARNY Z OSCYLATOREM

MCY 74060N
MCY 64060N

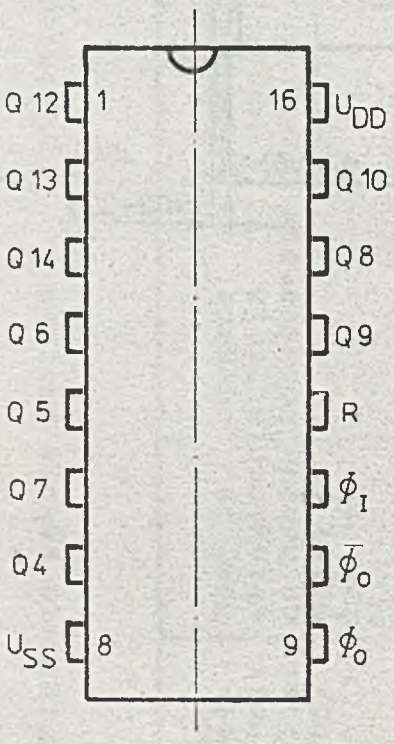
Układy logiczne CMOS są zbudowane z tranzystorów wzbogacanych p i n-kanałowych, wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS/. Podstawowym ich przeznaczeniem jest praca w układach sterowaniu liczników, timerach, dzielnikach częstotliwości i układach opóźnienia czasowego.



Rys. 1. Wymiary obudowy typu CE-71

Układ spełnia funkcję 14-stopniowego licznika binarnego, asynchronicznego z możliwością zerowania. Składa się z oscylatora oraz 14-stopniowego licznika. Układ oscylatora umożliwia współpracę z oscylatorem RC lub kwarcowym. Wejście RESET umożliwia wyzerowanie licznika oraz blokuje działanie oscylatora. Podanie stanu wysokiego na wejście zerujące RESET ustawia wszystkie wyjścia licznika w stanie "0".

Wszystkie stopnie licznika są przerzutnikami typu master-slave. Stan na wyjściach licznika zmienia się podczas opadającego zbocza impulsu na wejściu każdego ze stopni. Zastosowanie na wejściu układu Schmitta zapewnia poprawną pracę układu przy dowolnych czasach narastania i opadania impulsów wejściowych.



U_{DD} - napięcie zasilania +,

U_{SS} - napięcie zasilania -,

ϕ_I - wejście impulsu taktującego wyprowadzenie oscylatora,

ϕ_O - wyprowadzenie dla podłączenia zewnętrznego kondensatora,

$\bar{\phi}_O$ - wyprowadzenie oscylatora,

R - wejście kasowania licznika i blokowania oscylatora,

Q_N - wyjścia ze stopni licznika.

Rys. 2. Konfiguracja i opis wyprowadzeń układów MCY 74060N i MCY 64060N

Cechy charakterystyczne:

- zakres napięć zasilających 3 ÷ 18 V,
- wszystkie wejścia i wyjścia buforowane,
- wszystkie wejścia i wyjścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki w stanie niskim i wysokim,
- typowy margines szumów:

1 V przy U_{DD} = 5 V,
2 V przy U_{DD} = 10 V,
2,5 V przy U_{DD} = 15 V,

- obudowa układu 16-wyprowadzeniowa typu CE-71.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V	
Napięcie wejściowe	U_I	-0,5 ÷ U_{DD} + 0,5 V	
Dopuszczalny prąd wejściowy	I_I	± 10 mA	
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C	dla MCY 74...N,
		-40 ÷ 85°C	dla MCY 64...N
Zakres temperatur przechowywania	t_{stg}	-55° ÷ 125°C	
Temperatura lutowania	t_{sol}		
- ręcznego /max. 4s/		350°C	
- automatycznego		270°C	
Maksymalna moc strat	P_D	500 mW	

Tabela 1. ELEKTRYCZNE PARAMETRY STATYCZNE

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_o [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/uA	5	-	0,04	5	150	-	0; 5	5
			10	-	0,04	10	300	-	0;10	10
			20	-	0,04	20	600	-	0;15	15
			100	-	0,08	100	3000	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,61	0,51	1	-	0,42	0,4	0; 5	5
			1,5	1,3	2,6	-	1,1	0,5	0;10	10
			4,0	3,4	6,8	-	2,8	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,61	-0,51	-1	-	-0,42	4,6	0; 5	5
			-1,3	-1,6	-3,2	-	-1,3	2,5	0; 5	5
			-1,5	-1,3	-2,6	-	-1,1	9,5	0;10	10
			-4,0	-3,4	-6,8	-	-2,8	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0;15	15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95	4,95	5	-	4,95	-	0; 5	5
			9,95	9,95	10	-	9,95	-	0;10	10
			14,95	14,95	15	-	14,95	-	0;15	15

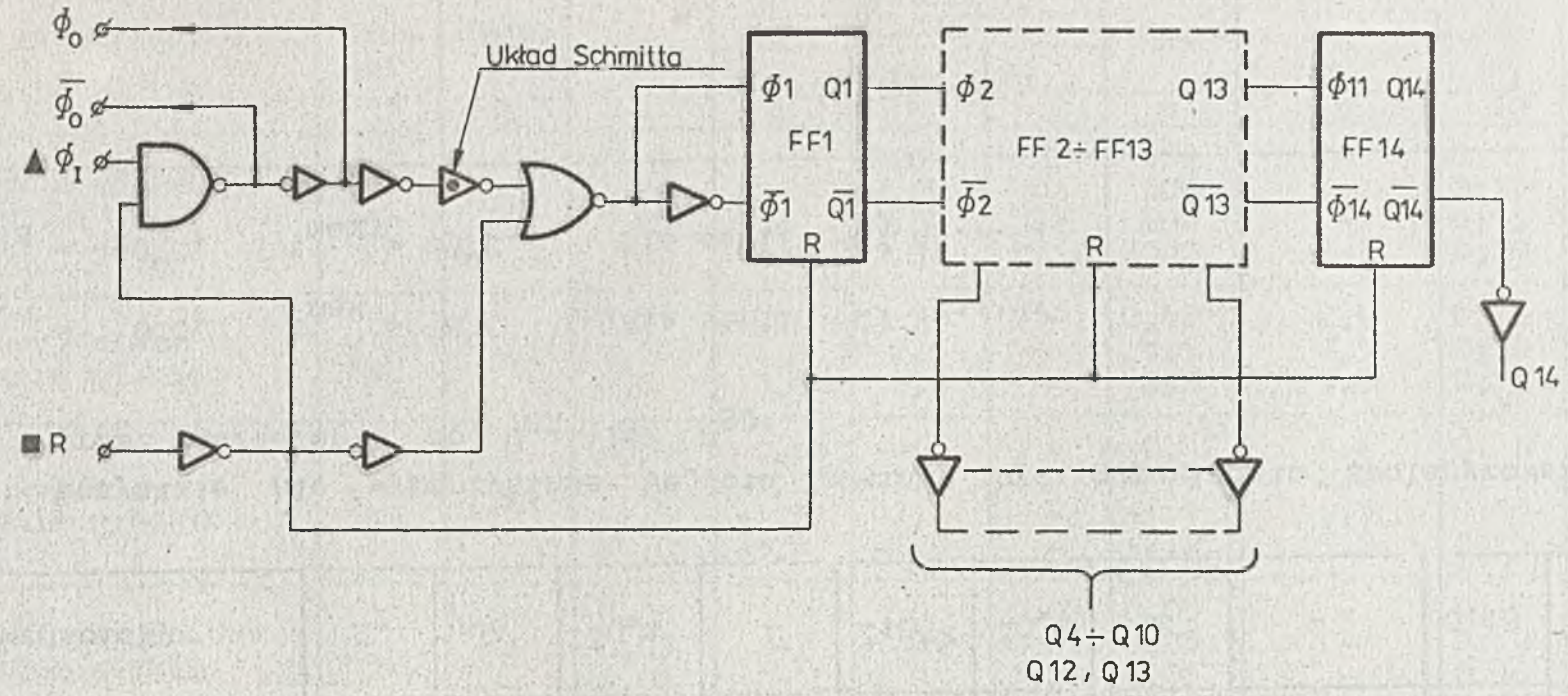
Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wejściowe w stanie niskim	U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	0,5; 4,5 1; 9 1,5;13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5; 4,5 1; 9 1,5;13,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm$0,1	-	$\pm 10^{-5}$	$\pm$0,1	$\pm$1	-	0;18	18

Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla serii MCY 74...N,

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla serii MCY 64...N.



Rys. 3. Schemat logiczny układów MCY 74060N i MCY 64060N. ■ R = stan wysoki jest dominujący, kasuje wszystkie stopnie licznika ustawia w stan 0 i blokuje działanie oscylatora. ▲ licznik zwiększa liczbę binarną o jeden przy każdym opadającym zboczu sygnału ϕ_I i ϕ_o.

Tabela 2. ELEKTRYCZNE PARAMETRY DYNAMICZNE /przy t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ/

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość typ.	Wartość max.	U_{DD} [V]
Czas propagacji $\emptyset_I$ do wyjścia $\emptyset_4$	t_{PHL} t_{PLH}	ns	-	370	740	5
			-	150	300	10
			-	100	200	15
Czas propagacji Qn do Qn + 1			-	100	200	5
			-	50	100	10
			-	40	80	15
Czasy transmisji sygnału na wyjściu przy przejściu ...	t_{THL} *) t_{TLH} **)	ns	-	100	200	5
			-	50	100	10
			-	40	80	15
Minimalny czas trwania impulsu wejściowego przy f=100 kHz	t_w	ns	-	50	100	5
			-	20	40	10
			-	15	30	15
Czas narastania i opadania impulsu wejściowego	$t_r \emptyset$ $t_f \emptyset$	ns	dowolne			5
						10
						15
Maksymalna częstotliwość impulsu wejściowego /zewnętrzne źródła impulsów wejściowych/	$f\emptyset_I$	MHz	3,5	7	-	5
			8	16	-	10
			12	24	-	15
Pojemność wejściowa dowolnego wejścia	C_I	pF	-	5	7,5	-
Czas propagacji sygnału RESET na wyjście	t_{PHL}	ns	-	180	360	5
			-	80	160	10
				50	100	15
Maksymalny czas trwania impulsu zerującego /RESET/	t_w	ns	-	60	120	5
			-	30	60	10
			-	20	40	15

*) t_{THL} z poziomu wysokiego na niski

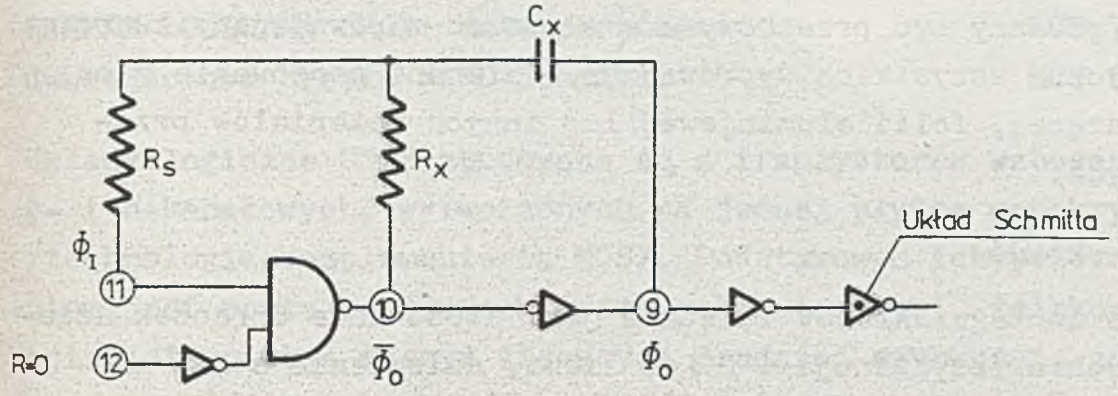
**) t_{TLH} z poziomu niskiego na wysoki

Tabela 3. ELEKTRYCZNE PARAMETRY DYNAMICZNE. TRYB PRACY Z OSCYLATOREM RC /t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ /

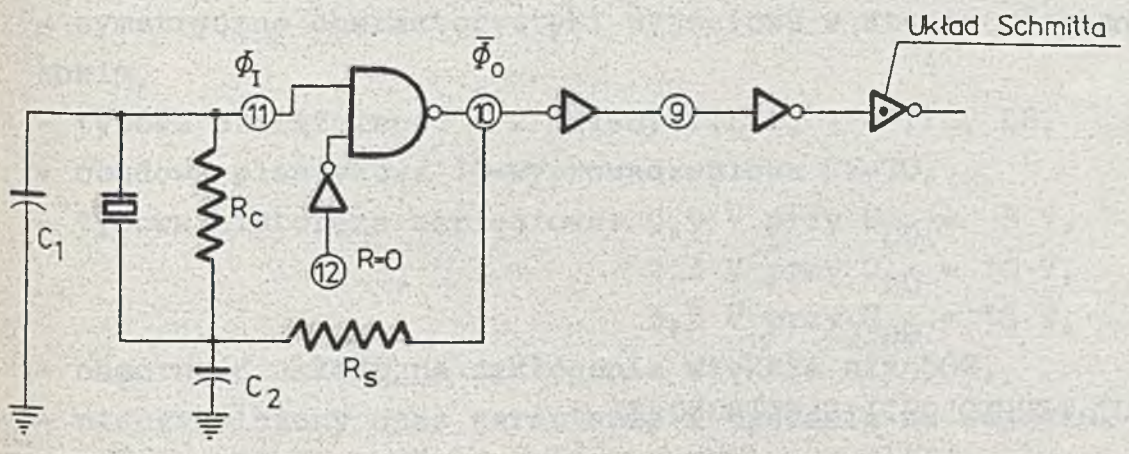
Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość typ.	Wartość max.	U_{DD} [V]	Warunki pomiaru
Rozrzut częstotliwości /od zestawu do zestawu/*)	-	kHz	18 20 21,5	21,5 23 24	25 26 27	5 10 15	C_x = 200 pF R^x = 560 kΩ R^s_x = 50 kΩ
Rozrzut częstotliwości ze zmianą napięcia U_{DD}*)	-	kHz	- -	- -	2 1	5 ÷ 10 10 ÷ 15	C_x = 200 pF R^x = 560 kΩ R^s_x = 50 kΩ
Rezystancja	R_{xmax}	MΩ	- - -	- - -	20 20 10	5 10 15	C_x = 10 /uF = 50 /uF = 10 /uF
Pojemność	C_{xmax}	/uF	- - -	- - -	1000 50 50	5 10 15	R_x = 500 kΩ = 300 kΩ = 300 kΩ
Maksymalna częstotliwość oscylatora	-	kHz	530 690	650 800	810 940	10 15	R_x = 5 kΩ C_x = 15 pF
Prąd w stanie niskim i wysokim na wyjściu $Ø_o$ /wyprowadzenie 9/	I_{OL}	mA	0,16 0,42 1	0,35 0,8 2	- - -	5 10 15	U_o = 0,4 V = 0,5 V = 1,5 V
	I_{OH}		-0,16 -0,42 -1	-0,35 -0,8 -2	- - -	5 10 15	U_o = 4,6 V = 9,5 V =13,5 V

Nie zaleca się stosowania układu oscylatora RC dla napięcia U_{DD} poniżej 7 V dla $R_x < 50$ kΩ

*) Patrz rys. 4.



Rys.4. Układy oscylatora RC: $R_S = 2 \cdot R_x + 10 \cdot R_x$, $T = 2{,}2 \cdot R_x \cdot C_x$



Rys.5. Układ oscyłatora kwarcowego /$C_{XTAL} = C_1 + C_2 + C_{STRAY}$, R_C - rozszerzający charakterystykę częstotliwościową, R_S - ograniczający prąd, C_{STRAY} - pojemność rozproszona, C_{XTAL} - pojemność całkowita kwarcu/

WYMAGANIA DODATKOWE

Przechowywanie i transport wyrobów

Układy powinny być przechowywane w sposób zapewniający zwarcie elektryczne wszystkich wyprowadzeń. Zalecane stosowanie gąbki przewodzącej, folii aluminiowej lub innych materiałów przewodzących.

Montaż układów

Podczas montażu układów zalecane jest stosowanie obrączek uziemiających o rezystancji 1 MΩ do ziemi, uziemienie stołu montażowego, uziemienie narzędzi montażowych /np. lutownica/. Niedozwolony jest montaż lub demontaż układów pod napięciem na którymkolwiek z wyprowadzeń.

Układy aplikacyjne

Wszystkie nie wykorzystane wejścia powinny być połączone z masą /U_{SS}/ lub zasilaniem /U_{DD}/ odpowiednio do pełnionej funkcji logicznej.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx. 815647
Styczeń 1987
Cena 100 zł

Druk ZOINTE ITE zam. /87 n.

PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

BRAMKA LOGICZNA CMOS: czterokrotna dwuwejściowa bramka NAND Schmitta — MCY 74093N, MCY 64093N

Układy logiczne CMOS zbudowane są z tranzystorów wzbogacanych p- i n-kanałowych, wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS/. Podstawowym ich przeznaczeniem jest praca w układach cyfrowych automatyki, telekomunikacji i miernictwa maszyn liczących średniej szybkości, gdzie wymagany jest niski pobór mocy i/lub wysoka odporność na zakłócenia.

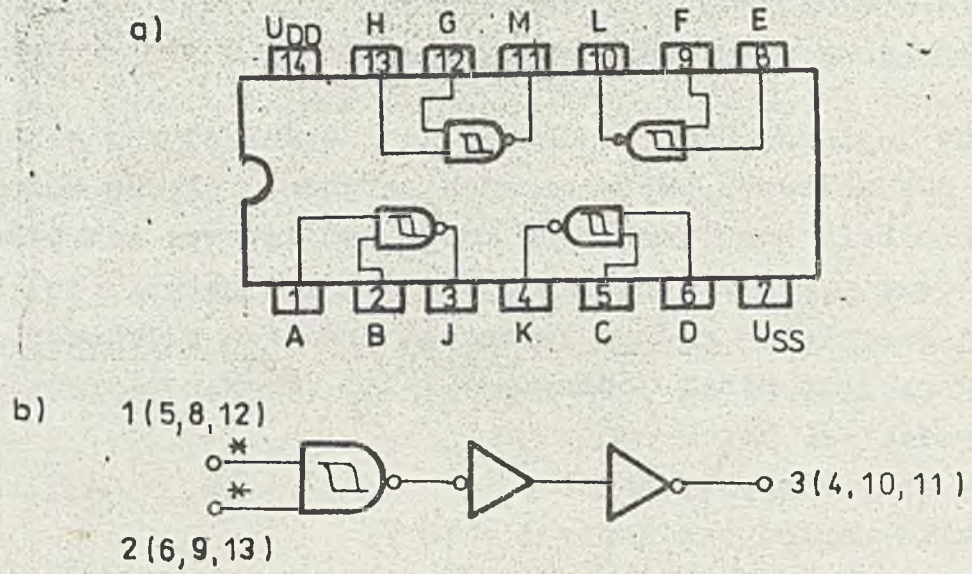
Cechy charakterystyczne to:

- zakres napięć zasilania 3 ÷ 18 V,
- wszystkie wejścia i wyjścia buforowane,
- wszystkie wejścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki wyjściowe w stanie niskim i wysokim,
- typowa obciążalność - 2 układy TTL-L, 1 - TTL, LS,
- obudowa plastykowa 14-wyprowadzeniowa CE-70,
- typowa histereza napięciowa: 0,9 V przy U_{DD} = 5 V,
  2,3 V przy U_{DD} = 10 V,
  3,5 V przy U_{DD} = 15 V,
- odporność układu na zakłócenia większa niż 50%,
- nieograniczony czas narastania i opadania na wejściu.

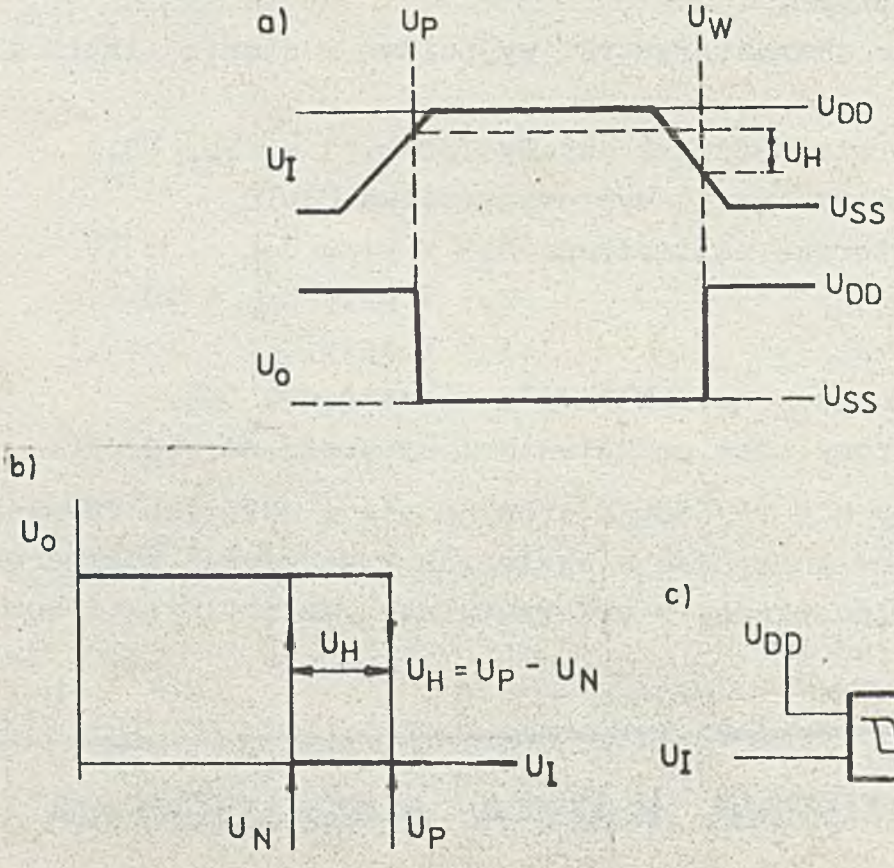
Układ scalony MCY 74/64093N stosuje się w układach formowania ciągu impulsów i impulsu w systemach pracujących w środowisku o dużych zakłóceniach, w przerzutnikach astabilnych i monosta-

WSTĘPNA KARTA KATALOGOWA

bilnych. Schemat logiczny i układ wyprowadzeń na rys. 1; a charakterystyka na rys. 2. Typowe zastosowania przedstawiono na rys. 3, 4 i 5.

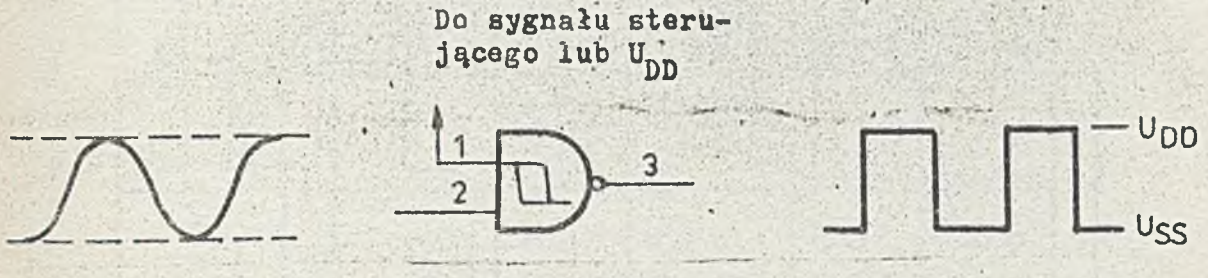


Rys. 1 Bramka logiczna MCY 74/64093N: a) układ wprowadzeń, b) pojedyncza bramka

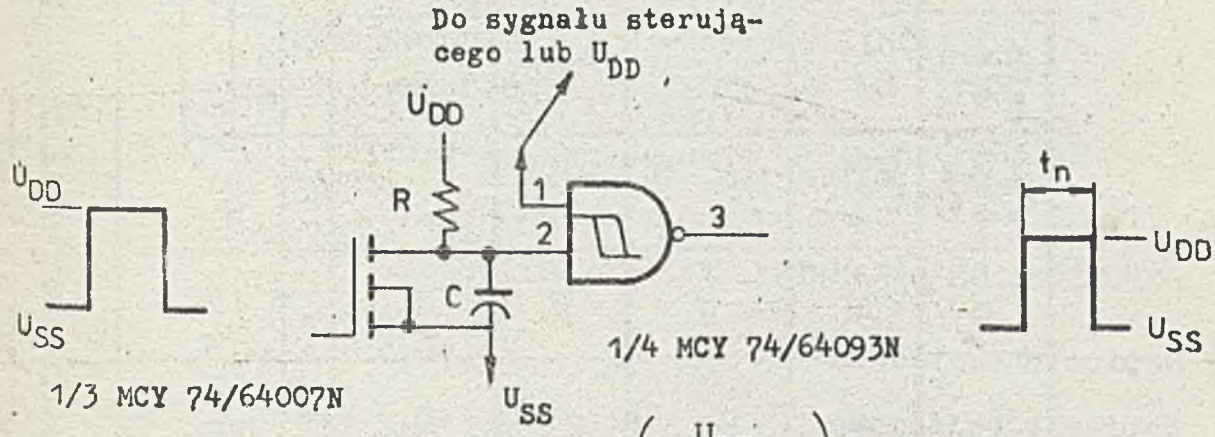


Rys. 2 Układ MCY 74/64093N: a) definicja histerezy, b) charakterystyka przejściowa dla jednej z 4 bramek, c)układ pomiarowy

PRZYKŁADY ZASTOSOWAŃ UKŁADU MCY 74/64093N



Rys. 3 Układ kształtowania ciągu impulsów. Zakres częstotliwości formowanego ciągu impulsów od przebiegu stałego do 1 MHz



$$t_M = R \cdot C \cdot \ln\left(\frac{U_{DD}}{U_{DD} - U_P}\right)$$

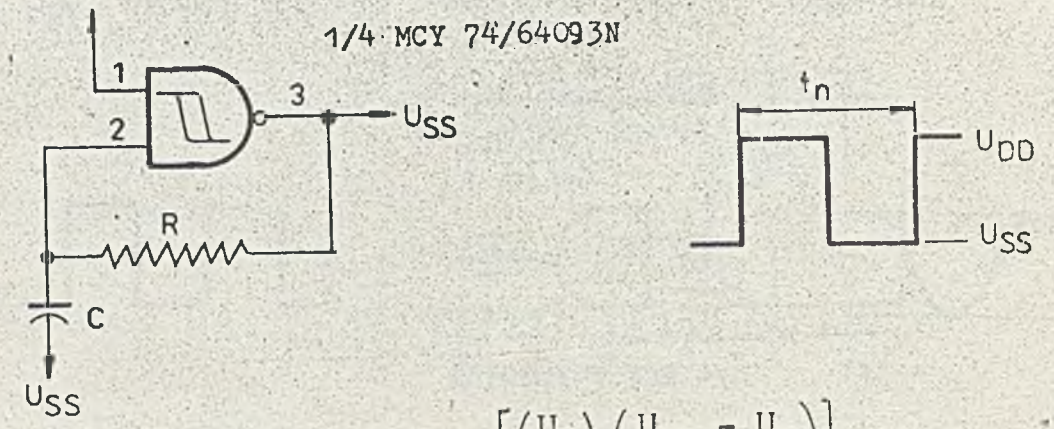
$50\ k\Omega \leqslant R \leqslant 1\ M\Omega$

$100\ pF \leqslant C \leqslant 1\ \mu F$

dla zakresów R I C otrzymujemy:

$5\ \mu m < t_M < 1\ s$

Rys. 4 Przerzutnik monostabilny



$$t_A = R \cdot C \cdot \ln\left[\left(\frac{U_P}{U_N}\right)\left(\frac{U_{DD} - U_N}{U_{DD} - U_P}\right)\right].$$

$$50\ k\Omega \leqslant R \leqslant 1\ M\Omega$$

$$100\ pF \leqslant C \leqslant 1\ \mu F$$

dla zakresów R I C otrzymujemy:

$$2\ \mu s < t_A < 0{,}4\ s$$

Rys. 5 Przerzutnik astabilny

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 V ÷ +20V
Napięcie wejściowe	U_I	-0,5 V ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	±10 mA
Zakres temperatur pracy	t_{amb}	MCY 64093N - -40 ÷ 85°C MCY 74093N - 0 ÷ 70°C
Zakres temperatur przechowywania	t_{stg}	-55 ÷+125°C
Temperatura lutowania:		
- ręcznego /max. 4 s/,		350°C
- automatycznego		270°C
Maksymalna moc strat	P_d	500 mW

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /dla wszystkich układów, jeśli nie jest wyspecyfikowane inaczej/

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_o [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/um	1	-	0,02	1	30	-	0; 5	5
			2	-	0,02	2	60	-	0;10	10
			4	-	0,02	4	120	-	0;15	15
			20	-	0,04	20	600	-	0;20	20
Prąd wyjściowy w stanie niskim	I_{OI}	mA	0,64	0,51	1	-	0,36	0,4	0; 5	5
			1,6	1,3	2,6	-	0,9	0,5	0;10	10
			4,2	3,4	6,8	-	2,4	1,5	0;15	15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,64	-0,51	-1	-	-0,36	4,6	0; 5	5
			-2	-1,6	-3,2	-	-1,15	2,5	0; 5	5
			-1,6	-1,3	-2,6	-	-0,9	9,5	0;10	10
			-4,2	-3,4	-6,8	-	-2,4	13,5	0;15	15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05	-	0	0,05	0,05	-	0; 5	5
			0,05	-	0	0,05	0,05	-	0;10	10
			0,05	-	0	0,05	0,05	-	0;15	15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95	4,95	5	-	4,95	-	0; 5	5
			9,95	9,95	10	-	9,95	-	0;10	10
			14,95	14,95	15	-	14,95	-	0;15	15

Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie przełączania przy zboczu dodatnim	$U_{P\,min}$	V	2,2	2,2	2,9	-	2,2	-	a)	5
			4,6	4,6	5,9	-	4,6	-	a)	10
			6,8	6,8	8,8	-	6,8	-	a)	15
			2,6	2,6	3,3	-	2,6	-	b)	5
			5,6	5,6	7	-	5,6	-	b)	10
			6,3	6,3	9,4	-	6,3	-	b)	15
	$U_{P\,max}$	V	3,6	-	2,9	3,6	3,6	-	a)	5
			7,1	-	5,9	7,1	7,1	-	a)	10
			10,8	-	8,8	10,8	10,8	-	a)	15
			4	-	3,3	4	4	-	b)	5
			8,2	-	7	8,2	8,2	-	b)	10
			12,7	-	9,4	12,7	12,7	-	b)	15
Napięcie przełączania przy zboczu ujemnym	$U_{N\,min}$	V	0,9	0,9	1,9	-	0,9	-	a)	5
			2,5	2,5	3,9	-	2,5	-	a)	10
			4	4	5,8	-	4	-	a)	15
			1,4	1,4	2,3	-	1,4	-	b)	5
			3,4	3,4	5,1	-	3,4	-	b)	10
			4,8	4,8	7,3	-	4,8	-	b)	15
	$U_{N\,max}$	V	2,8	-	1,9	2,8	2,8	-	a)	5
			5,2	-	3,9	5,2	5,2	-	a)	10
			7,4	-	5,8	7,4	7,4	-	a)	15
			3,2	-	2,3	3,2	3,2	-	b)	5
			6,6	-	5,1	6,6	6,6	-	b)	10
			9,6	-	7,3	9,6	9,6	-	b)	15

Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie histerezy	$U_{H_{min}}$	V	0,3 1,2 1,6	0,3 1,2 1,6	0,9 2,3 3,5	- - -	0,3 1,2 1,6	- - -	a)i b)	5 10 15
	$U_{H_{max}}$	V	1,6 3,4 5	- - -	0,9 2,3 3,5	1,6 3,4 5	1,6 3,4 5	- - -	a)i b)	5 10 15

Uwagi: Wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}. Definicje parametrów U_P, U_N, U_H wg rys. 2.

a) Napięcie badane na wyprowadzeniach 1, 5, 8, 12 przy wyprowadzeniach 2, 6, 9, 12 podłączonych do U_{DD} lub na wyprowadzeniach 2, 6, 9, 13 przy 1, 5, 8, 12 podłączonych do U_{DD} /układ inwertera Schmitta/,

b) Napięcie badane na wejściach 1 i 2 lub 5 i 6 lub 8 i 9 lub 12 i 13 przy pozostałych wejściach podłączonych do U_{DD} /układ bramki NAND Schmitta/.

*) $t_{min} = 0^oC$, $t_{max} = 70^oC$ dla MCY 74093N,

$t_{min} = -40^oC$, $t_{max} = 85^oC$ dla MCY 64093N.

Tabela 2. PARAMETRY DYNAMICZNE /t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ/

Nazwa parametru	Symbol	Jedn.	Wartość typ.	Wartość max.	Warunki pomiaru U_{DD} [V]
Czas propagacji z wejścia do wyjścia	t_{PHL}, t_{PLH}	ns	300 150 120	600 300 240	5 10 15
Czas transmisji sygnału wyjściowego	t_{TLH}, t_{THL}	ns	100 50 40	200 100 80	5 10 15
Pojemność wejściowa	C_I	pF	5	7,5	-

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
tel. 43-54-01
tlx 815647
1986
Cena 80 zł
Druk ZOINTE ITE zam. /86 n.

PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

8-BITOWE SZEREGOWO-RÓWNOLEGŁE I SZEREGOWO-SZEREGOWE STATYCZNE REJESTRY PRZESUWAJĄCE CMOS

MCY 74094N
MCY 64094N

Układy logiczne CMOS zbudowane są z tranzystorów wzbogacanych p- i n-kanałowych wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS/. Ich podstawowym przeznaczeniem jest praca w układach cyfrowych automatyki, telekomunikacji i miernictwa oraz maszyn liczących średniej szybkości, gdzie wymagany jest niski pobór mocy i/lub wysoka odporność na zakłócenia.

Cechy charakterystyczne to:

- zakres napięć zasilania: 3 ÷ 18 V,
- wszystkie wejścia i wyjścia buforowane,
- wszystkie wejścia zabezpieczone przed przebiciem ładunkiem elektrostatycznym,
- symetryczne charakterystyki wyjściowe w stanie niskim i wysokim,
- obudowa plastikowa 16-wyprowadzeniowa CE-83,
- typowy margines szumów: 1 V przy U_{DD} = 5 V, 2 V przy U_{DD} = 10 V, 2,5 V przy U_{DD} = 15 V.

Układy MCY 74094N, MCY 64094N składają się z trzech bloków funkcjonalnych tj. 8-bitowego szeregowego rejestru przesuwającego, 8-bitowego rejestru podtrzymującego informację oraz bloku ośmiu buforów trójstanowych. Z każdego stopnia szeregowego rejestru przesuwającego informacja podawana jest na odpowiadający mu stopień rejestru podtrzymującego informację.

WSTĘPNA KARTA KATALOGOWA

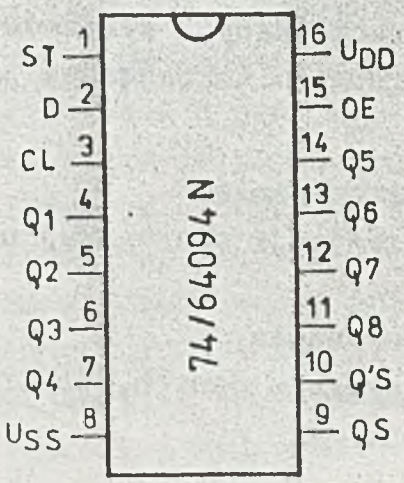
Ostatni, ósmy stopień szeregowego rejestru przesuwającego ma dwa dodatkowe wyjścia szeregowe QS i Q'S, poprzez które wyprowadzana jest ta sama informacja. Informacja wyprowadzana z wyjścia Q'S jest opóźniona o pół okresu impulsu taktującego w stosunku do tej samej informacji wyprowadzonej z wyjścia QS. Informacja, zawarta w każdym stopniu rejestru podtrzymującym informację, przekazywana jest na wyjście odpowiadającego mu bufora 3-stanowego, gdy bufory są w stanie aktywnym.
Układy MCY 74094N, MCY 64094N są 8-bitowymi rejestrami przesuwającymi z szeregowym wprowadzeniem danych /D/, ośmioma 3-stanowymi wyjściami równoległymi /Q1 ÷ Q8/ oraz dwoma wyjściami szeregowymi QS i Q'S. Informacja przesuwana jest od stopnia do stopnia rejestru przesuwającego w takt narastających zboczy impulsu taktującego /zegarowego/ CL.
Informacja zawarta w każdym stopniu szeregowego rejestru przesuwającego zapamiętywana jest w odpowiadającym mu stopniu 8-bitowego rejestru podtrzymującego informację, gdy na wejściu bramkującym ST pojawi się stan niski, a przenoszona na wejście odpowiadającego mu bufora 3-stanowego, gdy na wejściu bramkującym ST pojawi się stan wysoki. Informacja zawarta w każdym stopniu 8-bitowego rejestru podtrzymującego informację jest wyprowadzana na odpowiadające mu wyjście równoległe QN, gdy bufory 3-stanowe są w stanie aktywnym, tj. sygnał sterujący OE jest w stanie wysokim,
Informacja zawarta w ostatnim, ósmym stopniu szeregowego rejestru przesuwającego wyprowadzona jest ponadto na dwa wyjścia szeregowe QS i Q'S. Informacja na wyjściu QS zmienia się w takt narastających zboczy impulsu taktującego CL. Ta sama informacja z wyjścia QS wyprowadzana jest na wyjście Q'S w takt opadających zboczy impulsu taktującego CL i jest opóźniona o pół okresu impulsu taktującego CL w stosunku do informacji występującej na wyjściu QS.
Wyjścia szeregowe układów MCY 74094N, MCY 64094N QS i Q'S przeznaczone są do kaskadowego łączenia układów. Wyjście QS umożliwia bardzo szybkie działanie w systemach kaskadowych,

w których czas narastania zbocza impulsu taktującego CL jest krótki, zaś wyjście Q'S zabezpiecza pracę wolnych systemów kaskadowych, w których czas opadania impulsu taktującego jest długi.

Układy MCY 74094N, MCY 64094N mają zastosowanie:
- w układach konwersji danych z reprezentacji szeregowej na równoległą,
- jako bufory w systemach zdalnego sterowania,
- w systemach przesuwania podwójnego szeregu danych, podtrzymania informacji i magistrali danych.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	-0,5 ÷ +20 V
Napięcie wejściowe	U_I	-0,5 V ÷ U_{DD} + 0,5 V
Graniczny prąd wejściowy	I_I	±10 mA
Zakres temperatur pracy	t_{amb}	0 ÷ 70°C dla MCY 74094N -40 ÷ 85°C dla MCY 64094N
Zakres temperatur przechowywania	t_{stg}	-55 ÷ +125°C
Temperatura lutowania:	t_{sol}	
- ręcznego /max. 4 s/		350°C
- automatycznego		270°C
Maksymalna moc strat	P_D	500 mW



OE = OUTPUT ENABLE - wyjście sterujące buforami trójstanowymi,

ST = STROBE - wejście bramkujące 8-bitowy rejestr podtrzymywania informacji,

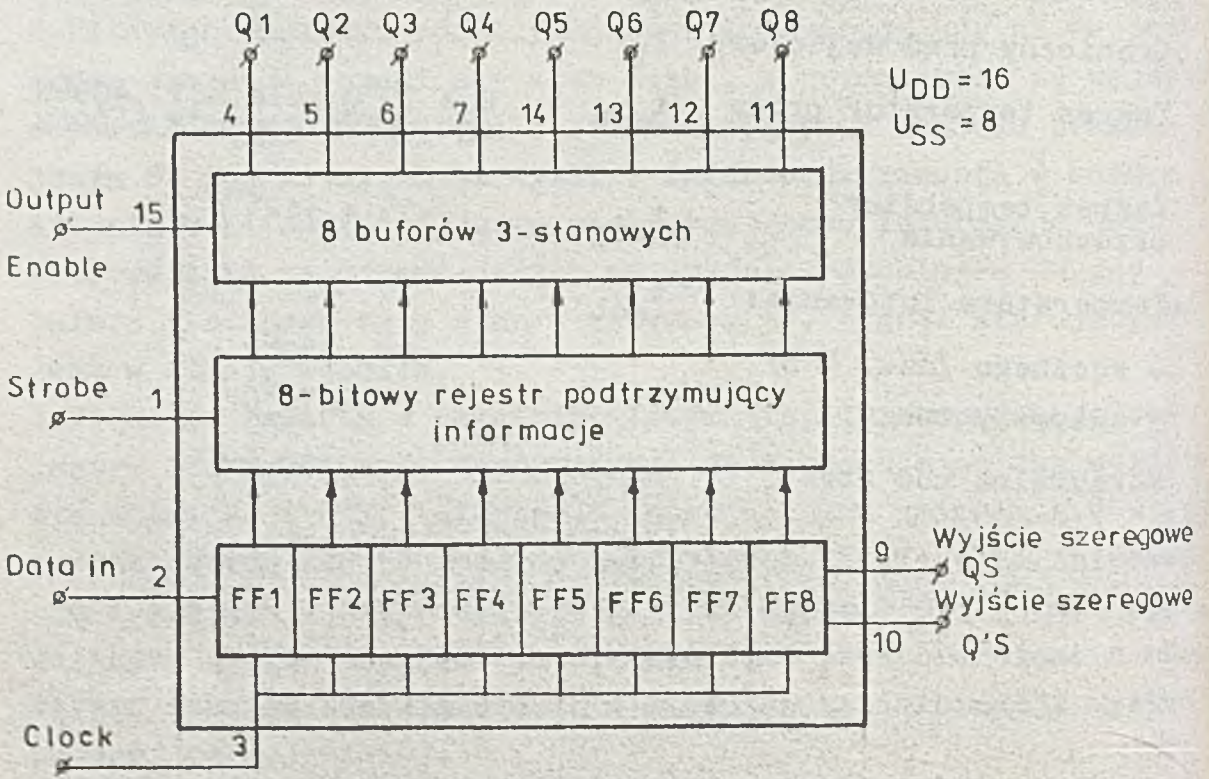
D = DATA - szeregowe wejście danych

CL = CLOCK- wejście zegarowe /taktujące/,

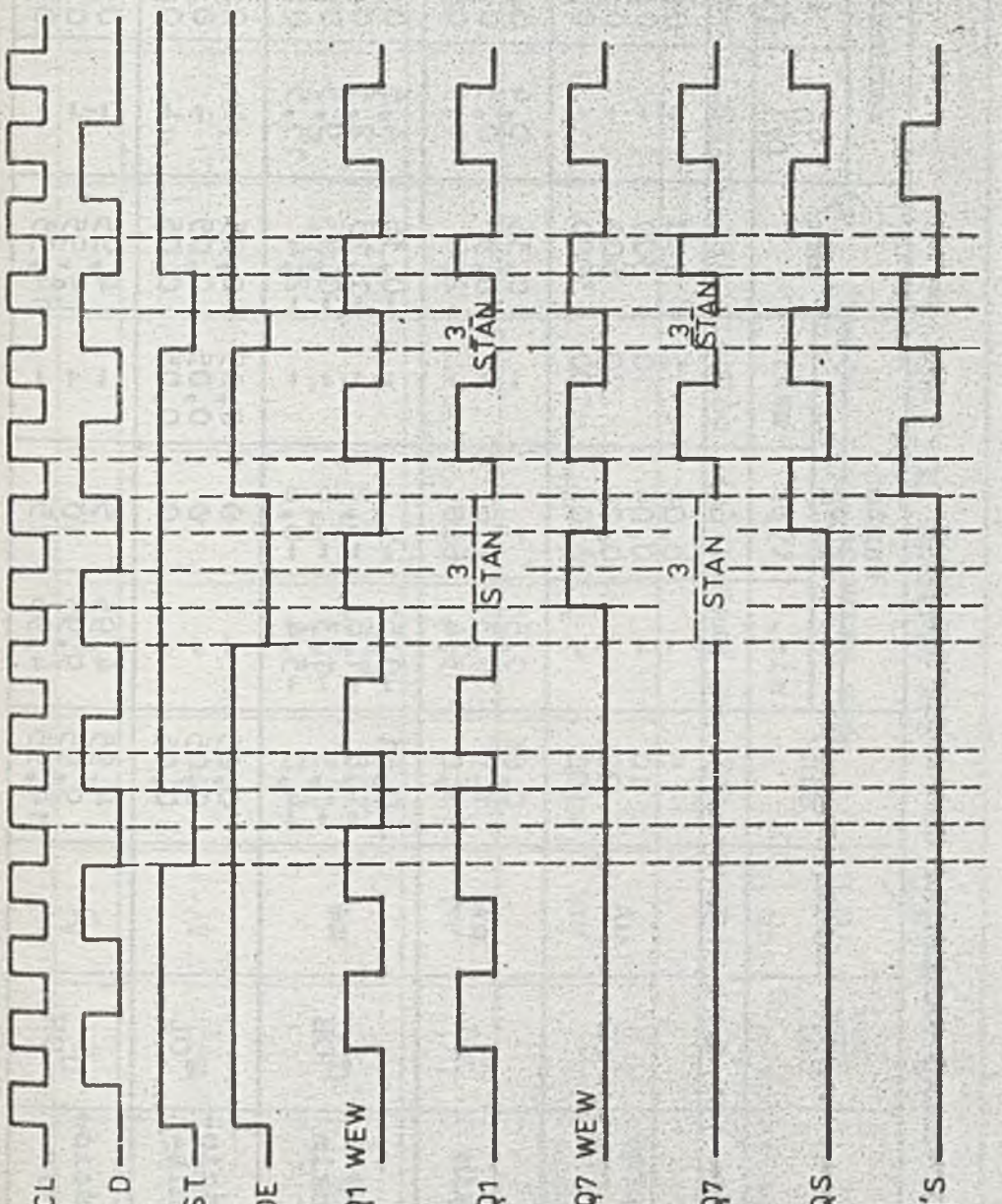
Q1 ÷ Q8 - równoległe 3-stanowe wyjścia,

QS, Q'S - szeregowe wyjścia,

Rys. 1. Opis i układ wyprowadzeń



Rys. 2. Schemat funkcjonalny układów MCY 74094N, MCY 64094N



Rys. 3. Przebiegi czasowe w układach MCY 74094N, MCY 64094N

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	t_{min} *)	Wartość 25°C			t_{max} *)	Warunki pomiaru		
				min.	typ.	max.		U_O [V]	U_I [V]	U_{DD} [V]
1	2	3	4	5	6	7	8	9	10	11
Spoczynkowy prąd zasilania	I_{DD}	/uA	5 10 20 100	- - - -	0,04 0,04 0,04 0,08	5 10 20 100	150 300 600 3000	- - - -	0; 5 0;10 0;15 0;20	5 10 15 20
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,61 1,5 4,0	0,51 1,3 3,4	1 2,6 6,8	- - -	0,36 0,9 2,4	0,4 0,5 1,5	0; 5 0;10 0;15	5 10 15
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-0,61 -1,8 -1,5 -4,0	-0,51 -1,6 -1,3 -3,4	-1 -3,2 -2,6 -6,8	- - - -	-0,36 -1,15 -0,9 -2,4	4,6 2,5 9,5 13,5	0; 5 0; 5 0;10 0;15	5 5 10 15
Napięcie wyjściowe w stanie niskim	U_{OL}	V	0,05 0,05 0,05	- - -	0 0 0	0,05 0,05 0,05	0,05 0,05 0,05	- - -	0; 5 0;10 0;15	5 10 15
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95 9,95 14,95	4,95 9,95 14,95	5 10 15	- - -	4,95 9,95 14,95	- - -	0; 5 0;10 0;15	5 10 15

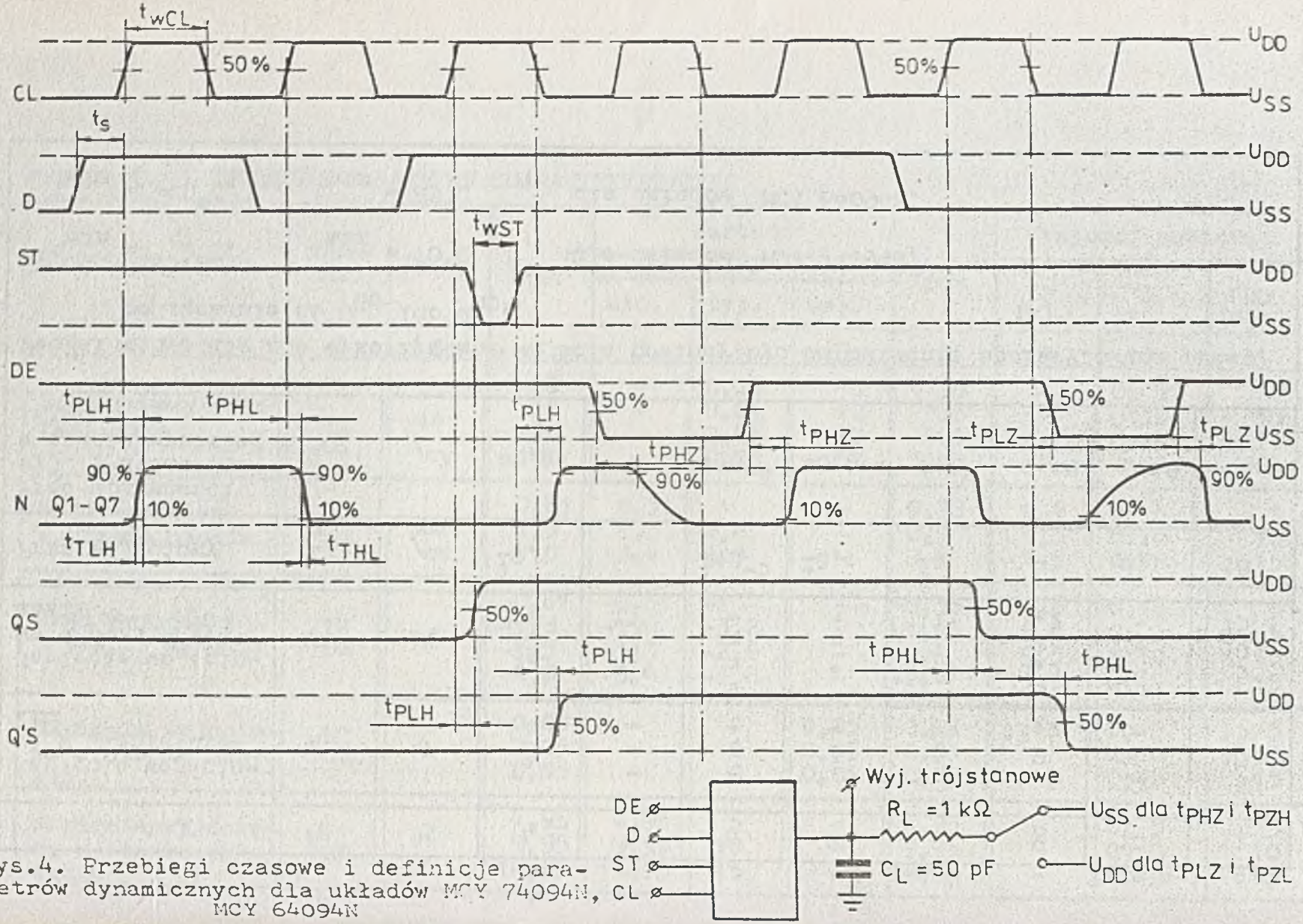
Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11
Napięcie wejściowe w stanie niskim	U_{IL}	V	1,5 3 4	- - -	- - -	1,5 3 4	1,5 3 4	4,5 9 13,5	- - -	5 10 15
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5 7 11	3,5 7 11	- - -	- - -	3,5 7 11	0,5 1 1,5	- - -	5 10 15
Prąd wejściowy	I_I	/uA	$\pm 0,1$	-	$\pm 10^{-5}$	$\pm 0,1$	± 1	-	0;18	18
Prąd upływności wyj. 3-stanowego w stanie wysokiej impedancji	I_{OZ}	/uA	$\pm 0,4$	-	$\pm 10^{-4}$	$\pm 0,4$	± 12	0;18	0;18	18

Uwaga: wszystkie nie wykorzystane wejścia powinny być odpowiednio spolaryzowane przez podłączenie do U_{SS} lub U_{DD}.

*) $t_{min} = 0^{o}C$, $t_{max} = 70^{o}C$ dla układów MCY 74094N,

$t_{min} = -40^{o}C$, $t_{max} = 85^{o}C$ dla układów MCY 64094N.



Rys.4. Przebiegi czasowe i definicje parametrów dynamicznych dla układów MCY 74094N, MCY 64094N

Tabela 2. PARAMETRY DYNAMICZNE /t_{amb} = 25°C, $t_r = t_f$ = 20 ns, C_L = 50 pF, R_L = 200 kΩ/

Nazwa parametru	Symbol	Jedn.	Wartość			U_{DD} [V]
			min.	typ.	max.	
1	2	3	4	5	6	7
Czas propagacji CL do QS	t_{PHL}, t_{PLH}	ns	-	300	600	5
			-	125	250	10
			-	95	190	15
Czas propagacji CL do Q'S			-	230	460	5
			-	110	220	10
			-	75	150	15
Czas propagacji CL do QN N = 1 ÷ 8			-	420	840	5
			-	195	390	10
			-	135	270	15
Czas propagacji ST do QN N = 1 ÷ 8			-	290	580	5
			-	145	290	10
			-	100	200	15
Czas propagacji OE do QN N = 1 ÷ 8	*)		-	140	280	5
Czas propagacji QN ze stanu H do wysokiej impedancji	t_{PHZ}, t_{PZL}	ns	-	75	150	10
Czas propagacji QN z wysokiej impedancji do stanu L			-	55	110	15
Czas propagacji OE do QN N = 1 ÷ 8	*)		-	225	450	5
Czas propagacji QN ze stanu L do wysokiej impedancji	t_{PLZ}, t_{PZH}	ns	-	95	190	10
Czas propagacji QN z wysokiej impedancji do stanu H			-	70	140	15
Czas transmisji sygnału na wyjściach	t_{THL}, t_{TLH}	ns	-	100	200	5
			-	50	100	10
			-	40	80	15
Minimalna szerokość impulsu CL	t_{wCL}	ns	-	100	200	5
			-	50	100	10
			-	40	83	15

Tabela 2. c.d.

1	2	3	4	5	6	7
Minimalna szerokość impulsu ST	t_{wST}	ns	- - -	100 40 35	200 80 70	5 10 15
Czas wprowadzania sygnału DATA przed ustaleniem sygnału CL	t_s	ns	- - -	60 30 20	125 55 35	5 10 15
Częstotliwość zegarowa maksymalna	f_{Cp}	MHz	1,25 2,5 3	2,5 5 6	- - -	5 10 15
Pojemność wejściowa	C_I	pF	-	5	7,5	-
Czas narastania i opadania impulsu zegarowego /CL/ na wejściu	t_{rCL} t_{fCL}	/us	- - -	- - -	15 5 5	5 10 15
*) R_L = 1 kΩ						

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx. 815647

DRUK ZOINTE ITE zam. 125/86 n. 500

wrzesień 1986

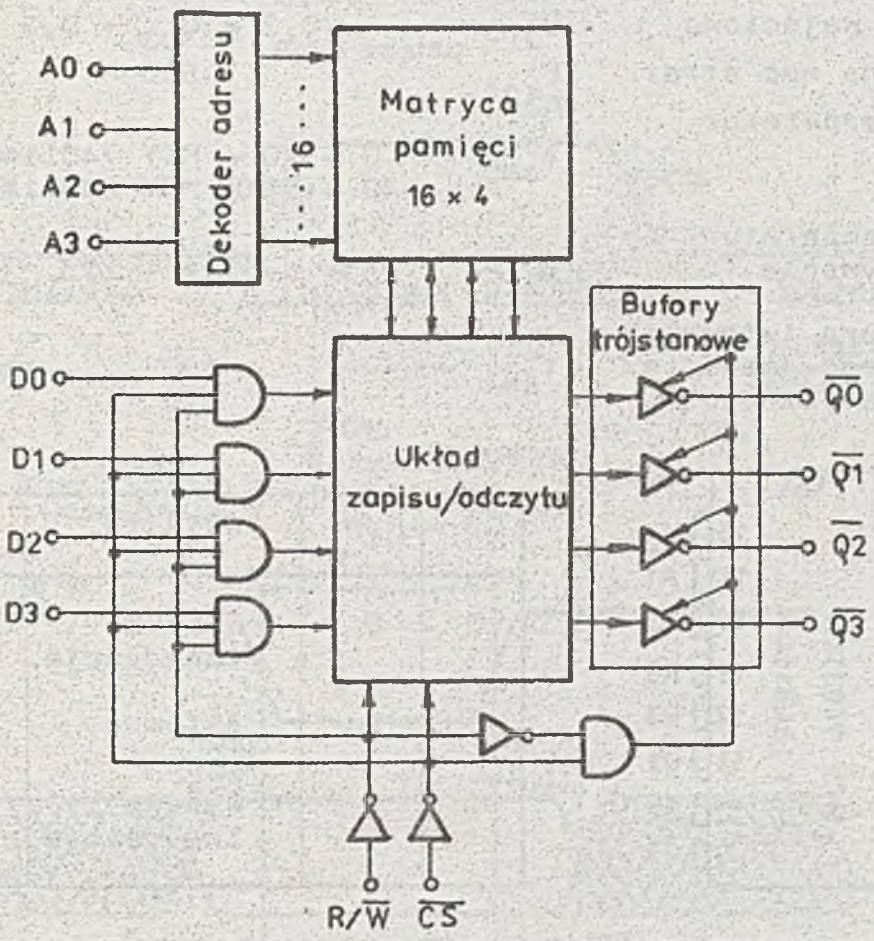
Cena zł 100

PRAWO REPRODUKCJI ZASTRZEŻONE

PAMIĘĆ STATYCZNA RAM-CMOS 64 bity

MCY 740114N
MCY 640114N

Układy MCY 740114N,MCY 640114N zbudowane są z tranzystorów wzbogacanych p- i n-kanałowych z bramką polikrzemową, wytworzonych na jednej płytce monokryształu /technologia komplementarna MOS-CMOS/. Układy spełniają funkcję pamięci statycznej o swobodnym dostępie /RAM/, o organizacji 16 x 4 bity z niezależ-



Rys.1. Schemat blokowy MCY 740114N, MCY 640114N

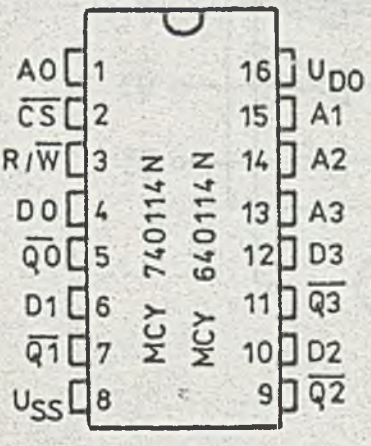
WSTĘPNA KARTA KATALOGOWA

ymi wejściami i trójstanowymi wyjściami danych.

Układ wyprowadzeń jest identyczny jak w pamięci RAM-TTL UCY 780101N; dodatkowo wprowadzono możliwość pracy w trybie oczekiwania /ang. stand by/ przy zmniejszonym napięciu zasilania /$U_{DDsb} \geqslant 2{,}0$ V/.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE /nie stosowane do celów kontroli; napięcia podawane względem U_{SS} = 0 V/

Napięcie zasilania	U_{DD}	-0,5 ÷ + 18	V
Napięcie wejściowe	U_I	-0,3 ÷ U_{DD} + 0,3	V
Maksymalna moc strat	P_{tot}	500	mW
Zakres temperatur pracy	t_{amb}	0 ÷ 70 - MCY 740114N -40 ÷+85 - MCY 640114N	°C
Zakres temperatur przechowywania	t_{stg}	-55 ÷ + 125	°C
Temperatura lutowania - ręcznego /max. 4 s/ - automatycznego	t_{sol}	350 270	°C °C



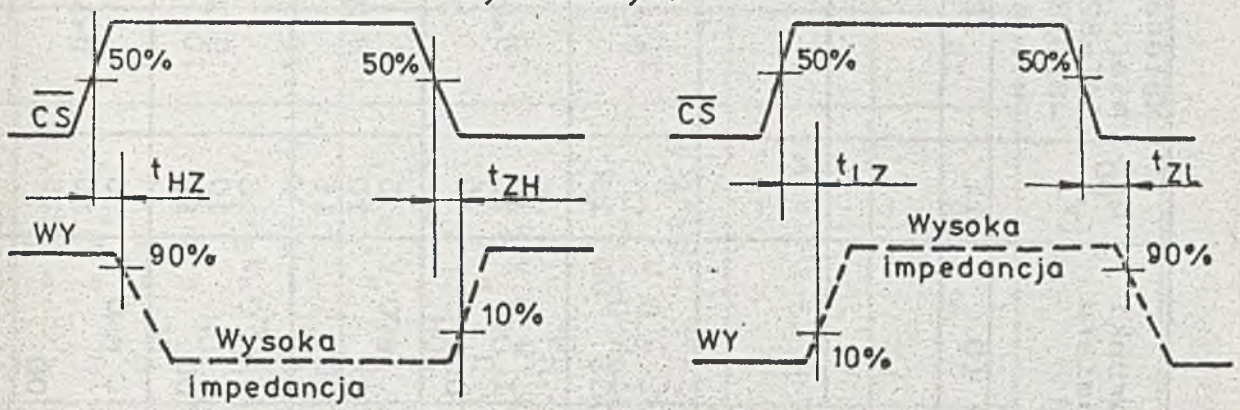
Wybór cyklu

$\overline{CS}$	R/$\overline{W}$	Wyjścia	Cykl
0	0	Wysoka impedancja	Zapis
0	1	Aktywne	Odczyt
1	X	Wysoka impedancja	Pamięć nieaktywna

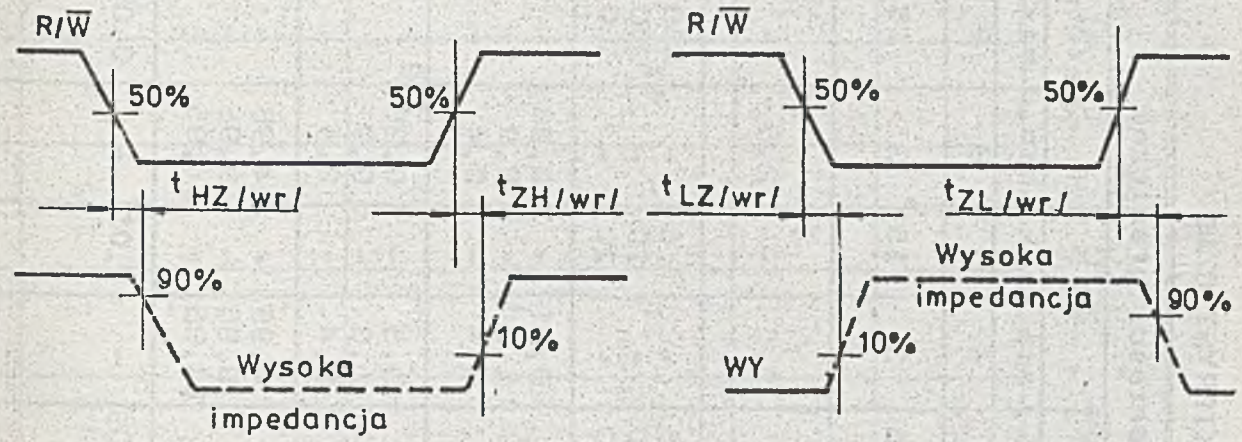
A0 ÷ A3 - wejścia adresowe, $\overline{CS}$ - wejście wyboru modułu. Stan log "1" powoduje wejście pamięci w stan nieaktywny i ustalenie wysokiej impedancji /stan trzeci/ na wyjściach danych, R/$\overline{W}$ - wejście wybierania cyklu. Stan log "0" powoduje zapis informacji z 4 wejść danych do 4 zaadresowanych komórek pamięci, w tym czasie wyjścia znajdują się w stanie trzecim. Stan log "1" powoduje odczyt informacji z 4 zaadresowanych komórek. Na wyjściach danych pojawia się informacja zaprzeczona w stosunku do przechowywanej w pamięci, D0 ÷ D3 - wejścia danych, $\overline{Q0}$ ÷ $\overline{Q3}$ - wyjścia danych/zaprzeczone/, U_{DD} - zasilanie, U_{SS} - masa.

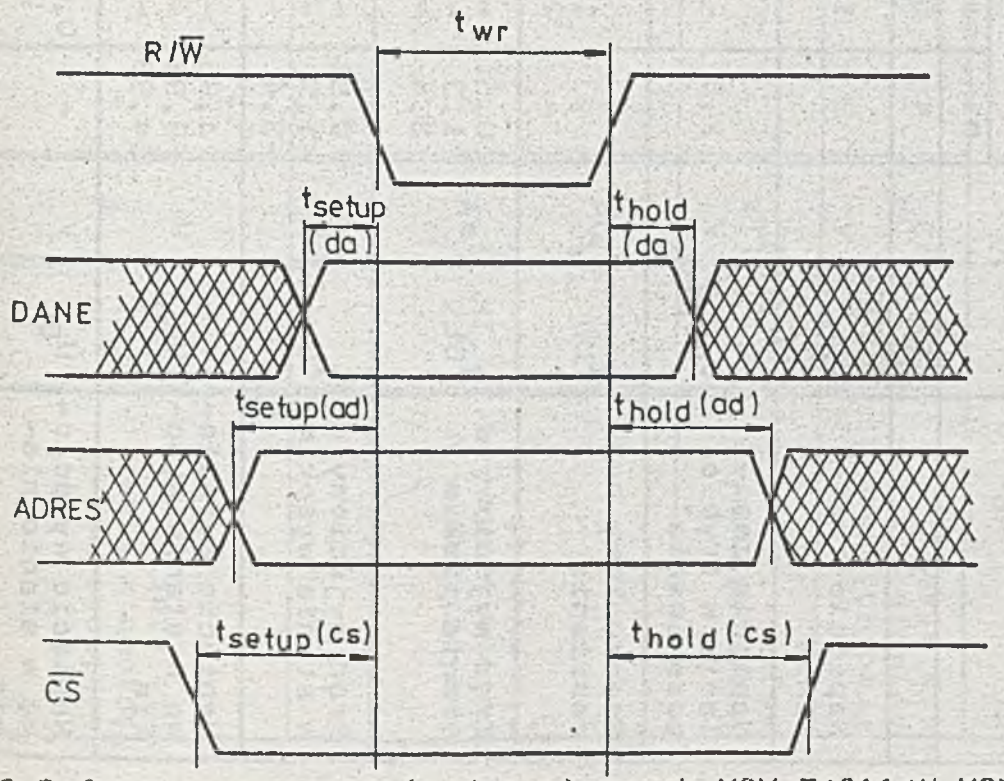
Rys.2. Układ, oznaczenie i opis wyprowadzeń MCY 740114N, MCY 6401

Cykl odczytu



Cykl zapisu





Rys.3.Definicje parametrów dynamicznych MCY 740114N,MCY 640114N

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Parametr	Symbol	Jedn.	Wartości graniczne						Warunki pomiaru	U_{DD} [V]	Metoda pomiaru wg TWT-82/CEMI-810/8-12 pkt. nr
			t_{min} x)		25°C		t_{max} x)				
			min.	max.	min.	max.	min.	max.			
1	2	3	4	5	6	7	8	9	10	11	12
Napięcie zasilania	U_{DD}	V	3	15	3	15	3	15		-	
Napięcie zasilania w trybie "oczekiwania"	U_{DDsb}	V	2,5	-	2,5	-	2,5	-		-	
Spoczynkowy prąd zasilania	I_{DD}	uA	- - -	5 10 20	- - -	5 10 20	- - -	150 300 600	U_I = 0 V $U_{\overline{CS}} = U_{DD}$	5 10 15	9.1
Prąd wyjściowy w stanie niskim	I_{OL}	mA	0,51 1,3 3,4	- - -	0,51 1,3 3,4	- - -	0,36 0,9 2,4	- - -	U_I = 0 V U_{DD}	5 10 15	9.2
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	0,51 1,3 3,4	- - -	0,5 1,3 3,4	- - -	0,36 0,9 2,4		U_I = 0 V U_{DD}	5 10 15	9.2
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	4,95 9,95 14,95	- - -	4,95 9,95 14,95	- - -	4,95 9,95 14,95	- - -	U_I = 0 V U_{DD}	5 10 15	9.3
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	0,05	-	0,05	-	0,05	U_I = 0 V U_{DD}	5 10 15	9.3

Tabela 1. c.d.

1	2	3	4	5	6	7	8	9	10	11	12
Napięcie wejściowe w stanie niskim	U_{IL}	V	-	1,5	-	1,5	-	1,5	U_{OL} = 0,5 V; U_{OH} = 4,5 V	5	
			-	3	-	3	-	3	U_{OL} = 1 V; U_{OH} = 9 V	10	9.4
			-	4	-	4	-	4	U_{OL} = 1,5 V U_{OH} = 13,5 V	15	
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5	-	3,5	-	3,5	-	U_{OL} = 0,5 V U_{OH} = 4,5 V	5	
			7	-	7	-	7	-	U_{OL} = 1 V U_{OH} = 9 V	10	9.4
			11	-	11	-	11	-	U_{OL} = 1,5 V U_{OH} = 13,5 V	15	
Prąd upływności wejść	I_{LI}	/uA	-	$\pm$0,1	-	$\pm$0,1	-	$\pm$1,0	U_I = 0;18 V	18	9.5
Prąd upływności wyjścia w trzecim stanie	I_{LOZ}	/uA	-	$\pm$0,4	-	$\pm$0,4	-	$\pm$12	U_I = 0;18 V	18	9.5

*) $t_{min.}$ = 0°C dla MCY 740114N, t_{min} = -40°C dla MCY 640114N
$t_{max.}$ = 70°C dla MCY 740114N, t_{max} = 85°C dla MCY 640114N.

Tabela 2. PARAMETRY DYNAMICZNE /t_{amb} = 25°C, C_L = 50 pF, t_r = = t_f = 20 ns. Definicje parametrów wg rys. 3/

Parametr	Symbol	Jedn.	Wartości graniczne		Warunki pomiaru	U_{DD} [V]
			min.	max.		
1	2	3	4	5	6	7
Cykl odczytu						
Czas dostępu od wejść adresowych	$t_{a/ad/}$ TAVOV*)	ns	– – –	500 200 130	R_L =200 kΩ	5 10 15
Czas uaktywniania wyjść danych od $\overline{CS}$ = "0"	t_{ZH} TCSLQH*) t_{ZL} TCSLQL*)	ns	– – –	135 60 45	R_L = 1 kΩ do U_{SS} lub U_{DD}	5 10 15
Czas zablokowania wyjść danych od $\overline{CS}$ = "1"	t_{HZ} TCSHQZ*) t_{LZ} TCSHQZ*)	ns	– – –	120 70 60	R_L = 1 kΩ do U_{SS} lub U_{DD}	5 10 15
Czas transmisji sygnału wyjściowego	t_{TLH} TQLQH*) THL TQHQL*)	ns	– – –	150 70 50	R_L = 200 kΩ	5 10 15
Cykl zapisu						
Czas uaktywniania wyjścia danych od $R/\overline{W}$ = "0"	$t_{ZH/wr/}$ TWHQH*) $t_{ZL/wr/}$ TWHQL*)	ns	– – –	170 70 50	R_L =1 kΩ do U_{SS} lub U_{DD}	5 10 15
Czas zablokowania wyjścia danych od $R/\overline{W}$ = "1"	$t_{HZ/wr/}$ TWLQZ*) $t_{LZ/wr/}$ TWLQZ*)	ns	– – –	150 70 50	R_L =1 kΩ do U_{SS} lub U_{DD}	5 10 15

Tabela 2. c.d.

1	2	3	4	5	6	7
Minimalny czas trwania impulsu zapisu R/$\overline{W}$ = "1"	t_{wr} TWLWH*)	ns	160 75 55	- - -		5 10 15
Czas ustalania na wejściach danych przed R/$\overline{W}$ = "0"	$t_{setup/da/}$ TDVWL*)	ns	170 80 60	- - -		5 10 15
Czas przetrzymywania na wejściach danych od R/$\overline{W}$ ="1"	$t_{hold/da/}$ TWHDV*)	ns	24 12 7	- - -		5 10 15
Czas ustalania na wejściach adresowych przed R/$\overline{W}$ = = "0"	$t_{setup/da/}$ TAVWL*)	ns	300 160 120	- - -		5 10 15
Czas przetrzymywania na wejściach adresowych od R/$\overline{W}$ = "1"	$t_{hold/ad/}$ TWHAV*)	ns	0 0 30	- - -		5 10 15
Czas ustalania na wejściu $\overline{CS}$ przed R/$\overline{W}$ = "0"	$t_{setup/CS/}$ TCSLWL*)	ns	300 160 120	- - -		5 10 15
Czas przetrzymywania na wejściu $\overline{CS}$ od R/$\overline{W}$ = "1"	$t_{hold/CS/}$ TWHCSH*)	ns	80 40 30	- - -		5 10 15

*) Nowe oznaczenia

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel.435401
tlx.815647

Październik 1986
Cena zł 80

Druk ZOINTE ITE zam. 129/86 n.

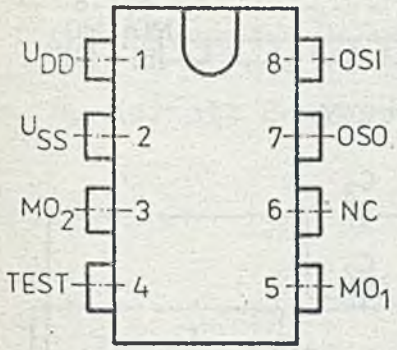
PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

UKŁAD DO ANALOGOWEGO KWARCOWEGO ZEGARA STERUJĄCEGO

MC 1212N

Monolityczny, cyfrowy układ scalony MC 1212N przeznaczony jest do kwarcowego zegara sterującego z analogowym odczytem czasu. Układ zawiera oscylator stabilizowany rezonatorem kwarcowym o częstotliwości 4,194304 MHz, 20-stopniowy dzielnik częstotliwości oraz stopień wyjściowy do bezpośredniego sterowania silniczkiem krokowym.



U_{DD} - wejście zasilające

U_{SS} - wejście zasilające

MO_2 - wyjście 2 sygnału sterującego silniczkiem krokowym

TEST - wyjście/wejście testowe

MO_1 - wyjście 1 sygnału sterującego silniczkiem krokowym,

NC - wyprowadzenie nie wykorzystywane

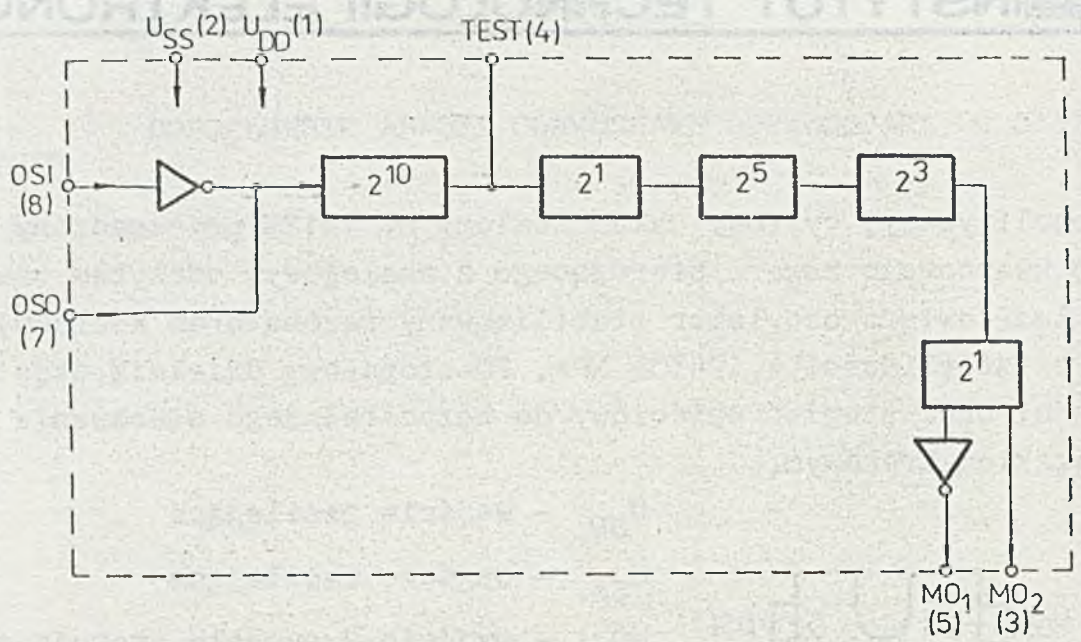
OSO - wyjście oscylatora

OSI - wejście oscylatora

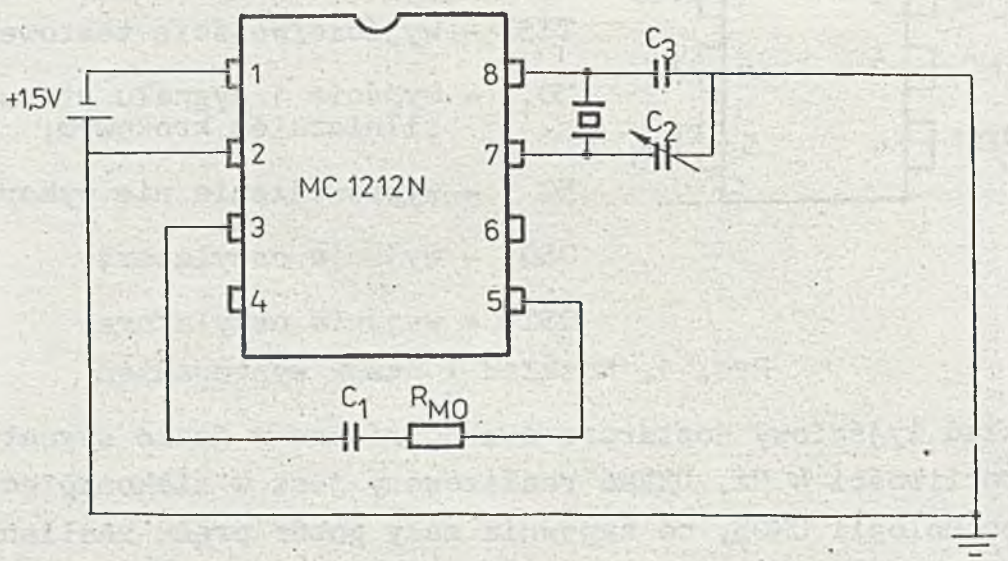
Rys. 1. Rozkład i nazwy wyprowadzeń

Układ wyjściowy dostarcza dwa odwrócone w fazie sygnały o częstotliwości 4 Hz. Układ realizowany jest w niskonapięciowej technologii CMOS, co zapewnia mały pobór prądu zasilania. Układ MC 1212N montowany jest w obudowie plastykowej dwurzędowej 8-wyprowadzeniowej typu A-49D.

WSTĘPNA KARTA KATALOGOWA



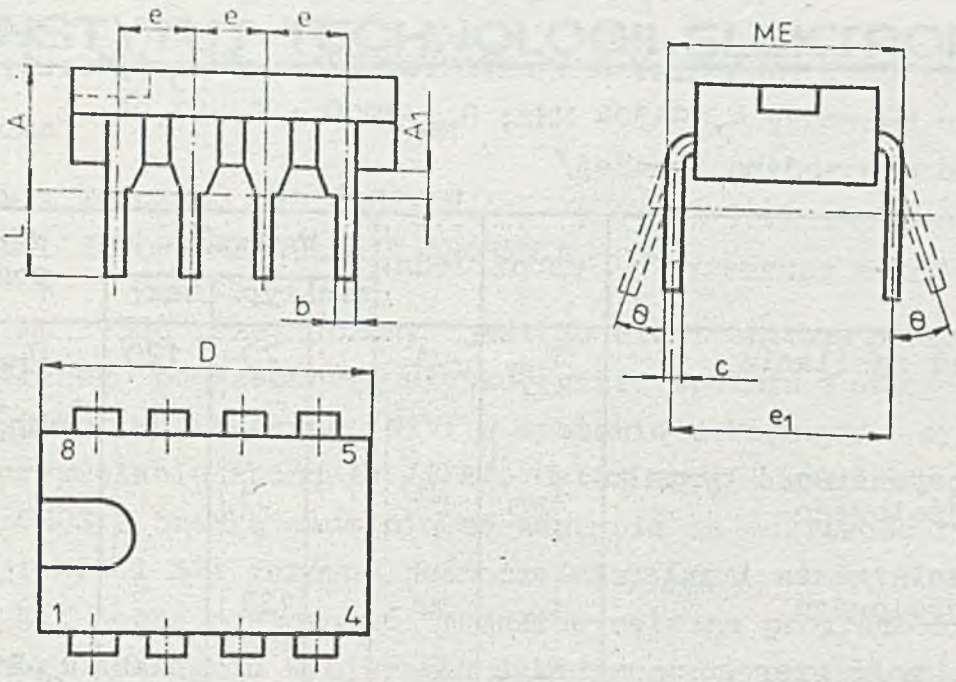
Rys. 2. Schemat blokowy



Rys. 3. Schemat aplikacyjny układu MC 1212N. Zalecane warunki pracy: C_1=47 /uF/bipolarny/, R_{MO}=400Ω /min/, rezonator kwarcowy: f_{osc}=4,194304 MHz, C_L=10 pF, $R_S \leqslant 100\Omega$, C_2=5 ÷ 20 pF, C_3=10÷ pF

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{DD}	3	V
Temperatura pracy	t_{amb}	-10 ÷ +55	^oC
Temperatura przechowywania	t_{stg}	-55 ÷ +125	^oC



Rys. 4. Kształt 8-wyprowadzeniowej obudowy plastykowej dwurzędowej typu A 49D

Wymiary obudowy

Symbol wymiaru	Wymiary /mm			Kąt /stopnie/
	min.	nom.	max.	
A	-	-	5,10	-
A_1	0,51	-	-	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	-	-	10,16	-
e	-	2,54	-	-
e_1	-	7,62	-	-
L	2,54	-	4,50	-
M_E	-	-	8,30	-
θ	-	-	-	0 ÷ 15

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /U_{DD}=1,1...1,6 V; rezonator kwarcowy 4,194304 MHz; R_{MO}=390Ω ; C_1=47/uF; t_{amb}=25°C, o ile nie podano inaczej/

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Prąd zasilania	I_{DD}	/uA		70	120	U_{DD}=1,6 V t_{amb}=-10÷+55°C
Częstotliwość sygnału wyjściowego	f_{MO}	Hz		4		
Czas trwania impulsu wyjściowego	t_{MO}	ms		125		
Oporność szeregowa wyjść MO_1 i MO_2	R_{OMO}	Ω			100	I_o=2mA; U_{DD}= =1,1 V
Stabilność częstotliwości	$\Delta f/f$			3.10^{-6}		U_{DD}=1,6÷1,1 V

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al.Lotników 32/46
02-668 Warszawa

tel435401
tlx 815647

kwiecień 1987

Cena 40 zł

Druk ZOINTE ITE zam. 69/87 n. 300

PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

NADAJNIK IMPULSÓW WYBIÓRCZYCH I SYGNALIZATOR PRZYWOŁANIA ABONENTA

MC 1930G

Układ MC 1930G przeznaczony jest do elektronicznego aparatu telefonicznego powszechnego użytku, gdzie spełnia funkcje nadajnika impulsów wybiórczych /NIW/ w systemie dekadowym i sygnalizatora przywołania abonenta /SPA/. Układ został wykonany w technologii CMOS z bramką aluminiową; zapewnia on możliwość realizacji funkcji NIW i SPA zarówno jednocześnie, jak i rozdzielnie.
Układ NIW można dostosować przez zewnętrzne programowanie do dowolnego standardu wybierania dekadowego. Programowanie zewnętrzne obejmuje następujące możliwości wyboru parametrów sygnału wybiórczego:

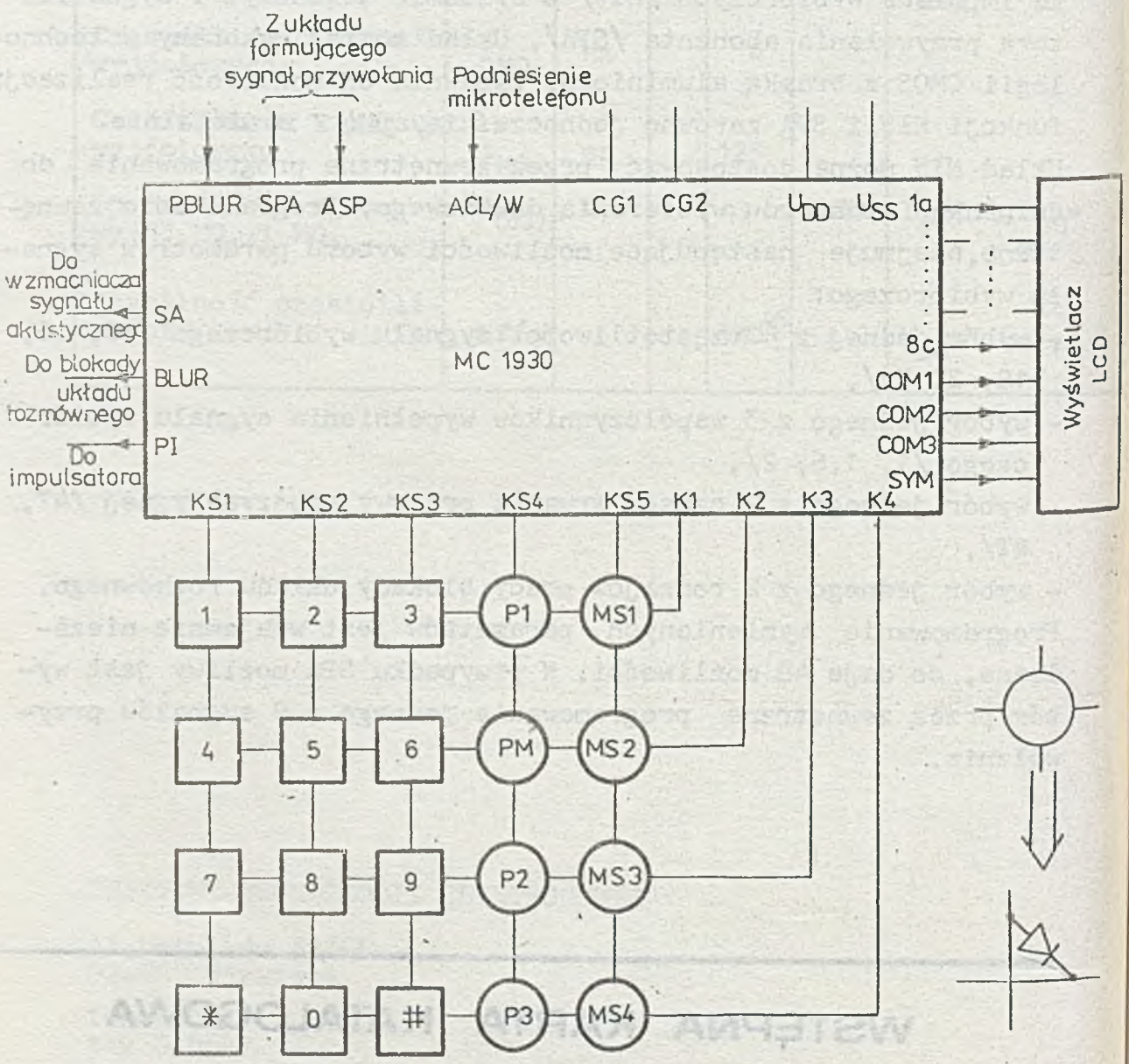
- wybór jednej z 4 częstotliwości sygnału wybiórczego /10, 16, 18, 20 Hz/,
- wybór jednego z 3 współczynników wypełnienia sygnału wybiórczego /1, 1,6, 2/,
- wybór jednego z 2 czasów trwania przerwy międzyseryjnej /4T, 8T/,
- wybór jednego z 2 rodzajów pracy blokady układu rozmównego.

Programowanie wymienionych parametrów jest wzajemnie niezależne, co daje 48 możliwości. W przypadku SPA możliwy jest wybór przez zewnętrzne programowanie jednego z 8 sygnałów przywołania.

WSTĘPNA KARTA KATALOGOWA

Układ MC 1930G zapewnia także bezpośrednie sterowanie 9-pozycyjnego /8 znaków numerycznych i pozycja znaków dodatkowych/ wyświetlacza ciekłokrystalicznego oraz obsługę klawiatury i matrycy programującej o wymiarach 4 × 3.

Wielkość poboru mocy przez układ umożliwia zasilanie go wyłącznie przez łącze abonenckie energią pochodzącą z centrali telefonicznej.



Rys. 1. Schemat aplikacyjny układu MC 1930G

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania*)	U_{SS}	-0,3	+5,0	V
Napięcie*) na pozostałych wyprowadzeniach	U_W	-0,3	+5,0	V
Temperatura otoczenia w czasie pracy	t_{amb}	-10	+45	°C
Temperatura przechowywania	t_{stg}	-55	+125	°C

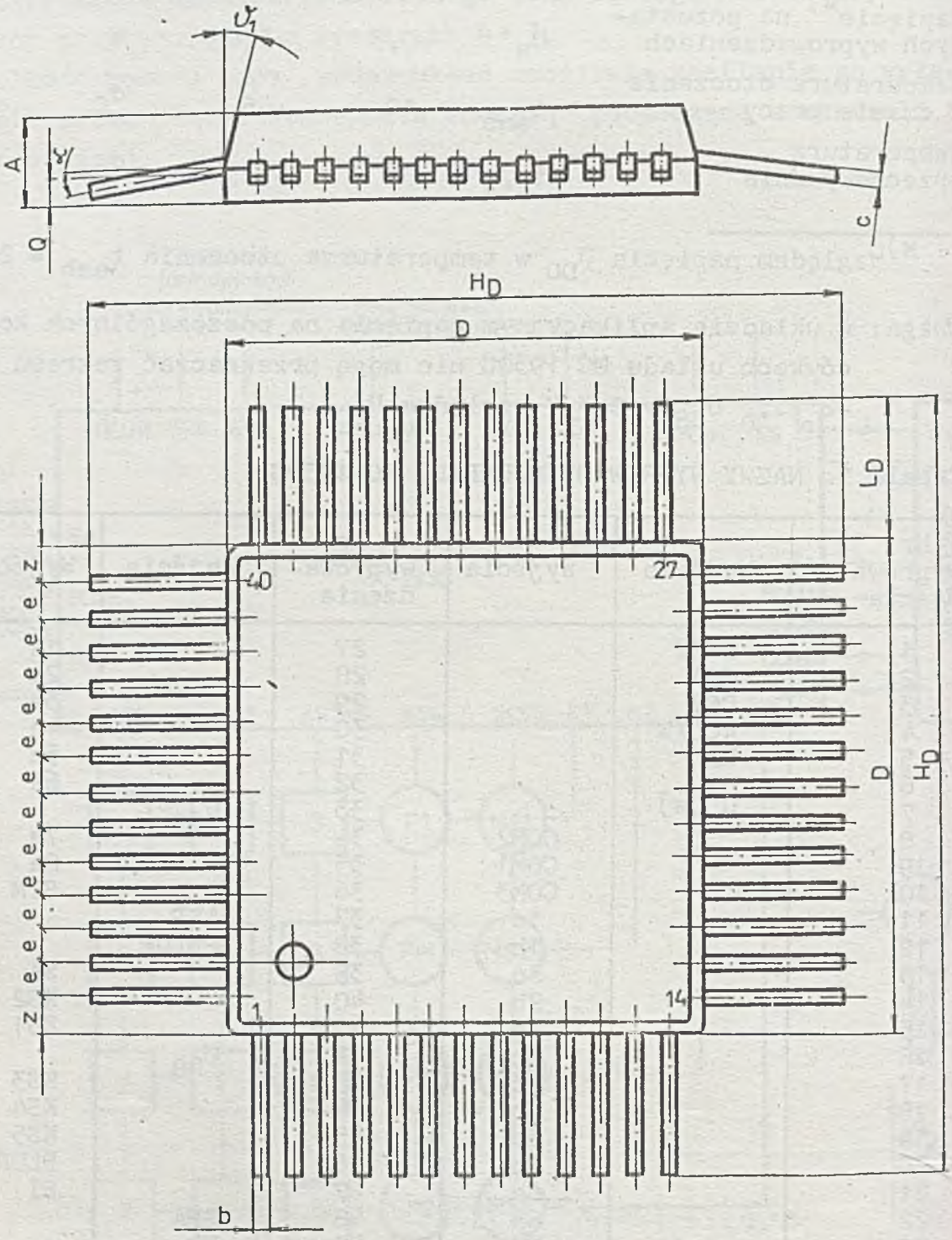
*) Względem napięcia U_{DD} w temperaturze otoczenia t_{amb} = 25°C.

Uwaga: w układzie aplikacyjnym napięcia na poszczególnych końcówkach układu MC 1930G nie mogą przekraczać zakresu -2 -2 V... U_{SS} + 0,3 V względem U_{DD}.

Tabela 1. NAZWY WYPROWADZEŃ UKŁADU MC 1930G

Nr wyprowadzenia	Wejścia	Wyjścia	Nr wyprowadzenia	Wejścia	Wyjścia
1	TEST		27		1a
2	CG1		28		2a
3	CG2		29		3a
4	ACL/W		30		4a
5	U2		31		5a
6	U1		32		6a
7	U_{SS}*)		33	U_{SS}*)	
8		COM2	34		7a
9		COM1	35		8a
10		COM3	36		SYM
11		1c	37	ASP	
12		1b	38	PBLUR	
13		2c	39		SA
14		2b	40		KS2
15		3c	41		KS1
16		3b	42	U_{DD}	
17		4c	43		KS3
18		4b	44		KS4
19		5c	45		KS5
20		5b	46		BLUR
21		6c	47		PI
22		6b	48	SPA	
23		7c	49	K4	
24		7b	50	K3	
25		8c	51	K2	
26		8b	52		

*) Wyprowadzenia 7 i 33 są wewnętrznie połączone.



Rys. 2. Kształt obudowy CE92 i rozkład wyprowadzeń układu MC 1930G

NAZWY WYPROWADZEŃ

K1 ÷ K4	- wejścia z matrycy klawiaturowej i programującej,
KS1 ÷ KS3	- wyjścia do matrycy klawiaturowej,
KS4, KS5	- wyjścia do matrycy programującej,
1a ÷ 8a 1b ÷ 8b 1c ÷ 8c SYM COM1 ÷ COM3	- wyjścia do wyświetlacza LCD
U_{DD}, U_{SS}	- zasilanie,
CG1, CG2	- dołączenie elementów zewnętrznych generatora,
ACL/W	- wprowadzenie informacji o stanie przełącznika obwodów,
ASP	- analiza sygnału przywołania abonenta,
SPA	- wejście sygnału przywołania abonenta,
PBLUR	- programowanie blokady układu rozmównego,
BLUR	- blokada układu rozmównego,
SA	- wyjście sygnału przywołania abonenta,
PI	- wyjście do impulsatora,
TEST	- wejście do testowania układu,
U1, U2	- wyjście pomiarowe.

Parametry sygnałów wybiórczych i sygnału przywołania abonenta programowane są przy użyciu ośmiowęzłowej matrycy diodowej.
Możliwy jest wybór:
- 1 z 8 sygnałów przywołania abonenta,
- 1 z 4 częstotliwości sygnału wybiórczego,
- 1 z 3 współczynników wypełnienia sygnału wybiórczego,
- 1 z 2 czasów trwania przerwy międzyseryjnej.

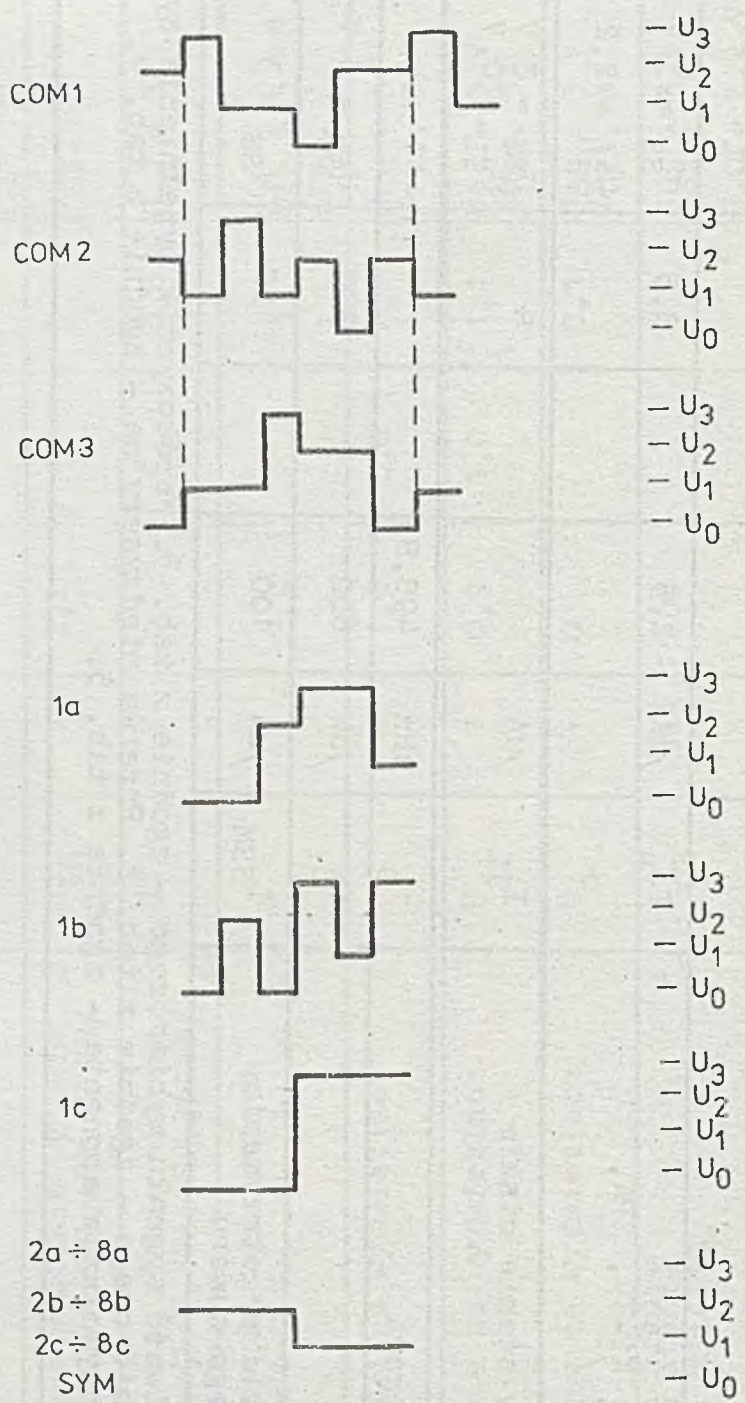
Dodatkowo możliwy jest także zewnętrzny wybór 1 z 2 czasów trwania blokady układu rozmównego.
Układ MC 1930G umożliwia zapamiętanie ostatniego wybranego numeru o długości do 24 znaków. Pamiętany lub wybierany numer może być wyświetlany na wyświetlaczu ciekłokrystalicznym.
Parametry sygnałów wybiórczych realizowanych przez układ NIW są zgodne z odpowiednimi zaleceniami CCITT.

Tabela 2. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /t_{amb} = -10 +45°C/

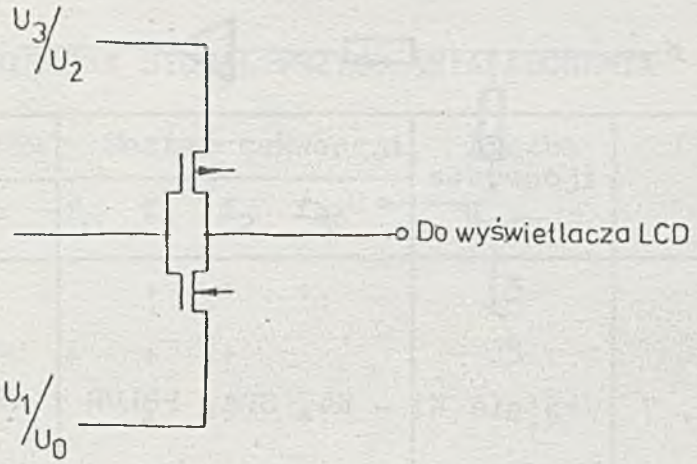
Nazwa parametru.	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
1	2	3	4	5	6	7
Napięcie zasilania	U_{SS}	V	2,6		3,6	mierzone wzg. U_{DD} = 0 V
Napięcie wejściowe w stanie wysokim /wejście K1-K4, ACL/W,SPA,ASP,PBLUR/	U_{IH}	V	2,2		3	U_{SS} = 3 V
Napięcie wejściowe w stanie niskim /wejście K1-K4, ACL/W,SPA,ASP,PBLUR/	U_{IL}	V	0		0,8	U_{SS} = 3 V
Napięcie wyjściowe na wyświetlacz /wyjścia SYM, COM1-COM3, ia, ib, ic dla i = 1-8/	U_3	V	2,9		3	U_{SS} = 3 V /rys. 3/
Napięcie wyjściowe na wyświetlacz /wyjścia j.w./	U_2	V	1,9	2,0	2,1	U_{SS} = 3 V /rys. 3/
Napięcie wyjściowe na wyświetlacz /wyjścia j.w./	U_1	V	0,9	1,0	1,1	U_{SS} = 3 V /rys. 3/
Napięcie wyjściowe na wyświetlacz /wyjścia j.w./	U_o	V	0		0,1	U_{SS} = 3 V /rys. 3/
Prąd wyjściowy w stanie wysokim /wyjścia KS1-KS5, BLUR, PI, SA/	I_{OH}	/uA	600			U_{SS} = 3 V U_{OH} = 2,2 V

Tabela 2 c.d.

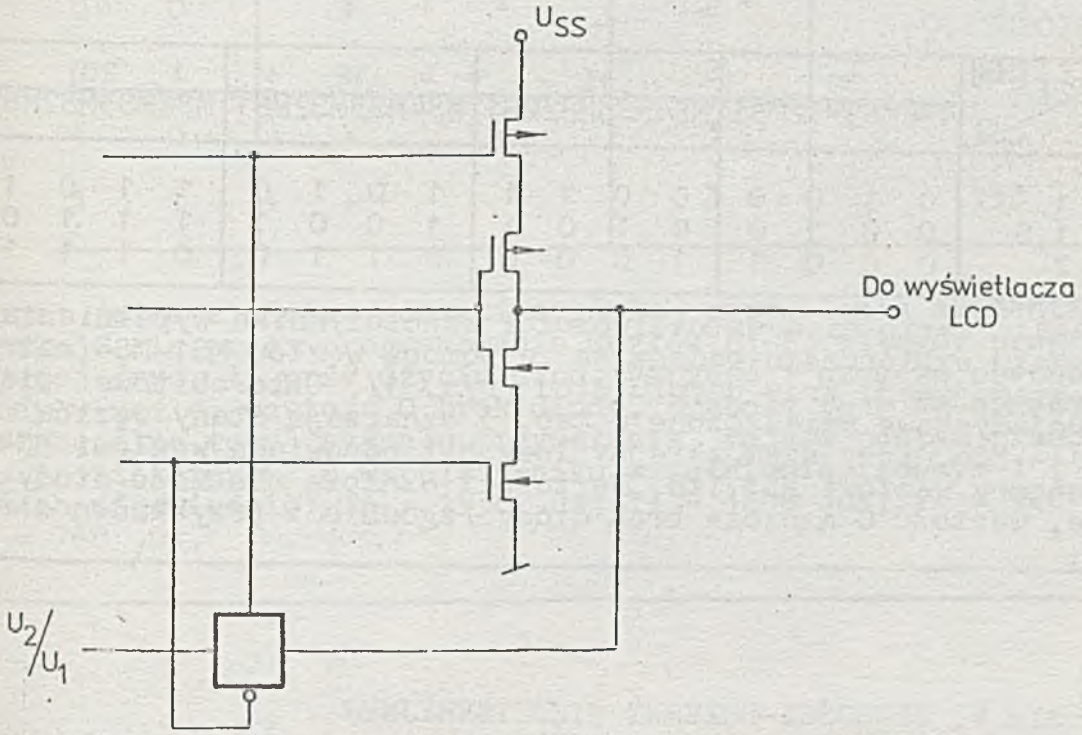
1	2	3	4	5	6	7
Prąd wyjściowy w stanie niskim /wyjścia j.w./	I_{OL}	/uA	4,5		182	U_{SS} = 3 V U_{OL} = 0,8 V
Prąd wejściowy w stanie wysokim /wejścia K1-K4, SPA, ASP, PBLUR, ACL/W/	I_{IH}	/uA	2,5		8,5	U_{SS} = 3 V U_{IH} = 2,2 V
Prąd wejściowy w stanie niskim /wejścia j.w./	I_{IL}	/uA			8	U_{SS} = 3 V U_{IL} = 0 V
Częstotliwość zegara	f_O	kHz	498,8			
Moc pobierana	P_D	/uW	600		900	U_{SS} = 3 V
Prąd zasilania dla przetrzymania pamięci ostatniego numeru	I_{SSM}	/uA	100		150	U_{SS} = 3 V
Uwagi: Częstotliwość sygnału wybiórczego - zgodnie z tab. 3. Współczynnik wypełnienia sygnału wybiórczego - zgodnie z tab. 3. Przerwa międzyseryjna - zgodnie z tab. 4. Sygnał przywołania abonenta - zgodnie z tab. 5.						



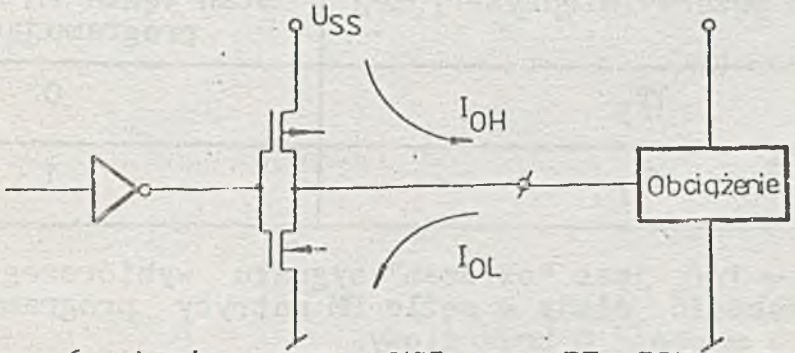
Rys. 3. Przebiegi sygnałów wyjściowych do wyświetlacza przy wyświetlaniu cyfry 8 /przykład/. Uwaga: Sygnały na końcówkach COM1-COM3 nie zmieniają się przy wyświetlaniu różnych liczb, kształty sygnałów na pozostałych wyjściach na wyświetlacz zależą od wyświetlanej liczby



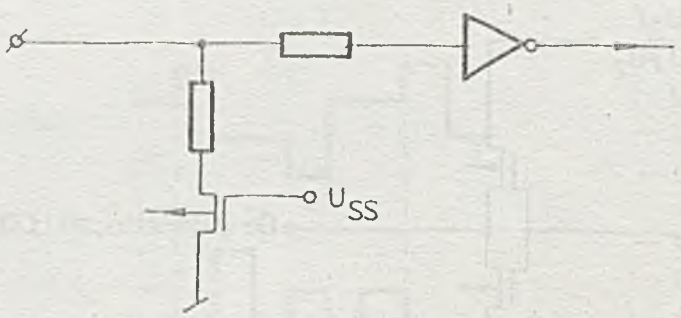
Rys. 4. Wyjścia/ia, ib, ic, SYM dla i = 1...8/ na wyświetlacz LCD



Rys. 5. Wyjścia /COM 1 - 3/ na wyświetlacz LCD



Rys. 6. Wyjścia KS1 - KS5 oraz PI, BLUR, SA



Rys. 7. Wejścia K1 - K4, SPA, PBIJR i ASP

Tabela 3. CZĘSTOTLIWOSCI I WSPÓŁCZYNNIKI WYPEŁNIENIA SYGNAŁU WYBIÓRCZEGO

f_T [Hz] / WW	10	16	18	20
	MS4 MS3 MS2 MS1	MS4 MS3 MS2 MS1	MS4 MS3 MS2 MS1	MS4 MS3 MS2 MS1
1	0 1 0 0	0 0 1 1	1 0 1 0	1 1 0 1
1,6	0 0 1 0	0 1 0 1	1 0 0 1	1 1 1 0
2	0 0 0 1	1 0 0 0	0 1 1 0	0 1 1 1

Uwaga: wartości częstotliwości i współczynnika wypełnienia sygnału wybiórczego badane są za pomocą węzłów MS1-MS4 matrycy programującej, przy użyciu diod /rys. 1/. Czterobitowe ciągi zerojedynkowe umieszczone w tab. 3 oznaczają stany węzłów MS1 - MS4, przy czym skrajny lewy bit odpowiada węzłowi MS4, następny węzłowi MS3 itd. Wartość 1 oznacza obecność diody w węźle, wartość 0 oznacza brak diody /zgodnie z przykładem z rys. 1/.

Tabela 4. DŁUGOŚCI PRZERWY MIĘDZYSERYJNEJ

Długość przerwy międzyseryjnej	Stan węzła PM matrycy programującej
$4T_I$	0
$8T_I$	1

Uwaga: $T_I = 1/f_I$ jest "okresem" sygnału wybiórczego. Wartość 1 oznacza obecność diody w węźle PM matrycy programującej /rys. 1/, a wartość 0 brak diody.

Tabela 5. DŹWIĘKOWY SYGNAŁ PRZYWOŁANIA ABONENTA

Stany węzłów			Postać sekwencji				Liczba sekwencji	Czas trwania tonu [ms]
P1	P2	P3	f_0	f_1	f_2	f_3		
0	0	0		+	+	+	3	88
0	0	1	+	+	+		3	88
0	1	0		+		+	4,5	88
0	1	1	+	+			4,5	88
1	0	0		+	+	+	2	133
1	0	1	+	+	+		2	133
1	1	0		+		+	3	133
1	1	1	+	+			3	133

Uwaga: jedną z ośmiu postaci sygnału przywołania abonenta uzyskuje się przez programowanie węzłów P1-P3 matrycy programującej /rys. 1/ przy użyciu diod. Wartość 1 oznacza obecność diody w węźle, wartość 0 brak diody. Symbole $f_0 = f3$ oznaczają poszczególne tony sygnału przywołania, mające postać przebiegów prostokątnych o współczynniku wypełnienia równym 1 i okresach odpowiednio: $T_0 = 1536$ /us; $T_1 = 1248$ /us; $T_2 = 960$ /us; $T_3 = 768$ /us.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx 815647

Druk ZOINTE ITE zam. 72/87 n. 300

Kwiecień 1987

Cena 120 zł

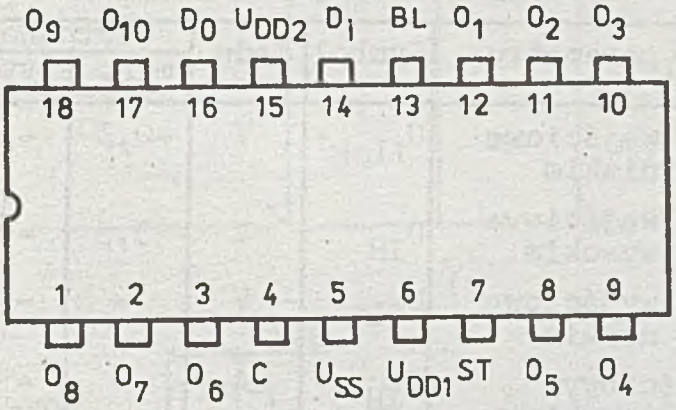
PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

REJESTR-DRIVER

MC 7510N
MCX 7510

Układ scalony MC 7510N jest 10-bitowym rejestrem szeregowo-równoległym zawierającym 10 wysokonapięciowych stopni wyjściowych /driverów/. Układ zrealizowano nowoczesną technologią CMOS-DMOS, która umożliwia uzyskanie dużej gęstości upakowania i małego poboru prądu CMOS-owej niskonapięciowej części układu oraz wysokie napięcie pracy /40 V/ i prąd wyjściowy /40 mA/ części DMOS-owych. Układ scalony MC 7510N może być wykorzystany w głowicach drukarek termicznych, do sterowania wskaźników fluoroscencyjnych oraz innych systemów wyświetlania informacji. Układ montowany jest w obudowie 18-wyprowadzeniowej typu CE-81 /oznaczenie MC 7510N/; dostępny jest także w wersji struktury nieobudowanej jako MCX 7510.



U_{SS} - zasilanie (-)

U_{DD1}, U_{DD2} - zasilanie (+)

C - wejście zegarowe

BL - wejście wygaszania

ST - wejście strobujące

D_I - wejście danych

D_0 - wyjście danych /szeregowe/

$O_1 \ldots O_{10}$ wysokonapięciowe wyjścia sterujące

Rys. 1. Rozkład i opis wyprowadzeń

WSTĘPNA KARTA KATALOGOWA

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE przy U_{SS} = 0, t_{amb} = 25°C

Napięcie zasilania 1	U_{DD1}	4,5 ÷ 12 V
Napięcie zasilania 2	U_{DD2}	[illegible] V
Napięcie wejściowe	U_I	-0,3 ÷ U_{DD1} + 0,3 V
Napięcie wyjściowe	U_O	40 V
Prąd wyjściowy	I_O	-40 mA
Temperatura pracy	t_{amb}	0 ÷ 70°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125°C
Całkowita moc tracona *)	P_{tot}	0,8 W

PARAMETRY CHARAKTERYSTYCZNE STATYCZNE /t_{amb}=25°C, U_{SS} = 0, U_{DD1} = 5V, U_{DD2} = 40 V/

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Napięcie wejściowe w stanie niskim	U_{IL}	V	-0,3	-	0,8	-
Napięcie wejściowe w stanie wysokim	U_{IH}	V	3,5	-	5,3	-
Napięcie wyjściowe x) w stanie niskim	U_{OL}	V	-	-	2,5	I_{OL}=-40 mA
Prąd wejściowy w stanie wysokim	I_{IH}	µA	-	-	100	U_I = 5 V
Prąd wyjściowy w stanie wysokim x)	I_{OH}	µA	-100	-	-	U_O = 40 V
Rezystancja wyjściowa xx)	R_O	kΩ	-	-	20	I_O = -100 µA
Prąd zasilania ze źródła U_{DD1}	I_{DD1}	mA	-	-	1,5	-
Prąd zasilania ze źródła U_{DD2}	I_{DD2}	mA	-	2,5	-	-

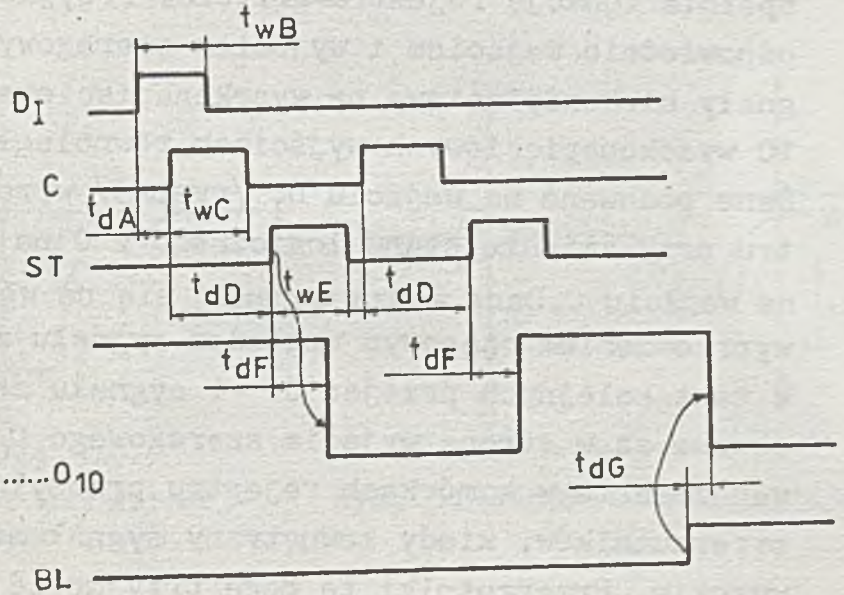
x) Na wyjściach O_1... O_{10}.

xx) Na wyjściu D_O.

*) Obudowa plastykowa CE-81 z wewnętrznym radiatorem.

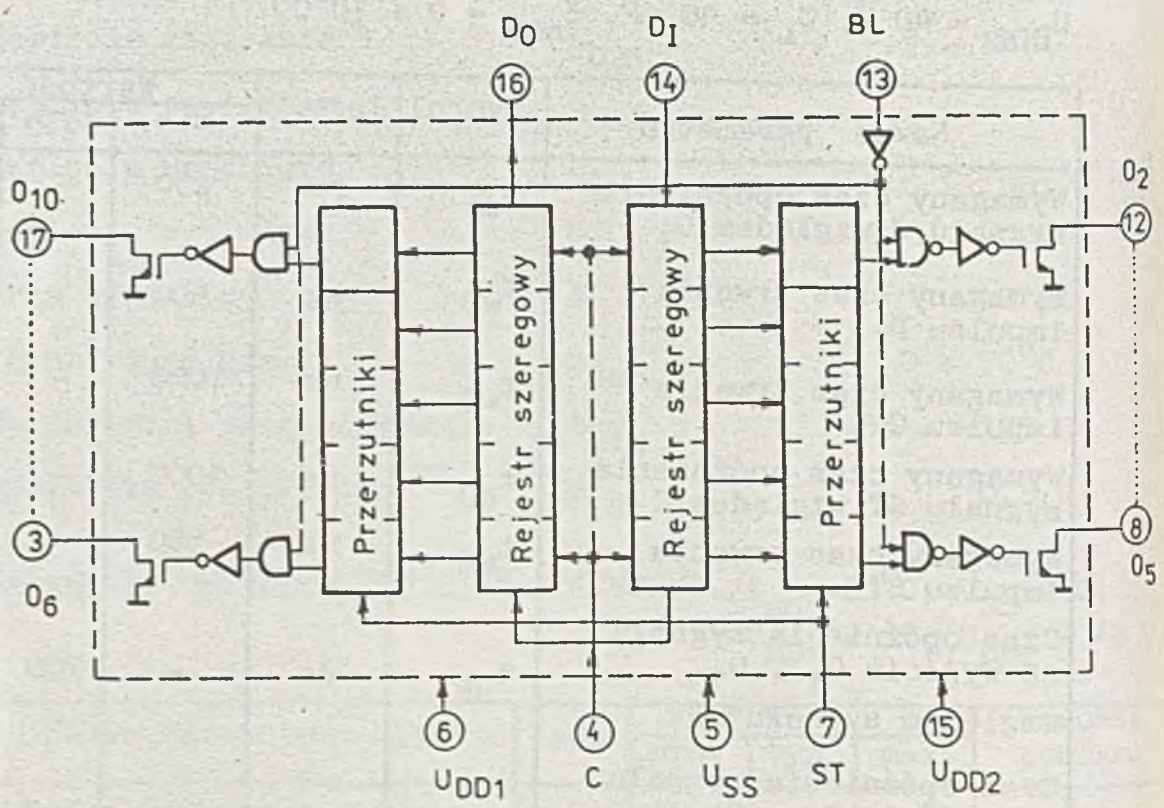
PARAMETRY CHARAKTERYSTYCZNE DYNAMICZNE /U_{SS} = 0, U_{DD1} = 5 V, U_{DD2} = 40 V, C_L = 40 pF, t_{amb} = 0 + 70°C/

Nazwa parametru	Symbol	Jedn.	Wartość		
			min.	typ.	max.
Wymagany czas opóźnienia sygnału C względem D_I	t_{dA}	ns	250	-	-
Wymagany czas trwania impulsu D_I	t_{wB}	ns	500	-	-
Wymagany czas trwania impulsu C	t_{wC}	ns	1000	-	-
Wymagany czas opóźnienia sygnału ST względem C	t_{dD}	ns	1000	-	-
Wymagany czas trwania impulsu ST	t_{wE}	ns	500	-	-
Czas opóźnienia sygnału na wyjściu $O_1 \ldots O_{10}$ względem sygnału ST	t_{dF}	ns	-	700	1000
Czas opóźnienia sygnału na wyjściu $O_1 \ldots O_{10}$ względem BL	t_{dG}	ns	-	300	500



Rys. 2. Warunki pomiaru parametrów charakterystycznych dynamicznych

OPIS DZIAŁANIA UKŁADU

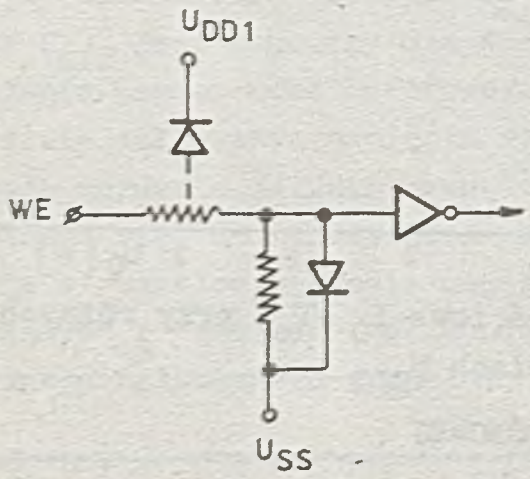


Rys. 3. Schemat blokowy układu

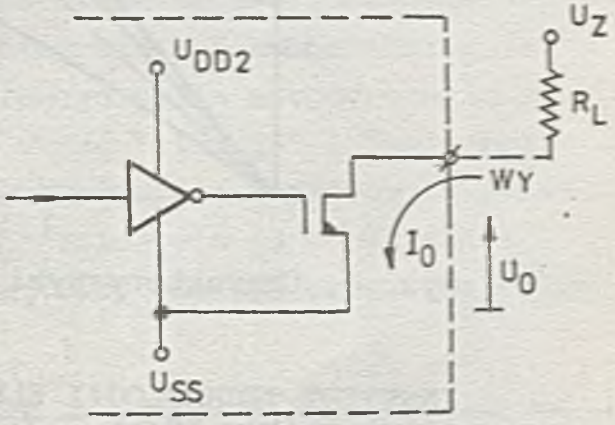
Na rys. 3 przedstawiono schemat blokowy układu. Układ MC 7510N spełnia funkcję rejestru-drivera. Przyjmuje i wyprowadza dane odpowiednio wejściem i wyjściem szeregowym oraz przetwarza sygnały niskonapięciowe na wysokonapięciowe i wyprowadza je na 10 wysokonapięciowych wyjściach równoległych.

Dane podawane na wejściu D_I /rys. 3/ wprowadzane są do rejestru przy zmianie stanu logicznego z 0 na 1 sygnału zegarowego na wejściu C.Dane muszą pojawić się na wejściu D_I z odpowiednim wyprzedzeniem czasowym względem sygnału zegarowego /rys. 2/. W takt kolejnych przejść 0 → 1 sygnału zegarowego dane przesuwane są w stroną wyjścia szeregowego D_0. Dane "zero-jedynkowe" zawarte w komórkach rejestru przesyłane są do odpowiednich przerzutników, kiedy zewnętrzny sygnał strobu ST jest w stanie wysokim. Przerzutniki te mogą przyjmować nowe dane tak długo, jak długo utrzymywany jest stan wysoki na wejściu ST. Sygnał

wygaszania BL aktywny w stanie wysokim umożliwia blokowanie oddziaływania sygnałów logicznych przerzutników na stopień wyjściowy. Jeśli wejście BL jest w stanie wysokim /niezależnie od danych logicznych w przerzutnikach/ wszystkie wyjścia sterujące $O_1 \div O_{10}$ są w stanie wysokim /nieaktywnym/. Po sprowadzeniu sygnału na wejściu BL do stanu niskiego stopnie wyjściowe są sterowane przez stany logiczne przerzutników.Stopnie wyjściowe to wzmacniacze,które przy podaniu stanu wysokiego na wejście /niskonapięciowe/ dają na wyjściu /wysokonapieciowym/ stan wysoki /nieaktywny/ przy dołączeniu wyjść $O_1 \ldots O_{10}$ poprzez obciążenie rezystancyjne do wysokiego napięcia zewnętrznego U_Z. Dla przeciwnego stanu na wejściach uzyskuje się stan niski /aktywny/ na wyjściach sterujących układu.
Po włączeniu zasilania na wszystkich wejściach układu wymuszane są wewnętrznie stany niskie w rezultacie zastosowania układu wejściowego przedstawionego na rys. 4, pełniącego jednocześnie rolę zabezpieczenia przed przebiciem ładunkiem elektrostatycznym. Na rys. 5 przedstawiono schemat jednego stopnia wyjściowego z tranzystorem DMOS z otwartym drenem.Jeśli w da-

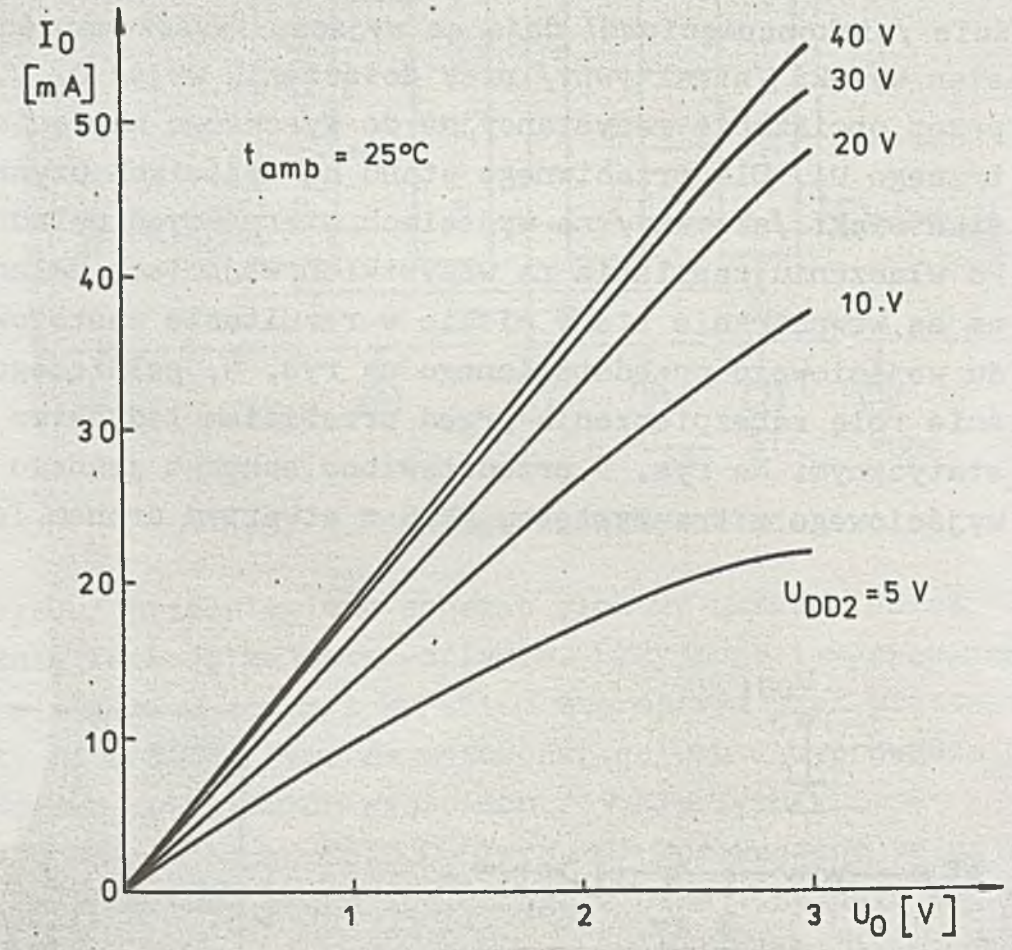


Rys. 4. Schemat układu wejściowego



Rys. 5. Schemat układu wyjścia

nej komórce rejestru występuje stan niski, to odpowiadający jej tranzystor wyjściowy jest w stanie nieprzewodzenia /nieaktywnym/ i blokuje wysokie zewnętrzne napięcie U_Z. Stanowi logicznemu 1 w komórce rejestru odpowiada stan włączenia tranzystora wyjściowego, przy którym rezystancja wynosi ok. 60 Ω przy U_{DD2} = 40 V. Typowe charakterystyki wyjściowe tranzystora wyjściowego przedstawione są na rys. 6.



Rys. 6. Charakterystyki wyjściowe I_O /U_o/ przy różnych wartościach U_{DD2}

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
tel. 43-54-01
tlx 815647
Cena 60 zł.

Styczeń 1986 DRUK ZOINTE ITE zam. 46/86 n. 500

PRAWO REPRODUKCJI ZASTRZEŻONE

ITE CEMI INSTYTUT TECHNOLOGII ELEKTRONOWEJ

UKŁAD PRZETWORNIKA ANALOGOWO-CYFROWEGO STANOWIĄCY WOLTOMIERZ 3 1/2-CYFROWY

MRY 7906N

CHARAKTERYSTYKA UKŁADU

Układ MRY 7906N jest monolitycznym analogowo-cyfrowym układem scalonym wielkiej skali integracji, wykonanym w technologii CMOS z bramką Al. Zawiera wszystkie elementy aktywne, niezbędne do zbudowania woltomierza 3 1/2-cyfrowego, włączając dekoder 7-segmentowy, drivery segmentów, napięciowe źródło odniesienia i zegar.

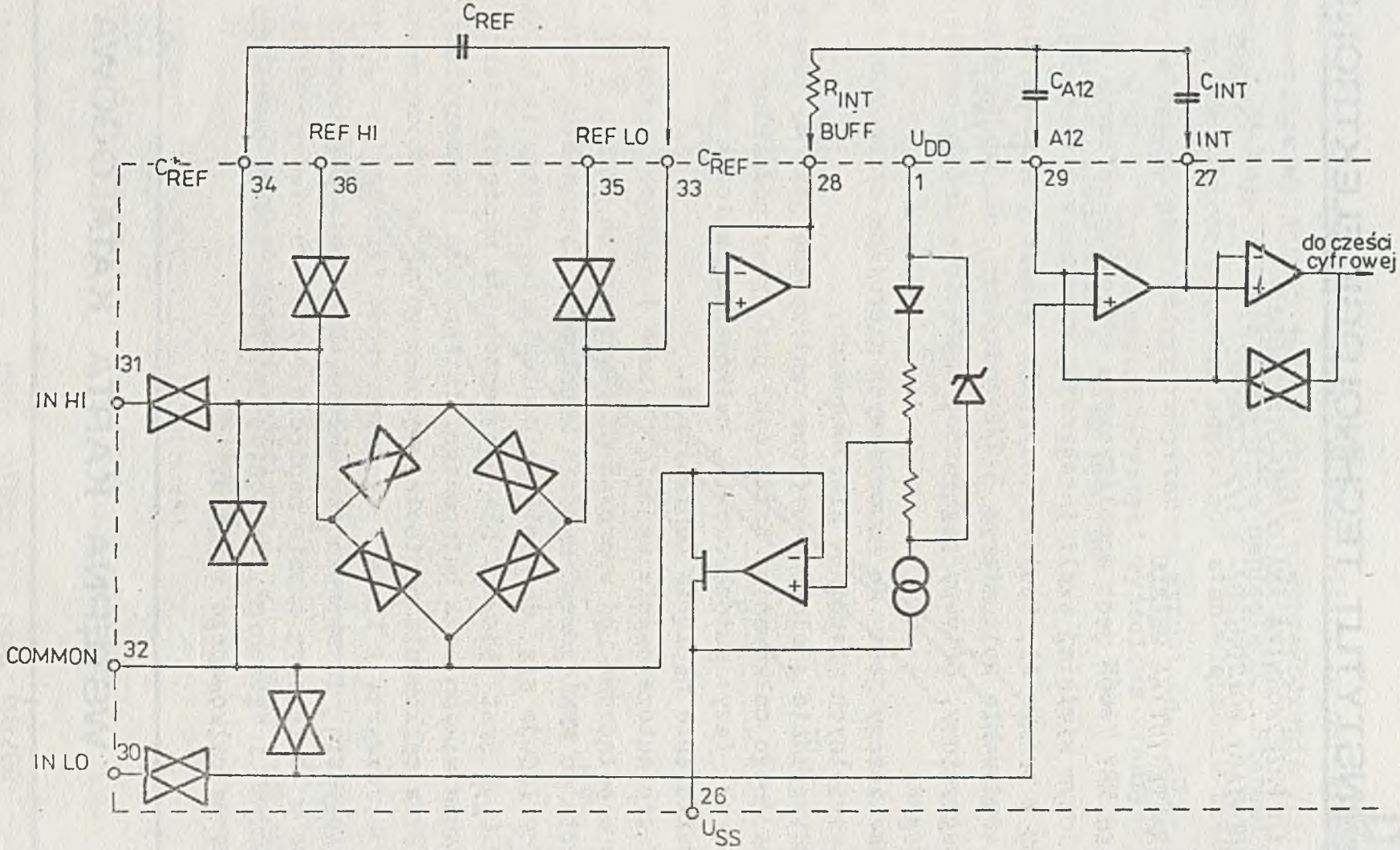
Przeznaczony jest do nowoczesnych mierników cyfrowych, w tym uniwersalnych mierników kieszonkowych.

Przetwarzanie analogowo-cyfrowe realizowane jest na zasadzie podwójnego całkowania. Każdy cykl pomiarowy podzielony został na trzy fazy: autozerowania, całkowania napięcia wejściowego i całkowania napięcia odniesienia.

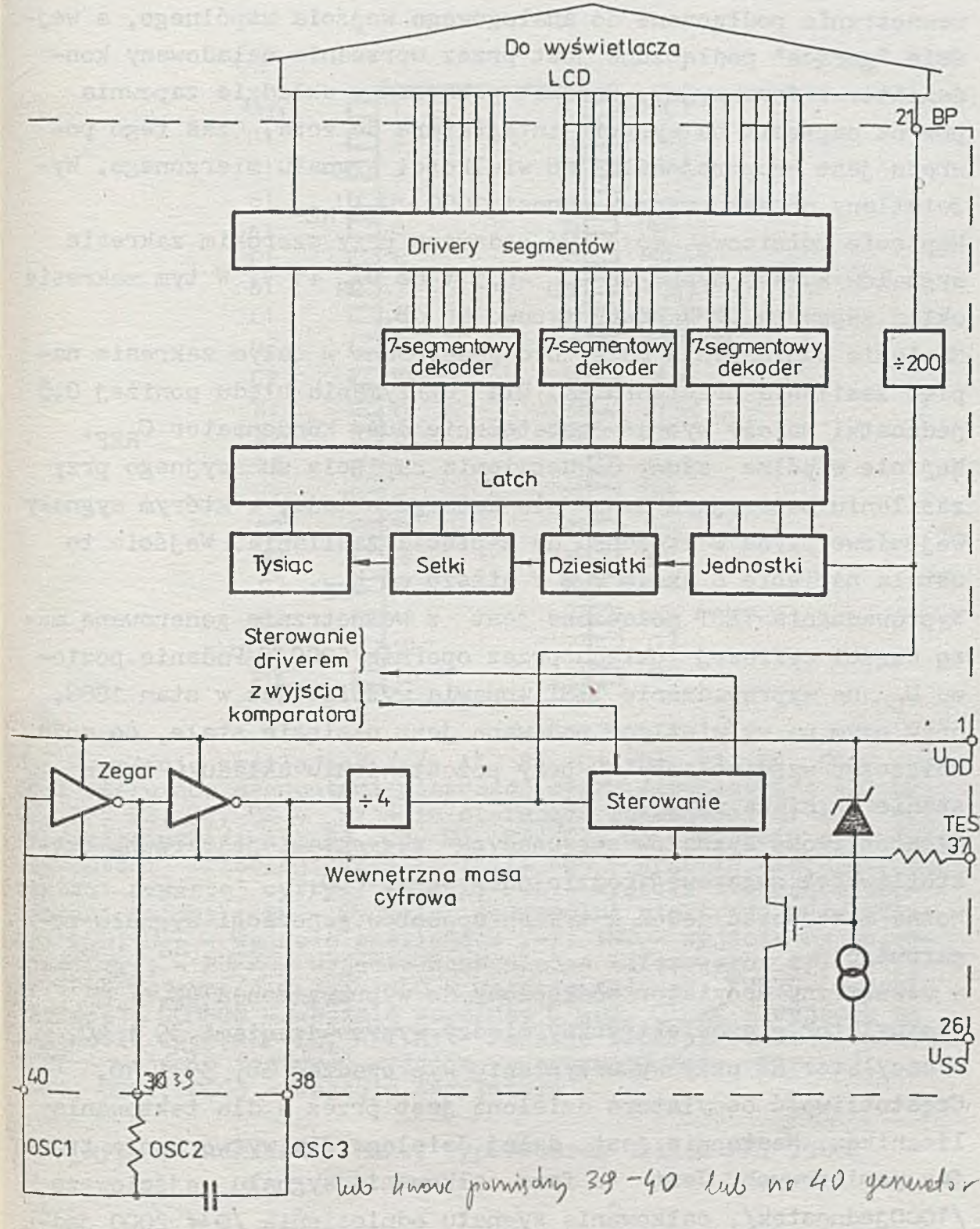
W fazie autozerowania wejścia "zimne" i "gorące" zostają początkowo odłączone od wyprowadzeń zewnętrznych układu i wewnętrznie zwarte do analogowego wejścia wspólnego. Kondensator referencyjny ładuje się do napięcia odniesienia; następnie kondensator $C_{A/Z}$ jest ładowany dla skompensowania napięcia niezrównoważenia wzmacniacza buforowego, integratora i komparatora.

W fazie całkowania napięcia wejściowego pętla autozerowania zostaje rozwarta i linie wewnętrzne wejść "zimnego" i "gorącego" dołącza się do wyprowadzeń układu. Następnie przetwornik całkuje w ustalonym czasie napięcie różnicowe między wejściami "zimnym" i "gorącym". Na koniec tej fazy zostaje określona polaryzacja całkowanego sygnału.

WSTĘPNA KARTA KATALOGOWA



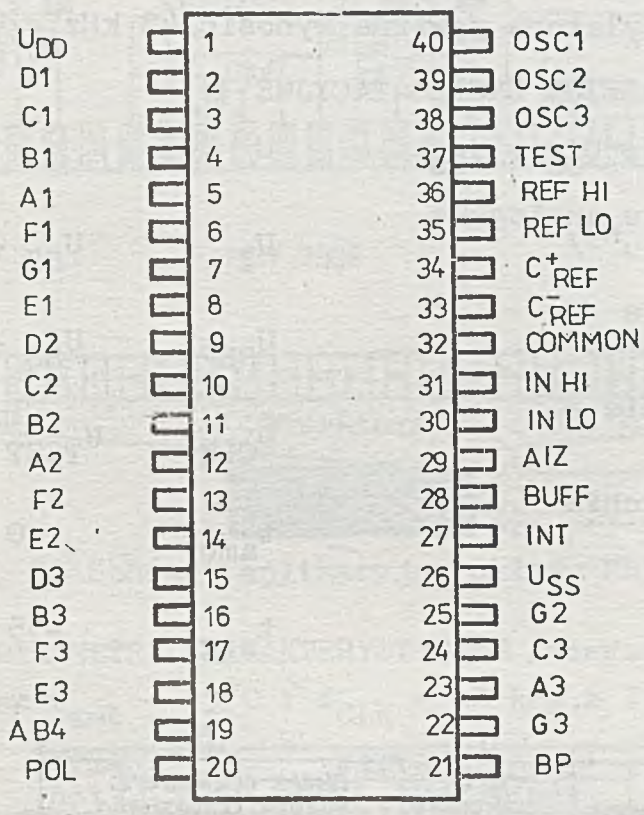
Rys. 1. Schemat blokowy części analogowej układu MRY 7906N



Rys. 2. Schemat blokowy części cyfrowej układu MRY 7906N

W fazie całkowania napięcia odniesienia wejście "zimne" zostaje wewnętrznie podłączone do analogowego wejścia wspólnego, a wejście "gorące" podłączone jest przez uprzednio naładowany kondensator referencyjny. Schemat połączeń w układzie zapewnia powrót napięcia na wyjściu integratora do zera. Czas tego powrotu jest proporcjonalny do wielkości sygnału mierzonego. Wyświetlany odczyt cyfrowy wynosi $1000 \cdot U_I/U_{REF}$.
Napięcie różnicowe może być podawane przy szerokim zakresie sygnałów sumacyjnych: od U_{DD} -0,5 V do U_{SS} +1 V. W tym zakresie układ zapewnia CMMR równy typowo 86 dB.
Napięcie odniesienia może być generowane w całym zakresie napięć zasilania przetwornika. Dla utrzymania błędu poniżej 0,5 jednostki należy wybrać dostatecznie duży kondensator C_{REF}.
Wejście wspólne służy do ustalenia napięcia sumacyjnego przy zasilaniu bateryjnym oraz dla każdego układu, w którym sygnały wejściowe płyną w stosunku do napięcia zasilania. Wejście to ustala napięcie o około 2,8 V niższe od U_{DD}.
Wyprowadzenie TEST połączone jest z wewnętrznie generowaną masą części cyfrowej układu przez opornik 500Ω . Podanie poziomu U_{DD} na wyprowadzenie TEST wprawia wyświetlacz w stan 1888, przy czym na wyświetlacz podawane jest napięcie stałe, co może zniszczyć wyświetlacz LCD przy pozostawieniu układu w takim stanie na kilka minut.
Częstotliwość sygnałów sterujących segmentami jest równa częstotliwości zegarowej podzielonej przez 800.
Można zastosować jeden z trzech sposobów generacji sygnału zegarowego:
- zewnętrzny oscylator podłączony do wyprowadzenia 40,
- oscylator piezoelektryczny między wyprowadzeniami 39 i 40,
- oscylator RC przy wykorzystaniu wyprowadzeń 38, 39 i 40.

Częstotliwość oscylatora dzielona jest przez 4 dla taktowania liczników. Następnie jest dalej dzielona dla wytworzenia trzech faz pomiarowych. Jest to faza całkowania sygnału wejściowego /1000jednostek/, całkowania sygnału odniesienia /0 ÷ 2000 jednostek/ i autozerowania /1000 ÷ 3000 jednostek/.Faza autozerowania wykorzystuje dla sygnałów wejściowych mniejszych niż peł-



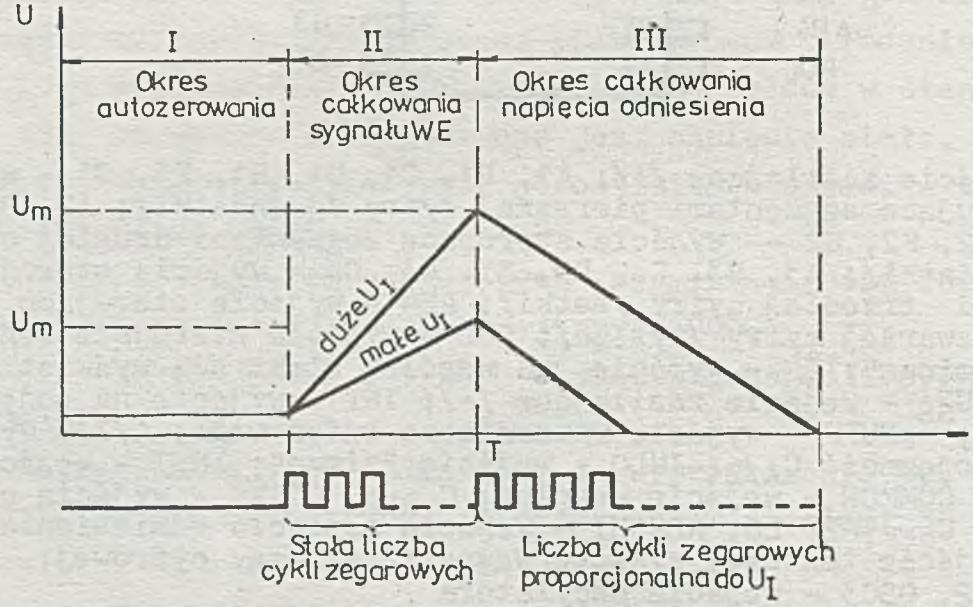
U_{DD} - wejście zasilające /+/; A1, B1, C1, D1, E1, F1, G1 - wyjścia sterujące segmentami pierwszej cyfry /jednostki/; A2, B2, C2, D2, E2, F2, G2 - wyjścia sterujące segmentami drugiej cyfry /dziesiatki/; A3, B3, C3, D3, E3, F3, G3 - wyjścia sterujące segmentami trzeciej cyfry /setki/; AB4 - wyjście sterujące segmentami czwartej cyfry /tysiąc/; POL - wyjście sterujące segmentami "minus"; BP - wyjście na wspólną elektrodę wyświetlacza LCD; U_{SS} - wejście zasilające /-/; INT - wyjście na pojemność C_{INT}; - BUFF - wyjście wzmacniacza buforowego; A/Z - wyjście na pojemność $C_{A/Z}$; INLO - wejście "zimne"; INHI - wejście "gorące"; COMMON - wejście wspólne; C^-_{REF}, C^+REF - wyjścia na pojemność C_{REF};REF LO, REF HI - wejścia napięcia odniesienia; TEST - wejście testowe, wyjście wewnętrznej masy cyfrowej; OSC1, OSC2, OSC3 - wejścia oscylatora

Rys. 3. Rozkład i nazwy wyprowadzeń układu MRY 7906N

na skala - impulsy pozostałe po fazie całkowania sygnału odniesienia. Całkowity cykl pomiarowy składa się z 4000 impulsów /16000 impulsów zegarowych/. Dla trzech pomiarów na sekundę częstotliwość oscylatora powinna wynosić 48 kHz.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania $U_{DD} + U_{SS}$	U	15	V
Wejściowe napięcie analogowe /na każdym wejściu*)/	U_I	$U_{SS} \div U_{DD}$	
Wejściowe napięcie odniesienia	U_{REF}	$U_{SS} \div U_{DD}$	
Napięcie na wejściu oscylatora OSC1	U_{CLK}	$U_{TEST} \div U_{DD}$	
Temperatura otoczenia w czasie pracy	t_{amb}	$0 \div 70$	^oC
Temperatura przechowania	t_{stg}	$-55 \div +125$	^oC

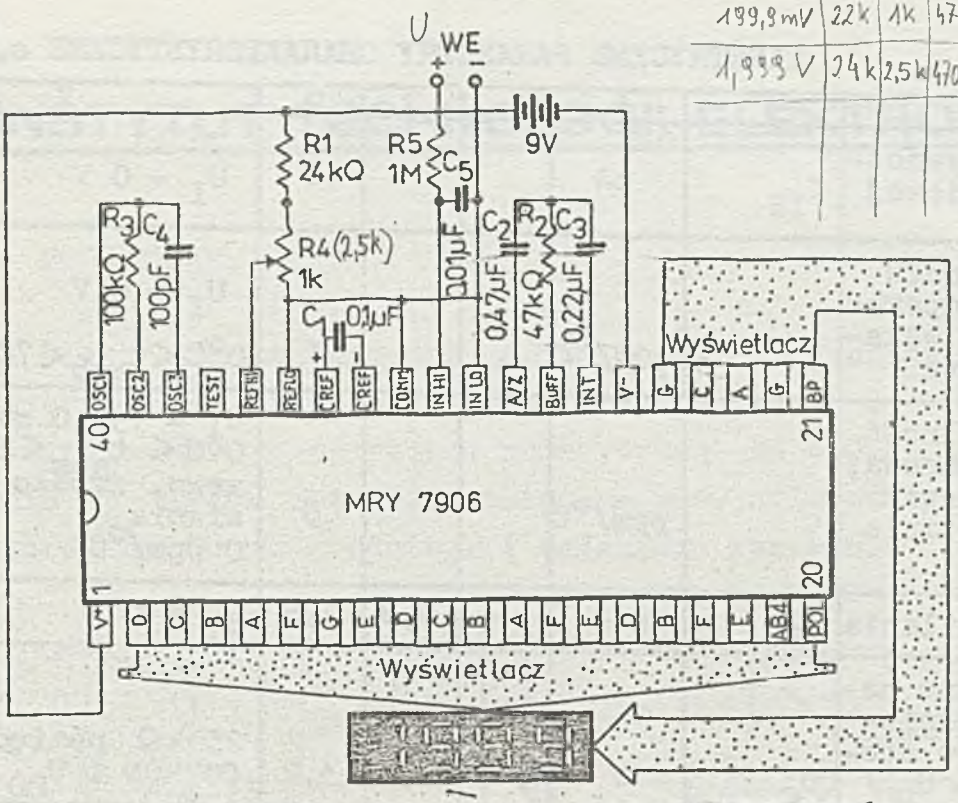


Rys.4. Przetwarzanie A/C metodą czasową z podwójnym całkowaniem

*) Napięcia wejściowe mogą przekroczyć napięcie zasilania pod warunkiem ograniczenia prądu do ± 100/uA.

$C_2 = 47\,nF$, $R_2 = 470\,k\Omega$,

zakres	R1	R4	R2	C2	C3	
199,9 mV	22k	1k	47k	0,47µ	0,22µ	f_{osc} =
1,999 V	24k	2,5k	470k	47n	0,22µ	



Rys. 5. Schemat aplikacyjny układu MRY 7906N

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /mierzone w układzie jak na rys. 5, przy $t_{amb} = 25^{\circ}C$ i $f_{CLK} = 48$ kHz, o ile nie podano inaczej/

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość typ.	Wartość max.	Warunki pomiaru
1	2	3	4	5	6	7
Wskazanie przy zerowym sygnale wejściowym		odczyt cyfrowy	-000,0	±000,0	+000,0	U_I = 0,0 V Pełna skala = = 200,0 mV
Pomiar ilorazowy		odczyt cyfrowy	999	999/ /1000	1000	$U_I = U_{REF}$ U_{REF} = 100,0 mV
Błąd niesymetrii charakterystyki /Rollover Error/			-1		+1	$-U_I = +U_I \cong$ ≅ 200,0 mV
Błąd nieliniowości charakterystyki			-1		+1	Pełna skala = = 200,0 mV lub pełna skala = 2,000 V
Współczynnik tłumienia sygnału wspólnego	CMRR	/uV/V		50		U_{CM} = ±1 V, U_I = = 0 V pełna skala = = 200,0 mV

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

1	2	3	4	5	6	7
Prąd upływności wejściowej	I_{IB}	pA			10	U_I = 0 V
Współczynnik zmian temperaturowych wskazania zera		/uV/°C			1	U_I = 0 V 0°C < t_{amb} < 70°C
Niestabilność temperaturowa, współczynnik przetwarzania		ppm/°C			5	U_I = 199,0 mV 0°C < t_{amb} < 70°C zewn. źródło odniesienia 0 ppm/°C
Prąd zasilania	I_{DD}	mA		0,8	1,8	U_I = 0 V
Wewnętrzne napięcie odniesienia /w stosunku do U_{DD}/	U_{COMMON}	V	2,4	2,8	3,2	25 kΩ pomiędzy COMMON i U_{DD}
Współczynnik temperaturowy zmian wewnętrznego napięcia odniesienia	α U_{COMMON}	ppm/°C		80		25 kΩ pomiędzy COMMON i U_{DD}
Napięcie sterujące segmentami wyświetlacza LCD		V	4	5	6	U = 9 V
Napięcie sterujące wspólną elektrodą wyświetlacza LCD		V	4	5	6	U = 9 V

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx 815647

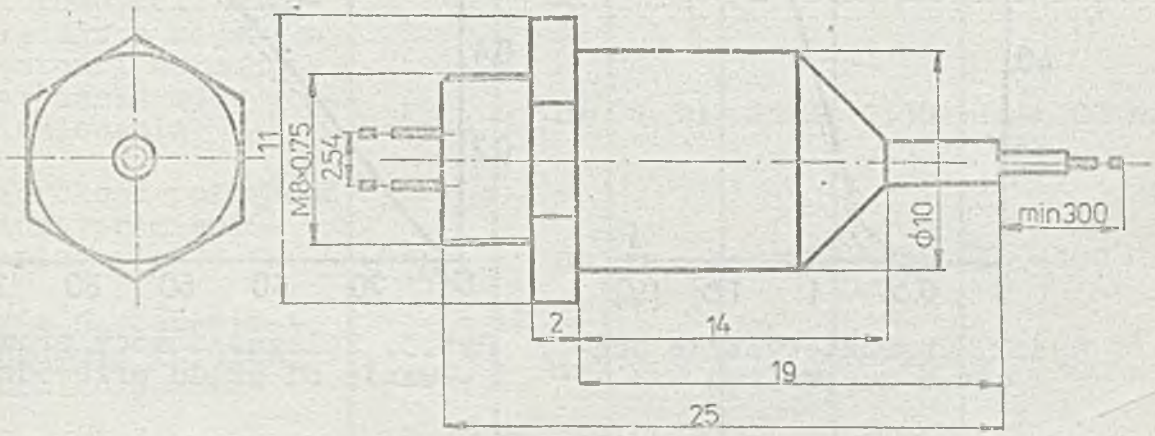
Lipiec 1987
Cena 80 zł

Druk ZOINTE ITE zam. 71/87 n.300

PRAWO REPRODUKCJI ZASTRZEŻONE

DIODA PODCZERWONA AQYP 10F

Dioda elektroluminescencyjna z GaInAs/InP wykonana techniką wielowarstwowej epitaksji jest przystosowana do połączenia ze światłowodem o aperturze numerycznej NA = 0,2 i średnicy rdzenia $\emptyset_r$ 50 μm. Może być stosowana w światłowodowych łączach telekomunikacyjnych średniego i dalekiego zasięgu.

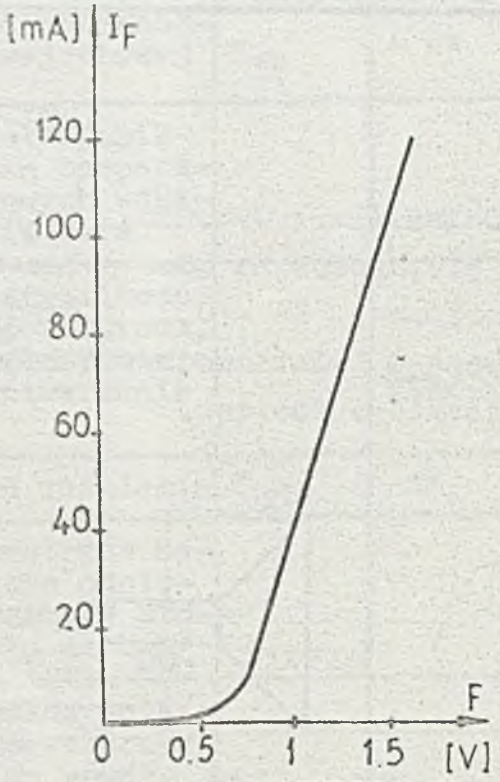


Rys. 1. Obudowa

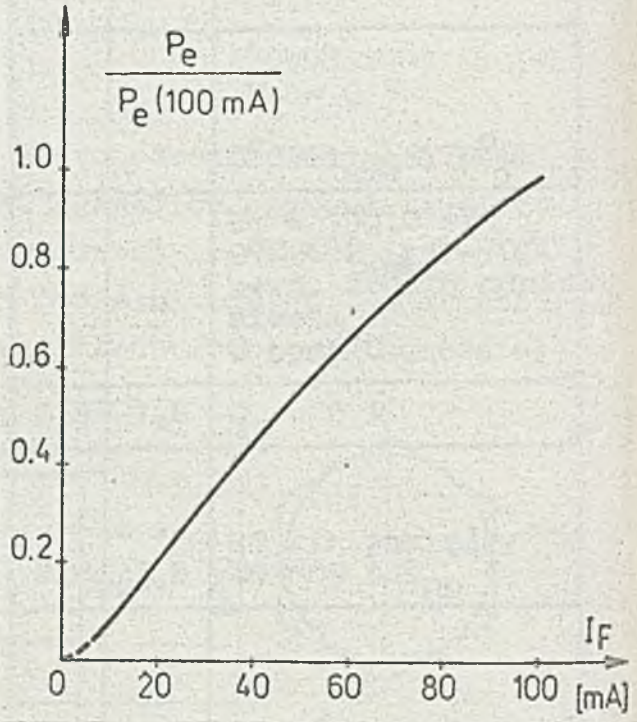
PARAMETRY DOPUSZCZALNE

Natężenie prądu przewodzenia	I_F	100	mA
Napięcie wsteczne	U_R	2	V
Temperatura obudowy	t_{case}	-30 ÷ +50	°C
Temperatura przechowywania	t_{stg}	-40 ÷ +70	°C

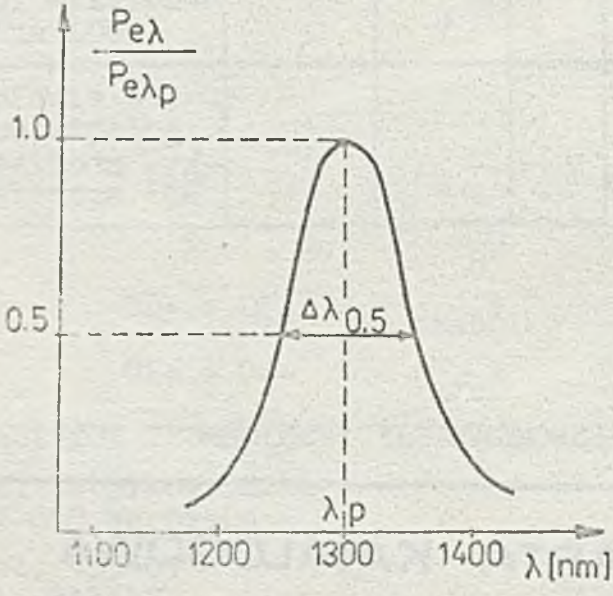
WSTĘPNA KARTA KATALOGOWA



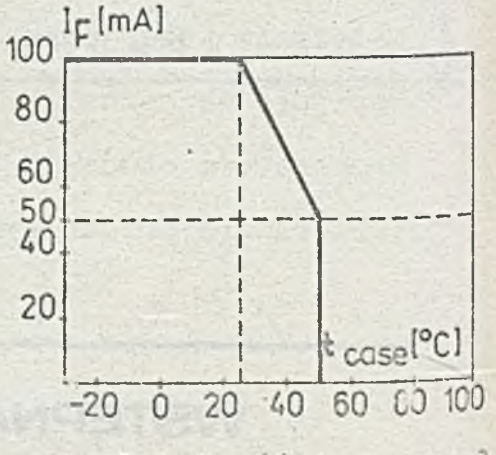
Rys.2. Charakterystyka prądowo-napięciowa



Rys.3. Zależność mocy promieniowania od prądu przewodzenia



Rys.4. Widmowy rozkład mocy promieniowania



Rys.5. Zależność dopuszczalnego prądu przewodzenia od temperatury

PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Moc promieniowania	P_e	µW	10	12	-	I_F = 100 mA
Napięcie przewodzenia	U_F	V	-	-	2	I_F = 100 mA
Prąd wsteczny	I_B	µA	-	-	500	U_R = 2 V
Długość fali odpowiadająca maksimum gęstości monochromatycznej mocy promieniowania	λ_p	nm	1250	1300	1330	I_F = 100 mA
Szerokość połówkowa widma promieniowania	$\Delta\lambda_{0,5}$	nm	-	105	115	I_F = 100 mA
Czas narastania i opadania impulsu promieniowania	t_r, t_f	ns	-	9	10	I_F = 100 mA
Trwałość określona spadkiem mocy promieniowania do połowy wartości początkowej	$t_{1/2}$	h	10^4	-	-	I_F = 100 mA

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647

Lipiec 1987

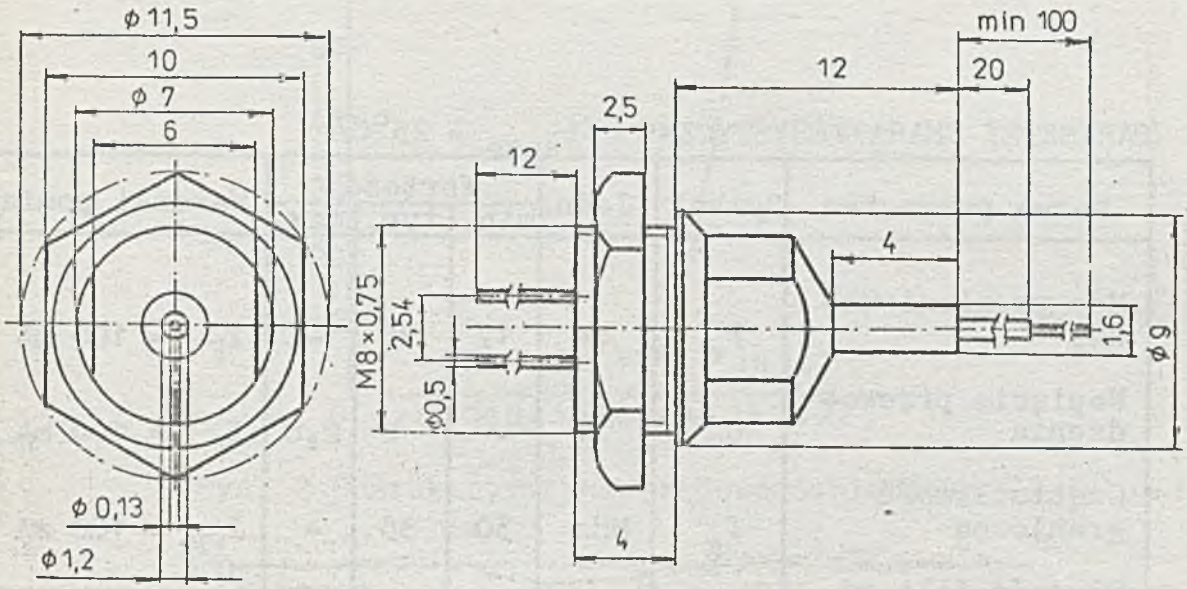
Cena 70 zł

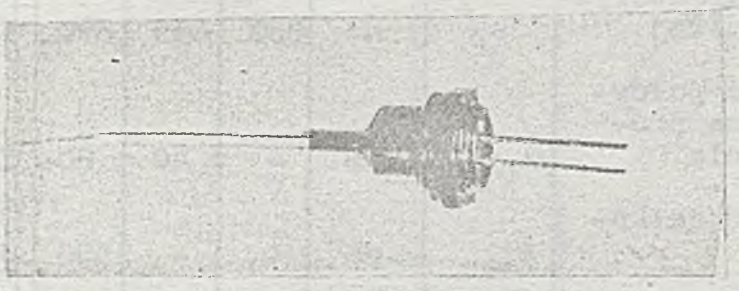
DRUK ZOINTE ITE zam. 70/87 n.300

PRAWO REPRODUKCJI ZASTRZEŻONE

DIODA PODCZERWONA COYP 07F

Dioda podczerwona z GaAs/AlGaAs o konstrukcji krawędziowej połączona ze światłowodem telekomunikacyjnym o średnicy rdzenia Φ_r = 50 µm i aperturze numerycznej NA = 0,2. Może być stosowana w łączach światłowodowych krótkiego i średniego zasięgu.





Rys. 1 Schemat i fotografia diody COYP 07F

KARTA KATALOGOWA

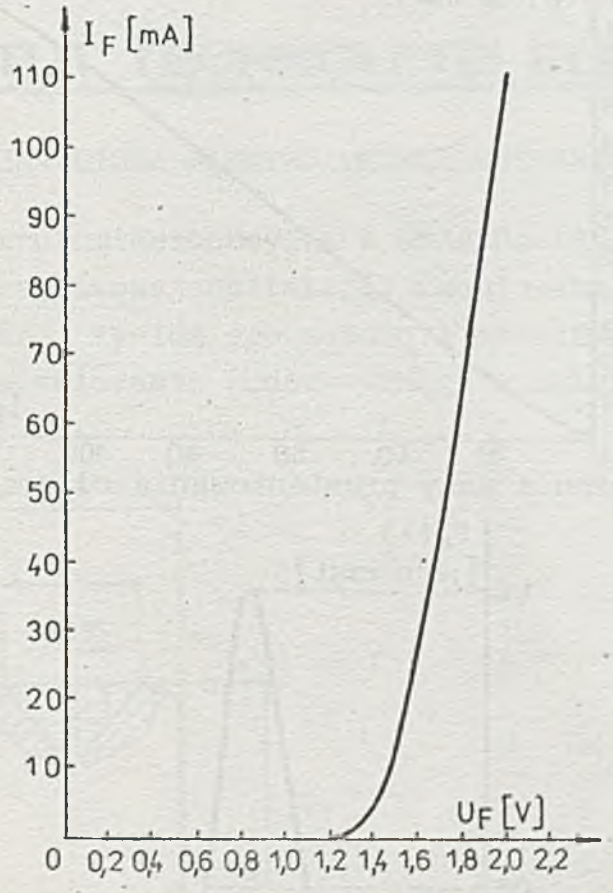
WARTOŚCI DOPUSZCZALNE PARAMETRÓW

Prąd przewodzenia	I_F	100	mA
Napięcie wsteczne	U_R	2	V
Temperatura obudowy	t_{case}	-40 ÷ +55	°C
Temperatura przechowywania	t_{stg}	-40 ÷ +70	°C

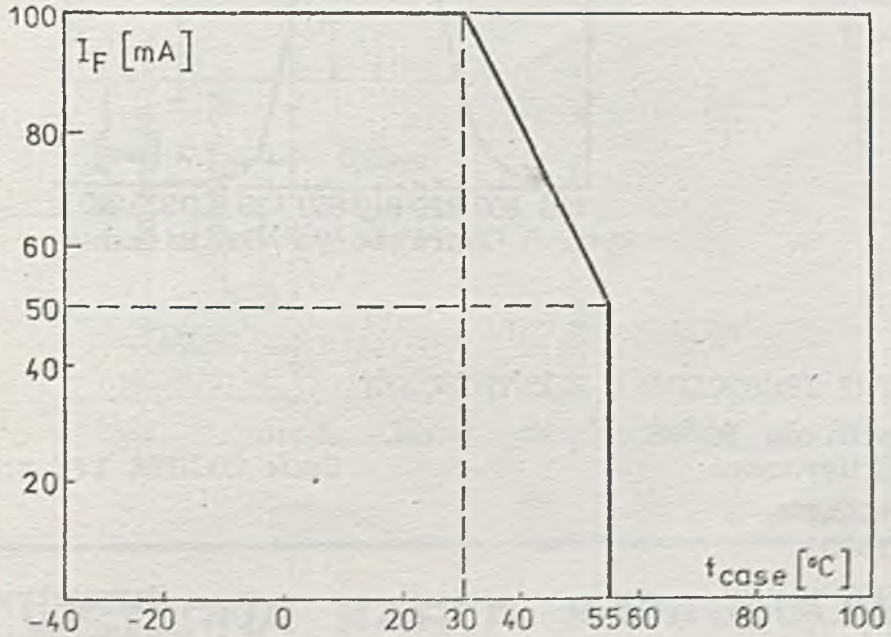
PARAMETRY CHARAKTERYSTYCZNE $/t_{case} = 25°C/$

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Moc promieniowania*)	P_e	/uW	17	20	-	I_F = 100 mA
Napięcie przewodzenia	U_F	V	-	2	2,8	I_F = 100 mA
Częstotliwość graniczna	f_g	MHz	30	35	-	I_{FM} = 100 mA
Długość fali odpowiadająca maksimum charakterystyki widmowej	λ_p	nm	800	835	870	I_F = 100 mA
Szerokość połówkowa widma promieniowania	$\lambda_{0,5}$	nm	-	40	80	I_F = 100 mA
Pojemność całkowita	C_{tot}	pF	-	-	300	U_R = 0, f=1 MHz

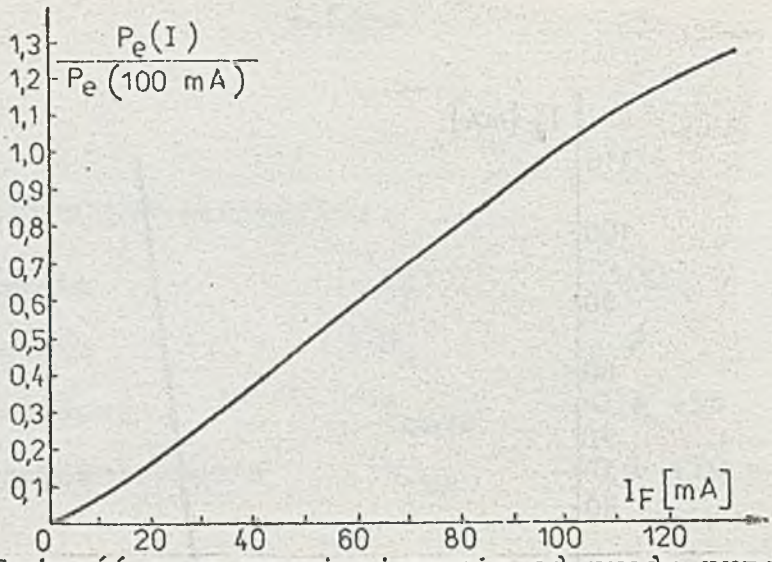
*) Moc promieniowania wychodząca ze światłowodu o średnicy rdzenia $\Phi_r = 50/um$ i aperturze numerycznej NA = 0,2.



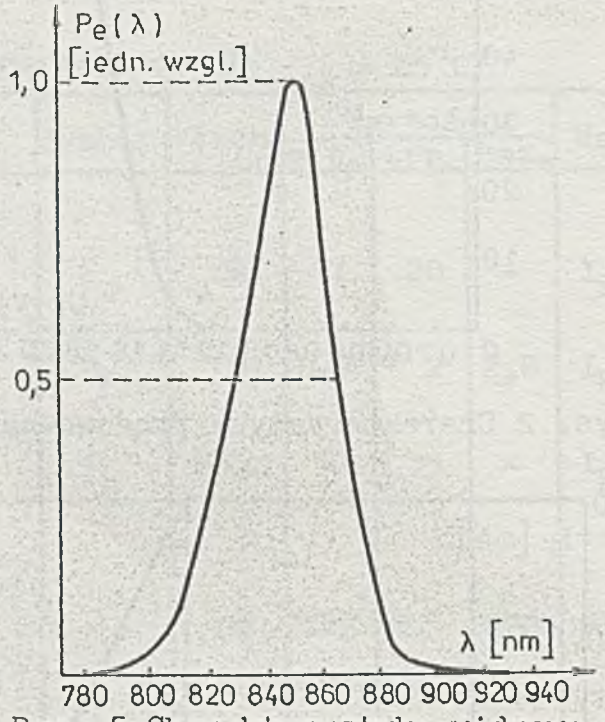
Rys. 2 Charakterystyka prądowo-napięciowa



Rys. 3 Zależność dopuszczalnego prądu przewodzenia od temperatury obudowy



Rys. 4 Zależność mocy promieniowania od prądu przewodzenia



Rys. 5 Charakterystyka widmowa

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

Tlx 815647
Tel.435401

Druk ZOINTE ITE zam. 44/87 nakład 300

Maj 1987 r.

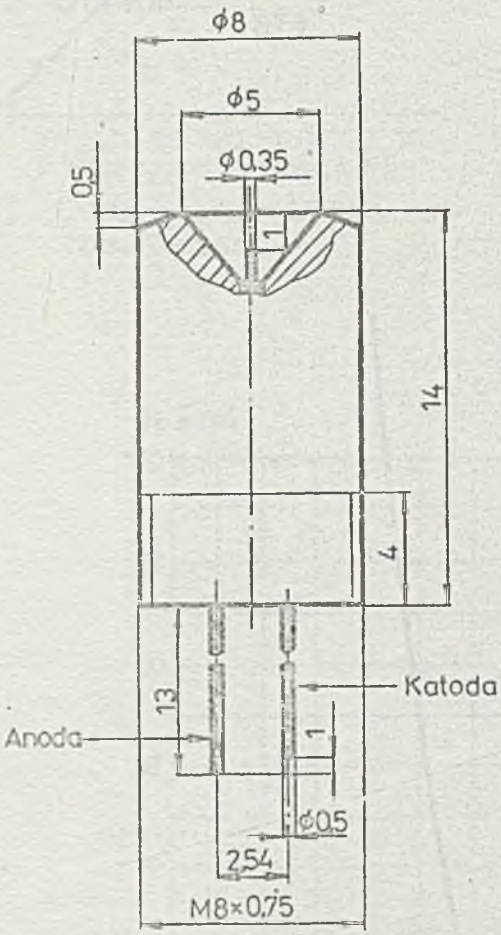
Cena 40 zł

Parametry i obudowa mogą ulec zmianie

PRAWO REPRODUKCJI ZASTRZEŻONE

TELEMETRYCZNA DIODA ELEKTROLUMINESCENCYJNA CQYP 28

Dioda elektroluminescencyjna z GaAs/GaAlAs jest wykonana techniką wielowarstwowej epitaksji, zmontowana w obudowie metalowej hermetyzowanej żywicą epoksydową i przeznaczona do pracy jako źródło promieniowamia podczerwonego w dalmierzach optoelektronicznych.

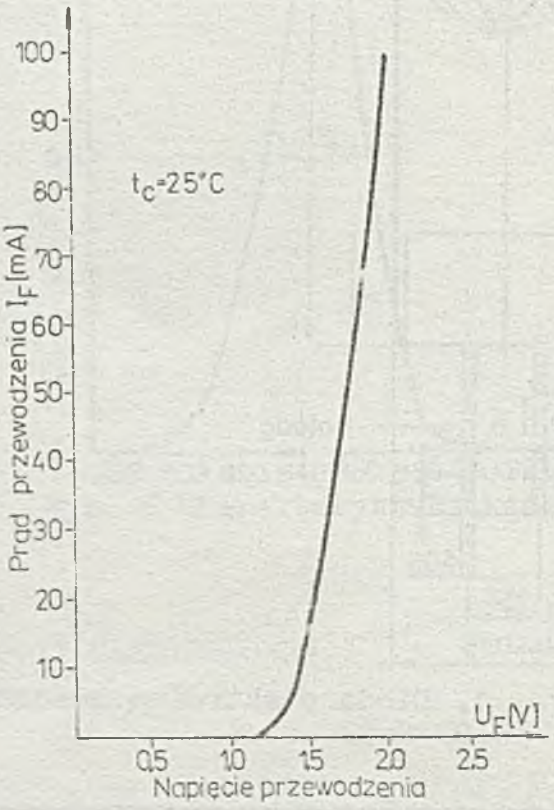


Rys. 1. Dioda elektroluminescencyjna CQYP 28

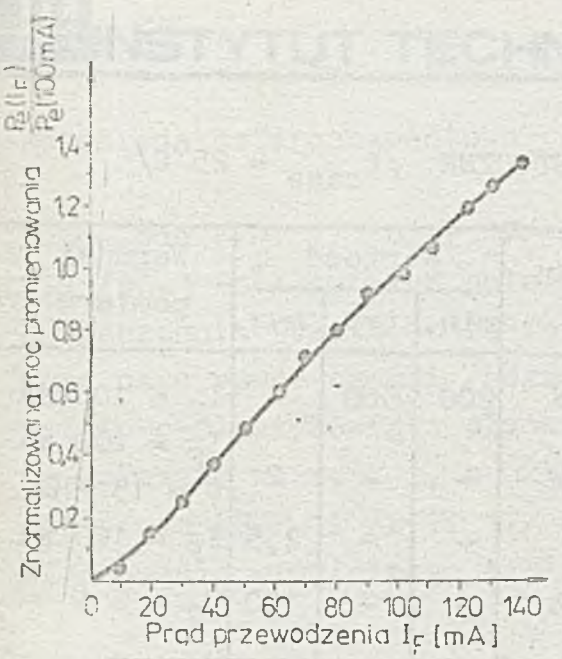
WSTĘPNA KARTA KATALOGOWA

DOPUSZCZALNE WARTOŚCI PARAMETRÓW

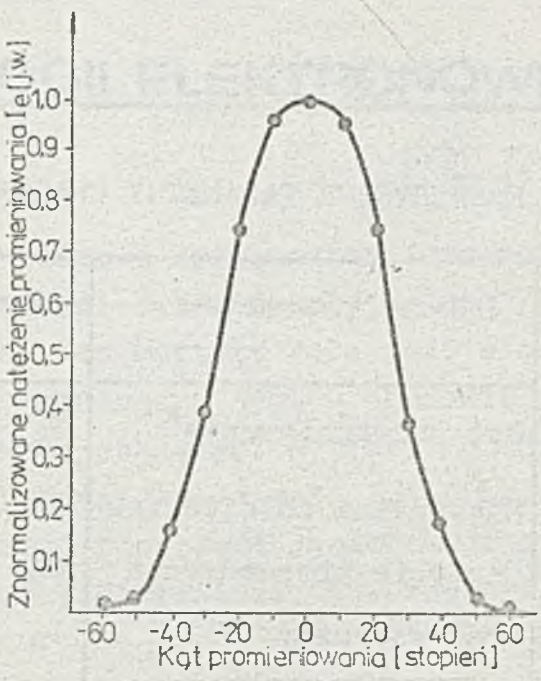
Prąd przewodzenia	I_F	100	mA
Szczytowy prąd przewodzenia /współczynnik wypełnienia $\leqslant$ 0,5/	I_{FM}	200	mA
Napięcie wsteczne	U_R	2	V
Całkowita moc wydzielana	P_{tot}	250	mW
Temperatura obudowy	t_{case}	-40÷+55	°C
Temperatura przechowywania	t_{stg}	-40÷+70	°C



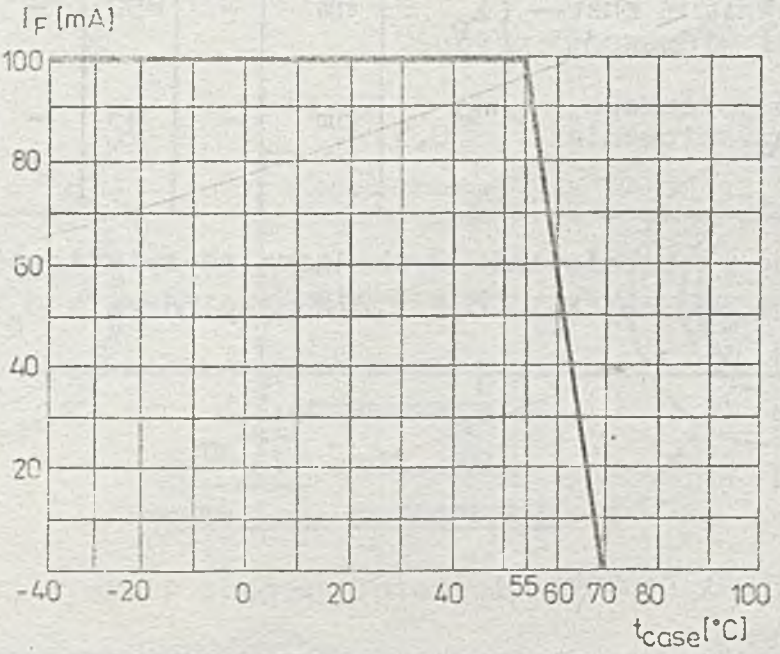
Rys. 2. Charakterystyka prądowo-napięciowa



Rys. 3. Charakterystyka mocowo-prądowa



Rys. 4. Charakterystyka kątowa promieniowania



Rys. 5. Zależność prądu przewodzenia od temperatury obudowy

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /t_{case} = 25°C/

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Moc promieniowania*)	P_e	µW	200	500	-	I_F = 100 mA
Maksymalna różnica faz	$\Delta\phi$	cm	-	-	2	I_F = 100 mA f = 15 MHz
Napięcie przewodzenia	U_F	V	-	-	2,5	I_F = 100 mA
Prąd wsteczny	I_R	µA	-	-	100	U_R = 2 V
Pojemność całkowita	C_{tot}	pF	-	-	800	U_R = 0 f = 1 MHz
Częstotliwość graniczna	f_g	MHz	23	-	-	I_{FM} = 70 mA
Długość fali odpowiadająca maksimum charakterystyki widmowej	λ_p	nm	-	890	-	I_F = 100 mA
Szerokość połówkowa widma promieniowania	$\Delta\lambda_{0,5}$	nm	-	45	-	I_F = 100 mA

*) Moc promieniowania wychodząca ze światłowodu o aperturze numerycznej Na = 0,5 i średnicy rdzenia ϕ_r = 200 µm.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
Tlx. 815647
Tel. 435401

Druk ZOINTE zam. 72/87 n. 300

Maj 1987
Cena 40 zł

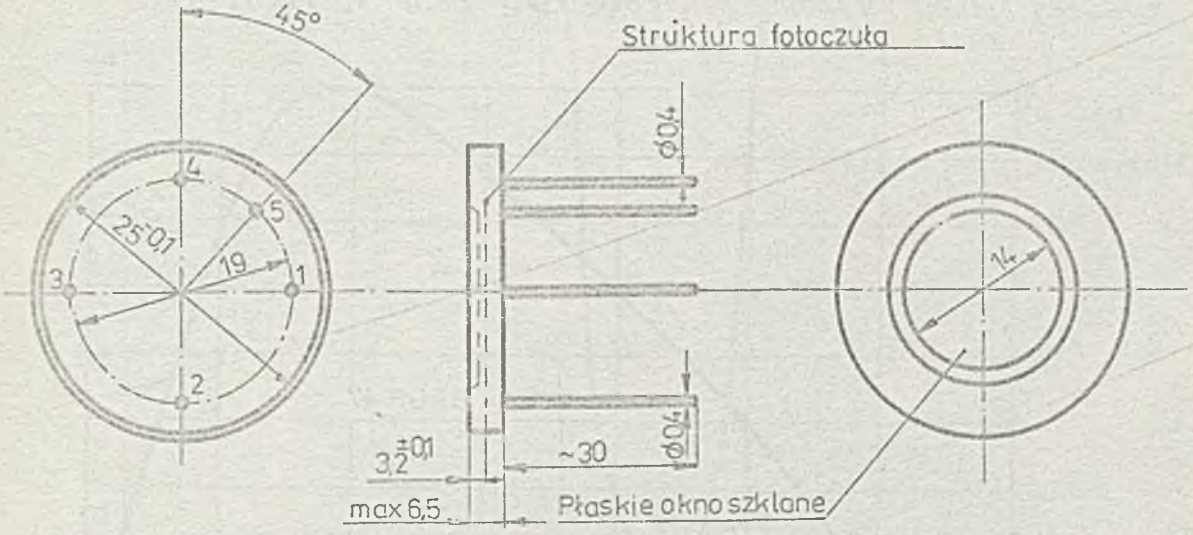
PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Fotodioda czterosegmentowa

BPDP 17
BPYP 17

Fotodioda BPDP 17 /BPYP 17/ jest krzemową epiplanarną fotodiodą PIN /$p^+ - \nu - n^+$/ o dużym polu powierzchni światłoczułej /1 cm^2/. Powierzchnia światłoczuła fotodiody ma kształt koła podzielonego na 4 równe części /segmenty/. Montowana jest w obudowie metalowo-plastykowej z płaskim oknem szklanym. Wymiary obudowy pokazano na rys. 1, a układ wyprowadzeń na rys. 2. Fotodioda BPDP 17 /BPYP 17/ może być stosowana do detekcji promieniowania widzialnego i bliskiej podczerwieni, a w szczegól-

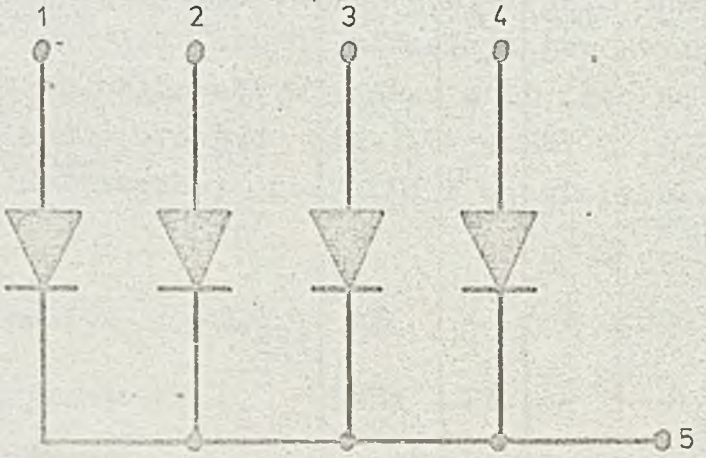


Rys. 1. Wymiary obudowy fotodiody BPDP 17 /BPYP 17/

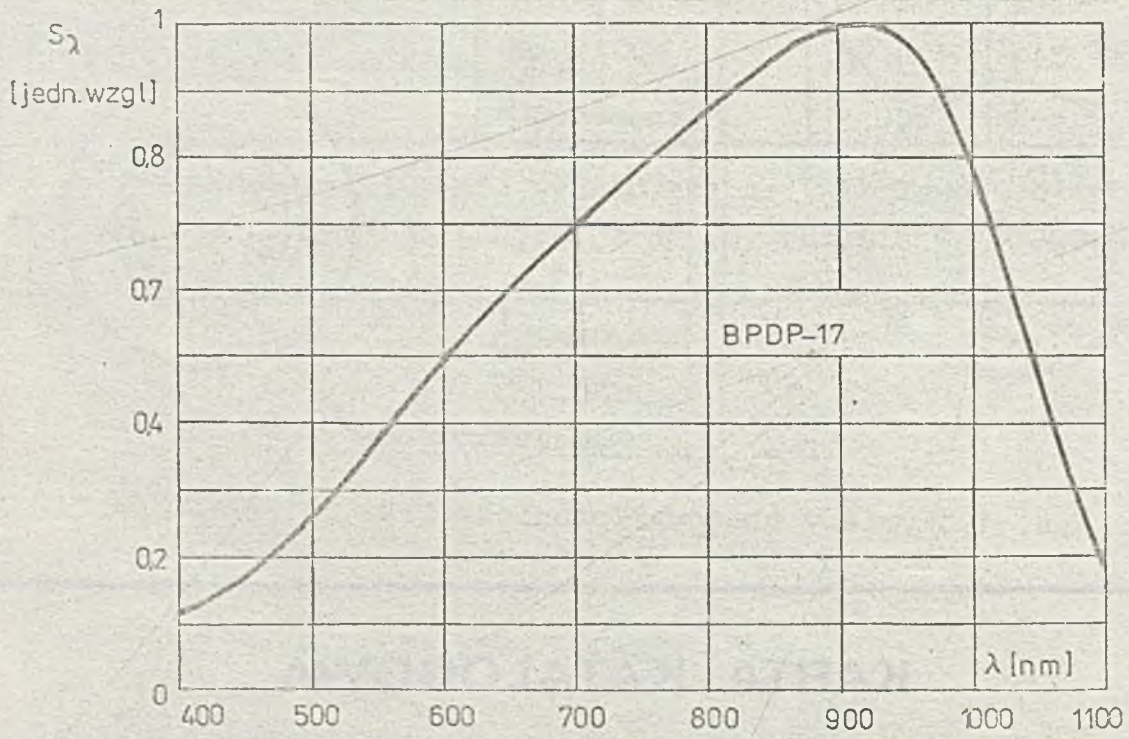
KARTA KATALOGOWA

ności promieniowania emitowanego przez półprzewodnikowe fotoemitery z GaAs i GaAlAs /λ =0,8-0,9 /um/ i lasery neodymowe /λ =1,06 /um/.

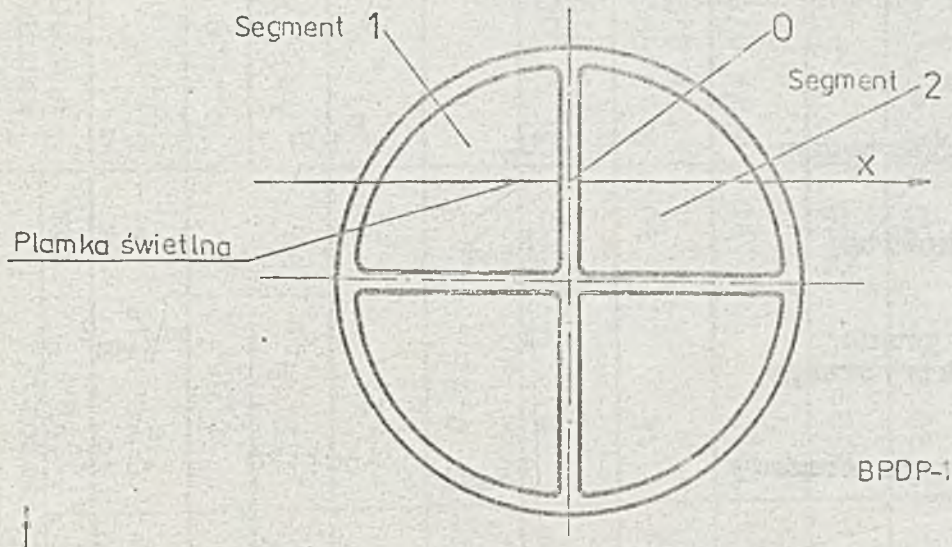
Fotodioda BPDP 17 /BPYP 17/ przeznaczona jest do detekcji położenia plamki świetlnej, kąta padania wiązki promieniowania, równomierności oświetlenia i w innych układach automatyki i sterowania.

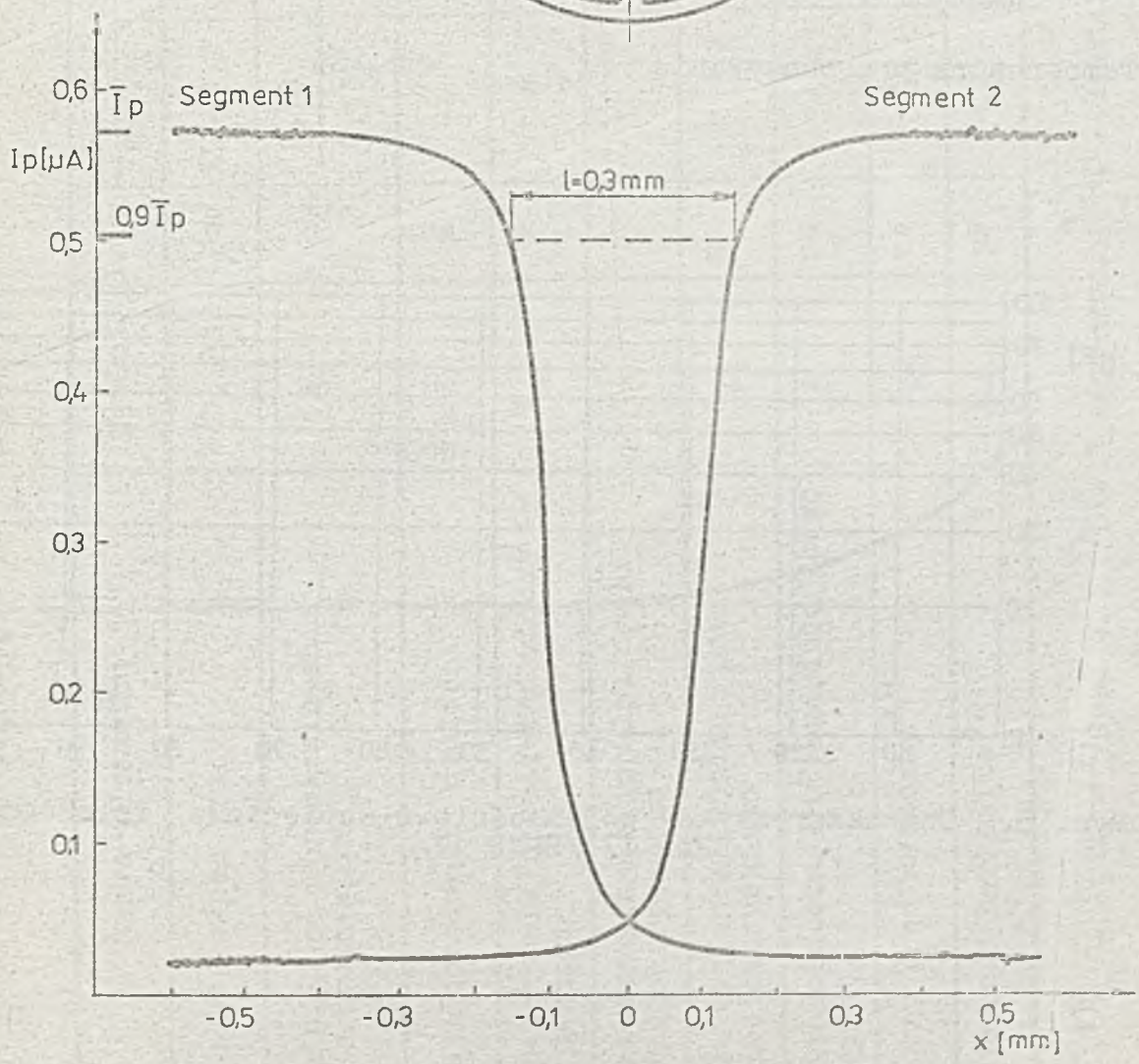


Rys. 2. Układ wyprowadzeń fotodiody BPDP 17 /BPYP 17/



Rys. 3. Względna charakterystyka widmowa czułości fotodiod BPDP 17 /BPYP 17/

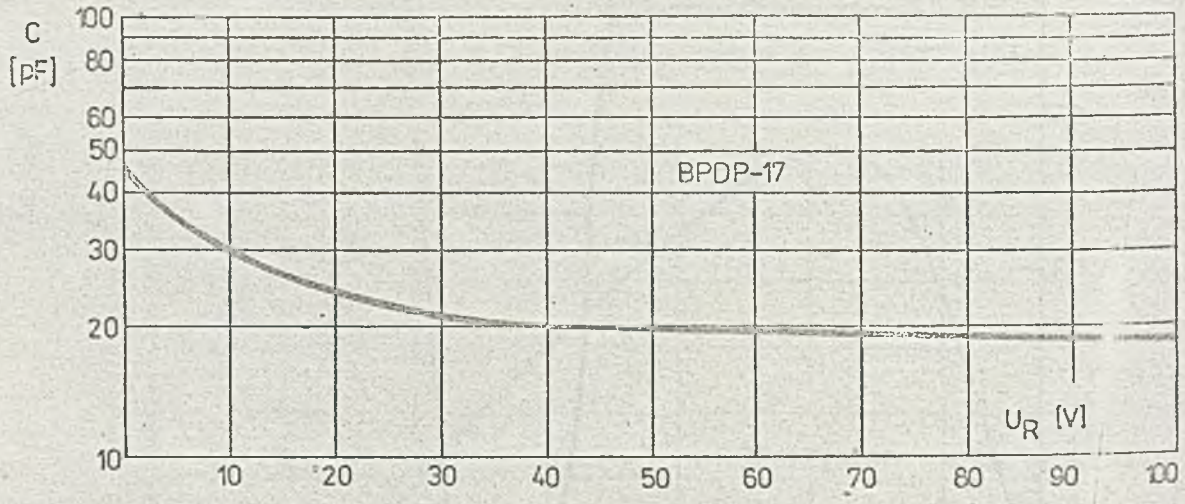




Rys. 4. Zależność prądu fotoelektrycznego od położenia plamki świetlnej

WARTOŚCI DOPUSZCZALNE PARAMETRÓW

Napięcie wsteczne	U_R	100	V
Moc całkowita	P_{tot}	2	W
Gęstość prądu fotoelektrycznego	i_p	5	mA/mm^2
Temperatura obudowy	t_{case}	-50÷+70	°C
Temperatura przechowywania	t_{stg}	-50÷+85	°C



Rys. 5. Charakterystyka pojemnościowo-napięciowa fotodiod BPDP 17 /BPYP 17/

PARAMETRY CHARAKTERYSTYCZNE /t_{amb} = 25°C/

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość typ.	Wartość max.	Warunki pomiaru[1]
Widmowy zakres pracy	$\lambda s1$, $\lambda s2$	/um	0,4-1,1	0,35-1,15	-	$S_{\lambda 1,2} = 0,1 S_{\lambda S}$
Czułość na promieniowanie monochromatyczne	S_λ	A/W	0,50	0,55	-	λ=0,9 /um
			0,13	0,18	-	λ=1,06 /um
Niejednorodność czułości	$\triangle S_\lambda$	%	-	±2	±7	ϕ[4] = 0,1 mm
Współczynnik przesłuchu między segmentami	P_{nm}	%	-	0,5	5	-
Czas narastania impulsu prądu fotoelektrycznego	t_r	ns	-	8	12	R_L = 50Ω, λ= 0,9 /um
Czas opadania impulsu prądu fotoelektrycznego	t_f	ns	-	14	20	R_L = 50Ω, λ= 0,9 /um
Szerokość obszaru rozdzielającego segmenty[2]	l	mm	-	0,3	0,51	ϕ[4] = 0,1 mm
Ciemny prąd wsteczny[3]	I_{RO}	nA	-	350	2500	—
Pojemność całkowita[3]	C_{tot}	pF	-	20	30	f = 1 MHz, E_e = 0

[1] U_R = 45 V. [2] Rys. 4. [3] Dla 1 segmentu. [4] ϕ - średnica plamki świetlnej.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx. 815647

Maj 1987

Cena 60 zł

Druk ZOINTE ITE zam. 68/87 n. 300

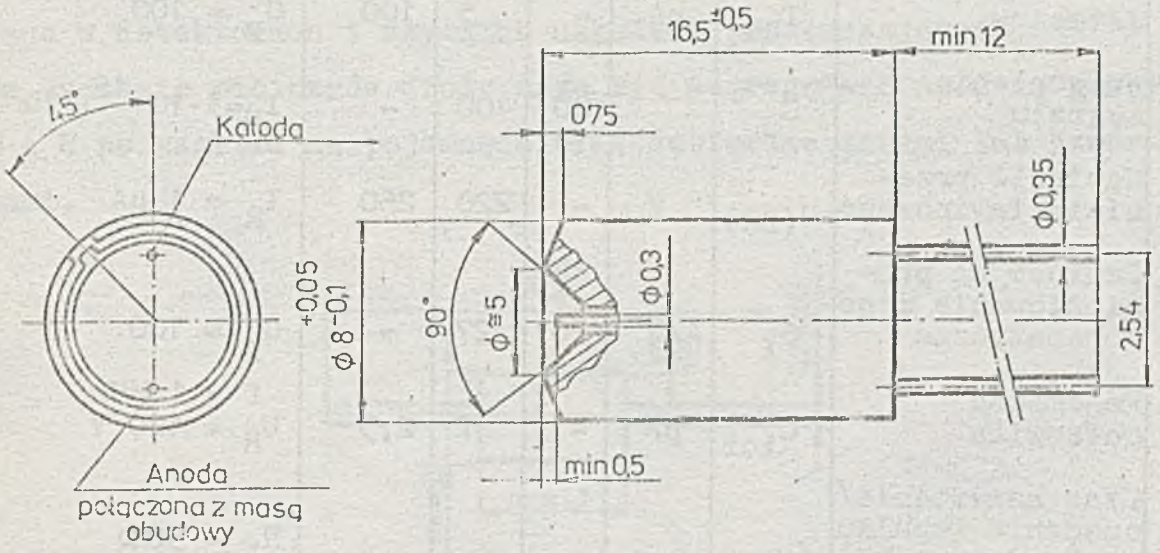
Parametry i obudowa mogą
ulec zmianie

PRAWO REPRODUKCJI ZASTRZEŻONE

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

FOTODIODA LAWINOWA BPYP 53F

Fotodioda lawinowa BPYP 53F optymalizowana jest do zastosowania w dalmierzach optoelektronicznych pracujących dla $\lambda = 0,8 \div 0,9$ µm. Charakteryzuje się bardzo dużym wzmocnieniem i dużą szybkością działania.



Rys. 1. Obudowa

PARAMETRY DOPUSZCZALNE

Moc całkowita	P_{tot}	0,1	W
Całkowity prąd wsteczny	I_{RH}	10	µA
Temperatura obudowy	t_{case}	-25 ÷ +50	°C
Temperatura przechowywania	t_{stg}	-40 ÷ +55	°C

WSTĘPNA KARTA KATALOGOWA

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Napięcie wsteczne	U_R	V	100	200	230	G_p dla $I_N = 3 \cdot 10^{-12} A \cdot Hz^{-1/2}$
Ciemny prąd wsteczny	I_{RO}	nA	-	5	100	$G_p = 100$
Wzmocnienie sygnału	G_p		100	400	-	$I_N = 3 \cdot 10^{-12} A \cdot Hz^{-1/2}$
Napięcie przebicia lawinowego	$U_{(BR)}$	V	-	220	260	$I_R = 1\ \mu A$
Czułość na promieniowanie monochromatyczne	S_λ	A/W	20	27	-	$G_p = 100$
Pojemność całkowita	C_{tot}	pF	-	2	2,5	$f = 1$ MHz $U_R = 100$ V
Czas narastania/opadania impulsu prądu fotoelektrycznego	t_r/t_f	ns	-	-	2	$R_L = 50\,\Omega$ $\lambda = 900$ nm
Współczynnik temperaturowy napięcia przebicia	α_T	V/K	-	-	0,9	$I_R = 1\ \mu A$

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647

Lipiec 1987

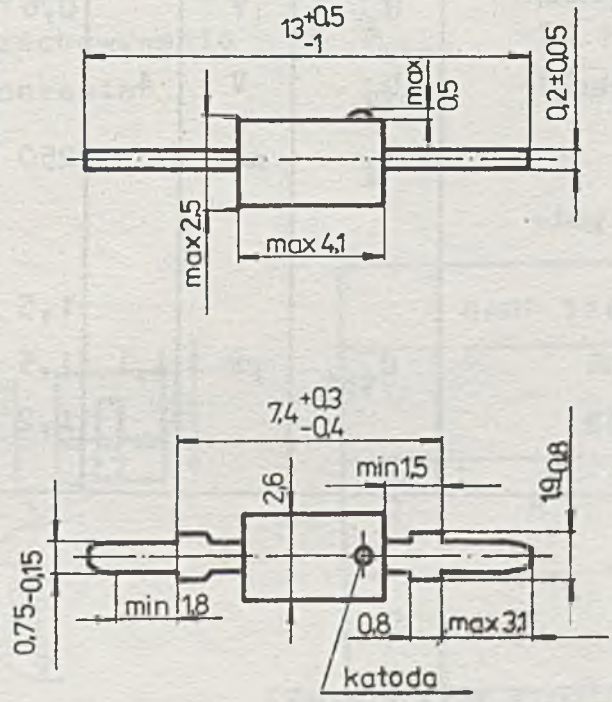
Cena 20 zł

DRUK ZOINTE ITE zam. 70/87 n.300

PRAWO REPRODUKCJI ZASTRZEŻONE

DIODA SCHOTTKY'EGO BAP 280

BAP 280 jest krzemową diodą Schottky'ego w obudowie plastykowej CE37 /SOD 23/. Dioda ta przeznaczona jest głównie do pracy w mieszaczach w pasmie do 1 GHz. Może być również stosowana w detektorach i szybkich układach przełączających.
Na życzenie odbiorców diody mogą być segregowane na dwie grupy B i R ze względu na pojemność oraz dobierane parami lub czwórkami.



Wymiary obudowy plastykowej CE37

WSTĘPNA KARTA KATALOGOWA

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Prąd w kierunku przewodzenia	I_F	30	mA
Temperatura złącza	t_j	100	°C
Temperatura pracy	t_{amb}	-40 - +85	°C
Temperatura przechowywania	t_{stg}	-55 - +100	°C

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość max.	Warunki pomiaru
Napięcie w kierunku przewodzenia	U_F	V		0,6	I_F = 10 mA
Napięcie wsteczne	U_R	V	4		I_R = 10 µA
Prąd wsteczny	I_R	nA		250	U_R = 3 V
Pojemność dla podtypów:					
BAP 280	C_{tot}	pF	1,1	1,5	U_R = 0 f = 1 MHz
BAP 280R				1,5	
BAP 280B				1,2	

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx 815647

Druk ZOINTE ITE 74/87 n. 300

Cena 20 zł
kwiecień 1987

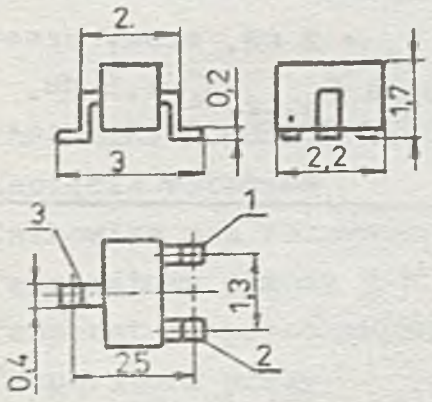
PRAWO REPRODUKCJI ZASTRZEŻONE

DIODA SCHOTTKY'EGO BADP 17

Krzemowa dioda z barierą Schottky'ego typ BADP 17 przeznaczona jest głównie do pracy w mieszaczach w paśmie UHF. Może być również stosowana w detektorach i szybkich układach przełączających. Dioda ma obudowę plastykową CE45 /µF/ przeznaczoną do montażu w układach hybrydowych.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie wsteczne	U	4	V
Prąd przewodzenia	I_F	30	mA
Temperatura złącza	t_j	+100	°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125	°C
Temperatura otoczenia	t_{amb}	-55 ÷ +100	°C



	BADP 17	BADP 17R
L	-	A
2	A	-
3	K	K

Odpowiednio zwymiarowany rysunek obudowy

KARTA KATALOGOWA

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Parametr	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Napięcie przewodzenia	U_F	mV	-	-	470	I_F = 1 mA
			-	-	600	I_F = 10 mA
Napięcie przebicia	U_{BR}	V	4	-	-	I_R = 10 µA
Prąd wsteczny	I_R	nA	-	-	250	U_R = 3 V
Pojemność całkowita	C_{tot}	pF	-	-	1,2	U_R = 0 f = 1 MHz
Rezystancja dynamiczna	r_T	Ω	-	-	10	I_F = 10 mA f = 1 MHz
Współczynnik szumów	F	dB	-	6	-	f = 800 MHz *)

*) Moc oscylatora lokalnego P_o = 2 mW, szumy wzmacniacza pośredniej częstotliwości $F_{p.cz} \leqslant 1{,}5$ dB, przy $f_{p.cz}$ = 30 MHz.

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46

02-668 Warszawa

tel. 435401
tlx. 815647

DRUK ZOINTE ITE zam. 129/86 n. 500

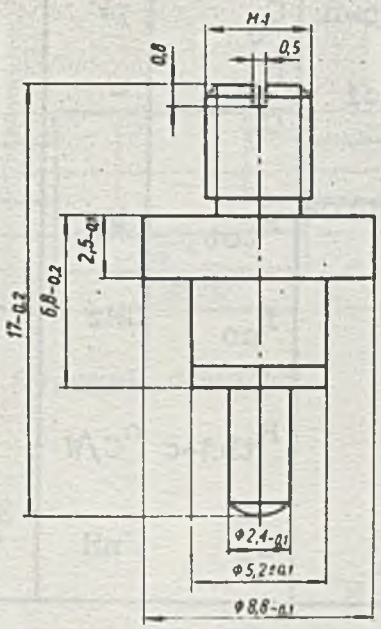
wrzesień 1986

Cena zł 20

PRAWO REPRODUKCJI ZASTRZEŻONE

WARAKTOR BXDP 43

Waraktor BXDP 43 jest diodą o zmiennej pojemności wykonaną w technice mesa z krzemu epitaksjalnego. Przeznaczony jest do pracy w powielaczach częstotliwości w zakresie do 1 GHz.



Rysunek obudowy

PARAMETRY DOPUSZCZALNE

Napięcie wsteczne	U_R	90	V
Całkowita moc rozproszona	P_{tot}	4	W
Temperatura złącza p-n	t_j	150	^oC
Temperatura przechowywania	t_{stg}	-55 ÷ +100	^oC
Temperatura pracy	t_{amb}	-55 ÷ +100	^oC

KARTA KATALOGOWA

PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
Napięcie przebicia	U_{BR}	V	90	-	-
Pojemność złącza p-n	C_j	pF	8	10	U_R = 6 V
Stosunek pojemności	$\frac{C_1}{C_2}$	-	2	-	C_1 przy U_R=0 C_2 przy U_R=6V
Całkowita moc rozproszona	P_{tot}	W	4	-	$P_{tot} = U_F \cdot I_F$
Częstotliwość odcięcia	f_{co}	GHz	15	-	U_R = 6 V, f = 3 GHz
Rezystancja termiczna	R_{thj-c}	°C/W	-	18	-
Szeregowa indukcyjność zastępcza	L_s	nH	1,2	1,8	-

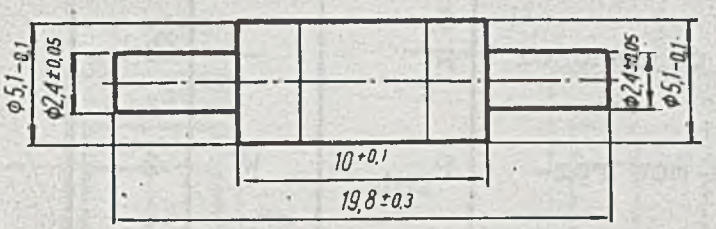
INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647
Cena 20 zł.
Styczeń 1986 DRUK ZOINTE ITE zam. 46/86 n. 500

PRAWO REPRODUKCJI ZASTRZEŻONE

WARAKTOR BXDP 44

Waraktor BXDP 44 jest diodą o zmiennej pojemności wykonaną w technice mesa z krzemu epitaksjalnego. Przeznaczony jest do pracy w powielaczach częstotliwości na pasmo S.



Rysunek obudowy

PARAMETRY DOPUSZCZALNE

Napięcie wsteczne	U_R	60	V
Całkowita moc rozproszona	P_{tot}	2	W
Temperatura złącza p-n	t_j	150	°C
Temperatura przechowywania	t_{stg}	-55 ÷ +100	°C
Temperatura pracy	t_{amb}	-55 ÷ +100	°C

KARTA KATALOGOWA

PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
Napięcie przebicia	U_{BR}	V	60	-	-
Pojemność złącza p-n	C_j	pF	2,5	3,5	U_R = 6 V, f = 1 MHz
Stosunek pojemności	$\frac{C_1}{C_2}$	-	2	-	C_1 przy U_R=0 C_2 przy U_R=6V
Całkowita moc rozproszona	P_{tot}	W	2	-	$P_{tot}=U_F \cdot I_F$
Częstotliwość odcięcia	f_{co}	GHz			U_R = 6 V, f = 3 GHz
dla podtypu BXDP 44A			40	-	
dla podtypu BXDP 44B			50	-	
dla podtypu BXDP 44C			60	-	
Rezystancja termiczna	R_{thj-c}	$^oC/W$	-	55	-
Szeregowa indukcyjność zastępcza	L_s	nH	1,5	1,8	-

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
tel. 43-54-01
tlx 815647

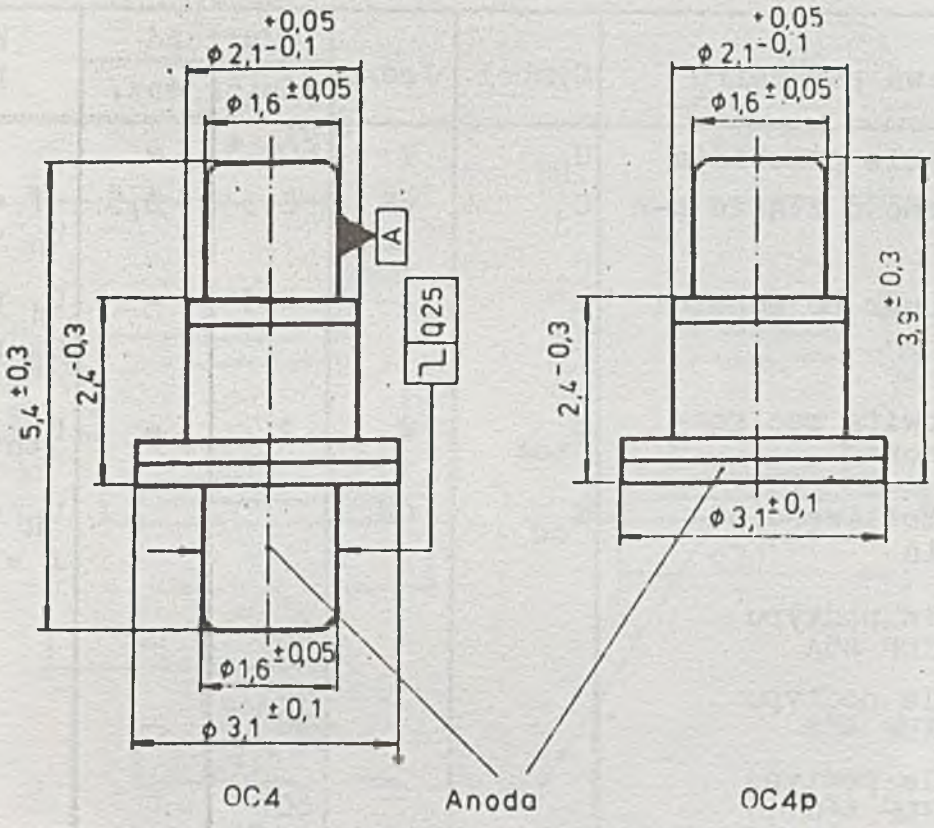
Cena 20 zł

Styczeń 1986 DRUK ZOINTE ITE zam. 46/86 n. 500

PRAWO REPRODUKCJI ZASTRZEŻONE

WARAKTOR BXDP 45

Waraktor BXDP 45 jest krzemową diodą o zmiennej pojemności wykonaną w technice epiplanarnej. Przeznaczony jest do pracy w powielaczach częstotliwości na pasmo S.



Rysunek obudowy

KARTA KATALOGOWA

PARAMETRY DOPUSZCZALNE

Napięcie wsteczne	U_R	60	V
Całkowita moc rozproszona	P_{tot}	2	W
Temperatura złącza p-n	t_j	150	°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125	°C
Temperatura pracy	t_{amb}	-55 ÷ +100	°C

PARAMETRY CHARAKTERYSTYCZNE

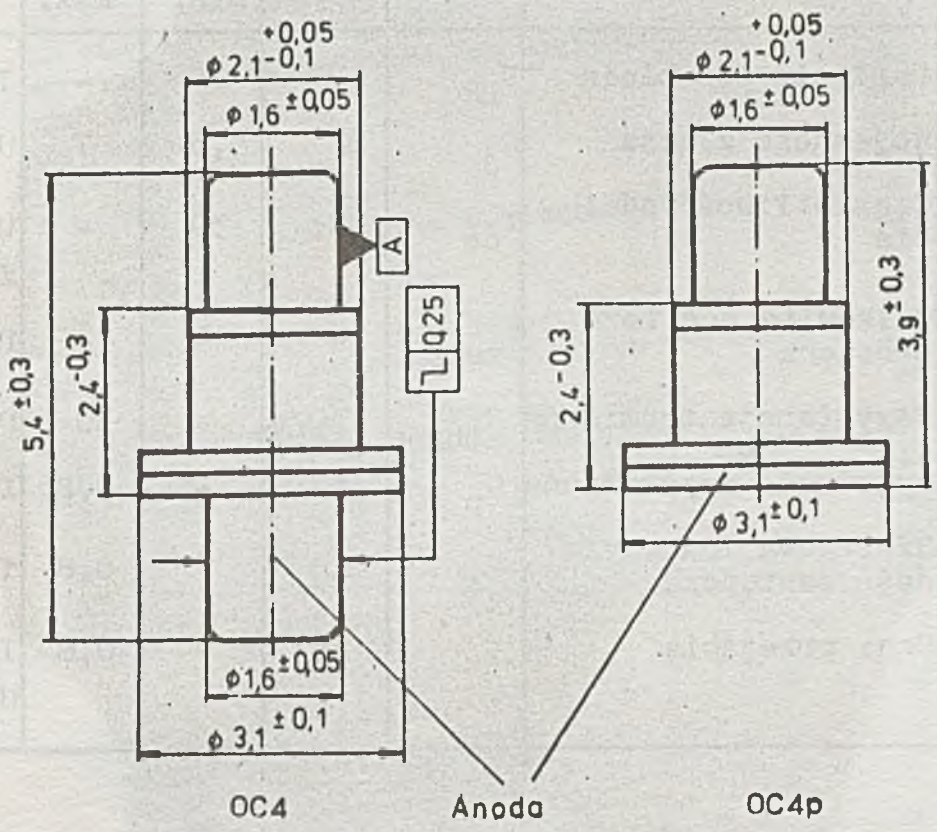
Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość max.	Warunki pomiaru
Napięcie przebicia	U_{BR}	V	60	-	-
Pojemność złącza p-n	C_j	pF	2,5	3,5	f = 1 MHz U_R = 6 V
Stosunek pojemności	$\frac{C_1}{C_2}$	-	2,3	-	C_1 przy U_R=0 C_2 przy U_R=6V
Całkowita moc rozproszona	P_{tot}	W	2	-	$P_{tot} = U_F \cdot I_F$
Częstotliwość odcięcia	f_{co}	GHz			U_R = 6 V, f = 3 GHz
dla podtypu BXDP 45A			40	—	
dla podtypu BXDP 45B			50	—	
dla podtypu BXDP 45C			60	—	
Rezystancja termiczna	R_{thj-c}	°C/W	-	40	-
Pojemność rozproszona	C_p	pF	-	0,25	f = 3 GHz
Szeregowa indukcyjność zastępcza	L_s	nH	-	0,8	f = 3 GHz

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647
Cena 20 zł
Styczeń 1986 DRUK ZOINTE ITE zam. 46/86 n. 500
PRAWO REPRODUKCJI ZASTRZEŻONE

DIODA ŁADUNKOWA BXDP 84

Dioda BXDP 84 jest krzemową diodą ładunkową o konstrukcji typu mesa z obszarem aktywnym pasywowanym tlenkiem termicznym. Obudowa ceramiczno-metalowa OC4 lub OC4p. Dioda jest przeznaczona do generacji harmonicznych.



Obudowa diody ładunkowej BXDP 84

KARTA KATALOGOWA

PARAMETRY DOPUSZCZALNE

Napięcie wsteczne	U_R	75	V
Całkowita moc rozproszona	P_{tot}	4	W
Temperatura złącza	t_j	150	°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125	°C
Temperatura pracy	t_{amb}	-55 ÷ +100	°C

PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
Napięcie przebicia	U_{BR}	V	75	-	I_R = 10 μA
Pojemność złącza	C_j	pF	5,5	7	U_R = 6 V
Częstotliwość odcięcia	f_{co}	GHz	30	-	U_R = 6 V, f = 3 GHz
Całkowita moc rozproszona	P_{tot}	W	4	-	$P_{tot}=U_F \cdot I_F$
Rezystancja termiczna	R_{thj-c}	°C/W	-	30	$P_g \leqslant 4$ W
Pojemność rozproszona	C_p	pF	-	0,25	f = 3 GHz
Szeregowa indukcyjność zastępcza	L_s	nH	-	0,8	f = 3 GHz
Czas przejścia	t_t	ns	-	0,8	I_F = 10 mA, U_R = 10 V

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

tel. 43-54-01
tlx 815647

Cena 20 zł

Styczeń 1986 DRUK ZOINTE ITE zam. 46/86 n.50

PRAWO REPRODUKCJI ZASTRZEŻONE

KARTY WYDANE W OSTATNIEJ CHWILI

MCY 74008N 64008N	4-bitowy pełny sumator równoległy	60 zł
MCY 74016N 64016N	Bilateralne klucze analogowo-cyfrowe MOS. Poczwórny klucz analogowy/multiplekser	60 zł
MCY 74046N 64046N	Pętla synchronizacji fazowej /PLL/	120 zł
MCY 74059N 64059N	Programowany dzielnik częstotliwości	100 zł
MCY 74093N 64093N	Bramka logiczna CMOS - czterokrotna dwuwejściowa bramka NAND Schmitta	80 zł
MCY 74094N 64094N	8-bitowe szeregowo-równoległe i szeregowo-szeregowe statyczne rejestry przesuwające CMOS	100 zł
BADP 17	Dioda Schottky'ego	20 zł

WYKAZ KART INFORMACYJNYCH WYROBÓW I OPRACOWAŃ ITE
do nabycia w ZOINTE*/

Układy mikroprocesorowe i pamięci półprzewodnikowe

SIM 51	Symulator programowy układu MCY 78c31	40 zł
Uniwersalny system mikroprocesorowy z mikroprocesorem 8-bitowym		40
MCY 7880N	Układ 8-bitowego mikroprocesora	720
MCY 7855N	Programowalny równoległy układ wejścia-wyjścia	200
MCY 7851N	Programowalny komunikacyjny układ wejścia/wyjścia	300
MCY 7804N XX	4-bitowy mikrokomputer jednostrukturowy	40
MCY 7102N A,B,C,D	Pamięć statyczna RAM 1k	60
MCY 7114N	Pamięć statyczna RAM 1024 x 4 bity	60
MCY 7304N XX	Pamięć stała ROM 4k	60
MCY 7304N AA	Generator znaków alfanumerycznych	20
MCY 7304N AB	"	20
MCY 7304N AC	"	20
MCY 7304N AD	"	20
MCY 7316N XX	Pamięć stała ROM 16k	60
MCY 7316N AB	Generator znaków alfanumerycznych	40
MCY 7316N AE	"	40
MCY 7316N AJ	"	40
Metodyka programowania pamięci stałych ROM 4k i 16k		40
MCY 7614N	UART - uniwersalny asynchroniczny nadajnik - odbiornik	140
MCY 7620N	Programowany dzielnik częstotliwości	80
UCY 74S402J	Kontroler pamięci dynamicznej RAM	140
UCY 74S405N	Dekoder binarny 1 z 8 do mikroprocesora MCY 7880N	60
UCY 74S412N	8-bitowa brama wejście-wyjście	120
UCY 74S414N	Kontroler priorytetu przerwań	180
UCY 74S416/426N	4-bitowy nadajnik/odbiornik szyny danych	60

*/ Pełny adres:
Instytut Technologii Elektronowej
Zakładowy Ośrodek Informacji
Naukowej, Technicznej i Ekonomicznej
Dział Informacji i Dokumentacji
Al. Lotników 32/46 /bl.VI, pok.110, tel.435401...9 w.450/
02-668 Warszawa

UCY 74S418/419N	Kontroler szyny systemowej wieloprocesorowych systemów mikroprocesorowych	120 zł
UCY 74S424N	Generator impulsów zegarowych dla mikroprocesora MCY 7880N	60 zł
UCY 74S428	Kontroler systemu i dwukierunkowy bufor dla magistrali danych	100
UCY 74S287	Bipolarna pamięć programowalna o organizacji 256 x 4 /PROM/	60
UCY 74S482/483	8-bitowy rejestr/bufor szyny danych	80
UCY 74S484N	Generator impulsów zegarowych do sterowania jednostki centralnej mikroprocesora 8086	80
UCY 74S486/487	8-bitowy nadajnik/odbiornik szyny danych	80

Układy zegarowe

MC 1201N	Układ zegarowy	20
MCX 1201	Układ zegarka elektronicznego	20
MC 1202N/J	Układ zegarka elektronicznego	60
MCX 1202	Układ zegarka elektronicznego do współpracy z wyświetlaczem ciekłokrystalicznym	40
MC 1203N 1203AN 1203BN	Programowany zegar elektroniczny do radioodbiornika	80
Zalecenia aplikacyjne dla układów zegarowych MC 1203N i MC 1206N		40
MC 1204N	Układ zegarowy	80
MC 1205N	Programowany zegar elektroniczny	100
MC 1206N	Zegar elektroniczny do radioodbiornika	100
MC 1210N	Układ do zegara analogowego	40
MC 1211N	Układ do zegara analogowego z alarmem	40
MC 1212N	Układ do analogowego kwarcowego zegara sterującego	40

Układy kalkulatorowe

MC 14008N	Układ kalkulatora inżynierskiego	40
MC 14009	Układ kalkulatora naukowego	60
MC 14010N	Układ pamięci buforowej	40
MC 14011N	Układ programatora do kalkulatora programowanego	40
MC 14013	Układ kalkulatora do współpracy z wyświetlaczem ciekłokrystalicznym	40

Profesjonalne układy CMOS

MCY 74XXXN	Układy logiczne CMOS	40

MCY 74000N 74001N 74002N 74011N 74012N 74023N 74025N 74071N 74072N 74073N 74075N 74081N 74082N	Bramki logiczne CMOS	cena 100 zł
MCY 74007N	Dwukrotna para komplementarna z inwerterem	80
MCY 74008N	4-bitowy pełny sumator równoległy	60
MCY 74013N 74027N	Przerzutniki CMOS	40
MCY 74016N	Bilateralne klucze analogowo-cyfrowe MOS Poczwórny klucz analogowy/multiplekser	60
MCY 74017N 74022N	Synchroniczne liczniki CMOS	140
MCY 74019N	Poczwórny dwukanałowy selektor danych/multiplekser/	60
MCY 74020N	14- i 12-stopniowe liczniki binarne CMOS	80
MCY 74028N	Dekoder kodu BCD na kod dziesiętny	100
MCY 74029N	4-bitowy uniwersalny licznik CMOS	80
MCY 74030N 74077N	Czterokrotna bramka exclusive -OR, -NOR	20
MCY 74035N	Czterobitowy uniwersalny rejestr przesuwający	100
MCY 74046N	Pętla synchronizacji fazowej /PLL/	120
MCY 74047N	Monostabilne i astabilne multiwibratory CMOS	120
MCY 74049N 74050N	Sześciokrotne bufory CMOS	40
MCY 74051N 74052N 74053N	Układy multiplekserów/demultiplekserów CMOS	120
MCY 74059N	Programowany dzielnik częstotliwości	100
MCY 74060N	14-stopniowy asynchroniczny licznik binarny z oscylatorem	100
MCY 74066N	Bilateralne klucze analogowo-cyfrowe CMOS	40
MCY 74069N	Sześciokrotny inwerter CMOS	60
MCY 74093N	Bramka logiczna CMOS: czterokrotna dwuwejściowa bramka NAND Schmitta	80

		cena 100 zł
MCY 74094N	8-bitowe szeregowo-równoległe i szeregowo-szeregowe statyczne rejestry przesuwające CMOS	
MCY 740102N 740103N	8-stopniowe synchroniczne rewersyjne liczniki CMOS	60
MCY 740114N	Pamięć statyczna RAM-CMOS 64 bity	80
MCY 74518N 74520N	Synchroniczne liczniki CMOS	100
MCY 74541N	Timer programowany	80
MCY 74724N	Ośmiobitowy adresowalny przerzutnik typu zatrzask /latch/	20

Układy scalone - różne

UL 1621N	Dekoder sygnału stereofonicznego	60
UL 1958	Układ elektronicznego przestrajania kanałów w odbiornikach radiowych i TV	40
ULY 7934J	Driver - sensor	80
MRY 7906N	Układ przetwornika analogowo-cyfrowego stanowiący woltomierz 3 1/2 cyfrowy	80
MC 1930G	Nadajnik impulsów wybiórczych i sygnalizator przywołania abonenta	120
MC 1024N	Układ nadajnika zdalnego sterowania	40
MC 1025N	Układ odbiornika zdalnego sterowania	40
MCY 7501J/N 7505J/N	Rejestry przesuwające z recyrkulacją o pojemności 2k bitów i 1k bitów	40
MC 7510N	Rejestr - driver	60
UCY 74545/546	Układy sterujące wskaźnikami diodowymi LED	60

Półprzewodnikowe przyrządy optoelektroniczne

BPYP 07/08	Krzemowe fotoogniwa pomiarowe	60
BPYP 42 BPYP 42F	Fotodioda	40
BPYP 58F	Fotodioda lawinowa	20
BPYP 17	Fotodioda czterosegmentowa	60
AQYP 10F	Dioda podczerwona	40
CQYP 28	Telemetryczna dioda elektroluminescencyjna	40
CQYP 06F	Dioda elektroluminescencyjna	40
CQYP 07F	Dioda elektroluminescencyjna	40
CQYP 42F	Dioda elektroluminescencyjna	40
CQYP 43	Dioda elektroluminescencyjna	40
CQYP 60	Laser impulsowy dużej mocy	40
Impulsator laserowy LP-2 - instrukcja obsługi		60

Półprzewodnikowe przyrządy mikrofalowe

		cena
BFP 479	Tranzystor w. cz.	40 zł
BFDP 20 BFDP 20R	Tranzystor w. cz.	40
BAP 280	Dioda Schottky'ego	20
BADP 14	Dioda Schottky'ego	20
BADP 17	Dioda Schottky'ego	20
BADP 23	Dioda PIN	20
BADP 26	Dioda PIN	20
BXDP 43	Waraktor	20
BXDP 44	Waraktor	20
BXDP 45	Waraktor	20
BXDP 46	Waraktor	20
BXDP 52	Waraktor	20
BXDP 56	Waraktor	20
BXDP 82	Dioda ładunkowa	20
BXDP 83	Dioda ładunkowa	20
BXDP 84	Dioda ładunkowa	20
BXDP 86	Dioda ograniczająca	20
CXYP 43	Diody Gunna	20
CXDP 43A	Dioda Gunna	20
CXDP 43B	Dioda Gunna	20

Termistory

CTR 111, 112	Termistory	40
CTR 100-300	Termistory	40
NTC 501-504	Termistory	20
NTC 600	Termistor	20
NTC 700 a,b	Termistory	20
PTC 100	Termistor	20

Druk ZOINTE ITE zam. /88 n.