PRACE Instytutu Maszyn Matematycznych PAN

POLITECHNIKA ŚLĄSKA BIBLIOTEKA GŁÓWNA w Gliwicach

P. 2225/64/65

Tom III Praca B 12 (25)

RÓWNOLEGŁY SUMATOR TRANZYSTOROWY Z OBWODEM SZYBKIEGO PRZENIESIENIA

Tadeusz SINKIEWICZ

P R A C E

Instytutu Maszyn Matematycznych

POLITECHNIKA ŚLĄSKA BIBLIOTEKA GŁÓWNA

Tom III Praca B 12/25/

RÓWNOLEGŁY SUMATOR TRANZYSTOROWY Z OBWODEM SZYBKIEGO PRZENIESIENIA

Tadeusz SINKIEWICZ

Warszawa 1965

Copyright © 1965 - by Instytut Maszyn Matematycznych,
Warszawa
Wszelkie prawa zastrzeżone

P54/66

K o m i t e t R e d a k c y j n y

Leon ŁUKASZEWICZ /redaktor/, Antoni MAZURKIEWICZ,
Tomasz PIETRZYKOWSKI /z-ca redaktora/, Dorota PRAWDZIC,
Zdzisław WRZESZCZ.
Redaktor działowy: Andrzej KOJEWSKI.
Sekretarz redakcji: Romana NITKOWSKA.
Adres redakcji: Warszawa, ul.Koszykowa 79, tel.28-37-29

Instytut Maszyn Matematycznych
Praca B 12/25/
© 1965.12

681.14-523.8:621.374.32

RÓWNOLEGŁY SUMATOR TRANZYSTOROWY Z OBWODEM SZYBKIEGO PRZENIESIENIA

Tadeusz SINKIEWICZ

Pracę złożono 4.03.1965 r.

W pracy opisano równoległy sumator dwójkowy z obwodem szybkiego przeniesienia zrealizowany w oparciu o technikę tranzystorowo-transformatorową i przystosowany do współpracy z tranzystorowymi układami statycznymi. Omówiono poszczególne układy oraz strukturę logiczną sumatora. Podano wyniki pomiarów uzyskane przy badaniach makiety maszyny cyfrowej wyposażonej w przedstawiony sumator.

SPIS TREŚCI

1. WSTĘP 4
2. ZESPÓŁ UKŁADÓW PODSTAWOWYCH SUMATORA 5
3. STRUKTURA LOGICZNA 10
4. CHARAKTERYSTYKI CZASOWE 13
5. OBWÓD SZYBKIEGO PRZENIESIENIA 16
6. OBWODY WYJŚCIOWE 19
7. WYNIKI BADAŃ MODELU 23
8. ZAKOŃCZENIE 26
Literatura 27
Summary 27

1. WSTĘP

Podstawową przyczyną ograniczającą możliwości skracania czasu sumowania w równoległych sumatorach maszyn cyfrowych jest ograniczona szybkość propagacji sygnału przeniesienia przez poszczególne pozycje sumatora. Dlatego też przy konstruowaniu sumatorów zasadniczej wagi nabiera problem zapewnienia szybkiej propagacji przeniesień.

Opisane w literaturze i stosowane w praktyce rozwiązania szybkich sumatorów równoległych można podzielić na dwie grupy różniące się między sobą sposobem realizacji szybkiego przeniesienia. W pierwszej grupie sumatorów, w których zastosowane metody określimy mianem rozwiązań logicznych, stosuje się standartowe układy podstawowe, natomiast zwiększanie szybkości wykonywania działań arytmetycznych osiąga się dzięki odpowiedniej strukturze logicznej sumatora. Krótszy czas propagacji przeniesień w sumatorach drugiej grupy, zawierającej tzw. rozwiązania techniczne, uzyskiwany jest przez stworzenie specjalnego obwodu przeniesienia z /często niestandartowych/ układów opracowanych pod kątem uzyskania maksymalnej szybkości propagacji sygnału przeniesienia.

Porównanie szybkości sumowania większości rozwiązań bazujących na układach standartowych, w których przyśpieszenie operacji arytmetycznych uzyskuje się przez komplikowanie struktury logicznej sumatora [1], [2], [7], [8], z szybkością sumowania najprostszego sumatora równoległego /z szeregowym przekazywaniem przeniesień/ wykazuje, że szybkość ta przeważnie nie wzrasta proporcjonalnie /lecz mniej/ w stosunku do ilości traconego sprzętu. Przy dużej ilości pozycji sumatora montowanych z pakietów uniwersalnych znacznie zwiększa się ilość połączeń i styków, co obniża niezawodność pracy układów. Niewątpliwą zaletą sumatorów rozpatrywanej grupy jest to, że ich realizacja nie wymaga opracowania dodatkowych układów podstawowych.

W przypadku równoległych sumatorów tranzystorowych należących do grupy rozwiązań technicznych [4], [6] podstawową trudność przy konstruowaniu sprawia stopniowe zwiększanie się prądów w obwodach

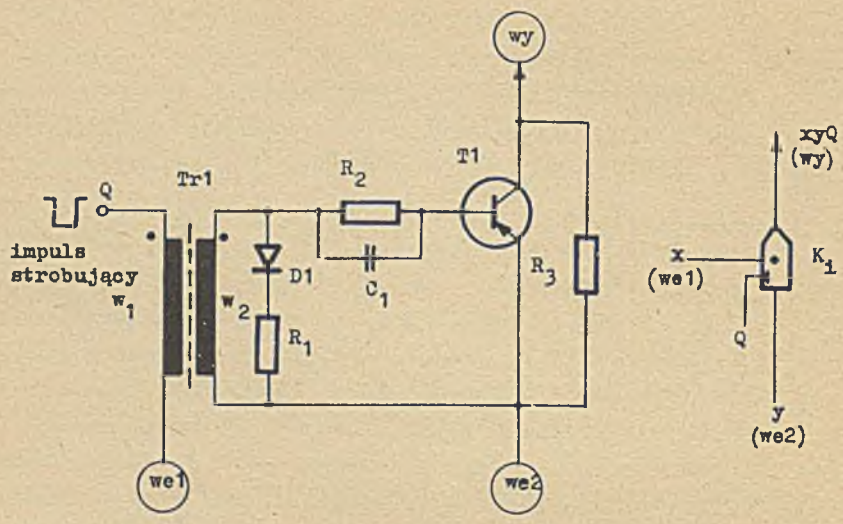
kolektorów oraz sumowanie się spadków napięć pomiędzy emiterami a kolektorami szeregowo połączonych tranzystorów obwodu szybkiego przeniesienia. Stwarza to konieczność wprowadzania co pewną ilość pozycji sumatora stopni separujących oraz zachowania małych tolerancji napięć i wartości parametrów elementów konstrukcyjnych.

Sumator omawiany w niniejszej pracy należy zaliczyć do grupy rozwiązań technicznych. Dzięki zastosowaniu tranzystorowo-transformatorowych układów podstawowych w sumatorze udało się uniknąć szeregu wad charakterystycznych dla tej grupy rozwiązań. Opracowany sumator może współpracować z układami wykonanymi zarówno techniką statyczną jak i dynamiczną oraz zachowuje dużą szybkość sumowania nawet w przypadku stosowania tranzystorów o stosunkowo niskich częstotliwościach granicznych. W pracy omawiany jest 24 pozycyjny sumator równoległy współpracujący z opracowanymi w Instytucie Maszyn Matematycznych tranzystorowymi układami statycznymi techniki S-400 [11].

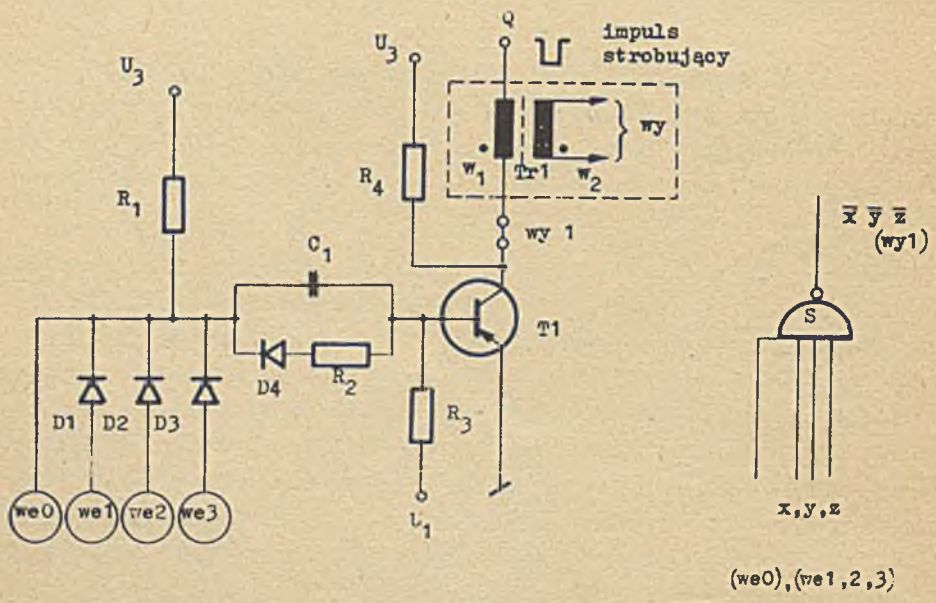
2. ZESPÓŁ UKŁADÓW PODSTAWOWYCH SUMATORA

Schematy ideowe oraz oznaczenia tranzystorowych układów podstawowych sumatora przedstawiono na rys. 1÷3. Topologię układów oparto na wykorzystaniu szeroko stosowanych rozwiązań impulsowego wzmacniacza transformatorowego /rys. 1, rys. 3/ oraz inwertera S-400-I /rys. 2/.

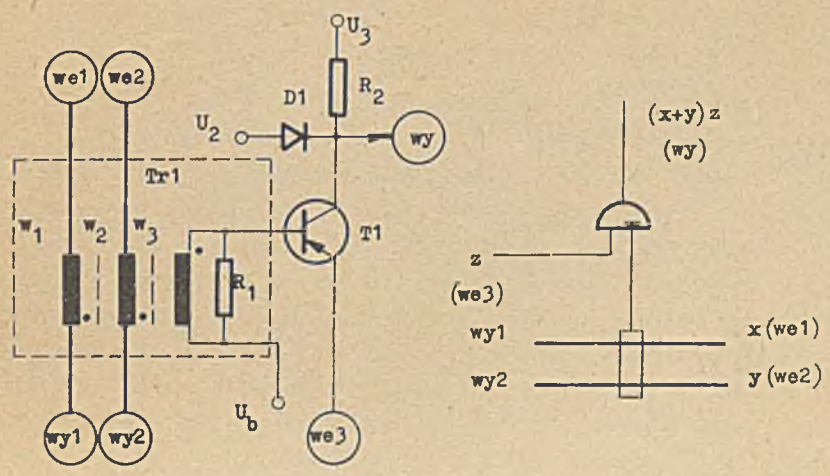
Klucz prądowy /rys. 1/ spełnia funkcję bramki logicznej obwodu przeniesienia. Otwarcie klucza na czas kształtowania się impulsu prądowego w obwodzie przeniesienia odbywa się przez przyłożenie impulsu napięcia do uzwojenia wejściowego w_1. W momencie otwarcia klucza tranzystor T1 zostaje przełączony do stanu nasycenia na skutek czego oporność pomiędzy jego emiterem a kolektorem spada do bardzo małej wartości /rzędu kilkudziesięciu omów/. W stanie zatkania tranzystora oporność bramki pomiędzy wejściem /we2/ i wyjściem /wy/ dla impulsu prądowego jest znacznie wyższa i określa ją w zasadzie wartość opornika R_3. Transformator Tr1 izoluje elektrycznie obwód przeniesienia od pozostałych układów sumatora. W ce-



Rys. 1. Schemat ideowy i symbol logiczny klucza prądowego /bramki/ obwodu przeniesienia.



Rys. 2. Schemat ideowy i symbol logiczny inwertera wejściowego sumatora /z transformatorem klucza prądowego/.



Rys. 3. Schemat ideowy i symbol logiczny wzmacniacza wyjściowego sumatora.

lu uzyskania dostatecznie szybkiego narastania impulsu prądowego obwód przeniesienia zasilany jest odpowiednio wysokim napięciem /U_4/.

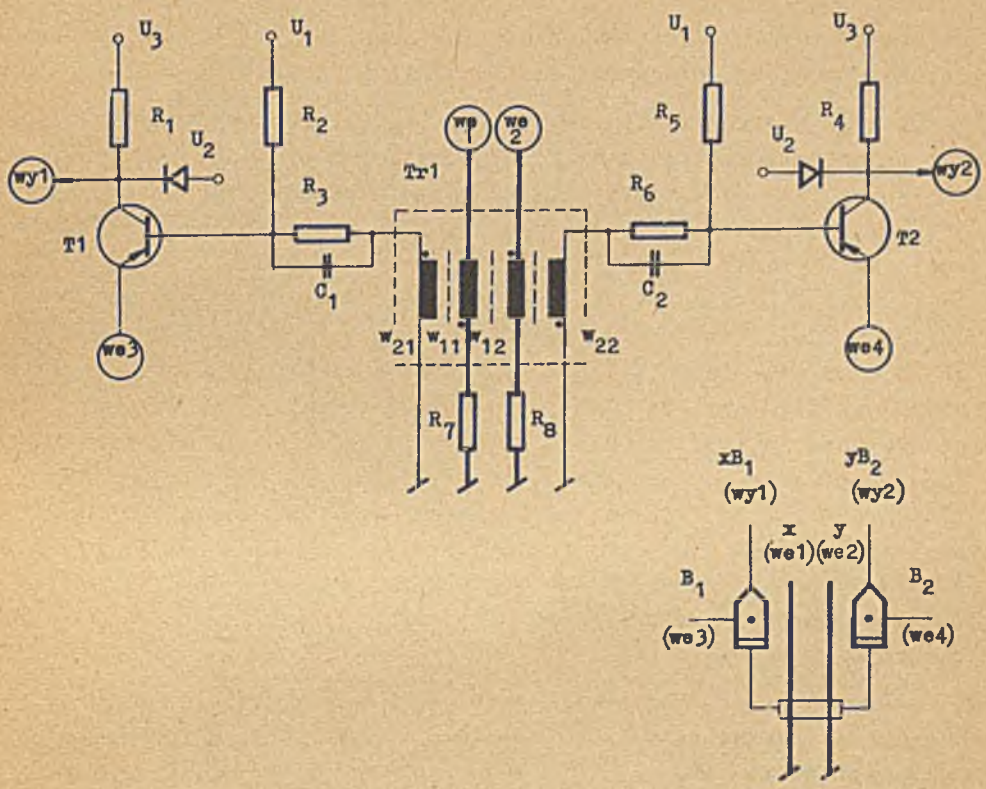
Funktory wejściowe nazywane dalej inwerterami wejściowymi w przyjętej konwencji realizują funkcję logiczną "NOR" i umożliwiają przekształcenie przyłożonych do wejść sumatora poziomów napięć w impulsy napięcia, którymi otwierane są bramki obwodu przeniesienia. Na rys. 2 przedstawiono inwerter wejściowy wraz z dołączonym transformatorem wejściowym bramki obwodu przeniesienia /część wydzielona linią przerywaną/. Impulsy napięcia pojawiają się na wyjściu transformatora Tr1 /wy/ w momencie podania ujemnego impulsu strobującego na wejście Q jeżeli tranzystor T1 znajduje się w tym czasie w stanie nasycenia. Obwód wejściowy inwertera jest rozwiązany standartowo /jak w inwerterze techniki S-400 [10], [11]/ i nie będzie tu szerzej omawiany.

Wzmacniacz wyjściowy sumatora /rys. 3/ realizuje funkcję iloczynu logicznego sygnału blokady doprowadzonego do wejścia we3 z wartością otrzymaną w wyniku sumowania logicznego pozostałych dwu sygnałów wejściowych /we1 i we2/ za pomocą transformatora Tr1. Obwód bazy tranzystora T1 sterowany jest napięciem przerzutu transformatora indukowanym w uzwojeniu w_3 z chwilą zakończenia

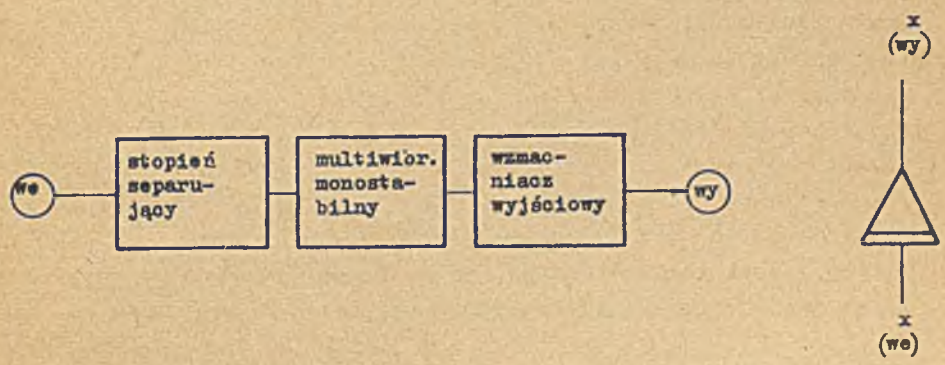
prądowego impulsu przeniesienia w uzwojeniach w_1 lub w_2. Obwód impulsu prądowego oznaczono dla odróżnienia grubszymi liniami.

Na rys. 4 przedstawiono wycinek schematu ideowego układu detekcji przeniesienia. Zastosowano tu transformator różnicowy, co pozwoliło wyeliminować zakłócenia na wyjściu układu podczas ustalania się sygnału prądowego w obwodzie przeniesienia. Zaciski wejściowe /we1, we2/ transformatora różnicowego Tr1 dołączone są do wyjść /C_{i+1}, N_{i+1}/ obwodu przeniesienia najbardziej znaczącej pozycji arytmetycznej sumatora /na rys. 7 do wyjść C_{25}, N_{25}/. W zależności od tego, na którym z wejść transformatora pojawi się impuls przeniesienia włączony zostanie jeden z tranzystorów /T1 lub T2/ i na odpowiednim wyjściu układu /wy1 lub wy2/ pojawi się dodatni impuls napięcia. W odróżnieniu od układu wzmacniacza wyjściowego sumatora /rys. 3/ tranzystory sterowane są tutaj napięciem indukowanym bezpośrednio po pojawieniu się impulsu przeniesienia na wejściu we1 lub we2, natomiast impuls napięcia przerzutu transformatora sprzyja tylko szybszemu wyłączaniu tranzystorów ze stanu nasycenia.

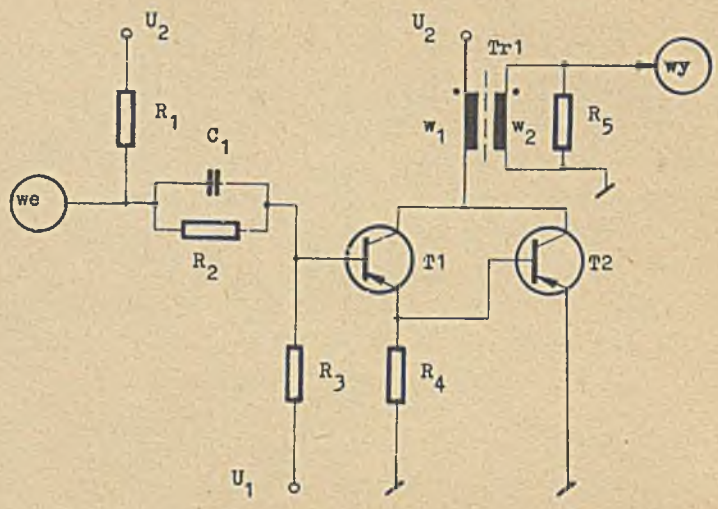
Wzmacniacz strobujący WS /rys. 5, 6/ synchronizuje momenty otwarcia i zamknięcia bramek obwodu przeniesienia, a tym samym określa moment pojawienia się wyniku operacji na wyjściach sumatora S_i, $\bar{S}_i$ /rys. 7/. Impuls ujemny z wyjścia wzmacniacza doprowadzony jest do wejść Q bramek /rys. 2/ i otwiera te bramki, które dołączone są do wyjść inwerterów wejściowych znajdujących się w danym momencie na potencjale bliskim zera, tj. do inwerterów, których tranzystory /T1/ znajdują się w stanie nasycenia. Układ wzmacniacza zawiera multiwibrator monostabilny umożliwiający regulację szerokości impulsów na wyjściu niezależnie od szerokości impulsów wejściowych. Poza tym multiwibrator wyklucza możliwość podania stałego potencjału włączającego na stopień wyjściowy wzmacniacza /rys. 6/ w przypadku omyłkowego wysterowania wejścia wzmacniacza stałym poziomem odtykającym. Zabezpieczenie to jest konieczne ze względu na transformatorowe wyjście układu.



Rys. 4. Schemat ideowy i symbol logiczny układu detekcji przeniesienia.



Rys. 5. Schemat blokowy oraz symbol logiczny wzmacniacza strobującego.



Rys. 6. Schemat ideowy stopnia wyjściowego wzmacniacza strobującego.

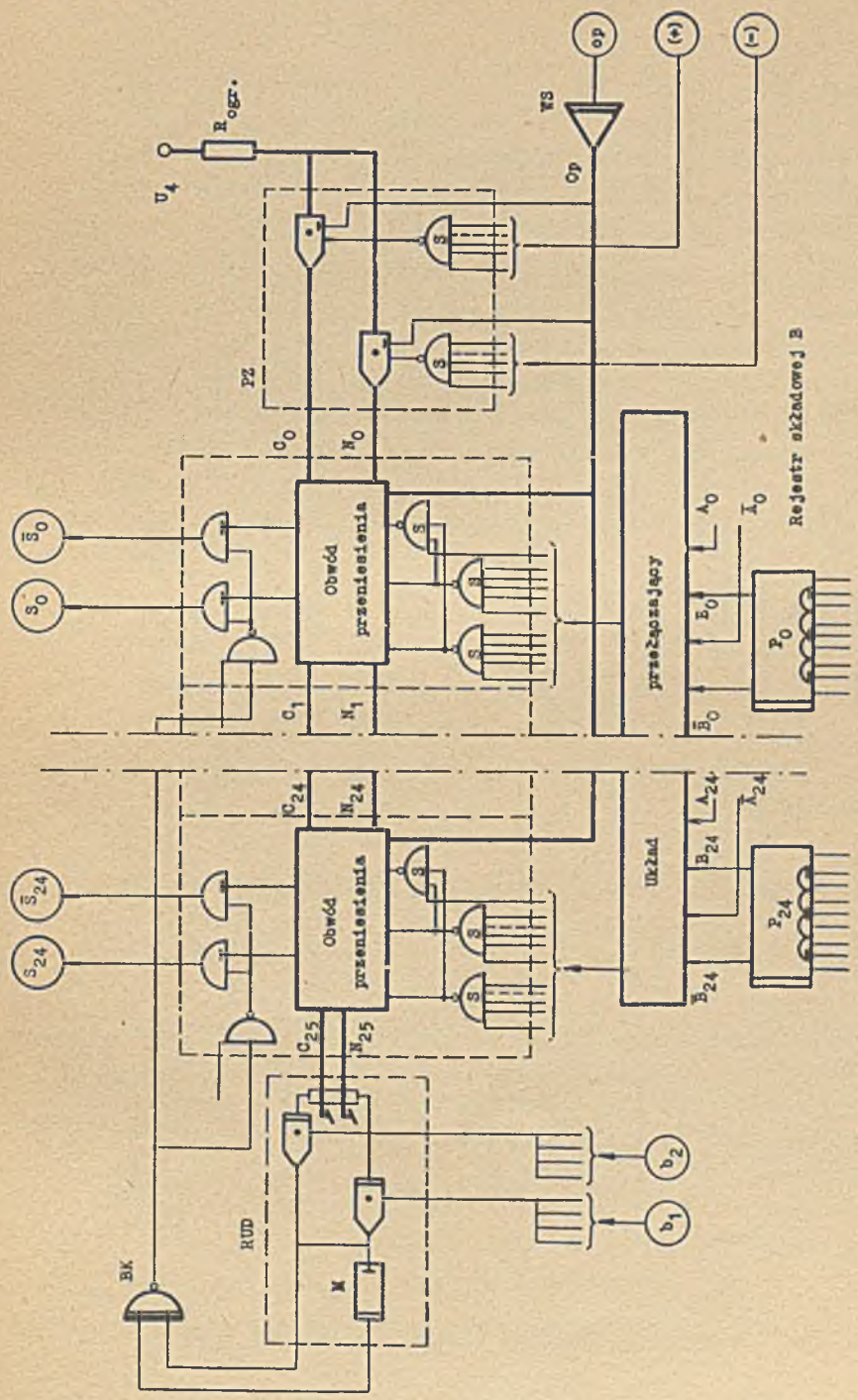
3. STRUKTURA LOGICZNA

Podstawowe zespoły funkcjonalne sumatora i niektóre współpracujące z nim zespoły arytmometru maszyny cyfrowej przedstawiono na schemacie blokowym *) /rys. 7/. Omówimy krótko przeznaczenie i współpracę poszczególnych zespołów.

Układ przełączający zbudowany jest ze standartowych inwerterów techniki S-400 [11] i służy do przekazywania na wejścia sumatora kodu bezpośredniego /przy dodawaniu/ lub odwrotnego /przy odejmowaniu/ jednej ze składowych.

Przełącznik znaku operacji /PZ/ zawiera bramki prądowe wraz ze sterującymi je inwerterami wejściowymi. Przy pomocy tych bramek

*) Oznaczenia układów podstawowych sumatora zgodne z symbolami logicznymi przedstawionymi na rys. 1 ÷ 5; oznaczenia układów współpracujących z sumatorem zgodne z [11].



Rys. 7. Schemat blokowy sumatora

wybierane jest jedno z dwu wejść obwodu przeniesienia najniższej pozycji /C_0 względnie N_0/ w zależności od wykonywanej w arytmometrze operacji /odejmowanie względnie dodawanie/. Otwarcie bramki połączonej z wejściem C_0 równoznaczne jest dodaniu jedynki przeniesienia do najmniej znaczącej pozycji sumatora.

Sumatory jednopozycyjne realizują w systemie dwójkowym funkcję sumy składowych podanych na ich wejścia. Sumę otrzymuje się z uwzględnieniem wartości przeniesień z niższych pozycji. Sumator jednopozycyjny /rys. 8/ zawiera trzy inwertery wejściowe $F_1 \div F_3$, cztery bramki prądowe $K_1 \div K_4$ oraz dwa wzmacniacze wyjściowe /W_1, W_2/ bramkowane poprzez inwerter blokady /R/. Jeżeli sygnał na wyjściu inwertera blokady $Bk = 1$ to wartości sum S_i, $\bar{S}_i$ w każdym sumatorze jednopozycyjnym otrzymywane są zgodnie z wyrażeniami:

$$S_i = (A_i B_i + \bar{A}_i \bar{B}_i) C_i + (A_i \bar{B}_i + \bar{A}_i B_i) N_i$$

$$\bar{S}_i = (A_i B_i + \bar{A}_i \bar{B}_i) N_i + (A_i \bar{B}_i + \bar{A}_i B_i) C_i$$

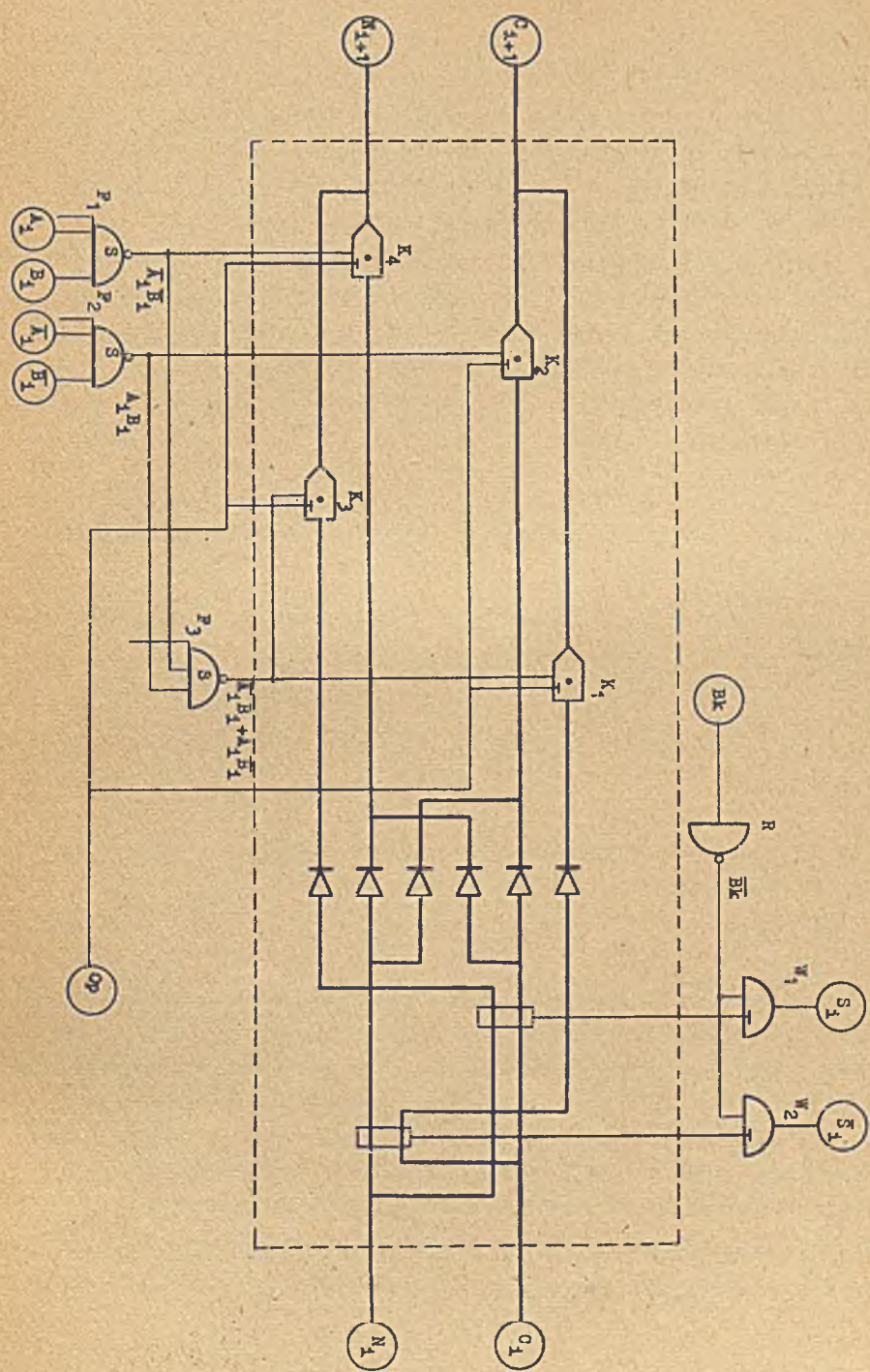
Sygnały przeniesienia dla wyższych pozycji otrzymywane są zgodnie z zależnościami

$$C_{i+1} = A_i B_i N_i + (A_i \bar{B}_i + \bar{A}_i B_i + A_i B_i) C_i$$

$$N_{i+1} = \bar{A}_i \bar{B}_i C_i + (A_i \bar{B}_i + \bar{A}_i B_i + \bar{A}_i \bar{B}_i) N_i$$

Operację odejmowania wykonuje się przez dodanie odejmnika w kodzie dopełnieniowym. Kod ten uzyskiwany jest w sumatorze przez jednoczesne podanie na wejścia sumatora kodu odwrotnego odjemnika oraz jedynki na szynę C_0. Sumator może realizować również operacje iloczynu logicznego $A_i B_i$ względnie $\bar{A}_i \bar{B}_i$. Dla przeprowadzenia tych operacji sumator należy wyposażyć w dodatkowe obwody sterujące nie rozpatrywane w niniejszej pracy.

Różnicowy układ detekcji przeniesienia /RUD - rys. 7/ ustala obecność sygnału przeniesienia /C_{25}/ lub sygnału braku przeniesie-



Rys. 8. Schemat logiczny pojedynczego ogniwa sumatora /sumator jednopozycyjny/.

nia /N_{25}/ z najwyższej pozycji sumatora, co w powiązaniu z sygnałami sterowania b_1, b_2 pozwala blokować wyjścia sumatora S_i, $\overline{S}_i$ dla określonych operacji arytmometru. Blokowanie wyjść sumatora jest konieczne na przykład w przypadku wykonywania operacji arytmetycznego porównywania liczb znajdujących się w rejestrach składowych, podczas której nie należy zmieniać zawartości rejestrów. Impulsy z bramek układu detekcji przeniesienia podawane są na inwerter blokady BK oraz na multiwibrator monostabilny M, który ustala niezbędną szerokość impulsów blokujących, niezależnie od szerokości impulsów na wyjściach C_{25}, N_{25}.

4. CHARAKTERYSTYKI CZASOWE

Proces sumowania w rozpatrywanym sumatorze można podzielić na kilka kolejnych etapów.

W pierwszym etapie, niezależnie w każdej pozycji arytmetycznej, realizowane są trzy funkcje zmiennych wejściowych

$$\varphi_1 = A_i B_i$$

$$\varphi_2 = \overline{A}_i \overline{B}_i$$

$$\varphi_3 = A_i \oplus B_i = A_i \overline{B}_i + \overline{A}_i B_i$$

gdzie A_i, B_i – wartości bitów na i-tej pozycji składników wejściowych.

Łatwo sprawdzić, że dla dowolnej kombinacji zmiennych wejściowych dokładnie jedna z wymienionych funkcji przyjmuje wartość równą 1, natomiast dwie pozostałe są równe 0. Potencjały odpowiadające wartościom funkcji φ_1, φ_2, φ_3, ustalają się na wyjściach funktorów F_1, F_2, F_3 /rys. 8/ po upływie czasu t_φ /równego w przybliżeniu dwóm czasom propagacji inwerterów/ od momentu ustalenia się wartości składowych na wyjściach układu przełączającego.

Drugi etap sumowania rozpoczyna się w momencie kiedy sygnał sterujący Op za pośrednictwem wzmacniacza strobującego WS otwie-

ra te bramki obwodu przeniesienia /$K_1 \div K_4$, rys. 8/, dla których funkcje φ_i mają wartość 1 /potencjał zerowy na wyjściu inwertera/. W tym samym czasie, w zależności od wykonywanej operacji, otwierana jest również jedna z bramek przełącznika znaku PZ /rys.7/. Z chwilą otwarcia bramek rozpoczyna się proces formowania prądowego impulsu przeniesienia przebiegającego szynami C_i lub N_i. Czas trwania drugiego etapu określony jest w ogólnym przypadku szybkością narastania impulsu prądowego w obwodzie przeniesienia oraz czasem propagacji sygnału przez układ wzmacniacza strobującego WS. W okresie ustalania się prądu w obwodzie przeniesienia z układów sterowania podawany jest impuls /Bk/ blokujący wszystkie wyjścia sumatora.

Po ustaleniu się wartości prądu w obwodzie przeniesienia następuje kolejny etap pracy sumatora, w którym włączony zostaje różnicowy układ detekcji przeniesienia RUD. Układ ten ma na celu wykrycie nadmiaru i odpowiednie wysterowanie inwertera blokady Bk. W czasie realizacji funkcji logicznych w układzie RUD /łącznie z czasem propagacji sygnału przez inwerter blokady BK/ w obwodzie przeniesienia musi być utrzymywany impuls prądowy. Przy wykonywaniu operacji, dla których wynik sumowania /odejmowania/ wydawany jest niezależnie od wartości nadmiaru /C_{25}, N_{25}/ etap ten może być pominięty.

Czwarty etap cyklu sumowania, w którym następuje wydanie rezultatu operacji, rozpoczyna się bezpośrednio po zakończeniu impulsu sterowania sumatorem Op. Po upływie czasu propagacji sygnału przez wzmacniacz wyjściowy na wyjściach sumatora S_i, $\bar{S}_i$ pojawiają się impulsy, z chwilą zakończenia których można rozpocząć następny cykl sumowania /odejmowania/. Szerokość impulsów wyjściowych dobierana jest tak, aby zapewniły one pewne przełączenie przerzutników rejestru, do którego wpisywany jest rezultat przeprowadzonej operacji.

Czas realizacji operacji arytmetycznych liczony od momentu ustalenia wartości sygnałów na wejściach sumatora do chwili pojawienia się impulsów na jego wyjściach S_i, $\bar{S}_i$ określa zależność

$$t_s = t_\varphi + t_p + t_B + t_{wy}$$

gdzie:

t_φ - czas realizacji funkcji $\varphi_1, \varphi_2, \varphi_3$

t_p - czas narastania impulsu prądowego w obwodzie przeniesienia /liczony od momentu podania sygnału sterującego z wyjścia wzmacniacza strobującego WS/

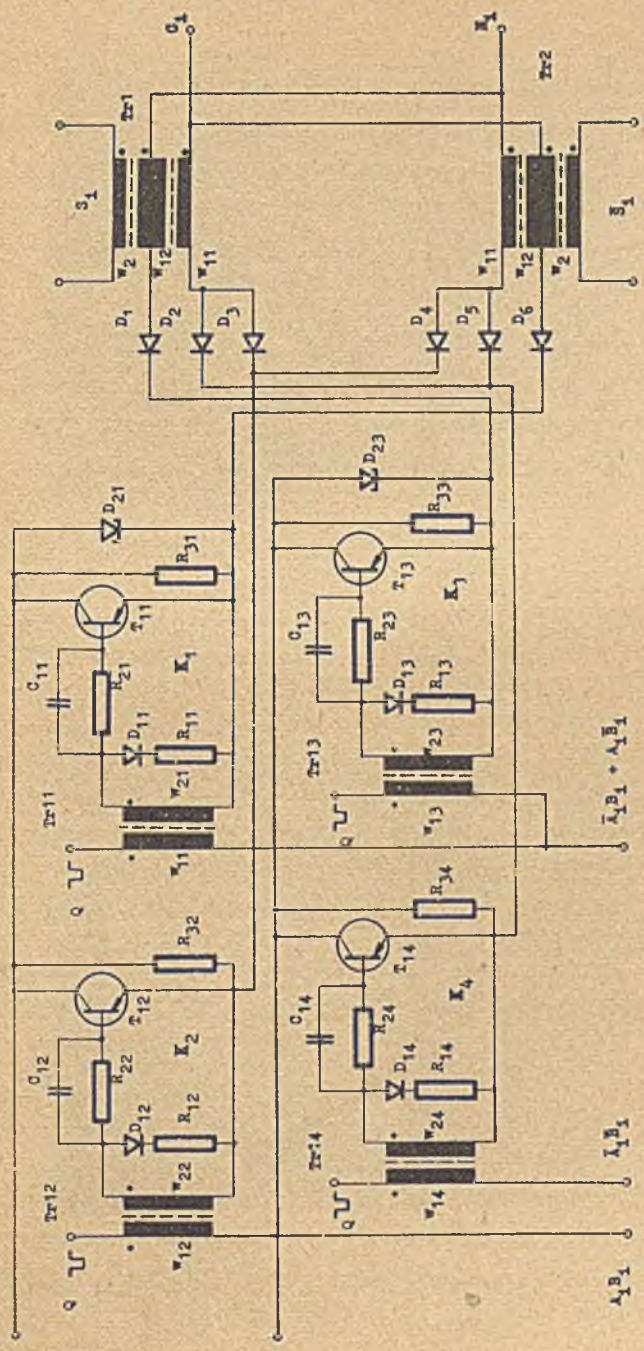
t_B - czas wygenerowania sygnału blokady wyjść sumatora

t_{wy} - czas propagacji sygnału przez wzmacniacz wyjściowy sumatora /liczony od momentu wyłączania sygnału sterującego na wejściu wzmacniacza WS/.

5. OBWÓD SZYBKIEGO PRZENIESIENIA

Schemat ideowy obwodu szybkiego przeniesienia pojedynczego ogniwa sumatora /część wydzielona linią przerywaną na rys. 8/ pokazano na rys. 9. Obwody przeniesienia kolejnych pozycji połączone szeregowo tworzą obwód izolowany elektrycznie od pozostałych układów sumatora przez transformatory kluczy prądowych oraz wzmacniaczy wyjściowych. Dzięki tej izolacji, do końcowych zacisków obwodu przeniesienia może być przyłożone napięcie o znacznej amplitudzie, które wraz z włączonym szeregowo opornikiem R_{ogr} tworzy źródło prądowe. Transformatory bramek obwodu przeniesienia pozwalają poza tym uniknąć jednej z poważniejszych trudności napotkanych przy realizacji większości "technicznych" rozwiązań sumatorów, mianowicie likwidują zjawisko stopniowego narastania prądu kolektorowego tranzystorów bramek niższych pozycji na skutek sumowania się prądów baz szeregowo łączonych tranzystorów.

Diody Zenera D_{21}, D_{23} /rys. 9/ zabezpieczają tranzystory bramek obwodu przeniesienia na wypadek, gdyby w procesie sumowania żadna z bramek danej pozycji nie została włączona, podczas gdy w innych pozycjach bramki będą otwarte. W tym przypadku pełna wartość napięcia zasilającego obwód przeniesienia zostałaby przyłożona do bramek wadliwie działającego ogniwa obwodu przeniesienia, co przy braku diod Zenera spowodowałoby natychmiastowe przebicie tranzystorów.



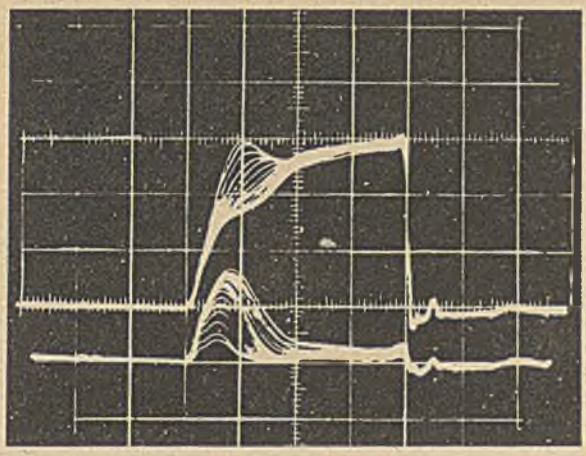
Rys. 9. Schemat ideowy pojedynczego ogniwa obwodu szybkiego przeniesienia.

Diody separujące $D_1 - D_6$ /rys. 9/ rozdzielają poszczególne tory przeniesienia między sobą oraz eliminują wzajemne oddziaływanie na siebie sumatorów jednopozycyjnych poprzez obwód przeniesienia.

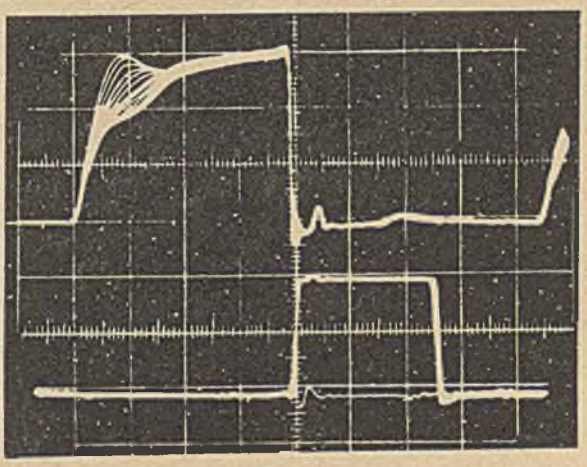
Czas trwania procesów przejściowych w obwodzie przeniesienia po otwarciu kluczy prądowych można określić analitycznie przez rozwiązanie równań linii łańcuchowej z elementami nieliniowymi. Obliczenia wymagałyby wykorzystania złożonego aparatu matematycznego, a otrzymane wyniki ze względu na konieczne uproszczenia mogłyby odbiegać od otrzymywanych w praktyce. Z powyższych względów przeprowadzono tylko obliczenia szacunkowe, a rzeczywiste parametry obwodu wyznaczono w znacznej części eksperymentalnie, po ustaleniu wpływu poszczególnych elementów układu na czas trwania procesów przejściowych.

Rezultatem procesów przejściowych, zachodzących w obwodzie przeniesienia po otwarciu bramek prądowych, jest niepożądany impuls pojawiający się na niewybranym wyjściu najwyższej pozycji obwodu przeniesienia. Szerokość i amplituda tego impulsu /zakłócenia/ oraz czas narastania impulsu przeniesienia na wyjściach C_1, N_1 najwyższej pozycji obwodu przeniesienia zależą w istotny sposób od pojemności montażu i zmieniają się w zależności od kombinacji zmiennych na wejściach sumatora /rys. 10/. Na szerokość i amplitudę impulsu zakłócającego ma również wpływ wartość napięcia przyłożonego do poszczególnych ogniw obwodu przeniesienia przed otwarciem bramek. Napięcie to określone jest wartością oporników R_{31}, R_{32}, R_{33}, R_{34} /rys. 9/. Najdłuższy czas trwania procesów przejściowych w obwodzie przeniesienia obserwuje się w tym wypadku, kiedy we wszystkich pozycjach arytmetycznych uruchamiane są bramki różnicy symetrycznej.

Obwód przeniesienia zakończony jest różnicowym układem detekcji przeniesienia /rys. 4/. Na skutek przeciwnego włączenia uzwojeń w_1 i w_2 transformatora układu RUD indukowanie sygnału w uzwojeniu wyjściowym w_3 lub w_4 rozpoczyna się tylko wówczas, kiedy amplituda prądowego impulsu przeniesienia w jednym z uzwojeń wejściowych /w_1 lub w_2/ przekroczy amplitudę zakłócenia w drugim uzwojeniu wejściowym. Dodatkowym zabezpieczeniem przed poja-



Rys. 10. Impuls przeniesienia (a) oraz zakłócenie (b) na wyjściach C_1, N_1 najwyższej pozycji sumatora /napięcia na opornikach R_7, R_8 - rys. 4/ dla różnych kombinacji składowych na wejściu sumatora.



Rys. 11. Przebiegi na wyjściu obwodu przeniesienia (a) oraz na wyjściu S_1 (b) sumatora dla różnych kombinacji zmiennych wejściowych.

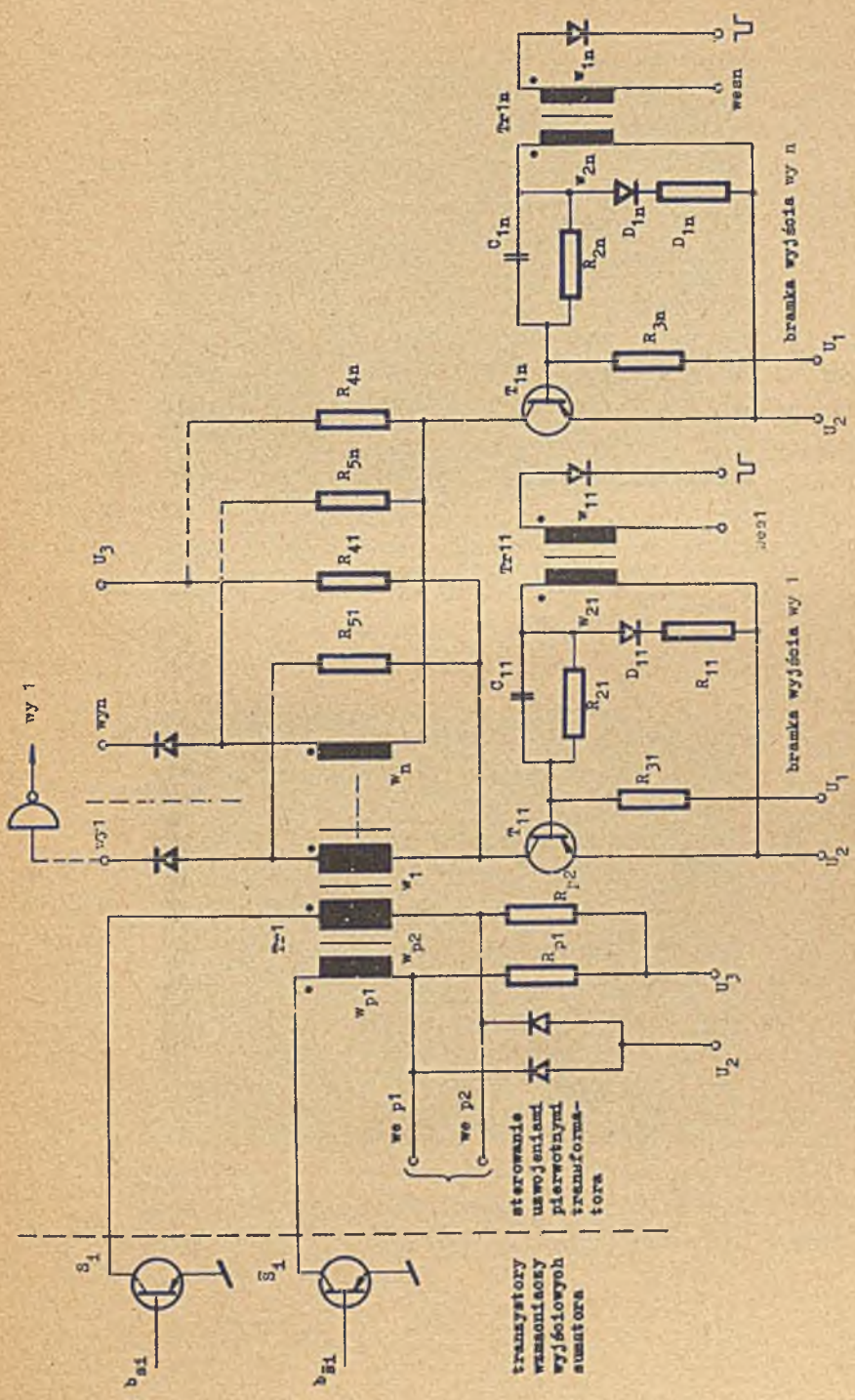
wieniem się zakłócenia na wyjściu układu detekcji przeniesienia podczas trwania procesów przejściowych jest sygnał blokady podawany na wejścia we3 oraz we4.

6. OBWODY WYJŚCIOWE

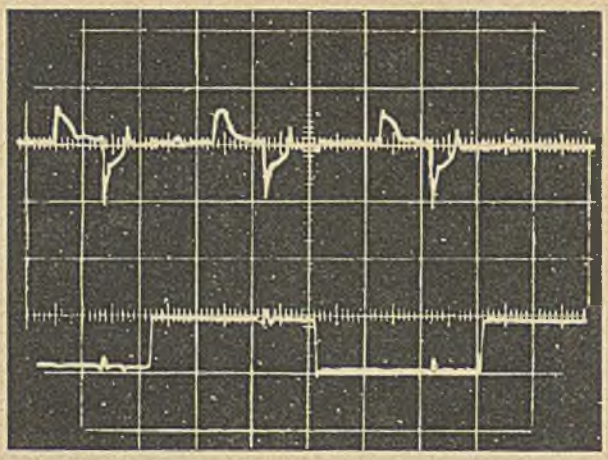
W standartowym rozwiązaniu sumatora impuls wyjściowy formowany jest za pomocą układu przedstawionego na rys. 3. Wynik operacji arytmetycznej pojawia się na wyjściach S_i lub $\bar{S}_i$ poszczególnych pozycji sumatora w postaci dodatnich impulsów /rys. 11/ podawanych na zapalające i gaszące wejścia przerzutników rejestru rezultatu. W przypadku, kiedy konieczne jest przesyłanie wyniku do kilku różnych rejestrów, wyjścia sumatora należy uzupełnić układem przełączającym wykonanym np. z inwerterów techniki S-400.

Inny sposób rozwiązania układu przełączającego na wyjściu sumatora pokazano na rys. 12. Przedstawiony układ umożliwia wydanie wyniku na wybrane szyny wyjściowe z jednoczesną negacją rezultatu, przesunięciem w lewo lub w prawo itp. Realizację powyższych operacji osiąga się za pomocą wielouzwojeniowego transformatora Tr1. Uzwojenia pierwotne transformatora sterowane są ze wzmacniaczy wyjściowych o schematach zbliżonych do przedstawionego na rys. 5 /bez transformatora wyjściowego/ lub standartowych inwerterów mody techniki S-400. W momencie kiedy tranzystory wzmacniaczy wyjściowych sumatora przełączane są do stanu nasycenia, napięcie przyłożone zostaje do tego uzwojenia pierwotnego w_{p1} lub w_{p2}, którego wejście sterujące /we p1 lub we p2 - rys. 12/ znajduje się na potencjale ujemnym. Wybór konkretnej szyny wyjściowej odbywa się za pomocą bramki podobnej do bramek stosowanych w obwodzie przeniesienia. Na rys. 13, 14, 15 pokazano oscylogramy ilustrujące pracę omawianego układu wyjściowego.

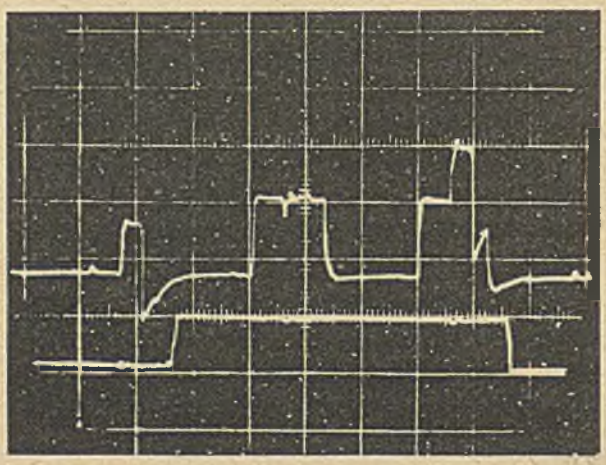
Rozszerzanie możliwości funkcjonalnych przedstawionego układu ograniczone jest technicznymi trudnościami wykonania transformatorów wielouzwojeniowych o dobrych właściwościach impulsowych.



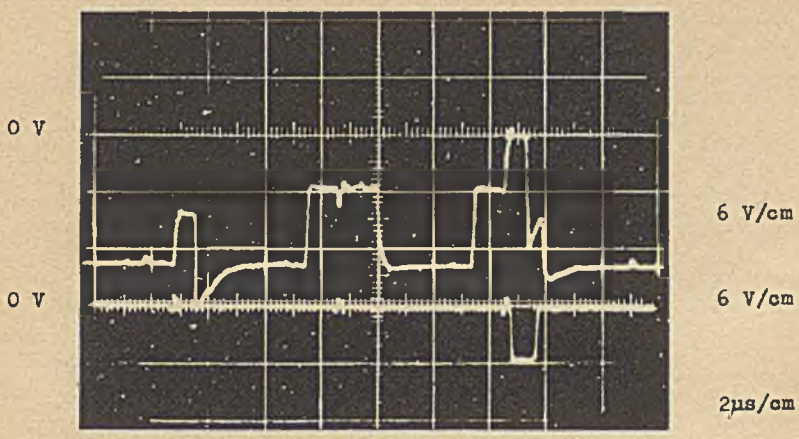
Rys. 12. Schemat połączeń tranzystorowego wyjścia sumatora.



Rys. 13. Przebiegi napięcia na bazie bS_1 tranzystora wzmacniacza wyjściowego S_1 oraz na wejściu sterującym we p1 układu przedstawionego na rys. 12.



Rys. 14. Przebiegi napięcia na wyjściu wy1 układu przełączającego oraz na wejściu sterującym we s1.

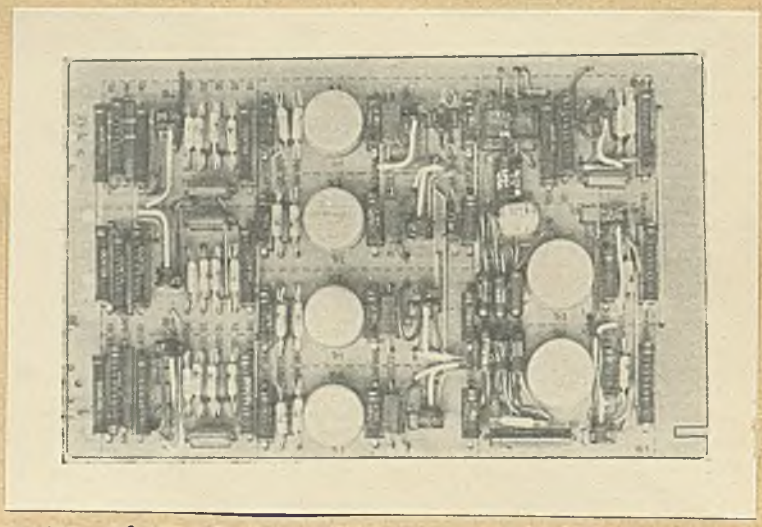


Rys. 15. Przebiegi napięcia na wyjściu wy1 układu przełączającego oraz na wyjściu inwertera /wy1'/.

7. WYNIKI BADAŃ MODELU

Badania sumatora prowadzono w ramach badań techniki S-400 w makiecie MS-400. Sumator o 25-ciu pozycjach zmontowano na standartowych pakietach z jednostronnie foliowanego laminatu szklano-epoksydowego typu ZAM-41. W układach sumatora zastosowano elementy konstrukcyjne wykorzystywane w technice S-400, tj. tranzystory germanowe 2G397, diody germanowe OA780 oraz krzemowe DK-10, oporniki typu OWS. Do rozdzielania poszczególnych torów obwodu przeniesienia /$D_1 \div D_6$, rys. 9/ użyte zostały diody OA-10, natomiast jako elementy zabezpieczające D_{21}, D_{23} /rys. 9/ zastosowano diody Д808. Wykonano dwa rodzaje pakietów. Na pakietach pierwszego rodzaju montowany był pełny układ sumatora jednopozycyjnego. Te same pakiety po dokonaniu niezbędnych przełączeń wykorzystano do budowy układu przełącznika znaku. Na oddzielnym pakiecie zmontowano różnicowy układ detekcji przeniesienia oraz wzmacniacz strobujący. Wygląd zewnętrzny pakietu sumatora jednopozycyjnego /od strony montażu elementów/ przedstawia rys. 16.

Do określenia marginesów napięć zasilających makiety /łącznie z sumatorem/ opracowano [12] program kontrolny, obejmujący wszystkie typy rozkazów występujące w makiecie. Prawidłowość wykonania programu jest wielokrotnie kontrolowana i każdy błąd jest natychmiast sygnalizowany. Wyniki pomiarów marginesowych dla temperatur 18°C oraz 47°C przedstawiono w postaci wykresu na rys. 17. W przeciągu całego okresu badań makiety /400 godz/ w sumatorze nie uległ uszkodzeniu żaden z elementów.



Rys. 16. Standartowy pakiet sumatora /wygląd zewnętrzny od strony montażu elementów/.

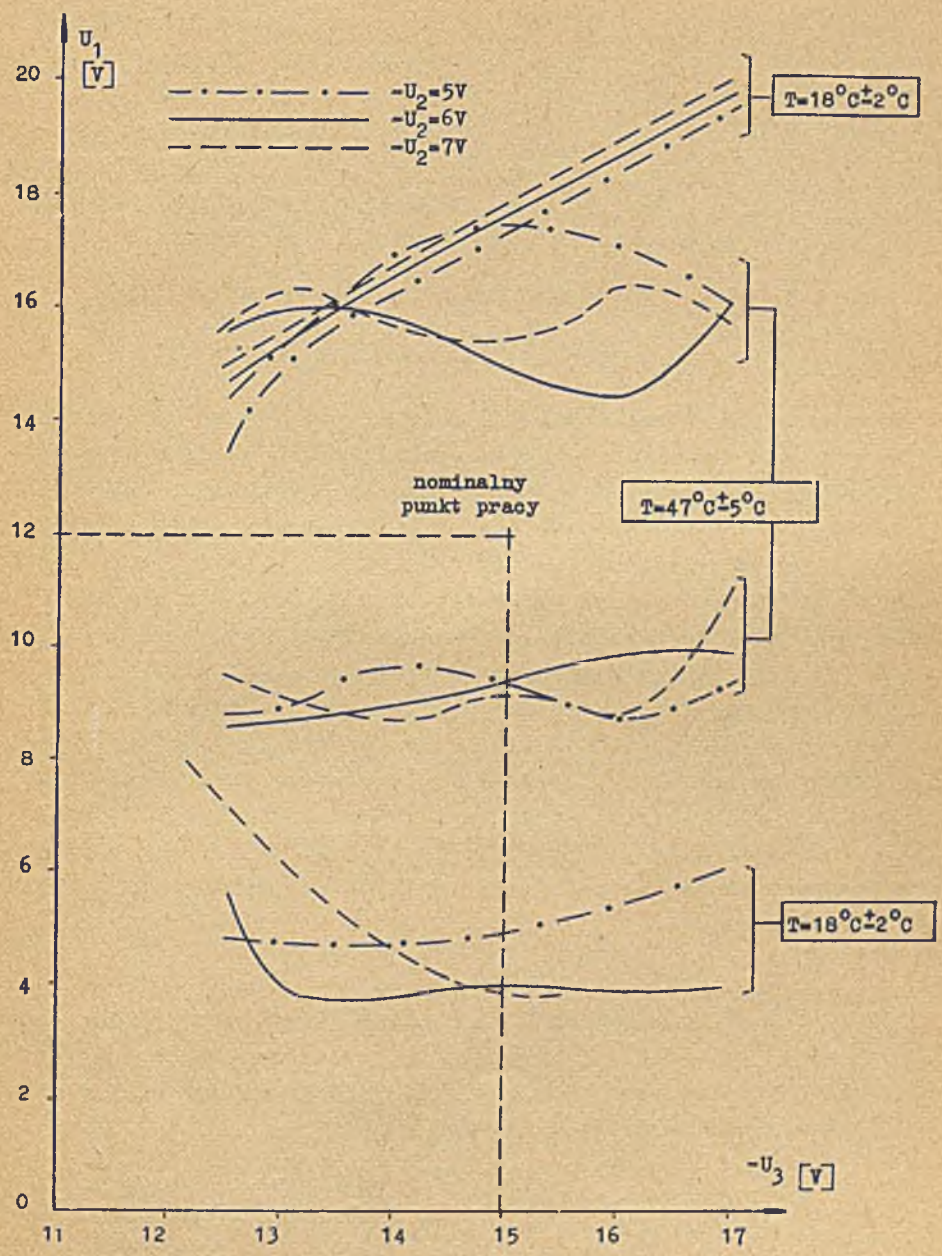
Maksymalne wartości składowych czasu realizacji operacji arytmetycznych t_s kształtowały się następująco /oznaczenia patrz p. 4/

$$t_\varphi = 0{,}5\ \mu S$$

$$t_p = 2{,}2\ \mu S$$

$$t_B = 0{,}5\ \mu S$$

$$t_{wy} = 0{,}6\ \mu S$$



Rys. 17. Pomiar marginesów makiety MS-400 dla programu kontrolnego.

Należy zaznaczyć, że wartość czasu t_p w dużym stopniu zależy od indukcyjności oraz pojemności montażu obwodu przeniesienia. Zastosowanie w bramkach obwodu przeniesienia tranzystorów o mniejszych szybkościach przełączania wywiera znacznie mniejszy wpływ na czas t_p niż miałoby to miejsce w sumatorach z szeregową propagacją przeniesień, gdzie t_p jest sumą czasów propagacji sygnału przeniesienia przez wszystkie sumatory jednopozycyjne.

8. ZAKOŃCZENIE

Przedstawiony sumator pozwala przy wykorzystaniu tranzystorów stopowych o średnich szybkościach przełączania uzyskać stosunkowo krótkie czasy sumowania. Badania wykazały, że sumator poprawnie współpracuje z magnetycznymi oraz tranzystorowymi układami cyfrowymi /układy magnetyczne FOD [5] oraz układy tranzystorowe S-400/ w szerokich marginesach temperatury oraz napięć zasilających. Przeprowadzone badania wykazały, że znaczne zmniejszenie czasu realizacji operacji arytmetycznych może być stosunkowo łatwo osiągnięte przez wykorzystanie sumatora w połączeniu z układami o niskiej i średniej szybkości działania. Przy dążeniu do dalszego skracania czasu sumowania najpoważniejsze trudności nastręczać będzie wykonanie obwodu przeniesienia o małych pojemnościach montażu, które w przypadku zastosowania tranzystorów o krótszych czasach przełączania okażą się głównym czynnikiem utrudniającym zmniejszanie wartości t_p.

Autor składa podziękowanie mgr inż. M. Kowalewskiej za cenną współpracę, dr inż. Z. Sawickiemu za szereg istotnych uwag oraz mgr inż. Z. Wrzeszczowi i mgr inż. Z. Świątkowskiemu za pomoc okazywaną w trakcie realizacji tematu.

Literatura

1. BEDRIJ O.J.: Carry Select Adder, IRE Trans. on E.C., June 1962.
2. FLORES I.: The Logic of Computer Arithmetic, Prentice-Hall, JNC., 1963.
3. GRINKIEWICZ W.A.: Opyt razrabotki bystrodiejstvujuščego arifmieticeskogo ustrojstva cifrovoj upravliajuscej masiny na płoskostnych triodach, Sb. Połuprovodnikovyje pribory i ich primienienije wyp. 4 - 1960.
4. KILBURN T.: A Prallel Arithmetic Unit Using a Saturated - Transistor Fast - Carry Circuit, Proc. IEE, 1960:B 107, 36.
5. KOJEMSKI A., SINKIEWICZ T.: Zespół podstawowych układów magnetycznych i tranzystorowych do maszyny cyfrowej, Prace IMM, Warszawa 1965:3, B 10/23/.
6. KUROYANAGI N.: High-Speed Adding System, Review of the Electrical Communic. Laboratory, 1960:8, 3 - 4.
7. LEHMAN M., BURLA N.: Skip Techniques for High-Speed Carry-Propagation in Binary Arithmetic Units, IRE Trans. on E.C., December 1961:EC-10, 691-99.
8. MAC SORLEY O.L.: High-Speed Arithmetic in Binary Computers, Proc. of IRE, January 1961:49, 1, 67.
9. POSPIEŁOV D.A.: Realizacija logiceskich funkcji v odnom klassie funkcjonalnych schiem, Izv. VUZ. Radiofizika, 1962:5, 4, 784.
10. Praca zbiorowa: Tranzystorowe układy podstawowe do maszyny cyfrowej ZAM-41 - Projekt koncepcyjny - Oprac. wewn. IMM PAN, Warszawa, lipiec 1963.
11. Praca zbiorowa: Tymczasowy katalog elementów techniki S-400 /dokumentacja IMM PAN/.
12. Praca zbiorowa: Makieta MS-400, Badanie zespołu bloków cyfrowych zbudowanych w technice S-400 /opracowanie wewnętrzne IMM/.

PARALLEL TRANSISTOR ADDER WITH A FAST CARRY CIRCUIT

Summary

The paper presents a parallel binary adder with a fast carry, which was built using transistor-transformer elements. The adder input and output circuits are fit to work with static transistor circuits /S-400 technique, developed at the IMM/ but they may work with other circuits as well.

The adder works synchronously and it can perform both arithmetic and logic operations.

A carry line, build of transistor gates and current transformers enables fast carry propagation while performing arithmetic operations. This carry

line is supplied with high value voltage, sufficient to obtain a fast increase of the carry pulse current. The transistors of the carry line gates are secured against damage, caused by high voltage, by means of Zener diodes, but other adder circuits are electrically isolated.

Testing and marginal measurements of the digital computer model, equipped with the above described adder revealed its great reliability in a large range of supplying voltages and temperatures.

POLITECHNIKA ŚLĄSKA BIBLIOTEKA GŁÓWNA Gliwice

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej
P 2225/64/65

Cena zł 11.–

B 12 (25)

W.D.N. Zam. 877/o/65 — 350 egz.