1967

PEŁNOMOCNIK RZĄDU DO SPRAW ELEKTRONICZNEJ TECHNIKI OBLICZENIOWEJ

Prace Instytutu Maszyn Matematycznych

BIBLIOTEKA GŁÓWNA POLITECHNIKA ŚLĄSKA

P. 2225 | 66 | 67

Tom IV Praca B 19 (32)

SZYBKI PODSTAWOWY UKŁAD LOGICZNY NA TRANZYSTORZE KRZEMOWYM

Andrzej KOJEMSKI
Zbigniew ŚWIĄTKOWSKI

INSTYTUT MASZYN MATEMATYCZNYCH

P R A C E

Instytutu Maszyn Matematycznych

POLITECHNIKA WARSZAWSKA BIBLIOTEKA GŁÓWNA

Tom IV Praca B 19/32/

SZYBKI PODSTAWOWY UKŁAD LOGICZNY NA TRANZYSTORZE KRZEMOWYM

Andrzej KOJEMSKI
Zbigniew ŚWIĄTKOWSKI

Warszawa 1967

Copyright © 1967 - by Instytut Maszyn Matematycznych, Warszawa
Poland
Wszelkie prawa zastrzeżone

P.W 283/67

KOMITET REDAKCYJNY

Leon ŁUKASZEWICZ /redaktor/, Antoni MAZURKIEWICZ,
Tomasz PIETRZYKOWSKI /z-ca redaktora/, Dorota PRAWDZIC,
Zdzisław WRZESZCZ.
Redaktor działowy: Zbigniew ŚWIĄTKOWSKI.
Sekretarz redakcji: Romana NITKOWSKA.
Adres redakcji: Warszawa, ul. Koszykowa 79, tel. 28-37-29

Instytut Maszyn Matematycznych
Praca B 19/32/
© 1967.04

681.325.65:621.382.3:546.28

SZYBKI PODSTAWOWY UKŁAD LOGICZNY NA TRANZYSTORZE KRZEMOWYM

Andrzej KOJEMSKI
Zbigniew ŚWIĄTKOWSKI

Pracę złożono 21.12.1965 r

W pracy przedstawiono rozwiązanie szybkiego podstawowego układu logicznego NAND na epiplanarnym tranzystorze krzemowym, o typowej wartości czasu propagacji 25 ns. Dużą uwagę zwrócono na powiązanie szybkości układu z innymi parametrami. Przedyskutowano szczególne cechy prezentowanego układu i porównano go z opracowanym w IMM podstawowym układem logicznym techniki S-400, która jest stosowana przy budowie EMC typu ZAM.

SPIS TREŚCI

1. WSTĘP 4
2. ZALEŻNOŚĆ SZYBKOŚCI OD INNYCH PARAMETRÓW PODSTAWOWEGO UKŁADU LOGICZNEGO 5
3. REALIZACJA TRANZYSTOROWYCH UKŁADÓW LOGICZNYCH Z NASYCENIEM 10
3.1. Wykorzystanie tranzystora do realizacji funkcji logicznych 10
3.2. Układ negacji iloczynu /NAND/ 15
4. PODSTAWOWY UKŁAD LOGICZNY NA TRANZYSTORZE KRZEMOWYM 17
5. SZCZEGÓLNE WŁAŚCIWOŚCI NOWEGO ROZWIĄZANIA 21
5.1. Krzemowy tranzystor epiplanarny 21
5.2. Dwójnik przesuwający w obwodzie bazy 23
5.3. Obwód wyjściowy 27
6. EFEKTYWNOŚĆ ROZWIĄZANIA PODSTAWOWEGO UKŁADU LOGICZNEGO 28
7. ZAKOŃCZENIE 33
Dodatek A. 35
Literatura
Summary

1. WSTĘP

Najnowsze rozwiązania szybkich tranzystorowych układów logicznych zbudowanych na elementach dyskretnych zapewniają czasy propagacji sygnałów rzędu 20 - 30 ns. W powiązaniu z pamięciami o czasach cyklu 2 μs umożliwiają one budowę EMC /elektronicznych maszyn cyfrowych/ o szybkości ponad $2 \cdot 10^5$ operacji/s.

Celem niniejszej pracy jest przedstawienie charakterystycznych cech szybkiego podstawowego układu logicznego na tranzystorze krzemowym, opracowanego w IMM. Układ został rozwiązany w technice statycznej, co zwiększa uniwersalność zastosowań /systemy synchroniczne i asynchroniczne/, a ponadto umożliwia:

- prostą realizację układów pamiętających,
- łatwe sterowanie przepływem informacji,
- użycie prostego systemu zasilania,
- wysoki stopień standaryzacji układów.

Zgodnie z istniejącymi tendencjami zastosowano epiplanarne półprzewodniki krzemowe*) . Elementy te swymi właściwościami znacznie przewyższają stosowane powszechnie w Polsce elementy germanowe, co stwarza możliwości budowy prostych układów, mogących pracować w szerokim zakresie temperatur.

Wybrano podstawowy układ logiczny na tranzystorze pracującym w nasyceniu z diodową bramką wejściową. Przyjęty typ rozwiązania układowego charakteryzuje się dużą odpornością na zmiany warunków zewnętrznych /zmiany napięć zasilających, zakłócenia, pojemności okablowania, temperatura/ zaspakajając jednocześnie niezbędne wymagania odnośnie szybkości.

Inne układy niezbędne do realizacji bloków cyfrowych /układy pamiętające, opóźniające, o dużym wzmocnieniu itp./ rozwiązano w oparciu o schemat podstawowego układu logicznego. Zapewnia to

---

*) Zakłada się, że w najbliższej przyszłości technologia ta będzie w Polsce opanowana, co umożliwi zastąpienie importowanych obecnie elementów wyrobami krajowymi.

możliwości prawidłowej współpracy i stosowania tych samych wartości napięć zasilających*).

W pracy zwrócono szczególną uwagę na pewne aspekty systemowe, które należy uwzględnić przy projektowaniu szybkich układów logicznych. Podano uzasadnienie wyboru schematu ideowego oraz przeprowadzono porównanie z innym układem podstawowym opracowanym w IMM.

2. ZALEŻNOŚĆ SZYBKOŚCI OD INNYCH PARAMETRÓW PODSTAWOWEGO UKŁADU LOGICZNEGO

Jednym z zasadniczych parametrów technicznych decydujących o jakości podstawowego układu logicznego jest szybkość działania. W technice statycznej szybkość można określić poprzez czas propagacji będący miarą opóźnienia sygnału wyjściowego w stosunku do sygnałów wejściowych. Powiązania funkcjonalne tego parametru z innymi powodują, że zwiększenie szybkości działania układów pociąga za sobą pogorszenie innych parametrów, mających zasadnicze znaczenie przy realizacji złożonych bloków cyfrowych. Stąd przy projektowaniu szybkich układów logicznych konieczne jest zachowanie kompromisu między szybkością a pozostałymi parametrami. W przeciwnym razie rozwiązania stają się nieekonomiczne, zarówno pod względem ilości stosowanych układów jak i skomplikowania rozwiązania konstrukcyjnego.

Praktyka wykazuje, że w przypadku realizacji układów opartych na dyskretnych elementach konstrukcyjnych nieopłacalne staje się zmniejszenie czasów propagacji sygnałów poniżej 20 - 30 ns. Można podać zależności umożliwiające wstępne oszacowanie dopuszczalnej szybkości działania układów przy założeniu określonych wartości innych parametrów /narzuconych przez wymagania systemowe/. Pod uwagę weźmiemy przy tym następujące parametry podstawowego układu logicznego:

*) Szczegóły dotyczące zestawu układów cyfrowych zwanych S 50 zawarto w opracowaniu [14].

- wzmocnienie logiczne n*)
- dopuszczalną pojemność obciążającą C_k
- progi odporności na zakłócenia $U_p(0)$ i $U_p(+)$**)
- amplitudę sygnałów logicznych U_L

W przypadku pozostałych parametrów, takich jak: spływ logiczny***), pobór mocy, ilość napięć zasilających, zakres temperatur pracy, zależności są mniej krytyczne.

Zasadnicze ograniczenie na czas propagacji wiąże się z koniecznością zapewnienia określonej wartości wzmocnienia logicznego. W typowych sieciach przełączających, aby niepotrzebnie nie zwielokrotniać układów, przyjmuje się zwykle wzmocnienie logiczne $n \geq 4$.

Przy pewnych założeniach upraszczających można wykazać [5], że dla danego typu tranzystora między wzmocnieniem logicznym n a czasem propagacji t_{p1} sygnału zachodzi związek /pomijając wpływ zjawiska magazynowania przy wyłączaniu tranzystora/:

$$\frac{t_{p1}}{n} = \frac{m}{\omega_\alpha} \left(1 + r_{bb'}\, q \frac{I_e}{kT\beta}\right) \qquad /1/$$

gdzie:

t_{p1}	- czas propagacji
ω_α	- pulsacja graniczna
$r_{bb'}$	- oporność szeregowa bazy
q	- ładunek elektronu
I_e	- prąd emitera
β	- wzmocnienie prądowe w układzie OE
k	- stała Boltzmana
T	- temperatura w stopniach Kelvina

*) Maksymalna dopuszczalna liczba wejść podobnych układów dołączona do jednego wyjścia.

**) W technice krzemowej /tranzystory n-p-n/ $U_p(0)$ oznacza napięcie progowe liczone od dolnego poziomu logicznego /~0V/, a $U_p(+)$ oznacza napięcie progowe liczone od górnego poziomu logicznego /napięcia dodatniego/.

***) Maksymalna liczba wejść.

m - współczynnik uwzględniający wpływ nieliniowości charakterystyk tranzystora i konfigurację układu*)

Dodatkowe opóźnienia wynikają ze skończonego czasu trwania zboczy sygnałów /czas potrzebny do tego, aby napięcie sygnału na wejściu układu przekroczyło wartość progową/. Pojemności szkodliwe montażu powodują, że przy wyłączeniu tranzystora istotną rolę zaczynają odgrywać stałe czasu obwodu wyjściowego. Opóźnienie t_{p2} wprowadzane przez pojemność obciążenia można wyrazić zależnością:

$$t_{p2} = \alpha R_c C_k \qquad /2/$$

gdzie:

R_c - wypadkowa oporność w obwodzie kolektora

α - współczynnik zależy od sposobu rozwiązania obwodu wyjściowego i stosunku amplitudy sygnału do napięcia progowego układu.

Układ powinien być tak zaprojektowany, aby wartości czasów t_{p1} i t_{p2} były tego samego rzędu.

Wielkości progów przeciwzakłóceniowych związane są z poziomem przeników w okablowaniu. W przypadku gdy wartości napięć indukowanych przekroczą wartości progowe może wystąpić wadliwe zadziałanie układu, wywołujące błędny sygnał na wyjściu. Aby temu zapobiec, należy odpowiednio ustalić napięcia progowe, w zależności od parametrów sygnałów przesyłanych w okablowaniu. Do rozważań można przyjąć uproszczony model przenoszenia się zakłóceń w sieciach logicznych, przedstawiony na rys. 1. Założono tu taką konfigurację układów, w której wyłączanie tranzystora w układzie wiąże się z pobieraniem prądu przez źródło sterujące /podobne rozważania można przeprowadzić, gdy źródło sterujące dostarcza prąd przy włączonym tranzystorze/. Jako bardziej krytyczne rozpatrzmy sprzężenie pojemnościowe, w przypadku gdy na wyjściu układu A napięcie spada do zera, a na wyjściu układu C poziom napięcia jest dodatni.

---

*) Dla różnych rozwiązań wartość m zawiera się w przedziale 0,7 ÷ 1,3.

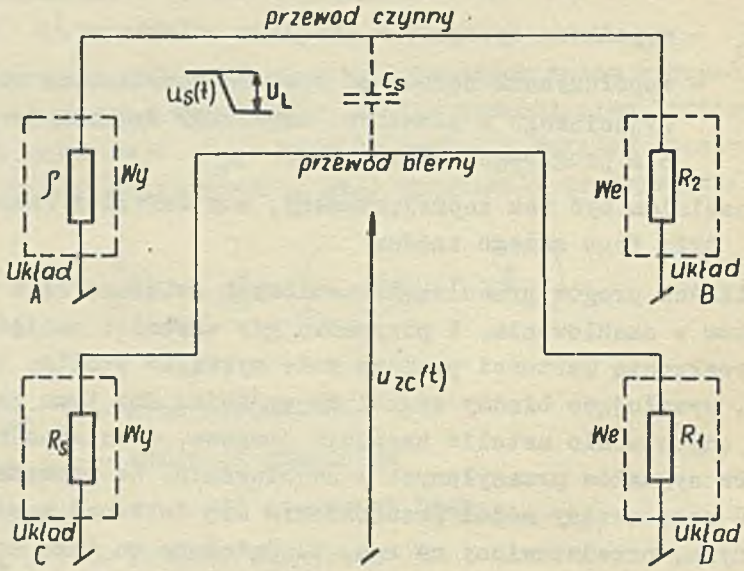
Wartość amplitudy sygnału zakłócającego wyraża się [10] uproszczoną zależnością *):

$$U_{zc} = \frac{U_L}{t_z} R_s C_s \left[1 - \exp\left(- \frac{t_z}{R_s C_s} \right) \right] \qquad /3/$$

gdzie:

U_{zc} – amplituda napięcia zakłócenia

t_z – czas trwania zbocza



Rys. 1. Uproszczony schemat zastępczy dla wyznaczenia składowej pojemnościowej zakłócenia. ρ – oporność wyjściowa włączanego układu; R_s – oporność wyjściowa wyłączonego układu; R_1 – oporność wejściowa włączonego układu; R_2 – oporność wejściowa wyłączanego układu; C_s – pojemność sprzęgająca przewodów.

*) Założono liniowy przebieg zboczy i $R_1 \gg R_s$, $R_2 \gg R_s$ oraz $\rho \ll R_s$ /rysunek 1/.

Rozwijając funkcję wykładniczą na szereg i uwzględniając trzy pierwsze wyrazy oraz przyjmując, że minimalny próg odporności na zakłócenia $U_p(+)$ musi być większy od U_{zc}, otrzymujemy warunek na minimalne napięcie progowe:

$$U_p(+) \geq U_L \left(1 - \frac{t_z}{2 R_s C_s}\right) \qquad /4/$$

Minimalną wartość t_z należy przyjmować ze względu na dopuszczalne długości połączeń, uwarunkowane wielkością C_s oraz szkodliwymi oscylacjami, wynikającymi z niedopasowania linii transmisyjnych do oporności wejściowych i wyjściowych układów. Celem uniknięcia niepotrzebnych strat mocy na dopasowanie. zgodnie z wynikami uzyskanymi w [8] i [20], aby nie wystąpiły oscylacje powinien być spełniony warunek:

$$t_{z_{min}} \geq k \frac{l}{v} \qquad /5/$$

gdzie:

$t_{z_{min}}$ – minimalny czas trwania zbocza

k – współczynnik proporcjonalności /4 ÷ 10/

l – długość linii przesyłowej*)

v – szybkość rozchodzenia się fali elektromagnetycznej /ok. 20 cm/ns/.

Podstawienie danych liczbowych do zależności pozwala na wstępną ocenę wpływu przewodów łączących na szybkość działania układów. Wstawiając do zależności /2/ typowe dane**) : $R_c = 0,5$ kΩ , $C_k = 50$ pF i $\alpha = 0,69$ otrzymuje się $t_{p2} = 17$ ns. Otrzymana wartość opóźnienia jest porównywalna z podanym na wstępie

---

*) Maksymalna wartość l wynika z przyjętego rozwiązania konstrukcyjnego.

**) Przyjęto dla układu bez diody poziomującej

$$\alpha = \ln \frac{1}{1 - \frac{U_p(0)}{U_L}} \quad \text{wstawiając} \quad \frac{U_p(0)}{U_L} = 0,5$$

czasem propagacji (20 ÷ 30 ns). Zmniejszenie wartości czasu t_{p2} można osiągnąć przez obniżenie amplitud sygnałów oraz pracę z dużymi poziomami prądów /szybkie rozładowanie pojemności/. Przy założeniu $t_{z_{min}} = 15$ ns; $C_s = 25$ pF; $R_s = 0,5$ kΩ i $k = 6$ z zależności /4/ otrzymamy $\frac{U_p(+)}{U_L} \geqslant 0,4$, a z zależności /5/ ograniczenie maksymalnej długości połączenia $l \leqslant 50$ cm.

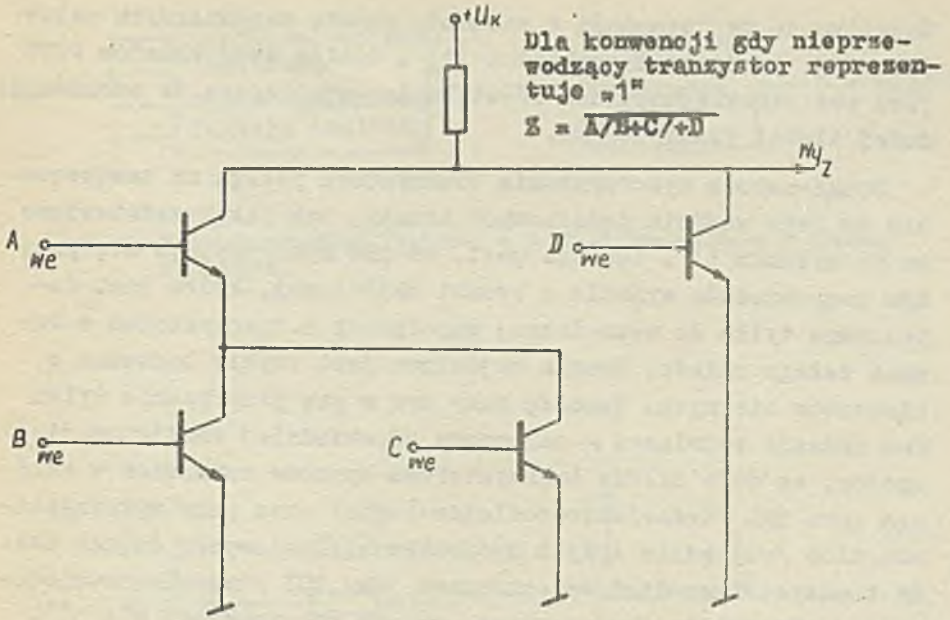
Dalsze zwiększenie szybkości jest celowe jedynie poprzez wprowadzenie odpowiedniej techniki montażu i miniaturyzację urządzenia, co znajduje swój wyraz w przechodzeniu na technikę obwodów scalonych.

3. REALIZACJA TRANZYSTOROWYCH UKŁADÓW LOGICZNYCH Z NASYCENIEM

3.1. Wykorzystanie tranzystora do realizacji funkcji logicznych.

Istnieją dwie zasadnicze metody wykorzystania tranzystora pracującego w nasyceniu do realizacji funkcji logicznych. Jedna z nich polega na zastosowaniu odpowiedniej struktury wzajemnych połączeń tranzystorów. Prowadzi to do tranzystorowych układów logicznych bezpośrednimi sprzężeniami między kolektorem sterującego tranzystora i bazą sterowanego tranzystora [1, 4, 11, 12, 18], zwanych w skrócie z angielskiego DCTL /direct-coupled transistor logic/. Składają się one tylko z tranzystorów i oporników. Przykład zestawu kilku takich układów techniki DCTL, tworzących fragment sieci logicznej, podano na rysunku 2. Praca sieci jest tu bardzo podobna do działania sieci budowanych układów przekaźnikowych.

Do największych zalet układów DCTL należy maksymalna prostota podstawowego układu logicznego /mała ilość elementów konstrukcyjnych/, stosowanie tylko jednego napięcia zasilającego /zwykle o niewielkiej wartości/ i małe straty mocy w układzie. Ze względu na bardzo małą zmianę poziomów napięć wyjściowych, wpływ szkodliwych pojemności połączeń na szybkość pracy układów, w porównaniu z innymi typami układów jest mniejszy. Podstawową wadą tych układów



Rys. 2. Przykład fragmentu sieci logicznej złożonej z układów DCTL.

jest mała odporność na zakłócenia /zwłaszcza pojawiające się na przewodach uziemienia/ i duże wymagania na jednorodność oraz stabilność czasową i temperaturową charakterystyk stosowanych tranzystorów /ostre ograniczenia na minimalną wartość spadku napięcia baza-emiter i maksymalną wartość napięcia kolektor-emiter/. Powoduje to, że niezawodność pracy sieci budowanych z układów DCTL, w porównaniu z innymi jest mała. Stąd dla układów DCTL stosuje się szereg modyfikacji, które między innymi polegają na wprowadzeniu diod lub oporników w obwody sprzęgające układów.

Modyfikacje te powodują w zasadzie utratę wspomnianych zalet DCTL, tj. prostoty i szybkości [1] . Ogólną wadą układów DCTL jest też nieekonomiczność rozwiązania, wynikająca ze stosowania dużej ilości tranzystorów.

Druga metoda wykorzystania tranzystora polega na zastosowaniu na jego wejściu dodatkowych bramek, tak jak przedstawiono to na rysunku 3*). Istotne jest, że nie wykorzystuje się przy tym bezpośrednio wyjścia z bramki wejściowej, które jest dopasowane tylko do wewnętrznej współpracy z tranzystorem w ramach całego układu. Bramka wejściowa jest zwykle budowana z elementów biernych. Wchodzą przy tym w grę praktycznie tylko dwa rodzaje rozwiązań - za pomocą odpowiedniej konfiguracji oporów, co daje układy tranzystorowo-oporowe oznaczane w skrócie jako TRL /transistor-resistor-logic/ oraz przy wykorzystaniu diod /względnie innych dwójników nieliniowych/ dające układy tranzystorowo-diodowe oznaczane jako TDL /transistor-diode-logic/. Przykłady obu rozwiązań podano na rysunkach 4 i 5**).

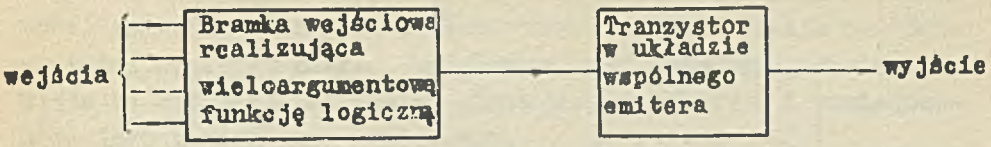
Podstawową zaletą układów TRL jest taniość rozwiązania. Diody w układzie TDL, dzięki swym nieliniowym właściwościom, zapewniają odpowiednią separację pomiędzy różnymi wejściami i wyjściami, co zwiększa dopuszczalną tolerancję na elementy konstrukcyjne i napięcia zasilające oraz umożliwia uzyskanie większych szybkości. Diody pozwalają też na otrzymanie większych napięciowych progów odporności na zakłócenia wejściowe. Przy zachowaniu takich samych tolerancji w układach TDL można otrzymać większe wzmocnienie i spływ logiczny.

Przy realizacji szybkich bloków cyfrowych powszechnie stosowane są układy TDL. Ze względu na elastyczność tworzenia połączeń pomiędzy nimi są one bardzo wygodne przy budowie dużych urządzeń cyfrowych składanych ze standartowych pakietów.

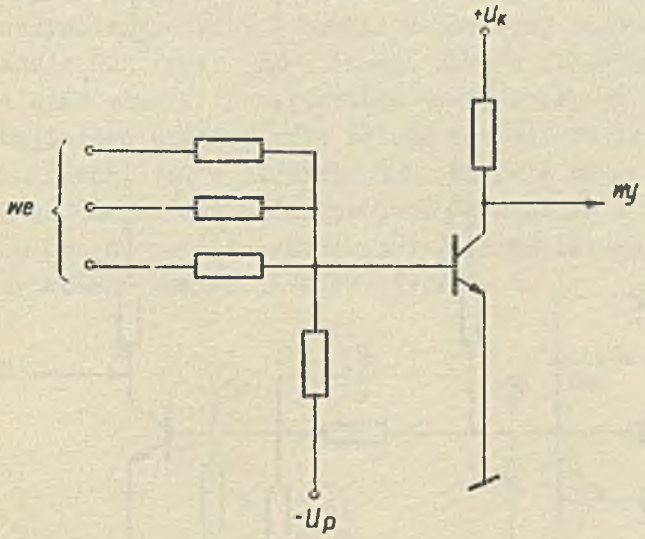
---

*) Układ taki przez uogólnienie będziemy nazywali inwerterem, choć nazwa ta wywodzi się z układu o jednym wejściu, realizującego funkcję negacji.

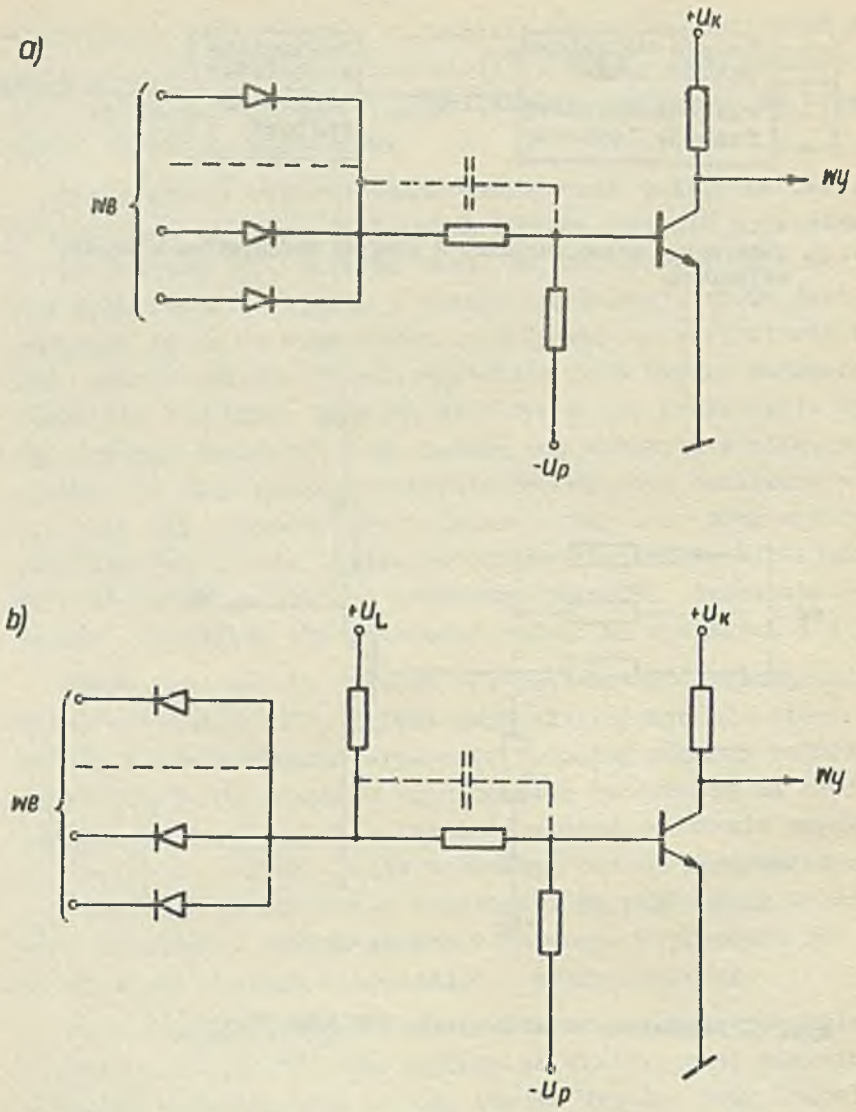
**) Przyjęto powszechnie stosowany system oznaczeń schematowego rozwiązania układu, dla układu typu NOR i NAND /np. [18] i [19]/. Funkcja logiczna jaką realizuje układ zależy od konwencji przypisującej określonym poziomom napięcia określone wartości logiczne.



Rys. 3. Podstawowy układ logiczny w postaci tranzystora z bramką wejściową.



Rys. 4. Podstawowy układ logiczny NOR typu TRL.

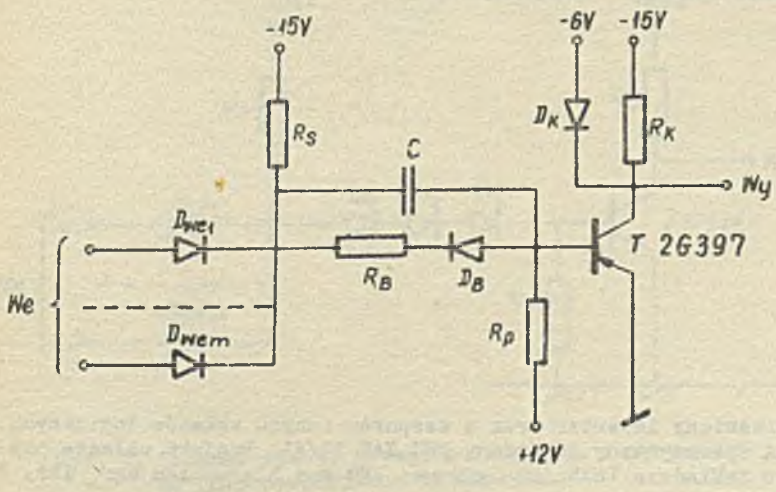


Rys. 5. Dwa podstawowe układy logiczne typu TDL z jednowarstwową logiką diodową na wejściu: a/ układ NOR, b/ układ NAND.

Zwykle przyjmuje się układy TDL z jedną warstwą logiki diodowej. Większa liczba warstw [4, 6] pozwala uzyskać pewne oszczędności sprzętu, lecz jednocześnie zmusza do zwiększenia poziomów napięć i prądów sygnałów, by skompensować dodatkowe tłumienie. Wiąże to się ze zwiększeniem strat mocy w układzie i zmniejszeniem jego wzmocnienia logicznego.

3.2. Układ negacji iloczynu /NAND/.

Rozróżniamy dwie konfiguracje układów TDL z jednowarstwową logiką diodową /rys. 5/. Zasadnicza różnica między oboma układami polega na tym, że w układzie NAND /rys. 5b/ prąd włączający tranzystor pochodzi z bramki wejściowej tego samego układu, a w układzie NOR /rys. 5a/ z innego układu sterującego. Stąd w układzie NAND warunki przełączania tranzystora są określone przez bramkę wejściową układu i nie zależą tak silnie od innych układów sterujących, jak w układzie NOR. Pozwala to na uzyskanie większej jednorodności warunków pracy i umożliwia zapewnienie większych progów przeciwzakłóceniowych oraz osiągnięcie większych szybkości w układzie NAND [18].



Rys. 6. Schemat ideowy inwertera techniki S-400.

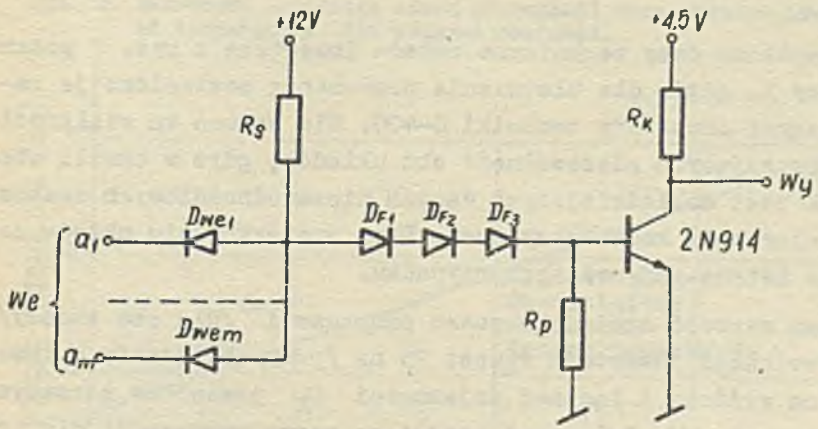
Przegląd rozwiązań EMC wskazuje, że układy NAND są najczęściej stosowane do realizacji bloków cyfrowych. Przykładem klasycznego rozwiązania układu na germanowym tranzystorze stopowym może być podstawowy układ logiczny S-400*) [13] opracowany w IMM. Był on traktowany jako punkt odniesienia do opracowania szybkich logicznych układów krzemowych. Stąd celowe jest przedstawienie podstawowych danych tego rozwiązania. Układ /rys. 6/ realizuje funkcję przełączającą negacji iloczynu dla konwencji przypisującej wartość logiczną "0" napięciu na wyjściu układu przy włączonym tranzystorze /w stanie nasycenia/. W układzie zastosowano germanowy tranzystor stopowy typu 2G 397. Dioda krzemowa D_B dwójnika przesuwającego napięcie w obwodzie bazy ma za zadanie stworzenie odpowiedniego progu przeciwzakłóceniowego. Niezbędne napięcie wsteczne na bazie zatkanego tranzystora zapewnia źródło zasilające +12V poprzez opornik polaryzacji R_p. Kondensator przyspieszający C zwiększa szybkość doprowadzania i odprowadzania ładunku z bazy w trakcie przełączania tranzystora. W ten sposób skracane są czasy procesów włączania i wyłączania układu. W obwodzie kolektora zastosowano diodę poziomującą D_k utrzymującą napięcie na wyjściu przy zatkanym tranzystorze na poziomie ok. -6V. Szczegółowe dane techniczne inwertera techniki S-400 przedstawiono w tablicy 1.

---

*) Przedstawiony inwerter wraz z zespołem innych układów logicznych S-400 został wykorzystany do budowy EMC ZAM 21/41. Projekt układów był wykonany w Zakładzie Techniki Cyfrowej IMM pod kierunkiem mgr inż. B.Wojtowicza.

4. PODSTAWOWY UKŁAD LOGICZNY NA TRANZYSTORZE KRZEMOWYM

Schemat ideowy nowego rozwiązania podstawowego układu logicznego, opartego wyłącznie na półprzewodnikach krzemowych, przedstawiono na rysunku 7. Podobnie jak układ podstawowy techniki S-400 jest to inwerter z jednowarstwową logiką diodową na wejściu typu NAND. Zastosowanie tranzystora krzemowego 2N 914 typu n-p-n, w odróżnieniu od tranzystora germanowego p-n-p, spowodowało zmianę polarności napięć zasilających i zmianę kierunku włączenia diod wejściowych w stosunku do układu z rysunku 6. Do istotnych różnic w rozwiązaniu nowego układu i inwertera techniki S-400 należy zastosowanie innego dwójnika przesuwającego poziom napięcia w obwodzie bazy, brak źródła napięcia polaryzacji wstecznej służącego do zatykania tranzystora oraz brak diody poziomującej D_K /rys. 6/ w obwodzie kolektora. Wszystkie te różnice w rozwiązaniu obu układów wiążą się głównie ze zwiększeniem szybkości nowego układu oraz zmianą typu tranzystora z germanowego na krzemowy.



Rys. 7. Schemat ideowy nowego rozwiązania inwertera na półprzewodnikach krzemowych.

Układ dla konwencji "0" 0V i "1" +4,5V realizuje funkcję negacji iloczynu

$$W = \overline{a_1 \cdot a_2 \cdot \ldots\ldots \cdot a_m}$$

gdzie:

W - wartość logiczna na wyjściu

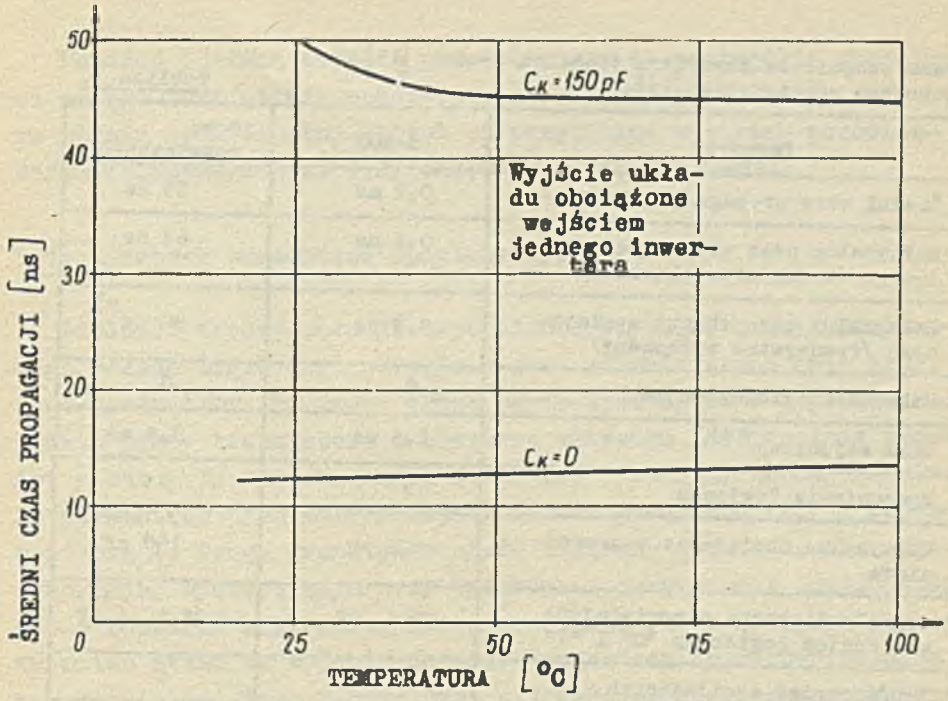
$a_1, a_2, \ldots\ldots\ldots a_m$ - wartości logiczne sygnałów wejściowych.

Tranzystor inwertera pracuje w stanie nasycenia lub odcięcia. Wysterowanie tranzystora odbywa się z diodowej bramki wejściowej poprzez dwójnik przesuwający złożony z trzech diod D_{F1}, D_{F2} i D_{F3} połączonych szeregowo. Dwójnik ten zapewnia dużą odporność układu na dodatnie zakłócenia od dolnego poziomu sygnałów wejściowych. Wyłączanie tranzystora odbywa się przy pomocy specjalnie dobranych diod dwójnika przesuwającego o dostatecznie dużych ładunkach wstecznych. Wartość napięcia zasilającego w kolektorze jest tak dobrana, by zapewnić dużą odporność układu na ujemne zakłócenia pojawiające się od górnego poziomu sygnałów wejściowych.

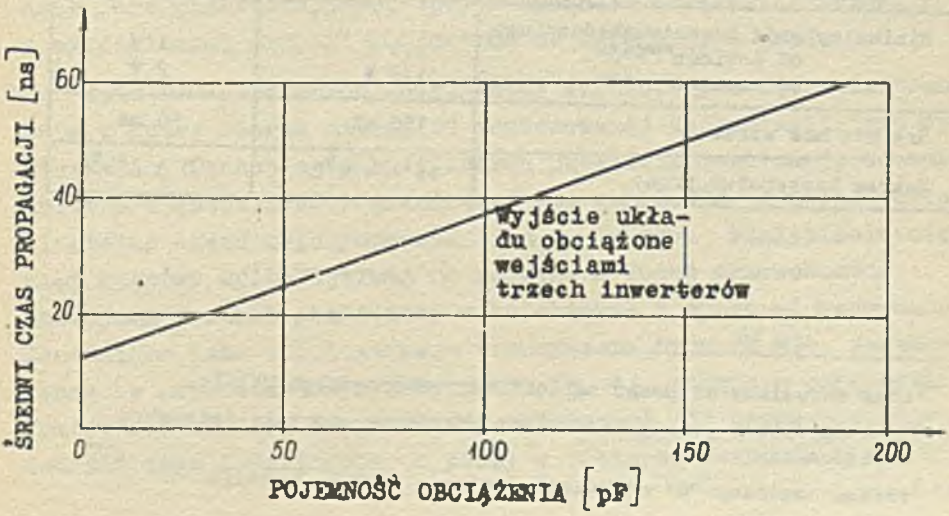
Szczegółowe dane techniczne układu inwertera z rys. 7 podano w tablicy 1, gdzie dla ułatwienia porównania zestawiono je razem z danymi inwertera techniki S-400. Nie podano tu wielkości charakteryzujących niezawodność obu układów, gdyż w chwili obecnej brak jest dokładniejszych danych niezawodnościowych zastosowanych elementów konstrukcyjnych. Przy projektowaniu układu zastosowano metodę najgorszego przypadku.

Typowa wartość średniego czasu propagacji*) /dla obu zboczy/ przedstawionego inwertera wynosi 25 ns /przy obciążeniu 3 inwerterami na wyjściu i łącznej pojemności C_K przewodów łączących wynoszącej 50 pF/. Zależność średniego czasu propagacji dla różnych obciążeń pojemnościowych w funkcji temperatury przedstawiono na rysunku 8. Na rysunku 9 pokazano jak średni czas propagacji zależy od pojemności C_K obciążenia.

*) Czas propagacji określano na poziomie +2 V.



Rys. 8. Zależność średniego czasu propagacji opracowanego inwertera od temparatury, dla różnych obciążeń.



Rys. 9. Zależność średniego czasu propagacji opracowanego inwertera od pojemności obciążenia.

Dane techniczne inwertera techniki S-400 [13] i nowego rozwiązania [14].

Tablica 1.

Parametr	S-400	Nowe rozwiązanie
Średni czas propagacji /typowy/	0,2 μs	25 ns
Maksymalny czas zbocza narastającego /tranzystor włączany/	0,4 μs	64 ns
Maksymalny czas zbocza opadającego /tranzystor wyłączany/	0,7 μs	80 ns *)
Maksymalna liczba wejść	8	8
Prąd wejściowy **)	2,5 mA	3,4 mA
Wzmocnienie logiczne	5	6
Maksymalne obciążenie pojemnościowe	300 pF	150 pF
Sygnały fizyczne odpowiadające wartościom logicznym "0" i "1"	~0V i -6V	~0V i +4,5V
Ilość napięć zasilających	3	2
Tolerancja napięć zasilających	±5 %	±5 %
Tolerancja oporników /graniczna/	±5 %	±10 %
Minimalny próg przeciwzakłóceniowy od poziomu ***) "0" od poziomu "1"	1,5 V 1,5 V	1 V 2 V
Średnia moc strat	150 mW	50 mW
Zakres temperatur pracy	+5 ÷ +50°C	0 ÷ +70°C

*) Czas określony do progu napięciowego sterowanego układu.

**) Prąd wejściowy jednego inwertera przyjmuje się jako jednostkę obciążenia.

***) Poziom logiczny "0" odpowiada napięciu ~0V na wyjściu.

5. SZCZEGÓLNE WŁAŚCIWOSCI NOWEGO ROZWIĄZANIA

Poniżej zostaną szerzej przedstawione te szczególne właściwości nowego rozwiązania podstawowego układu logicznego /p. 4/, które różnią go w istotny sposób od przyjętego w celach porównawczych /opisanego w p. 3.2/ inwertera techniki S-400.

5.1. Krzemowy tranzystor epiplanarny.

Zdolność tranzystora do zapewnienia szybkiej pracy podstawowego układu logicznego określona jest głównie przez dwie grupy jego parametrów. Pierwsza grupa parametrów opisuje szybkość zmian punktu pracy tranzystora w obszarze aktywnym /ewentualnie przelot przez cały ten obszar/ i wiąże się z czasami zboczy impulsów. Do parametrów tych należy częstotliwość graniczna /f_T/ i pojemność złącz. Druga grupa parametrów związana jest z czasem magazynowania, występującym przy wyłączaniu tranzystora znajdującego się w obszarze nasycenia, który przejawia się w opóźnianiu początku zmian stanu na wyjściu układu. Parametrem charakteryzującym te właściwości tranzystora jest najczęściej stała czasu magazynowania / τ_s/, określona przy uwzględnieniu jej zmian w funkcji prądów kolektora i bazy. Dla tranzystorów określanych w katalogach jako przełącznikowe, wpływy opóźnień składowych związanych z wyróżnionymi grupami parametrów są tego samego rzędu.

Wartości parametrów opisujących szybkość przełączania tranzystora w dużej mierze zależą od zastosowanej technologii jego wytwarzania. Technologia epiplanarna umożliwia realizację tranzystorów o częstotliwości granicznej $f_T \geq 300$ MHz i małej wartości stałej czasu magazynowania / $\tau_s \leq 20$ ns/. Naniesienie cienkiej warstwy epitaksjalnej na podkład o dużej przewodności zmniejsza ładunek gromadzony w kolektorze i oporność nasycenia. Zasadnicze dane epiplanarnego tranzystora typu 2N 914, zastosowanego w przedstawionym inwerterze /p. 4/, podano w tablicy A. 1 /patrz Dodatek A/. Na podstawie zależności /1/ można ocenić przydatność tego tranzystora do pracy w obszarze aktywnym w szybkich

układach logicznych. Dla typowych wartości*) parametrów tranzystora otrzymuje się stosunek czasu propagacji t_{p1} do wzmocnienia logicznego n równy 0,6 ns/jednostkę obciążenia. Dla wzmocnienia logicznego układu**) n = 15 średni czas propagacji wynosi 9 ns. Zależność /1/ nie uwzględnia zjawiska magazynowania w tranzystorze, którego wpływ na czas propagacji dla tranzystora epiplanarnego jest tego samego rzędu co przełączania w obszarze aktywnym. Stąd, aby oszacować rzeczywisty czas propagacji z uwzględnieniem czasu magazynowania, należy otrzymaną powyżej wartość 9 ns pomnożyć przez współczynnik równy 2. W wyniku otrzymujemy wartość średniego czasu propagacji /bez uwzględnienia wpływu przewodów łączących/ równą 18 ns, co w pełni zabezpiecza wymagania dotyczące szybkości układu.

Wykonanie tranzystora krzemowego techniką planarną zwiększa niezawodność jego pracy /dla tranzystora germanowego zwykle nie stosuje się tego typu technologii/. Wynika to z zabezpieczenia powierzchni półprzewodnika przy pomocy bardzo odpornych na działania zewnętrzne tlenków krzemu. Innym czynnikiem zwiększającym niezawodność tranzystora krzemowego jest szerszy zakres dopuszczalnych zmian temperatury złącz. Pozwala to na pracę z większymi poziomami mocy oraz zmniejsza prawdopodobieństwo uszkodzenia tranzystora przy chwilowych przeciążeniach.

Małe prądy zerowe półprzewodników krzemowych, dodatkowo jeszcze zmniejszone dzięki zastosowaniu technologii planarnej, pozwalają na skuteczne zatkanie tranzystora bez przykładania wstecznych napięć na złącze baza-emiter, tak jak to jest wymagane w przypadku tranzystorów germanowych. Stąd powstała możliwość zrezygnowania w opracowanym inwerterze /rys. 7/ ze źródła polaryzacji wstecznej bazy. Pozwala to na zmniejszenie liczby źródeł zasilających układ.

---

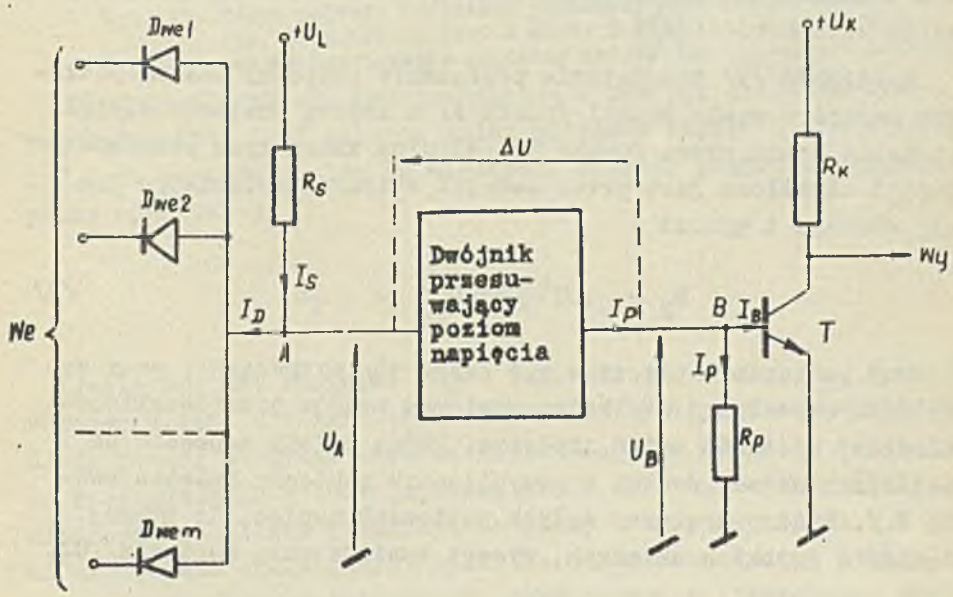
*) Przyjęto w obliczeniach $r_{bb'} = 35\Omega$, $\beta = 60$, $I_e = 30$ mA, $\omega_\alpha = 3 \cdot 10^9$ 1/s, m = 1.

**) Aby dla najgorszego przypadku zapewnić wzmocnienia logiczne układu $n_{min} \geq 6$, należy przyjąć typową wartość wzmocnienia $n \leq 2{,}5 \cdot n_{min}$.

5.2. Dwójnik przesuwający w obwodzie bazy.

W układzie typu NAND o przewodzeniu lub nieprzewodzeniu tranzystora decyduje skierowanie prądu bramki wejściowej I_s do bazy tranzystora lub na zewnątrz, do układu sterującego /rys. 10/. Przy dołączeniu dowolnego z wejść rozpatrywanego układu do kolektora nasyconego tranzystora układu sterującego prąd I_s /lub jego część/ nie powinien płynąć do bazy tranzystora T. W tym celu należy stworzyć pomiędzy punktami A i B dostatecznie dużą różnicę potencjałów. Zadanie to spełnia dwójnik przesuwający poziom napięcia.

Rozpatrując rozpływy prądów i wartości napięć przy przewodzącym i nieprzewodzącym tranzystorze otrzymamy po odpowiednich przekształceniach następujące zależności /w stanie statycznym



Rys. 10. Zasadniczy schemat układu inwertera typu NAND.

przy pominięciu prądów zerowych/ dla rozpatrywanego układu /wg[1]/:

$$I'_B = I''_D - \left(I''_S - I'_S\right) - \left(I'_P - I''_P\right) \qquad /6/$$

$$\left(U'_A - U''_A\right) = \left(U'_B - U''_B\right) + \left(\Delta U' - \Delta U''\right) \qquad /7/$$

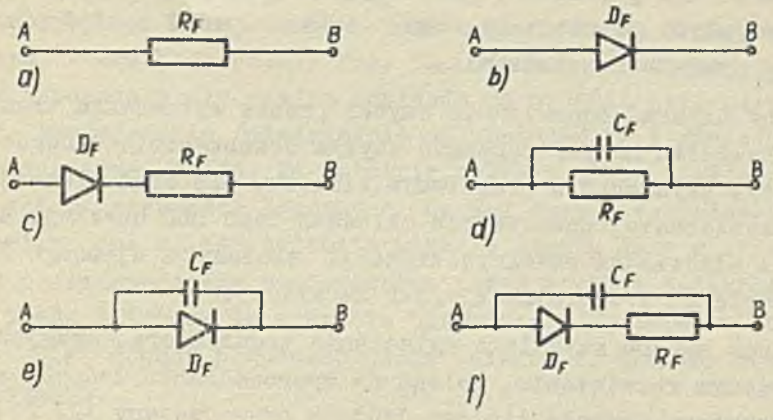
gdzie zastosowano oznaczenia wg rys. 10, przyjmując następujące indeksy: ' - wielkość w układzie przy przewodzącym tranzystorze; " - wielkości w układzie przy nieprzewodzącym tranzystorze.

W zależności /6/ dwa ostatnie człony w nawiasach są dodatnie i reprezentują zmiany wartości prądów płynących poprzez oporniki R_S i R_P. Im bardziej wahania prądów I_S i I_P są mniejsze, tym większe uzyskujemy wzmocnienie logiczne układu, proporcjonalne do wielkości I'_B/I''_D.

Zależność /7/ przedstawia powiązanie pomiędzy zmianą poziomów napięć w węźle bramki /punkt A/ a zmianą poziomów napięć na bazie tranzystora /punkt B/. Różnica zmian tych poziomów napięć określona jest przez ostatni człon w nawiasie po prawej stronie i wynosi

$$U_F = \Delta U' - \Delta U'' \qquad /8/$$

Zmiany poziomów napięcia w p.A /rys. 10/ wyznaczają, przy założeniu określonej wielkości poziomów progów przeciwzakłóceniowych, wielkość zmian napięcia, którą należy zapewnić na wejściach układu /równą w przybliżeniu napięciu kolektorowemu U_k/. Stąd praca przy małych poziomach napięć, do której dążymy w szybkich układach, wymaga zmniejszania napięcia U_F.



Rys. 11. Różne rodzaje dwójników przesuwających poziom napięcia. Dwójniki złożone z diody i opornika stanowią pośrednie rozwiązanie pomiędzy dwójnikiem oporowym i diodowym.

W przypadku układu przesuwającego w postaci dwójnika liniowego /rys. 11a i d/ różnica zmian poziomów napięć w punkcie A i B jest proporcjonalna do wielkości różnicy prądów płynących przez opornik R_F

$$U_F = R_F \left(I'_F - I''_F\right) \qquad /9/$$

Jeśli zamiast opornika R_F zastosujemy diodę D_F /rys. 11b/, wówczas dzięki nieliniowości charakterystyki prądowo-napięciowej diody możemy otrzymać większą stałość spadku napięcia na dwójniku przesuwającym w funkcji zmian prądu. Dlatego układy NAND z diodowym dwójnikiem pozwalają na pracę z dużymi prądami i z małymi napięciami /niezbędnymi tylko ze względu na spadki napięć na elementach półprzewodnikowych/. Stąd często w literaturze noszą one nazwę układów z przełączaniem prądowym i oznaczane są w skrócie LLL /low-level-logic/, a układy z oporowym dwójnikiem przesuwającym i pochodne nazywa się układami z przełączaniem napięciowym [6, 9,-15] .

Do pracy w dwójniku przesuwającym lepiej nadają się diody krzemowe niż germanowe, gdyż mają one większą nieliniowość charakterystyki przewodzenia oraz większe spadki napięć przy tym samym prądzie przewodzenia.

Aby uzyskać odpowiednio szybki proces wyłączenia tranzystora inwertera należy zapewnić odpływ dostatecznie dużego prądu z bazy, płynącego w przeciwnym kierunku niż prąd włączający. W najpowszechniej stosowanych układach typu LLL uzyskuje się to przez odpowiedni obwód polaryzacji złożony z ujemnego źródła napięcia U_p i opornika R_p /jak na rys. 5b/.

Inny sposób szybkiego wyłączania tranzystora, przyjęty w omawianym rozwiązaniu, polega na wyprowadzeniu ładunku z bazy tranzystora poprzez diodowy dwójnik przesuwający [2, 21] . W tym celu diody dwójnika powinny mieć dostatecznie duży ładunek magazynowany *), aby w momencie przełączania ich ze stanu przewodzenia do stanu nieprzewodzenia popłynął przez nie dynamiczny prąd wsteczny odpowiedniej wartości.

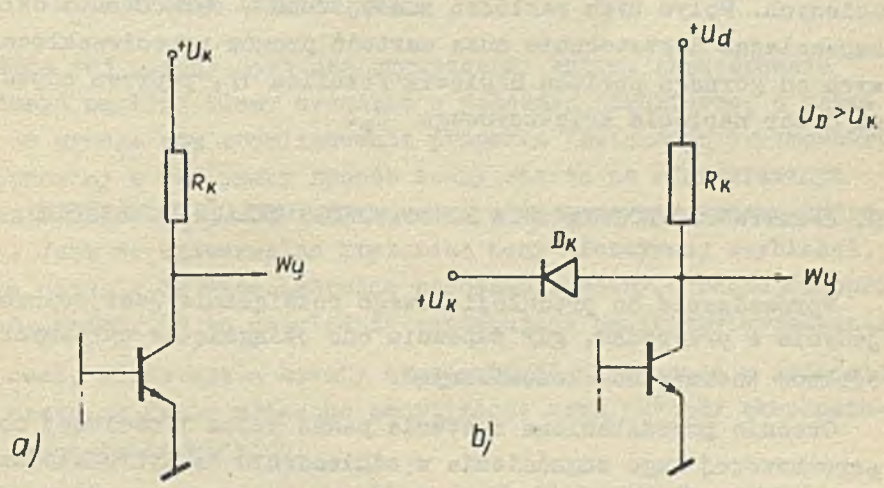
Istotną zaletą takiego rozwiązania układu jest wzajemna kompensacja zmian ładunku wstecznego diod dwójnika i ładunku magazynowanego w tranzystorze, w funkcji zmian wartości prądu sterującego bramki oraz temperatury otoczenia. Ponieważ prąd płynący przez opornik polaryzacji R_p nie odgrywa większej roli przy wyłączaniu tranzystora, więc może on być dobierany z uwzględnieniem tylko statycznych warunków pracy układu. Stąd wartość tego opornika może być dość duża. Zmniejsza to straty mocy w układzie i zwiększa wzmocnienie logiczne /tylko mała część prądu bramki przy przewodzącym tranzystorze płynie przez opornik polaryzacji/.

---

*) Bardzo często podobną rolę przy wyłączaniu spełnia kondensator /rys. 12, d, e, f/ jak np. w poprzednio opisanym układzie S-400 /rys. 6/.

5.3. Obwód wyjściowy.

Stosuje się dwa zasadnicze rozwiązania obwodu wyjściowego inwertera, które przedstawia rys. 12. Dioda poziomująca D_k /rys. 12 b/ zapewnia stały poziom napięcia na wyjściu przy nieprzewodzącym tranzystorze /niezależnie od obciążenia/ i zmniejsza oporność wyjściową układu. To ostatnie osłabia wpływ zakłóceń indukowanych w przewodach łączących. Do wad obwodu wyjściowego z diodą poziomującą należy zaliczyć większe straty mocy w układzie /przy nieprzewodzącym tranzystorze przez opornik kolektora płynie duży prąd/ i trudne do wykrycia uszkodzenia /przerwa w obwodzie diody D_k/, mogące powodować pracę układów na granicy obszaru poprawności.



Rys. 12. Różne postacie rozwiązania obwodu wyjściowego inwertera: a/ obwód najprostszy, b/ obwód z diodą poziomującą na wyjściu.

Dodatkową sprawą wymagającą uwzględnienia jest zwiększenie szybkości pracy układu przez zastosowanie obwodu wyjściowego z diodą poziomującą. Efekty takiego oddziaływania są szczególnie widoczne przy układzie pracującym z dużymi zmianami poziomów napięć na wyjściu. Dla układu z przełączaniem prądowym, tak jak w naszym przypadku, zmiany poziomów napięć są stosunkowo małe i wpływ diody poziomującej na szybkość pracy jest mniejszy. Stąd uznano, że nieopłacalne jest stosowanie takiej diody celem przyśpieszenia pracy układu.

W przyjętym rozwiązaniu /rys. 7/ zastosowano najprostszy obwód wyjściowy /rys. 12a/ bez diody poziomującej. Uwzględniono przy tym fakt, że skuteczność zmniejszania wpływu zakłóceń /pochodzących od przeników/ przez diodę poziomującą maleje wraz ze wzrostem szybkości układu. Wynika to ze wzrastającej roli indukcyjności przewodów łączących, na których odkładają się napięcia zakłócenia pochodzące ze szkodliwych sprzężeń pojemnościowych. Wpływ tych zakłóceń zmniejszono w opracowanym układzie zapewniając dostatecznie dużą wartość progów przeciwzakłóceniowych od górnego poziomu napięcia /tablica 1/, poprzez odpowiedni dobór napięcia kolektorowego U_k.

6. EFEKTYWNOŚĆ ROZWIĄZANIA PODSTAWOWEGO UKŁADU LOGICZNEGO.

Wprowadzenie do produkcji nowego rozwiązania jest celowe jedynie w przypadku, gdy zapewnia ono osiągnięcie wyraźnych efektów techniczno-ekonomicznych.

Obecnie przedstawiona zostanie pewna próba ilościowej oceny porównawczej tego zagadnienia w odniesieniu do wybranego układu logicznego. Ze względu na to, że układy logiczne stanowią zasadnicze składniki większych urządzeń cyfrowych, przy ich ocenie należy brać pod uwagę przede wszystkim szereg zagadnień systemowych. Stąd kryterium oceny nowego rozwiązania układu powinno uwzględniać jego wpływ na jakość opracowywanego urządzenia. Przy takim podejściu za punkt wyjścia można przyjąć pewne wskaźniki jakości stosowane do urządzeń cyfrowych i znajdując powią-

zanie między parametrami urządzenia cyfrowego a parametrami układów podstawowych, oszacować zyski lub straty wynikające z zastosowania danej realizacji technicznej.

Przy opracowaniu maszyny Univac-Larc [16] różne rozwiązania techniczne badano w oparciu o realizację techniczną bloku arytmometru. Wskaźnik efektywności miał postać

$$M = \frac{1}{TC} \cdot \frac{1}{N_t + \frac{N_d}{3}} \qquad /10/$$

gdzie:

T - czas wykonywania operacji dodawania

C - cena zastosowanych elementów

N_t - liczba użytych tranzystorów

N_d - liczba użytych diod.

Wadą tej metody jest jej ograniczony zakres zastosowania do dosyć wąskiej klasy urządzeń o podobnej strukturze, a także to, że wymaga ona zrealizowania projektu logicznego arytmometru. Proponowany w tej pracy sposób oceny oparto na sformułowanym przez Gluškova [3] kryterium oceny efektywności systemu cyfrowego. Jest to uniwersalne kryterium ceny efektywnej szybkości, które pozwala na wszechstronne porównanie różnych rodzajów opracowań. Kryterium to uwzględnia następujące parametry urządzenia:

Z - cenę, określającą koszty eksploatacji urządzenia w jednostce czasu, w które wliczono amortyzację oraz nakłady eksploatacyjno-konserwacyjne.

N - efektywną szybkość, określającą ilość typowych operacji /dla danego zbioru zadań/ w jednostce czasu, przy uwzględnieniu statystycznej częstości występowania poszczególnych operacji.

K - współczynnik niezawodności, określający prawdopodobieństwo uzyskania prawidłowego wyniku /$0 < K \leq 1$/.

Jako miarę efektywności dla tego kryterium przyjęto wskaźnik q , zwany ceną efektywnej szybkości

$$q = \frac{Z}{K \cdot N} \qquad /11/$$

Przy założeniu budowy tego samego urządzenia w oparciu o różne rozwiązania techniczne wskaźnik q można wykorzystać do porównania efektywności różnych układów logicznych. Metoda postępowania polega na przyporządkowaniu pewnych miar parametrom urządzenia, w zależności od wartości liczbowych parametrów układów. Gdy porównywane rozwiązania znacznie się różnią, należy uwzględniać różne ilości wykorzystanego sprzętu i wynikające stąd zmiany w określaniu parametrów urządzenia Z i K, na podstawie parametrów układów.

Dla układów logicznych o podobnych właściwościach funkcjonalnych zachodzi ta sama relacja między ich parametrami a parametrami urządzenia. Upraszcza to znacznie porównanie. Ponieważ zwykle interesująca jest względna zmiana efektywności, więc zamiast bezwzględnych wartości Z, K i N należy oszacować wielkości stosunków $Z' = \frac{Z_1}{Z_2}$; $K' = \frac{K_1}{K_2}$; i $N' = \frac{N_1}{N_2}$, a na ich podstawie $q' = \frac{q_1}{q_2}$ /indeksy określają poszczególne rozwiązania techniczne/. Stąd zmodyfikowana zależność /11/ zastosowana do celów porównawczych ma postać:

$$q' = \frac{Z'}{K' \cdot N'} \qquad /12/$$

W przyjętej metodzie postępowania założono, że wartości parametrów urządzenia są zależne liniowo od wartości parametrów układów wg zależności:

$$\emptyset = \sum_{i=1}^{k\emptyset} W_i \frac{P_{1i}}{P_{2i}} \qquad /13/$$

gdzie:

$\emptyset$ - zredukowany parametr urządzenia $\left/ \frac{Z_1}{Z_2}, \frac{K_1}{K_2}, \frac{N_1}{N_2} \right/$

P_{1i} - i-ty parametr układu 1 przyporządkowany danemu parametrowi urządzenia,

P_{2i} - i-ty parametr układu 2 przyporządkowany danemu parametrowi urządzenia,

W_i - założony współczynnik wagowy, związany z i-tym parametrem,

$k_\emptyset$ - liczba parametrów układu związana z parametrem $\emptyset$ urządzenia.

Wprowadzenie współczynników wagowych umożliwia, w zależności od wymagań, zróżnicowanie wpływu poszczególnych parametrów układu na wynik oceny.

Powiązanie parametrów urządzenia z parametrami układów oraz przyjęcie określonych współczynników wagowych jest raczej arbitralne i może opierać się na z góry przyjętych wytycznych, popartych pewnym doświadczeniem w realizacji urządzeń cyfrowych danego typu. W rozważaniach wstępnych można założyć jednakowe wartości W_i w ramach jednego parametru urządzenia.

Jeśli nie wyróżnimy żadnego z parametrów urządzenia, wówczas sumy współczynników wagowych związanych z każdym z nich powinny być takie same. Dla uproszczenia można założyć

$$\sum_{i=1}^{k_\emptyset} W_i = 1 \qquad /14/$$

Przy ocenie efektywności nowego rozwiązania podstawowego układu logicznego metodą porównawczą, za punkt odniesienia przyjęto inwerter techniki S-400 /p. 3.2/. Uwzględniono parametry układu, które najsilniej rzutują na parametry funkcjonalne urządzenia, między innymi oprócz niektórych parametrów technicznych, wymienionych poprzednio /p. 2/, wzięto pod uwagę cenę elementów konstrukcyjnych. Sposób przyporządkowania parametrów

układów parametrom urządzenia podano w tablicy 2. Stosunek wartości parametrów układów $\frac{P_{1i}}{P_{2i}}$ określono na podstawie danych z tablicy 1 oraz cen elementów i przybliżonego oszacowania niezawodności.

Zestaw danych do porównania szybkiego podstawowego układu logicznego na tranzystorze krzemowym z inwerterem techniki S-400.

Tablica 2.

Parametr urządzenia	Parametr układu	Współczynnik wagowy W_i	Stosunek wartości parametrów układów *) $\frac{P_{1i}}{P_{2i}}$	Uwagi
Efektywna szybkość /N/	1/ Szybkość /określona przez odwrotność średniego czasu propagacji/	0,5	8	
	2/ wzmocnienie logiczne	0,5	1,2	
Niezawodność /K/	1/ Niezawodność katastroficzna /określona przez odwrotność intensywności uszkodzeń/	0,5	3	W oparciu o dane o częstości uszkodz. elementów germanowych i krzemowych wg [17]. Porównano średnie wartości obu progów przeciwzakłóceniowych.
	2/ progi przeciwzakłóceniowe	0,5	1	
Cena /Z/	1/ Cena elementów	0,33	1,3	Liczba źródeł zasilających i pobór mocy określają cenę systemu zasilania.
	2/ liczba źródeł zasilających	0,33	0,66	
	3/ pobór mocy	0,33	0,33	

*) "1" nowe rozwiązanie, "2" układ S-400.

Porównanie cen oparto na aktualnych cennikach C.H.Z. Ocenę niezawodności przeprowadzono na podstawie danych dotyczących niezawodności półprzewodników germanowych i krzemowych, opublikowanych przez firmę SDS [17].

Po obliczeniu zredukowanych parametrów urządzenia wg zależności /13/ i podstawieniu do /12/ otrzymujemy wartość $q' = 0,08$, co w pełni uzasadnia celowość realizacji nowego rozwiązania /zmniejszenie ceny efektywnej szybkości o rząd wielkości/.

7. ZAKOŃCZENIE

Opisany inwerter stanowi podstawę realizacji zespołu szybkich układów logicznych S-50. Zespół ten opisany w [14] składa się z inwertera, inwertera mocy /układ dwutranzystorowy/, inwertera mocy przystosowanego do pracy na duże obciążenie pojemnościowe i przerzutników typu RS oraz JK, z możliwościami realizacji złożonych funkcji na wejściach.

Ponadto w skład zespołu wchodzą układy synchronizacji czasowej: uniwibrator i generator impulsów zegarowych oraz układy pomocnicze: nadajnik kabla, odbiornik kabla i element sygnalizacji świetlnej.

Badania laboratoryjne bloku cyfrowego złożonego z układów zespołu S-50 potwierdziły dużą odporność opracowanych układów na wpływy czynników zewnętrznych, takich jak wysoka temperatura, zmiany napięć zasilających, przeniki w przewodach łączących i zakłócenia w przewodach zasilających. Szczegółowe dane dotyczące właściwości funkcjonalnych układów oraz ich zastosowania do budowy sieci logicznych będą tematem innych opracowań.

Duże podobieństwo konfiguracji opracowanych układów do powszechnie stosowanych obecnie układów scalonych typu TDL umożliwia proste zastąpienie pewnych rozwiązań na elementach dyskretnych układami scalonymi. W ten sposób możliwe jest płynne przejście do nowych rozwiązań technologiczno-konstrukcyjnych.

Poza autorami w opracowaniu układów zespołu S-50 brali udział: mgr inż. M. Kowalewska, mgr inż. T. Sinkiewicz oraz mgr inż. E. Kulińska, której należą się osobne słowa podziękowania za wnikliwe przejrzenie tej pracy i udzielenie szeregu istotnych uwag, uwzględnionych przez autorów przy ostatecznej redakcji.

DODATEK A: Dane tranzystorów 2N 914 i 2G 397.

W tablicy A.1 podano podstawowe dane tranzystora 2N 914, na którym bazuje rozwiązanie inwertera opisywanego w pracy. Dla porównania przytoczono również dane tranzystora 2G 397, stosowanego w inwerterze techniki S-400.

Dane tranzystorów 2N 914 i 2G 397 /wartości parametrów podano dla temperatury 25°C/.

Tablica A.1.

Opis danych	Typ tranzystora	
	2N 914	2G 397
Rodzaj półprzewodnika	krzem	german
Rodzaj technologii	epitaksjalna, planarna	stopowa
Typ	n-p-n	p-n-p
Maksymalne napięcie emiter-baza /$V_{EBO\ max}$/	5 V	20 V
Maksymalne napięcie kolektor-emiter /baza rozwarta/ /$V_{CEO\ max}$/	15 V	15 V
Maksymalny prąd kolektora /$I_{c\ max}$/	500 mA /w impulsie/	200 mA
Maksymalna moc strat	360 mW	150 mW
Temperatura przechowywania	-65 ÷ +300°C	-65 ÷ +100°C
Maksymalny prąd wsteczny kolektor-baza przy odłączonym emiterze /$I_{CBO\ max}$/	25 nA /V_{CBO} = 20 V/	6 μA /V_{CBO} = 15 V/
Wzmocnienie stałoprądowe /B/	30 ÷ 120 /V_{CE}=1V, I_C=10mA/	40 ÷ 150 /V_{CE}=1V, I_C=10mA/
Maksymalne napięcie nasycenia na kolektorze	0,3 V /I_C=50mA, I_B=2,5mA/	0,2 V /I_C=50mA, I_B=2,5mA/
Maksymalna pojemność kolektora /$C_{ob\ max}$/	6 pF /V_{CB} = 10 V/	20 pF /V_{CB} = 5 V/
Minimalna częstotliwość graniczna*)	f_T = 300 MHz /V_{CE}=10V, I_C=20mA/	f_α = 10 MHz /V_{CE}=5V, I_C=1mA/
Typowa wartość czasu włączania**) /t_{ON}/	13 ns /I_C=30mA, I_{B1}=5mA/	470 ns /I_C=10mA, I_{B1}=1mA/
Typowa wartość czasu wyłączania**) /t_{OFF}/	27 ns /I_C=30mA, I_{B1}=I_{B2}=5mA/	550 ns /I_C=10mA, I_{B1}=I_{B2}=1mA/

*) Dla tranzystorów stopowych f_α = 1,6 f_T

**) I_{B1} - prąd włączający, I_{B2} - prąd wyłączający.

Literatura

1. CAGLE W.B., CHEN W.H.: A New Method of Designing Low-Level, High-Speed Semiconductor Logic Circuits, Proceedings of an International Symposium on the Theory of Switching, 2-5 April 1957, Part II, Harvard University Press, 1959:161.

2. CAGLE W.B., MENNE R.S., SKINNER R.S., STOEHLER R.R., UNDERWOOD M.D.: No 1 ESS Logic Circuits and Their Application to the Design of the Central Control, The Bell System Technical Journal, Sept. 1964: 5, 1, XLIII, 2055-2095.

3. GLUŠKOV V.M.: Dva universalny kryterii efektivnosti vyčislitelnych masin, ADAN USSR, 1960:4.

4. GRAY H.J.: Digital Computer Engineering, Prentice-Hall, Inc., 1963.

5. HORNA O.A.: Figure of Merit of Electronic Switching Devices, IEEE Tran. on Elect. Comp., EC-14, August 1965.

6. HURLEY R.B.: Transistor Logic Circuits, John Wiley and Sons, Inc., New York, London 1961.

7. JANKOWSKI T.: Zastosowanie tranzystorów stopowo-dyfuzyjnych w układach logicznych, Rozprawy Elektrotechniczne, 1965:4, 819.

8. JARVIS D.B.: The Effects of Interconnections on High-Speed Logic Circuits, IEE Trans. on Electr. Comp., October 1963:476-487.

9. KHAMBATA A.: Introduction to Integrated Semiconductor Circuits, J. Wiley, 1963.

10. KOWALEWSKA M.: Przesłuchy okablowania i transmisja sygnałów, Opracowanie wewnętrzne IMM, P90-TC-1, 1965.

11. LAMBERT A.: Trends in Logic Circuit Design, Electronics, December 1963: 6, 38.

12. LO A.W.: A Comprehensive View of Digital Integrated Electronic Circuits, Proceedings of the IEEE, December 1964:52, 12, 1546-1550.

13. PRACA ZBIOROWA: Katalog Techniki S-400, Opracowanie IMM, 1964.

14. PRACA ZBIOROWA: Szybkie tranzystorowe układy logiczne S-50, /opis ogólny/, Prace IMM - Sprawozdania 1965:I, 4.

15. PRESSMAN A.: Rasčet i proektirovanie schem na poluprovodnikovych priborach dlja cifrovych vyčislitelnych masin, Izdat. Inostran. Liter, Moskwa 1963.

16. PRYWES N.S., LUKOFF H., SCHWARZ J.: Univac-Larc High-Speed Circuity: Case History in Circuit Optimazation, IRE Trans. on Electr. Comp., Sept. 1961.

17. SDS 91C Computer, opracowanie firmy Scientific Data Systems, Santa Monica, California.

18. Transistor Logic Design, Texas Instruments, Inc.

19. WALSTON J.A., MILLER J.R.: Transistor Circuit Design, Mc Graw-Hill Book Company, Inc. 1963.

20. YAO F.C.: Interconnection and Noise Immunity of Circuitry in Digital Computers, IEEE Trans. on Elektr. Comp., December 1965:6, 875.

21. ZUK B.: Design and Application of the RCA DMC 100. Digital-Micro-Circuit Application Note, RCA, 1963.

HIGH-SPEED BASIC LOGICAL CIRCUIT BASED ON A SILICON TRANSISTOR

Summary

The paper discusses problems connected with the development of a high speed logical circuit NAND based on a silicon epiplanar transistor.

Special attention is drawn to mutual relation among speed and other circuit parameters. Characteristic features of the circuit are considered and compared with similar circuits used in ZAM 21/41 computer. The described circuit is the basis for a set of logical circuits S-50, destined for high-speed electronic digital computer as well as for devices used to automatics and digital measurement technique.

Kolportaż "PRAC IMM" prowadzi Ośrodek Rozpowszechniania Wydawnictw Naukowych PAN /Wzorcownia/, Warszawa, Pałac Kultury i Nauki, pojedyncze egzemplarze "PRAC IMM" są również do nabycia w Domach Książki /księgarnie techniczne/ oraz w Księgarni ORWN PAN.

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej
P 2225 66/67

B 19 (32)

W.D.N. — Zam. 580/0/67. Nakł. 380 egz.