1967

PEŁNOMOCNIK RZĄDU DO SPRAW ELEKTRONICZNEJ TECHNIKI OBLICZENIOWEJ

Prace Instytutu Maszyn Matematycznych

POLITECHNIKA BIBLIOTEKA GŁÓWNA GDAŃSK

P. 2225/66/67

Tom IV Praca B 20 (33)

PROJEKTOWANIE TRANZYSTOROWEGO UKŁADU LOGICZNEGO Z WYKORZYSTANIEM METODY PROGRAMOWANIA LINIOWEGO

Bohdan WOJTOWICZ

INSTYTUT MASZYN MATEMATYCZNYCH

P R A C E

Instytutu Maszyn Matematycznych

POLITECHNIKA ŚLĄSKA BIBLIOTEKA GŁÓWNA w Gliwicach

Tom IV Praca B 20/33/

PROJEKTOWANIE TRANZYSTOROWEGO UKŁADU LOGICZNEGO Z WYKORZYSTANIEM METODY PROGRAMOWANIA LINIOWEGO

Bohdan WOJTOWICZ

Warszawa 1967

Copyright © 1967 - by Instytut Maszyn Matematycznych, Warszawa
Poland
Wszelkie prawa zastrzeżone

P.W 283/67

KOMITET REDAKCYJNY

Leon ŁUKASZEWICZ /redaktor/, Antoni MAZURKIEWICZ,
Tomasz PIETRZYKOWSKI /z-ca redaktora/, Dorota PRAWDZIC,
Zdzisław WRZESZCZ.
Redaktor działowy: Zbigniew ŚWIĄTKOWSKI.
Sekretarz redakcji: Romana NITKOWSKA.
Adres redakcji: Warszawa, ul. Koszykowa 79, tel. 28-37-29

Instytut Maszyn Matematycznych
Praca B 20/33/
© 1967.05

681.322.004.14:65.012.122:
681.325.65

PROJEKTOWANIE TRANZYSTOROWEGO UKŁADU LOGICZNEGO Z WYKORZYSTANIEM METODY PROGRAMOWANIA LINIOWEGO

Bohdan WOJTOWICZ

Pracę złożono 11.IX.1965

W pracy omówiono zasady projektowania tranzystorowego układu logicznego z wykorzystaniem metody programowania liniowego. Przedstawiono tok szczegółowej analizy pracy wybranego układu prowadzący w procesie optymalizacji do wyznaczenia takich wartości oporników układu, które minimalizują moc strat elektrycznych w układzie. Podano również przykładowe dane wejściowe zadania simpleksowego dla dwóch wariantów elementów półprzewodnikowych i porównano wyniki obliczeń na maszynie ZAM-2 z danymi eksperymentalnymi.

1. WSTĘP

Projektowanie układu logicznego jest jednym z ważniejszych etapów projektu elektronicznego urządzenia cyfrowego, bowiem od poprawności działania wszystkich układów logicznych danego urządzenia zależy sprawne jego działanie jako całości.

Sprawność działania układu zależy od spełnienia zespołu wymagań funkcjonalnych i warunków statycznych oraz dynamicznych.

Powiązanie tych warunków z parametrami elementów konstrukcyjnych pozwala na sformułowanie układu nierówności projektowych. Nierówności te w przestrzeni określonej parametrami elementów konstrukcyjnych, wyznaczają obszar sprawnego działania

układu, odpowiadający zbiorowi rozwiązań dopuszczalnych. Z rozwiązań tych wybrać można rozwiązanie optymalne pod względem obranego kryterium.

Optymalizacja określonej liniowej funkcji celu z zespołem liniowych warunków ograniczających jest ogólnym zagadnieniem programowania liniowego. Dlatego opracowane metody programowania liniowego mogą być zastosowane do projektowania układu logicznego, o ile warunki ograniczające i funkcję celu sprowadzi się do postaci liniowej.

Tranzystorowy układ logiczny wymaga uwzględnienia w procesie projektowania wielu parametrów elementów konstrukcyjnych, napięć zasilających oraz parametrów statycznych i dynamicznych układu, tak że celowe wydaje się wprowadzenie automatyzacji procesu optymalizacji. W pracy tej sprowadzono zadanie do ogólnego zadania simpleksowego, rozwiązywanego przy pomocy programu standartowego.

2. ZASADY PROJEKTOWANIA TRANZYSTOROWEGO UKŁADU LOGICZNEGO Z WYKORZYSTANIEM METODY PROGRAMOWANIA LINIOWEGO

2.1. Ogólne zagadnienie programowania liniowego

Ogólne zagadnienie programowania liniowego polega na znalezieniu wektora $/x_1, x_2, \dots x_n/$, który minimalizuje funkcję celu

$$F = C_1 x_1 + C_2 x_2 + C_3 x_3 \dots + C_n x_n$$

poddaną ograniczeniom liniowym

$$x_j \geqslant 0 \qquad j = 1, 2, \dots n;$$

oraz

$$a_{11} x_1 + a_{12} x_2 + \dots + a_{1n} x_n \geqslant b_1$$

$$a_{21} x_1 + a_{22} x_2 + \dots + a_{2n} x_n \geqslant b_2$$

.....

$$a_{m1} x_1 + a_{m2} x_2 + \dots + a_{mn} x_n \geq b_m$$

gdzie a_{ij}, b_i, c_j są stałymi oraz $m < n$.

Jedną z metod rozwiązywania zadania programowania liniowego jest metoda simpleks.

Metoda ta opracowana została przez G. Dantzinga. Opiera się ona na całym zespole twierdzeń wynikających z założenia liniowości zarówno warunków ograniczających jak i samej funkcji celu. Twierdzenia te określają, że obszar rozwiązań dopuszczalnych jest obszarem wypukłym i że wartość ekstremalna funkcji celu /poszukiwane optimum/ leży w jednym z wierzchołków tego odszaru. Stąd poszukiwanie optimum ograniczone zostaje do punktów wierzchołkowych obszaru. Algorytm simpleksu podaje metodę krokową poszukiwania tego optimum w skończonej ilości iteracji. Każda iteracja składa się z przebadania nowych rozwiązań dopuszczalnych, wybrania takiego rozwiązania, które powoduje największą zmianę funkcji celu w pożądanym kierunku i zastąpienia nim rozwiązania poprzedniego. Operacje te są kontynuowane aż do momentu osiągnięcia poszukiwanego optimum. Szczegółowe wiadomości o tej metodzie są zawarte w książce S.I. Gassa [8].

Obrany tok projektowania tranzystorowego układu logicznego ma na celu sformułowanie zadania w wyżej podanej formie. Do osiągnięcia tego celu podzielono projekt na następujące etapy:

- sformułowanie wymagań dla układu wraz z określeniem kryterium optymalizacji
- wybór konfiguracji /topologii/ układu
- sformułowanie warunków projektowych
- rozwiązanie zadania metodą simpleks.

2.2. Sformułowanie wymagań dla układu

Sformułowanie wymagań dla układu ma na celu zdefiniowanie podstawowych właściwości funkcjonalnych i technicznych układu.

Z właściwości funkcjonalnych należy wymienić w pierwszym rzędzie:

- współczynnik spływu logicznego /fan-in/ N
- współczynnik wzmocnienia logicznego /fan-out/ K.

Właściwości techniczne obejmują z kolei takie parametry dynamiczne jak:

- czas włączania układu T_1,
- czas wyłączania układu T_2.

Z czasami tymi wiąże się czas propagacji sygnału przez układ, który oszacować można wg zależności

$$t_p = m \left[T_1 + T_2\right]$$

gdzie:

m - współczynnik mniejszy od $\frac{1}{2}$, zależny od topologii układu.

W dalszej części pracy operować będziemy czasami T_1 oraz T_2. Właściwości techniczne układu obejmują również takie parametry jak:

- poziomy sygnałów
- dopuszczalne pojemności szkodliwe na wejściu C_{swe} i wyjściu C_o
- odporność układu na zakłócenia
- zakres temperatury pracy
- napięcia zasilające itp.

Wymagania odnośnie układu podają zwykle jaki parametr układu winien podlegać optymalizacji. Jednym z podstawowych parametrów optymalizacji może być moc strat elektrycznych w układzie. Parametr ten ważny jest nie tylko ze względu na zużycie energii elektrycznej przyszłych urządzeń cyfrowych, ale również ze względu na jego oddziaływanie na temperaturę pracy wszystkich elementów układu, co ma wpływ na niezawodność.

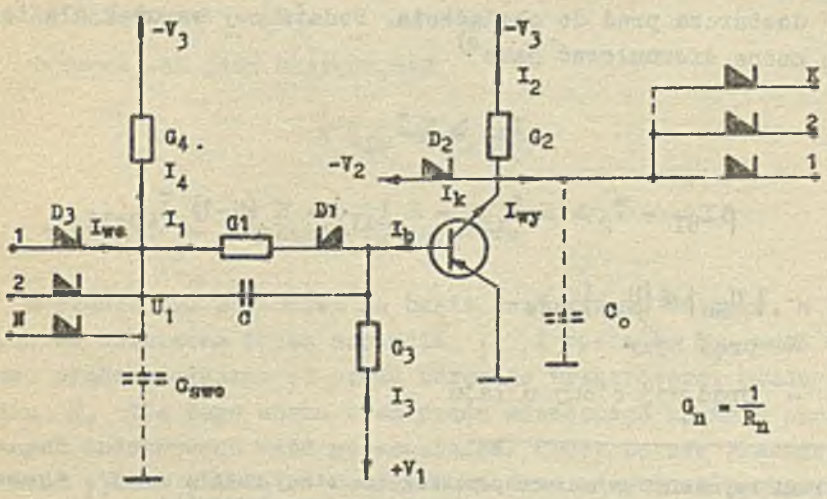
Zadanie projektowe przedstawione w tej pracy polegać będzie na znalezieniu takich wartości oporników układu, aby przy spełnieniu narzuconych warunków statycznych i dynamicznych uzyskać minimum mocy strat w układzie.

2.3. Wybór konfiguracji układu

Wybór konfiguracji układu ma na celu określenie, najlepszej dla danych zastosowań, topologii układu. Dokonuje się go z reguły w oparciu o literaturę przedmiotu oraz doświadczenia własne konstruktorów, stosując przy ocenie cały zespół kryteriów [7].

Schemat ideowy obranego układu, który stanowi temat dalszych rozważań przedstawiono na rys. 1. Jest to wzmacniacz tranzystorowy poprzedzony jednowarstwową bramką diodową. Bramka ta dla konwencji -6V—"1" realizuje iloczyn sygnałów wejściowych. Tranzystor pracuje w układzie wspólnego emitera, stąd oprócz wzmocnienia napięciowego i prądowego powoduje odwrócenie fazy sygnału wejściowego.

Układ realizuje więc negację iloczynu. Odpowiednie połączenie dwóch takich układów tworzy element pamiętający. Stąd ok. 90 % dowolnej sieci logicznej można zrealizować opierając się na tym układzie.



Rys. 1. Schemat ideowy układu.

3. SFORMUŁOWANIE NIERÓWNOŚCI PROJEKTOWYCH

Celem sformułowania warunków projektowych wybranego układu, przeprowadzono szczegółową analizę cyklu jego pracy, a następnie dążono do powiązania wymagań narzuconych układowi z parametrami elementów półprzewodnikowych i prądami w gałęziach obwodu.

Okres pracy układu podzielić można na cztery części:
- stan I - stan ustalony przewodzenia
- stan II - stan ustalony zatkania
- stan III - stan przejściowy włączania
- stan IV - stan przejściowy wyłączania.

Przy formułowaniu warunków dla układu zastosowano metodę najgorszych okoliczności /najgorszego przypadku/.

S t a n I - Przewodzenie tranzystora

W stanie tym tranzystor przewodzi i znajduje się w nasyceniu. Układ dostarcza prąd do obciążenia. Podstawowy warunek dla tego stanu można sformułować jako*)

$$\underline{I}_{wy} \geq K\,\overline{I}_{we}$$

$$\beta I_{bI} - \overline{I}_2 \geq K\,\overline{I}_{4II} - K\,\underline{I}_{1II} + K\,(N-1)\,\overline{I}_{WD3II} \qquad /1/$$

przy - $|U_{ke}| \leq |U_{ke}|_{nas}$

I_b - prąd bazy

I_{wy} - prąd wyjściowy układu

---

*) Cyframi rzymskimi oznaczono poszczególne stany układu np. I_{bI} - oznacza prąd bazy tranzystora w stanie pierwszym /przewodzenia/. Oznaczenia poszczególnych prądów w układzie /I_1, I_4, I_{wy}/ podano na rys. 1. Kreska nad symbolem oznacza wartość maksymalną, pod symbolem - wartość minimalną.

I_{we} - prąd wejściowy układu

K - współczynnik wzmocnienia logicznego

I_1, I_2, I_4 - prądy w przewodnościach odpowiednio G_1, G_2, G_4

N - współczynnik spływu logicznego

β - współczynnik wzmocnienia prądowego tranzystora w układzie OE

I_{WD3II} - prąd wsteczny diody wejściowej /D_3/ dla stanu II.

U_{ke} - spadek napięcia kolektor-emiter, wartość określona dla danego typu tranzystora dla górnej granicy spodziewanego zakresu prądu kolektora i przy minimalnym współczynniku wzmocnienia tranzystora.

$U_{ke\ nas}$ - wartość katalogowa napięcia nasycenia tranzystora.

W stanie tym rozpatrzenia wymaga również przypadek, gdy w uprzednio włączonym układzie następuje, na skutek otwarcia bramek diodowych stanowiących jego obciążenie, szybki wzrost obciążenia układu.

Wchodzi wówczas w rachubę parametr tranzystora "wzmocnienie na żądanie" - β_s [5].

Warunek ten jest następujący

$$K\, I_{we} \leq \underline{\beta}_s\, I_{\underline{b}I} \qquad /2/$$

S t a n II - Zatkanie tranzystora

W stanie tym potencjał na bazie jest wyższy od zera, a źródło prądowe utworzone przez napięcie V_1 i opornik R_3 musi dostarczyć prądu większego od prądu zerowego tranzystora, prądu w oporniku R_1 dla tego stanu oraz prądu wstecznego ujemnie spolaryzowanych dodatkowych diod przerzutnika. Prądy zerowe tranzystora i diod silnie zależą od temperatury oraz od procesów starzeniowych i należy tu uwzględnić oba te czynniki.

Stabilność tego stanu zapewniona jest warunkiem

$$I_{R3II} \geqslant I_{ko} + 2I_{WD4II} + I_{1II} \qquad /3/$$

I_{R3II} - prąd w oporniku R_3

I_{ko} - prąd wsteczny złącza baza-kolektor w maksymalnej temperaturze otoczenia i po procesie starzenia

I_{WD4II} - prąd wsteczny dodatkowej diody dla przypadku utworzenia przerzutnika z dwóch projektowanych układów. /Przewidziano podłączenie dwóch takich diod/. Założono, że prąd wsteczny tych diod jest taki sam jak diod D_3.

I_{1II} - prąd przewodzenia diody D_1 niezbędny dla wytworzenia napięciowego progu od zakłóceń na górnym poziomie sygnału.

S t a n III - Włączanie tranzystora

Jest to stan przejściowy, w którym tranzystor przechodzi ze stanu zatkania do stanu przewodzenia. Pomocny będzie nam wykres przebiegów czasowych w układzie, przedstawiony na rys. 2. Okres ten podzielić można na trzy odcinki czasowe:

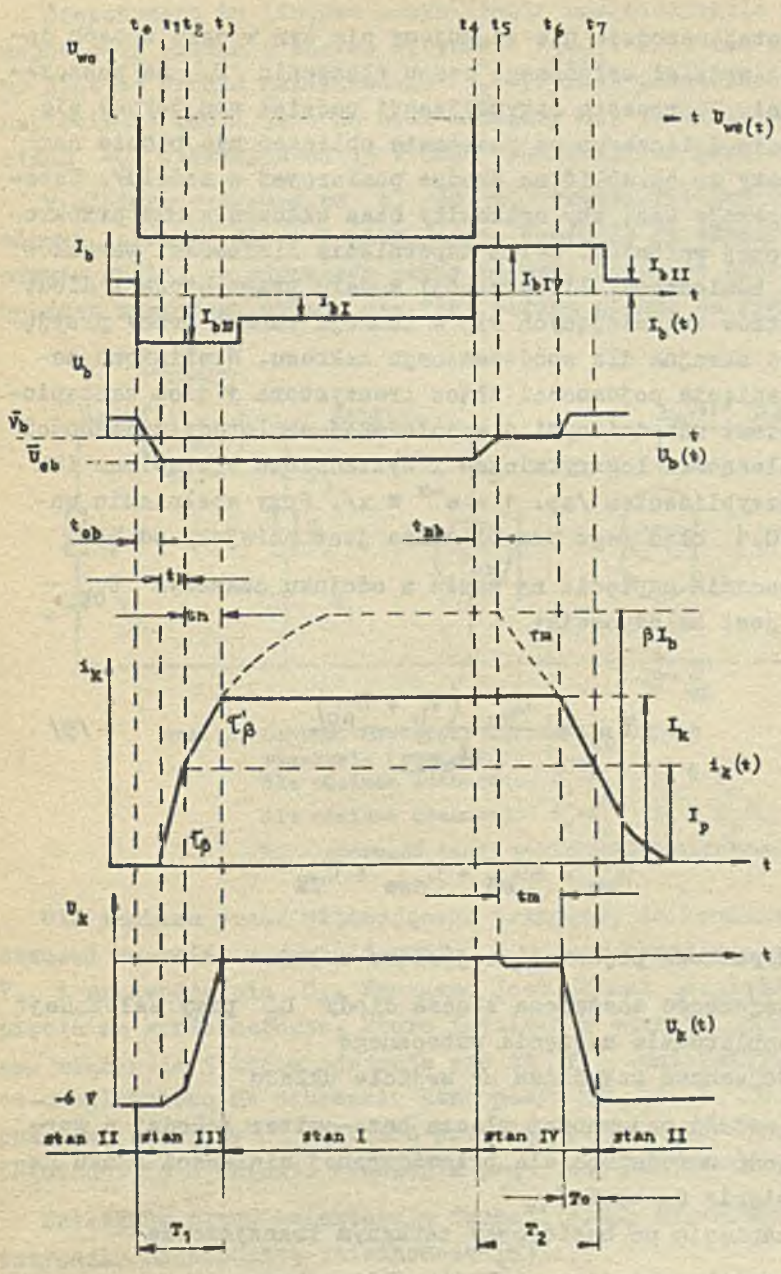
t_{ob} - czas opadania napięcia na bazie tranzystora

t_p - czas narastania prądu od wartości I_{ko} do I_p /gdzie I_p - wartość prądu diody poziomującej D_2 jaki płynie przez nią w okresie zatkania tranzystora/

t_n - czas narastania prądu kolektora od wartości I_p do I_k określonego przez obciążenie.

Warunek dla tego okresu można sformułować następująco

$$t_{ob} + t_p + t_n \leqslant T_1 \qquad /4/$$



Rys.2. Przebiegi napięć i prądów w charakterystycznych punktach układu.

W przyjętej metodzie nie zajmujemy się tym w jaki sposób dokonany jest podział założonego czasu włączenia T_1 na poszczególne części. W procesie optymalizacji podział ten dokona się automatycznie i liczbowo na podstawie obliczeń nie będzie nam znany /możemy go określić na drodze pomiarowej w modelu/. Natomiast interesuje nas, aby całkowity czas włączenia nie przekroczył założonej wartości. Celem zapewnienia liniowości warunków zachodziła konieczność linearyzacji modelu tranzystora i diod. Dla parametrów zmieniających się w funkcji punktu pracy przyjęto wartości skrajne dla spodziewanego zakresu. Nieliniowo zależne od napięcia pojemności złącz tranzystora i diod zastąpiono wartościami uśrednionymi dla założonej amplitudy zmienności napięć. Zależności logarytmiczne i wykładnicze zastąpiono ich liniowym przybliżeniem /np. $1 - e^{-x} \cong x$/. Przy spełnieniu warunku $x \leq 0.1$ błąd tego przybliżenia jest mniejszy od 5 %.

Czas opadania napięcia na bazie w odcinku czasowym t_{ob} określony jest zależnością:

$$t_{ob} = \frac{C_{we}\left(V_b + U_{eb}\right)}{\underline{\underline{t}}_{bIII}} \qquad /5/$$

gdzie:

$$C_{we} = NC_{D3} + C_{swe} + C_{TE}$$

C_{we} – wypadkowa pojemność wejściowa układu

C_{D3} – pojemność zastępcza złącza diody D_3 przy założonej amplitudzie napięcia wstecznego

C_{swe} – pojemność szkodliwa na wejściu układu

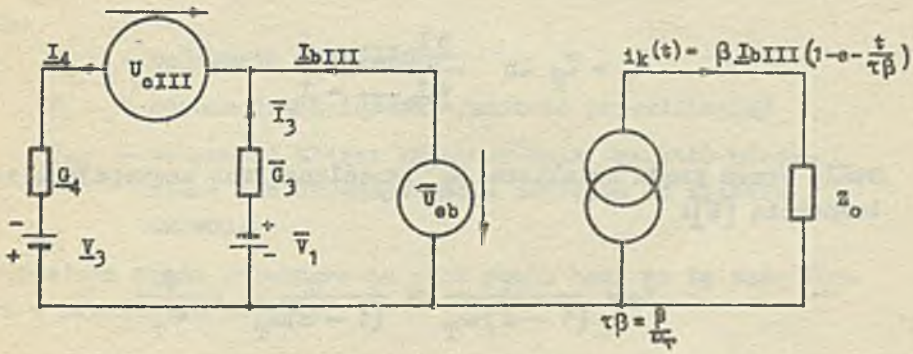
C_{TE} – wartość pojemności złącza baza-emiter /chodzi o wartość uśrednioną dla przewidywanej wielkości skoku napięcia na bazie/

V_b – napięcie na bazie przy zatkanym tranzystorze

U_{eb} – spadek napięcia na złączu emiter-baza.

Zastosowano tu liniowe przybliżenie rozładowywania pojemności wejściowej prądem o stałej wartości I_{bIII}. Prąd ten dostarczany jest ze źródła napięciowego V_3 poprzez przewodność G_4. Skok napięcia na bazie jest na ogół mniejszy niż 1.5 V, co przy napięciach V_3 większych od 15 V daje wystarczające przybliżenie.

W odcinku czasowym od t_1 do t_2 tranzystor pracuje na dynamiczną oporność diody poziomującej. Napięcie na tranzystorze jest prawie stałe, co odpowiada pracy na małą oporność obciążenia. Schemat zastępczy układu dla tego okresu podano na rys. 3.



Rys. 3. Schemat zastępczy układu dla okresu włączania tranzystora
dla odcinka czasowego t_1-t_2 $Z_o \cong R_d$
dla odcinka czasowego t_2-t_3 $Z_o = C_o/R_o$
R_d - oporność diody w kierunku przewodzenia.

Dla impulsu prądu włączającego przyjęto, że kondensator C stanowi zwarcie, a wartość prądu I_4 jest określona napięciem V_3 i przewodnością G_4. Wymagane jest jednak uwzględnienie napięcia na kondensatorze, które istniało w okresie poprzedzającym włączenie i które odejmuje się od V_3, zmniejszając prąd I_4, co uwzględniono na schemacie zastępczym na rys. 3. Na rys. 2 pokazano przyjęty do obliczeń przebieg prądu bazy tranzystora. Założono, że w okresie włączania prąd bazy nie ulega zmianie.

Zależność prądu kolektora w funkcji czasu określona jest w tym przypadku następującą zależnością [6]

$$i_{k(t)} = \beta I_b \left(1 - e^{-\frac{t}{\tau_\beta}}\right) \qquad /6/$$

gdzie:

τ_β - stanowi stałą czasu prądu kolektora w układzie wspólnego emitera.

Stąd maksymalny czas, po którym osiągnięta jest wartość $i_k = I_p$ wyznaczyć można z wzoru

$$t_p = \tau_\beta \ln \frac{\beta I_{bIII}}{\beta I_{bIII} - I_p} \qquad /7/$$

Stała czasu prądu kolektora τ_β określona jest następującą zależnością [6]:

$$\tau_\beta = \frac{1}{(1-\alpha)\omega_T} \approx \frac{\alpha}{(1-\alpha)\omega_T} = \frac{\beta}{\omega_T} \qquad /8/$$

gdzie:

ω_T - pulsacja graniczna tranzystora.

Stosując liniowe przybliżenia funkcji logarytmicznej oraz zależność /8/ uzyskujemy ostatecznie wzór na t_p

$$t_p = \frac{I_p}{\omega_T \cdot I_{bIII}} \qquad /9/$$

W odcinku czasowym $t_2 - t_3$ /rys. 2/ tranzystor jest nadal w rejonie aktywnym, ale napięcie na kolektorze nie jest już stałe, formuje się bowiem napięciowy impuls wyjściowy układu. Uwzględnić należy w tym okresie zarówno pojemność C_{TC} tranzystora jak i pojemność szkodliwą na wyjściu układu C_o.

Przebiegi mają tu taki sam charakter jak w odcinku $t_1 - t_2$, ulega jednak modyfikacji stała czasu τ_β uwzględniająca wpływ ww pojemności.

Zmodyfikowana stała czasu określona jest zależnością /wyprowadzenie w dodatku A/

$$\bar{\tau}'_\beta = \bar{\beta}\left[\frac{1}{\omega_T} + \bar{R}_o\left(\bar{C}_{TC} + \frac{\bar{C}_o}{\bar{\beta}}\right)\right] \qquad /10/$$

gdzie:

C_o – pojemność obciążenia

R_o – odporność obciążenia /wartość przewidywana/

C_{TC} – pojemność złącza kolektor-baza /wartość uśredniona dla obranego skoku napięcia na wyjściu układu/.

Odpowiedź prądu kolektora na skok prądu bazy ma tę samą formę co w okresie poprzednim

$$\bar{t}_n = \bar{t}_3 - \bar{t}_2 = \bar{\tau}'_\beta \ln \frac{\bar{\beta}\,\bar{I}_{kIII} - \bar{I}_p}{\bar{\beta}\,\bar{I}_{bIII} - \bar{I}_k} \qquad /11/$$

Korzystając z liniowego przybliżenia funkcji logarytmicznej i podstawiając zależność na τ'_β uzyskujemy wzór na czas narastania

$$t_n = \left[\frac{1}{\omega_T} + R_o\left(\bar{C}_{TC} + \frac{\bar{C}_{swy}}{\beta}\right)\right]\frac{\bar{I}_k - \bar{I}_p}{\bar{I}_{bIII}} \qquad /12/$$

Ostatecznie warunek dynamiczny dla okresu włączania przyjmuje postać

$$\frac{\left(N\bar{C}_{D3} + \bar{C}_{swe} + \bar{C}_{TE}\right)\left(\bar{V}_b + \bar{U}_{eb}\right)}{\underline{I}_{bIII}} + \frac{\bar{I}_p}{\underline{\omega}_T\,\underline{I}_{bIII}} +$$

$$+\left[\frac{1}{\underline{\omega}_T} + R_o\left(\bar{C}_{TC} + \frac{\bar{C}_{swy}}{\underline{\beta}}\right)\right]\frac{\bar{I}_k - \bar{I}_p}{\underline{I}_{bIII}} \leqslant T_1 \qquad /13/$$

S t a n IV - Wyłączanie tranzystora

Okres wyłączenia tranzystora również podzielić można na trzy odcinki czasowe:

t_{nb} - czas narastania napięcia na bazie tranzystora

t_m - czas potrzebny na wyprowadzenie tranzystora z nasycenia

t_o - czas opadania prądu kolektora.

Pierwszy z czasów określony jest zależnością:

$$t_{nb} = \frac{\bar{C}_{we}\,\bar{U}_{eb}}{\underline{I}_{bIV}} \qquad /14/$$

Mamy tu do czynienia z ładowaniem pojemności wejściowej układu. Ładowanie to dokonuje się prądem zatykania tranzystora I_{b2IV} /rys. 2/. Prąd ten dostarczany jest poprzez wejście układu z tranzystora poprzedniego stopnia, który w omawianym okresie ma charakter źródła prądowego.

Ładunek wyłączenia prądu kolektora I_k składa się z ładunku Q_c jaki wprowadzono do bazy celem wywołania prądu I_k, ładunku nadmiarowego Q_s gromadzonego w bazie, oraz ładunku Q_{CTC} potrzebnego na przeładowanie pojemności C_{TC}.

Czas wyłączenia tranzystora t_m jest wprost proporcjonalny do sumy tych ładunków, a odwrotnie proporcjonalny do prądu zatykającego tranzystor w tym okresie I_{b2IV}

$$t_m = \frac{Q_c + Q_s + Q_{CTC}}{I_{b2IV}}$$

a po podstawieniu odpowiednich zależności na poszczególne ładunki [9]

$$t_m = \frac{\frac{I_k}{\omega_T} + \bar{\tau}_m \left(\bar{I}_{b1I} - \frac{I_k}{\beta}\right) + \bar{C}_{TC}\ \Delta\bar{U}_k}{\bar{I}_{bIV}} \qquad /15/$$

gdzie:

τ_m – stała czasu magazynowania nośników w obszarze bazy

ΔU_k – amplituda sygnału napięciowego na wyjściu układu

I_{bIV} – prąd bazy w okresie IV.

Czas opadania impulsu wyjściowego uwarunkowany obwodem zewnętrznym, zależy od rozładowania pojemności wyjściowej źródłem prądowym, utworzonym przez napięcie V_3 oraz opornik R_2

$$t_o = \frac{\bar{C}_{wy}\ \Delta\bar{U}_k}{\bar{I}_{2IV}} \qquad /16/$$

Ze względu na inny mianownik w wyrażeniu na t_o niż w wyrażeniach na t_{nb} i t_m, dla zapewnienia liniowej postaci warunków względem przewodności układu, sformułowano dwa oddzielne warunki dla stanu IV.

$$\frac{\left(N\bar{C}_{d3} + \bar{C}_{swe} + \bar{C}_{TE}\right)\bar{U}_{eb}}{\bar{I}_{bIV}} + \frac{\frac{\bar{I}_k}{\omega_T} + \bar{\tau}_m\left(\bar{I}_{b1I} - \frac{\bar{I}_k}{\beta}\right) + \bar{C}_{TC}\ \Delta\bar{U}_k}{I_{bIV}} \leqslant T_2 - T_o \qquad /17/$$

$$\frac{\left(\bar{C}_o + \bar{C}_{TC} + K \cdot \bar{C}_{D3} + \bar{C}_{D2}\right) \Delta \bar{U}_k}{\underline{I}_{2IV}} < T_o \qquad /18/$$

4. SPROWADZANIE WARUNKÓW DO STANDARTOWEJ POSTACI ZADANIA SIMPLEKSOWEGO

Przedstawiona analiza pracy układu pozwoliła na powiązanie wymagań na układ z parametrami elementów półprzewodnikowych i wartościami poszczególnych prądów w układzie.

Na podstawie klasycznej analizy schematów zastępczych układu dla określonych stanów /rys. 3/ wyrażamy teraz prądy występujące we wzorach 1, 2, 3, 13, 17 i 18 przy pomocy napięć i przewodności. Grupując następnie wyrazy wg przewodności uzyskujemy układ warunków projektowych następującej formy

$$a_{1j} \cdot G_1 + a_{2j} \cdot G_2 + a_{3j} \cdot G_3 + a_{4j} \cdot G_4 \leq b_j \qquad /19/$$

$$\text{dla } j = 1, 2, 3, 4, 5, 6$$

gdzie: G_i - szukane przewodności układu.

Rozpatrzmy dla przykładu warunek pierwszy, którego forma początkowa podana jest wzorem 1. Kolejne przekształcenia prowadzące do ostatecznej formy dla zadania simpleksowego są w tym przypadku następujące:

$$\underline{\beta}\left(\underline{I}_{1I} - \underline{I}_{3I}\right) - \underline{I}_{2I} \geq K\, \underline{I}_{4II} - K\, \underline{I}_{1II} + K\,(N-1)\, \underline{I}_{WD3II}$$

$$\underline{\beta}\, \underline{I}_{1I} + K\underline{I}_{1II} - \underline{I}_{2I} - \underline{\beta}\, \underline{I}_{3I} - K\underline{I}_{4II} \geq K\,(N-1)\, \underline{I}_{WD3II}$$

$$\left[\beta\left(\underline{U}_1 - \underline{U}_{eb} - \underline{U}_{D1I}\right) + K\left(\underline{V}_b + \underline{U}_{ek} + \underline{U}_{D3II} - \underline{U}_{D1II}\right)\right] \lambda d\, G_1$$

$$- (V_3 - U_{ek}) \lambda g \; G_2$$
$$- \beta (V_1 + U_{eb}) \lambda g \; G_3$$
$$- K (V_3 - U_{ek} - U_{D3II}) \lambda g \; G_4 \geqslant K(N-1) I_{WD3II}$$

W ostatniej zależności współczynniki przy G_1, G_2, G_3 i G_4 stanowią odpowiednio a_{11}, a_{12}, a_{13}, a_{14}.

Szczegółowe wzory na ~~ww~~ współczynniki podano w dodatku B.

Uzyskane nierówności stanowią granice obszaru dopuszczalnych rozwiązań. Należy jeszcze określić funkcję celu, dla której poszukiwać będziemy wartości minimalnej leżącej wewnątrz tego obszaru. Minimalizacji podlegać ma, jak wspomniano uprzednio, moc strat elektrycznych w układzie.

Średnia moc strat elektrycznych układu, zaniedbując moc strat w półprzewodnikach, określona jest zależnością:

$$P_{śr} = \frac{1}{2} U_1^2 G_1 + \frac{1}{2}\left[(V_3 - V_2)^2 + V_3^2\right] G_2 + V_1^2 G_3 + \frac{1}{2}\left[(V_3 - U_1)^2 + V_3^2\right] G_4 \qquad /20/$$

gdzie wyrażenia przy zmiennych G_1, G_2, G_3, G_4, stanowią odpowiednio współczynniki C_1, C_2, C_3, C_4 funkcji celu.

Tak więc sformułowane zostały wszystkie zależności wiążące wymagania na układ z podstawowymi parametrami elementów konstrukcyjnych, które pozwalają na zastosowanie standartowego programu simpleksowego.

5. OBLICZENIA UKŁADU

Obliczenia przeprowadzono dla dwóch zestawów elementów półprzewodnikowych. Wersję A oparto na tranzystorze 2G397 i diodach DG-51. Wersję B oparto na tranzystorze 2SA276 i diodach OA-47.

W obu przypadkach jako diodę D1 zastosowano diodę krzemową DK-10. Tolerancje oporników wynoszą ± 5 %, a napięć zasilających ± 5 % i ± 3 %.

Dane wejściowe do obliczeń obu wersji zestawiono w dodatku C.

Obie wersje obliczono dla kilku wariantów założonych czasów włączenia i wyłączenia.

W obliczeniach przeprowadzonych na maszynie ZAM-2 w Biurze Obliczeń ZD IMM zastosowano standartowy program znajdujący się w bibliotece ośrodka. Jest to algorytm simpleks zmodyfikowany, którego szczegółowy opis znaleźć można w książce S.I.Gassa [8].

Sposób formułowania zadania na maszynę, opis programu, jak również opis eksploatacyjny znaleźć można w opracowaniu dr R. Zielińskiego [10].

Obliczenie współczynników a_{ij}, b_i, oraz c_j, dokonano na podstawie wzorów podanych w dodatku B, korzystając z autokodu SAKO [11].

Poniżej podano zestawienie założonych czasów i uzyskane wartości funkcji celu.

Wersja A.

Nr wariantu	T_1 µsek	T_2 µsek	T_o µsek	Moc strat w układzie
200	0,6	1,6	0,9	brak rozwiąz.dopuszcz.
201	0,6	1,6	1,2	"
202	0,8	1,4	0,9	82,25 mW
203	0,8	1,4	1,2	91,72 mW
204	1,1	1,4	0,9	78,73 mW

Wersja B.

Nr wariantu	T_1	T_2	T_o	
400	0,2	0,54	0,3	brak rozwiąz.dopuszcz.
401	0,2	0,54	0,4	"
402	0,27	0,47	0,3	102,53 mW

403	0,27	0,47	0,4	91,46 mW
404	0,33	0,4	0,27	113,03 mW

Do badań eksperymentalnych wybrano wariant 204 i 403. Wartości G_i dla tych wariantów uzyskano następujące:

204	403
G_1 = 295,46 μmho	G_1 = 326,73 μmho
G_2 = 285,77 "	G_2 = 355,68 "
G_3 = 45,26 "	G_3 = 32,49 "
G_4 = 152,52 "	G_4 = 136,12 "

Po zmontowaniu układów z oporników o standartowych wartościach położonych najbliżej otrzymanych rozwiązań oraz symulując obciążenie, pojemności na wejściu i wyjściu oraz niekorzystne zmiany napięć zasilających dokonano pomiaru parametrów dynamicznych układu.

Wyniki pomiarów zestawione z wartościami projektowanymi podaje poniższa tabela.

	T_1 [μsek]		T_2 [μsek]	
	z obliczeń	z pomiarów	z obliczeń	z pomiarów
Wariant 204	1,1	1,2	1,4	1,46
Wariant 404	0,33	0,31	0,4	0,36

6. WNIOSKI KOŃCOWE

Przeprowadzenie obliczeń dla kilku wariantów czasów i dla dwóch różnych zestawów elementów półprzewodników pozwoliło dokonać oceny zastosowanej metody projektowania. W pirwszym rzędzie należy tu wskazać na uzyskaną stosunkowo dużą zgodność projektowanych czasów włączenia i wyłączenia z danymi eksperymentalnymi mimo poczynionych uproszczeń.

Automatyzacja obliczeń pozwoliła uwzględnić wszystkie ważniejsze parametry elementów konstrukcyjnych. Oprócz tego łatwość narzucenia różnych czasów T_1, T_2 oraz T_0 pozwala nie tylko na ocenę przydatności danych elementów półprzewodnikowych dla projektowanej prędkości układów, ale również na ocenę wpływu poszczególnych ich parametrów, co może służyć za podstawę do określenia warunków technicznych na elementy konstrukcyjne i umożliwia wybór optymalnego układu bez konieczności prowadzenia żmudnych pomiarów w wielu wariantach układów.

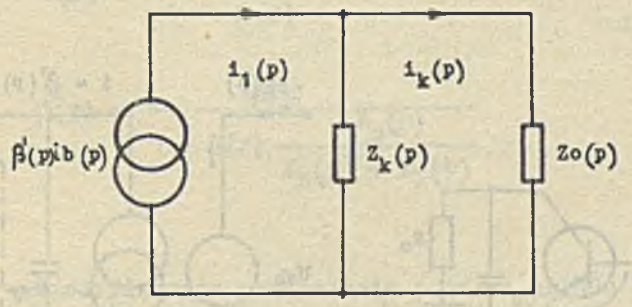
Ograniczenie metody stanowi natomiast konieczność linearyzacji układów zastępczych elementów konstrukcyjnych jak i samych warunków projektowych.

Składam podziękowanie mgr I.Kwiatkowskiemu oraz mgr H.Radzikowskiemu za przygotowanie danych dla maszyny i przeprowadzenie obliczeń.

DODATEK A.

Wyznaczenie zmodyfikowanej stałej czasu τ_β' dla odcinka czasowego t2 - t3 /rys. 2/.

Schemat zastępczy dla obwodu wyjściowego podano na rys. A1.



Rys. A. 1. Schemat zastępczy obwodu wyjściowego układu dla okresu czasu $t_2 - t_3$.

Z_k oznacza tu impedancję wyjściową tranzystora, a Z_o impedancję obciążenia. Dla schematu tego słuszna jest następująca zależność wyrażona w zmiennych operatorowych:

$$\left[i_1(p) - i_k(p)\right] Z_k(p) = i_k(p) \cdot Z_o(p) \qquad /A1/$$

stąd

$$i_1(p)\, Z_k(p) = i_k(p) \left[Z_o(p) + Z_k(p)\right] \qquad /A2/$$

$$i_k(p) = i_1(p) \frac{Z_k(p)}{Z_o(p) + Z_k(p)} = \beta'(p)\, i_b(p) \frac{Z_k(p)}{Z_o(p) + Z_k(p)} \qquad /A3/$$

gdzie

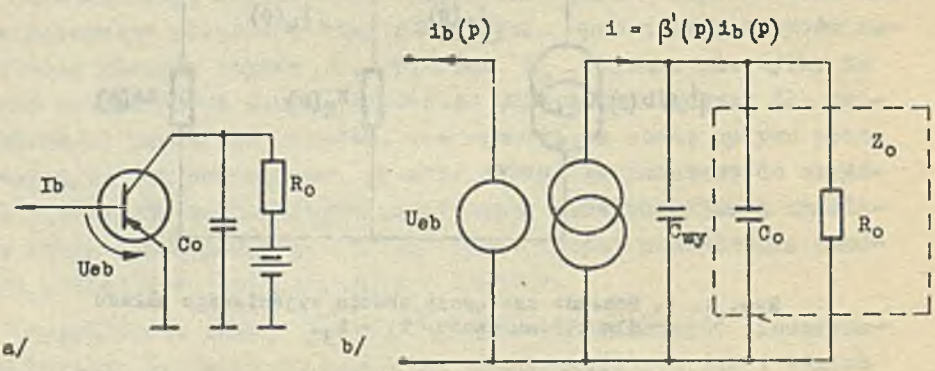
$\beta(p)$ - wyrażone operatorowo wzmocnienie tranzystora uwzględniające wpływ obwodu zewnętrznego.

Prąd źródła prądowego w układzie zastępczym tranzystora /rys.A2/ określony jest zależnością

$$i_g(p) = \alpha(p)\ i_e(p) = \beta'(p)\ i_b(p) \qquad /A4/$$

ale mamy

$$i_e(p) = i_k(p) + i_b(p)$$



Rys. A. 2. Praca tranzystora na obciążenie oporowo-pojemnościowe
a/ schemat ideowy
b/ schemat zastępczy przyjęty do analizy.

Podstawiając do równania /4/ zależność /3/ uzyskujemy

$$\beta'(p)\ \alpha(p)\ i_b(p)\ \frac{Z_k(p)}{Z_o(p) + Z_k(p)} + \alpha(p)\ i_b(p) = \beta'(p)\, i_b(p)$$

$$\beta'(p) - \alpha(p)\ \beta'(p)\ \frac{Z_k(p)}{Z_o(p) + Z_k(p)} = \alpha(p)$$

stąd ostatecznie

$$\beta'(p) = \frac{\alpha(p)}{1 - \alpha(p)\dfrac{Z_k(p)}{Z_o(p) + Z_k(p)}} \qquad /A5/$$

lub po podstawieniu

$$\alpha(p) = \frac{\beta(p)}{1 + \beta(p)}$$

$$\beta'(p) = \frac{\beta(p)}{1 + \beta(p)\dfrac{Z_o(p)}{Z_o(p) + Z_k(p)}} \qquad /A6/$$

gdzie

$\beta'(p)$ – zmodyfikowane wzmocnienie prądowe układu w odcinku czasowym t2 – t3.

W omawianym układzie tranzystor pracuje na obciążenie oporowo pojemnościowe /rys. A2a/. Rys. A2b podaje schemat przyjęty do analizy, gdzie elementy C_o R_o charakteryzują obciążenie, a pozostałe stanowią schemat zastępczy tranzystora.

Impedancja wyjściowa tranzystora pracującego w układzie OE składa się głównie z pojemności C_{TC}. Mamy więc [4]

$$C_{wy} = \frac{C_{TC}}{1 - \alpha} = (1 + \beta)\, C_{TC} \approx \beta C_{TC} \qquad /A7/$$

Łącząc razem efekt pojemności C_{wy} i C_o w pojemność C_k otrzymujemy

$$Z_k(p) = \frac{1}{pC_k} = \frac{1}{p(\beta C_{TC} + C_o)} \qquad /A8/$$

kładąc

$$Z_o(p) = R_o \qquad /A9/$$

przy warunku $Z_k(p) \gg Z_o(p)$ możemy na podstawie /A6/ napisać

$$\beta'(p) = \frac{\beta(p)}{1 + \beta(p)\frac{Z_o(p)}{Z_k(p)}} \qquad /A10/$$

a ponieważ

$$\beta(p) = \frac{\beta}{1 + p\tau_\beta}$$

więc po podstawieniu w 11 zależności 9 i 10 mamy:

$$\beta'(p) = \frac{\frac{\beta}{1 + p\tau\beta}}{1 + \frac{\beta}{1 + p\tau_\beta} \cdot R_o\, p\left(\beta C_{TC} + C_o\right)} =$$

$$= \frac{\beta}{1 + p\tau\beta + p\,\beta\, R_o\left(C_{TC} + \frac{C_o}{\beta}\right)} =$$

$$= \frac{\beta}{1 + p\beta\left[\frac{1}{\omega T} + R_o\left(C_{TC} + \frac{C_o}{\beta}\right)\right]}$$

$$\beta'(p) = \frac{i_k(p)}{i_b(p)} = \frac{\beta}{1 + p\tau'_\beta} \qquad /A11/$$

gdzie

$$\tau'_\beta = \beta\left[\frac{1}{\omega T} + R_o\left(C_{TC} + \frac{C_o}{\beta_o}\right)\right] \qquad /A12/$$

jest szukaną zmodyfikowaną stałą czasu.

W powyższym wzorze τ_β stanowi stałą czasu prądu kolektora w układzie wspólnego emitera, określoną wzorem 8 i odnosi się do pracy tranzystora na małą odporność, natomiast τ'_β jest stałą czasu uwzględniającą wpływ oporności i pojemności obciążenia R_o, C_o jak również pojemności C_{TC}.

DODATEK B.

Wzory określające współczynniki a_{ij} oraz b_i.

Współczynniki a_{ik} oraz b_i warunków ograniczających obszar dopuszczalnych rozwiązań określone są następującymi zależnościami /objaśnienie oznaczeń podano w dodatku C/

$$a_{11} = \left[K\left(\underline{V}_b + \underline{U}_{ek} + \underline{U}_{D3II} - \overline{U}_{D1II}\right) + \underline{\beta}\left(\underline{U}_1 - \overline{U}_{eb} - \overline{U}_{D1I}\right)\right] \lambda d$$

$$a_{12} = -\left(\overline{V}_3 - \underline{U}_{ek}\right) \lambda g$$

$$a_{13} = \underline{\beta}\left(\overline{V}_1 + \overline{U}_{eb}\right) \lambda g$$

$$a_{14} = -K\left(\overline{V}_3 - \underline{U}_{ek} - \underline{U}_{D3II}\right) \lambda g$$

$$b_1 = K(N - 1)\overline{I}_{WD3II}$$

$$a_{23} = \left(\underline{V}_1 - \overline{V}_b\right) \lambda d$$

$$b_2 = \overline{I}_{ko} + 2\,\overline{I}_{WD3II} + \underline{I}_{1II}$$

$$a_{31} = \left[\frac{1}{\underline{\omega}T} + R_o\left(\overline{C}_{TC} + \frac{C_{swy}}{\underline{\beta}}\right)\right] K\left(\underline{V}_b + \underline{U}_{ek} + \underline{U}_{D3II} - \overline{U}_{D1II}\right) \lambda g$$

$$a_{32} = -\left\{\frac{1}{\underline{\omega}T}\left(\overline{V}_3 - \underline{V}_2 + \overline{U}_{D2II}\right) + \left[\frac{1}{\underline{\omega}T} + R_o\left(\overline{C}_{TC} + \frac{C_{swy}}{\underline{\beta}}\right)\right]\left(\underline{V}_2 - \overline{U}_{ek} - \overline{U}_{D2II}\right)\right\} \lambda g$$

$$a_{33} = -T_1\left(\overline{V}_1 + \overline{U}_{eb}\right) \lambda g$$

$$a_{34} = -\left\{\left[\frac{1}{\underline{\omega}T} + R_o\left(\overline{C}_{TC} + \frac{C_{swy}}{\underline{\beta}}\right)\right] K\left(\overline{V}_3 - \underline{U}_{ek} - \underline{U}_{D3II}\right) \lambda g - T_1\left(\underline{V}_3 - \overline{U}_{eb} - \overline{U}_{ek} + \right.\right.$$

$$\left.\left. - \overline{U}_{D3II} - \overline{V}_b\right)\right\} \lambda d$$

$$b_3 = \left(NC_{D3} + C_{swe} + C_{TE}\right)\left(\overline{V}_b + \overline{U}_{eb}\right) + K(N-1)\,\overline{I}_{WD3II}\left[\frac{1}{\underline{\omega}T} + R_o\left(\overline{C}_{TC} + \frac{C_{swy}}{\underline{\beta}}\right)\right]$$

$$a_{41} = \tau_m\left(\overline{U}_1 - \underline{U}_{eb} - \underline{U}_{D1I}\right)\lambda g + \left(\frac{\tau_m}{\overline{\beta}} - \frac{1}{\underline{\omega}T}\right)K\left(\underline{V}_b + \underline{U}_{D3II} - \overline{U}_{D1II}\right)\lambda g$$

$$a_{42} = \left\{\left(\frac{1}{\underline{\omega}T} - \frac{\tau_m}{\overline{\beta}} + \frac{T_2 - T_o}{K}\right)\left(\overline{V}_3 - \underline{U}_{ek}\right)\right\}\lambda g$$

$$a_{43} = \frac{T_2 - T_o}{K}\,\underline{\beta}\left(\overline{V}_1 + \overline{U}_{eb}\right)\lambda g - \left(T_2 - T_o\right)V_1\,\lambda d - \overline{\tau}_m\left(\underline{V}_1 + \underline{U}_{eb}\right)\lambda d$$

$$a_{44} = \left(\frac{1}{\omega_T} - \frac{\overline{\tau}_m}{\overline{\beta}}\right)K\left(\overline{V}_3 - \underline{U}_{ek} - U_{D3II}\right)\lambda g - \frac{T_2 - T_o}{K}\,\underline{\beta}\left(\underline{V}_3 - \overline{U}_1\right)\lambda d +$$

$$+ \left(T_2 - T_o\right)\left(\overline{V}_3 - \frac{1}{2}\underline{U}_1\right)\lambda g$$

$$b_4 = \frac{\overline{\tau}_m}{\overline{\beta}}K(N-1)\,\overline{I}_{WD3II} - \left(N\overline{C}_{d_3} + \overline{C}_{swe} + \overline{C}_{TE}\right)\left(\overline{U}_{eb} + \overline{V}_b\right) - \frac{K(N-1)}{\underline{\omega}_T}\overline{I}_{WD3II}$$

$$a_{52} = T_o\left[\underline{V}_3 - \frac{1}{2}\left(\overline{V}_2 + \overline{U}_{D2II}\right)\right]\lambda d$$

$$b_5 = \left(C_{swy} + C_{TC} + KC_{D3} + C_{D2}\right)\left(\overline{V}_2 + \overline{U}_{D2II}\right) + T_o\left(\overline{I}_{ko} + K\overline{I}_{WD3II}\right)$$

$$a_{61} = \left[K\left(\underline{V}_b + \underline{U}_{ek} + \underline{U}_{D3II} - \overline{U}_{D1II}\right) + \underline{\beta}s\left(\underline{U}_1 - \overline{U}_{eb} - \overline{U}_{D1I}\right)\right]\lambda d$$

$$a_{63} = -\beta_s\left(\overline{V}_1 + \overline{U}_{eb}\right)\lambda g$$

$$a_{64} = -K\left(\overline{V}_3 - \underline{U}_{ek} - \underline{U}_{D3II}\right)\lambda g$$

$$b_6 = K(N-1)\,\overline{I}_{WD3II}$$

DODATEK C

Dane wejściowe.

Napięcia podano w woltach, prądy w mikroamperach, pojemności w pikofaradach, oporności w omach, stałe czasu w mikrosekundach, pulsacja /pasmo wzmocnienia/ 10^6 1/sek.

Parametry tranzystorów i diod uzyskano na podstawie pomiarów. Dla parametrów będących funkcją punktu pracy przyjęto wartości skrajne, uzyskane w spodziewanym zakresie zmienności punktu pracy.

Wersja A.

1. Parametry tranzystora /2G397/.

$\underline{\beta} = 36$ $\overline{\beta} = 140$ $\underline{\beta}_s = 25$ Współczynnik wzmocnienia tranzystora. Stałoprądowy i na "żądanie"

$\overline{C}_{TC} = 32$ $\overline{C}_{TE} = 32$ $\underline{\omega}_T = 42{,}7$ Pojemności złącz i pasmo wzmocnienia.

$\overline{\tau}_m = 0{,}7$ $\overline{I}_{KO} = 45$ Stała czasu magazynowania nośników w obszarze bazy i prąd wsteczny złącza baza-kolektor.

$\underline{U}_{eb} = 0{,}17$ $\overline{U}_{eb} = 0{,}21$ Spadek napięcia na złączu emiter-baza.

$\underline{U}_{ek} = 0{,}1$ $\overline{U}_{ek} = 0{,}25$ Spadek napięcia na złączu emiter-kolektor w nasyceniu.

2. Parametry diod DK-10, DG-51.

$\underline{U}_{D1I} = 0{,}55$ $\overline{U}_{D1I} = 0{,}8$ Spadek napięcia na diodzie D_1 w stanie I.

$\underline{U}_{D1II} = 0{,}5$ $\overline{U}_{D1II} = 0{,}7$ Spadek napięcia na diodzie D_1 w stanie II.

$\underline{U}_{D2II} = 0{,}47$ $\overline{U}_{D2II} = 0{,}88$ Spadek napięcia na diodzie D_2 w stanie II.

$\underline{U}_{D3II} = 0,38$ $\overline{U}_{D3II} = 0,68$ Spadek napięcia na diodzie D_3 w stanie II.

$\underline{I}_{WD3I} = 30$ $\overline{I}_{WD3II} = 42$ Prąd wsteczny diody D_3 w stanie I i II.

$C_{d2} = 1,5$ $C_{d3} = 1,5$ Pojemność złącza diody D_2 i D_3.

3. Napięcia zasilania.

$V_1 = 12,00$ $\underline{V}_1 = 11,64$ $\overline{V}_1 = 12,36$

$V_2 = 6,00$ $\underline{V}_2 = 5,7$ $\overline{V}_2 = 6,3$

$V_3 = 15,00$ $\underline{V}_3 = 14,55$ $\overline{V}_3 = 15,45$

4. Napięcia i prądy w charakterystycznych punktach układu.

$\underline{V}_b = 0,5$ $\overline{V}_b = 1$ Napięcie zatykające tranzystor. Minimalna wartość określona jest wymaganą odpornością na zakłócenia na górnym poziomie logicznym. Wartość maksymalna może wynikać z dopuszczalnego napięcia baza-emiter tranzystora.

$\underline{U}_1 = 5$ $U_1 = 5,4$ $\overline{U}_1 = 5,8V$ Napięcie w węźle za diodami wejściowymi D_3. Określone jest ono wymaganą odpornością na zakłócenia na dolnym poziomie logicznym.

$\underline{I}_{1II} = 350$ Prąd przewodzenia diody D_1 niezbędny do wytworzenia na niej spadku napięcia. Wartość obrana poza kolanem charakterystyki diody.

5. Pojemności szkodliwe i obciążenie.

$C_{swe} = 40$ $C_o = 300$

$R_o = 1 \cdot 10^{-3}$

6. Wartości współczynników tolerancji oporników.

$\lambda_d = 0,95$ $\lambda_g = 1,05$

7. Wymagane parametry układu.

K = 5 wzmocnienie logiczne N = 8 spływ logiczny

Nr wariantu			
200	$T_1 = 0,6$	$T_2 = 1,6$	$T_o = 0,9$
201	$T_1 = 0,6$	$T_2 = 1,6$	$T_o = 1,2$
202	$T_1 = 0,8$	$T_2 = 1,4$	$T_o = 0,9$
203	$T_1 = 0,8$	$T_2 = 1,4$	$T_o = 1,2$
204	$T_1 = 1,1$	$T_2 = 1,4$	$T_o = 0,9$
303	$T_1 = 0,4$	$T_2 = 0,7$	$T_o = 0,6$
304	$T_1 = 0,5$	$T_2 = 0,6$	$T_o = 0,45$

Wersja B.

1. Parametry tranzystora /2SA276/.

$\underline{\beta} = 30$ $\overline{\beta} = 160$ $\underline{\beta}_s = 25$

$C_{TC} = 3,5$ $C_{TE} = 25$ $\omega_T = 1570$

$\overline{\tau}_m = 0,08$ $\overline{I}_{KO} = 40$

$\underline{U}_{eb} = 0,35$ $\overline{U}_{eb} = 0,6$

$\underline{U}_{ek} = 0,25$ $\overline{U}_{ek} = 0,6$

2. Parametry diod.

$\underline{U}_{D1I} = 0,55$ $\overline{U}_{D1I} = 0,8$

$\underline{U}_{D1II} = 0,5$ $\overline{U}_{D1II} = 0,7$

$\underline{U}_{D2II} = 0,22$ $\overline{U}_{D2II} = 0,45$

$\underline{U}_{D3II} = 0,21$ $\overline{U}_{D3II} = 0,39$

$\overline{I}_{WD3I} = 15$ $\overline{I}_{WD3II} = 30$

$C_{d2} = 1,5$ $C_{d3} = 1,5$

3. Napięcia zasilania.

$V_1 = 12,00$ $\underline{V}_1 = 11,64$ $\overline{V}_1 = 12,36$

$V_2 = 6,00$ $\underline{V}_2 = 5,7$ $\underline{V}_2 = 6,3$

$V_3 = 15,00$ $\underline{V}_3 = 14,55$ $\underline{V}_3 = 15,45$

4. Napięcia i prądy w charakterystycznych punktach układu.

$\underline{V}_b = 0,3$ $\overline{V}_b = 0,8$

$\underline{U}_1 = 5$ $\underline{U}_1 = 5,4$ $\overline{U}_1 = 5,8$

$\underline{I}_{D10} = 250$

5. Pojemności szkodliwe i obciążenie.

$C_{swe} = 30$ $C_o = 200$

$R_o = 1 \cdot 10^{-3}$

6. Wartości współczynników tolerancji oporników.

$\lambda_d = 0,95$ $\lambda_g = 1,05$

7. Wymagane parametry układu.

$K = 5$ $N = 8$

Nr wariantu

400	$T_1 = 0,2$	$T_2 = 0,54$	$T_o = 0,3$
401	$T_1 = 0,2$	$T_2 = 0,54$	$T_o = 0,4$
402	$T_1 = 0,27$	$T_2 = 0,47$	$T_o = 0,3$
403	$T_1 = 0,27$	$T_2 = 0,47$	$T_o = 0,4$
404	$T_1 = 0,33$	$T_2 = 0,40$	$T_o = 0,27$

Literatura

1. BECKER P.W.: Static Design of Transistor Diode Logic, IRE Transaction on Circuit Theory, December 1962.

2. MASHER D.P.: The Design of Diode - Transistor NOR Circuits, IRE Transaction on Electronic Computer, March 1960.

3. GOLDSTICK G.H., MACKIE D.G.: Design of Computer Circuits Using Linear Programming Techniques, IRE Transactions on Electronic Computers, August 1962.

4. MARUD J.: Analysis and Design of the Transistor Blocking Oscilator Including Inherent Nonlinearities, The Bell System Technical Journal, May 1959.

5. SPARKS J.: The Measurement of Transistor Switching Parameters, Proc. IEE, May 1959:106, suppl. 15.

6. HURLEY R.B.: Junction Transistor Electronics, John Wiley and Sons New York, 1958.

7. WOJTOWICZ B.: Projektowanie tranzystorowego układu cyfrowego średniej prędkości działania z zastosowaniem metody programowania liniowego, Praca dyplomowa na Politechnice Warszawskiej, 1964.

8. GASS S.I.: Programowanie liniowe. Metody i zastosowania, PWN 1963.

9. SPARKS J.: Transistor as Charge Controled Device, Proc. IEE, May 1959:106. Suppl. 15.

10. ZIELIŃSKI R.: Programowanie liniowe. Algorytm simpleks zmodyfikowany. Maszyna ZAM-2, ZD IMM Nr P-14 Symbol PL-S1, Maj 1962.

11. ŁUKASZEWICZ L., MAZURKIEWICZ A.: System automatycznego kodowania SAKO, IM PAN, Ossolineum, Wrocław - Warszawa - Kraków, 1966.

THE METHOD OF LINEAR PROGRAMMING OF TRANSISTOR LOGIC CIRCUITS

Summary

The paper discusses the designing of a transistor logic circuit using the linear programming method. A detailed analysis of the work of a chosen circuit is presented, leading in the process of optimization to the determination of values of the set of resistors that minimize the power of electric dissipation in the circuit. Exemplary input data of a simplex problem are also given for two variants of semiconductor elements and the results of computations on the ZAM-2 computer are compared with experimental data.

Kolportaż "PRAC IMM" prowadzi Ośrodek Rozpowszechniania Wydawnictw Naukowych PAN /Wzorcownia/, Warszawa, Pałac Kultury i Nauki, pojedyncze egzemplarze "PRAC IMM" są również do nabycia w Domach Książki /księgarnie techniczne/ oraz w Księgarni ORWN PAN.

POLITECHNIKA

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej
P 2225/66/67

B 20 (33)

W.D.N. — Zam. 560/0/67. Nakł. 380 egz.