

P.3057/88

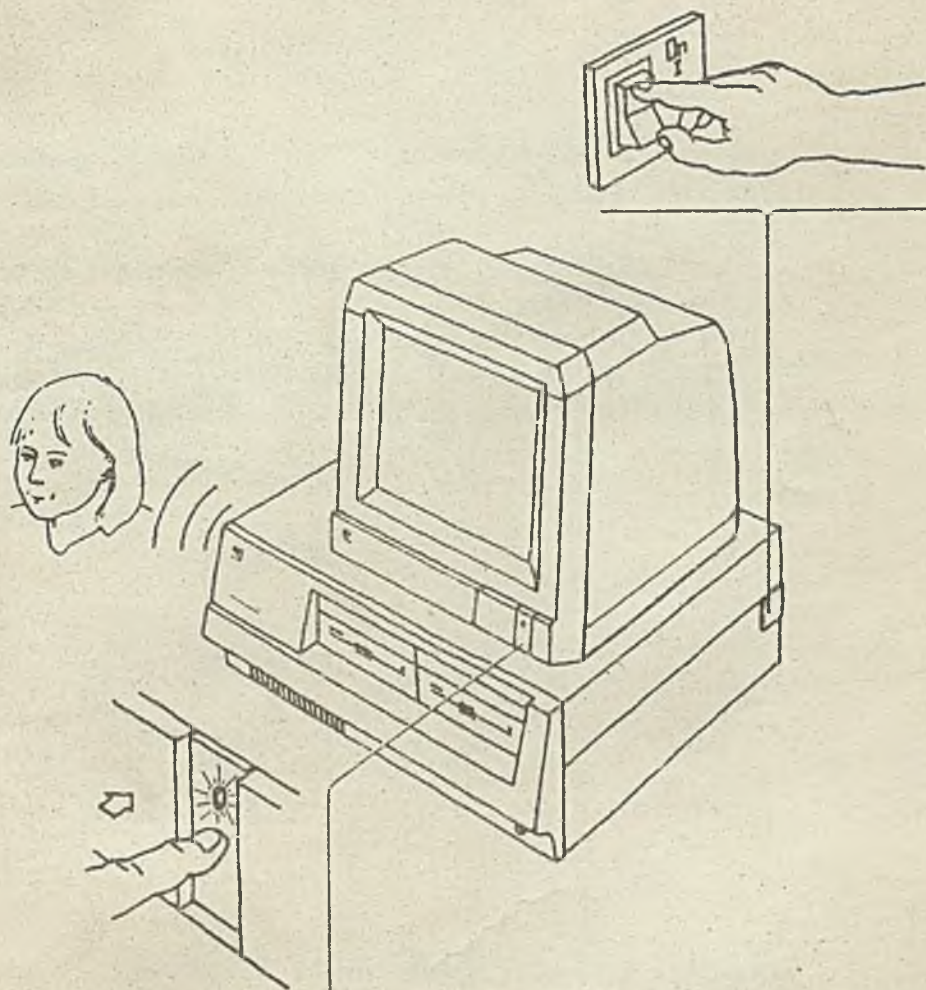


# techniki komputerowe

1-2  
'88



BIULETYN INFORMACYJNY



INSTYTUT MASZYN MATEMATYCZNYCH  
BRANŻOWY OŚRODEK INTE

Druk IMM zam. 22/88 nakł. 1100 egz.



# TECHNIKI KOMPUTEROWE



P. 3057/88

Rok XXVI

Nr 1-2

1988

## Spis treści

	str.
DZIK Krzysztof: Mikrokomputer MAZOVIA 1016. Konfiguracja podstawowa .....	3
POPKO Janusz, BRZEZIŃSKA Isabelle: Mikrokomputer MAZOVIA 1016. Opis funkcjonalny procesora .....	15
JAWORSKI Robert, PŁOWIEC Krzysztof: Ekran MAZOVII 1016. Działanie kontrolera i opis BIOS-u .....	31
WARDA Andrzej: Mikrokomputer MAZOVIA 1016. Pamięci dyskowe i ich kontrolery - parametry napędów, budowa kontrolerów .....	61
BĄKOWSKI Marek: Mikrokomputer MAZOVIA 1016. Interfejs szeregowy i równoległy .....	81
Nowości techniczne - opr. J. RYŻKO .....	105



DWUMIESIĘCZNIK

Wydaje:

**INSTYTUT MASZYN MATERYALNYCH**

ul. Krzywickiego 34 02-078 WARSZAWA tel. 28-37-29

**GAŁĘZIOWY OŚRODEK INFORMACJI  
NAUKOWEJ, TECHNICZNEJ  
I EKONOMICZNEJ**

Komitet Redakcyjny:

dr inż. Stanisława BONKOWICZ-SITTAUER /redaktor naczelny/

mgr Hanna DROZDOŃSKA /sekretarz redakcji/, mgr inż. Zdzisław GROCHOWSKI,

mgr inż. Jan KLIMOWICZ, dr inż. Piotr PERKOWSKI, mgr inż. Romuald SYNAK



TECHNIKI KOMPUTEROWE

nr 1-2/1988

mgr inż. Krzysztof DZIK

INSTYTUT MASZYN MATEMATYCZNYCH

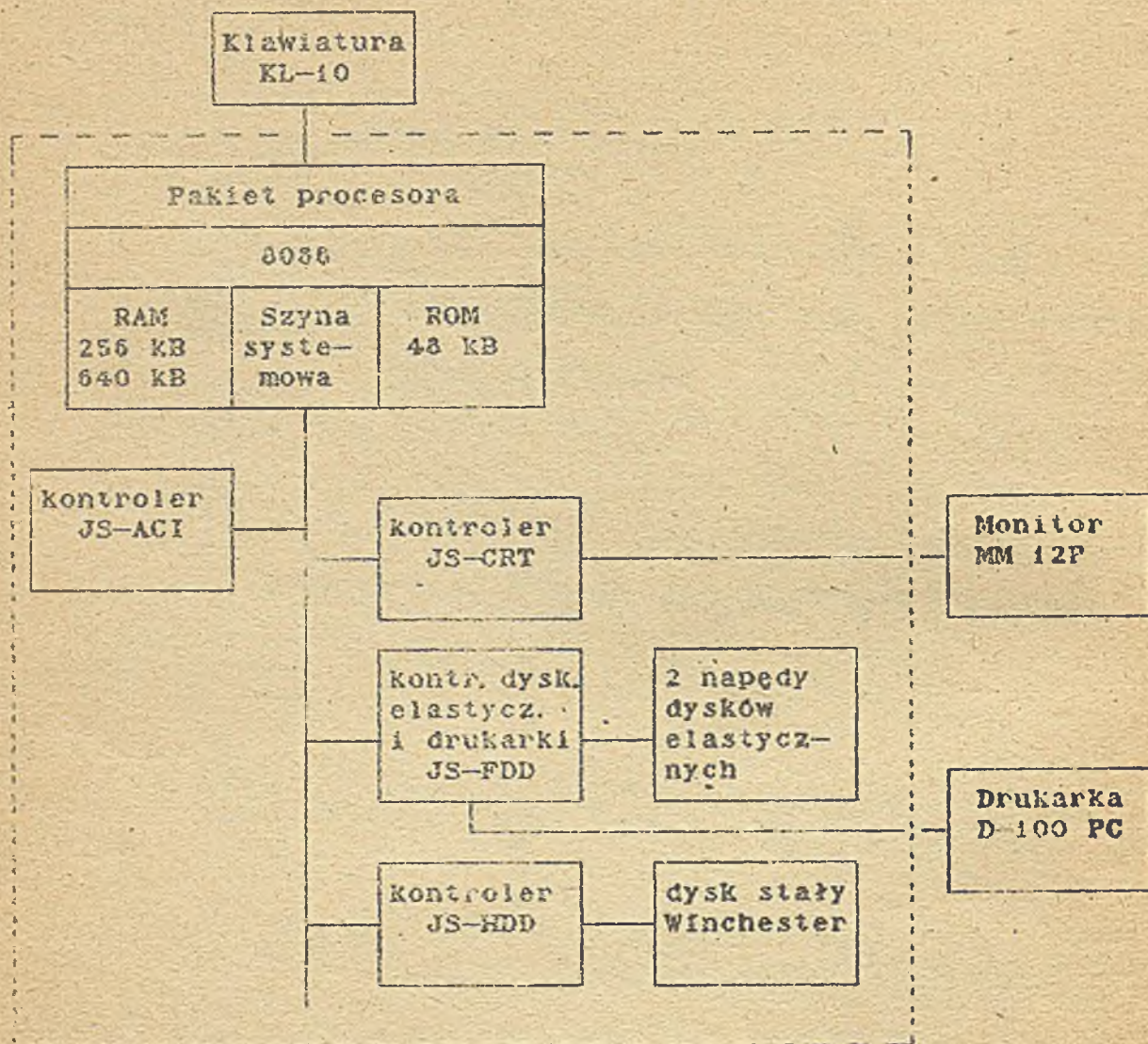
## Mikrokomputer MAZOVIA 1016. Konfiguracja podstawowa

MIKROKOMPUTER MAZOVIA 1016  
KONFIGURACJA PODSTAWOWA

KONFIGURACJA MAZOVII 1016  
I SCHEMAT BLOKOWY

MAZOVIA 1016 jest 16-bitowym mikrokomputerem personalnym, składającym się z Jednostki Centralnej czyli podstawowego modułu funkcjonalnego, z klawiatury KL-10, monitora ekranowego monochromatycznego MM12P, oraz drukarki znakowo-mozaikowej D100-PC.





Schemat blokowy konfiguracji podstawowej AZOVII 1015



## JEDNOSTKA CENTRALNA

Jednostka Centralna jest podstawowym modułem funkcjonalnym 16-bitowego mikrokomputera MAZOVIA 1015.

W skład Jednostki Centralnej wchodzi:

- pakiet procesora JC-M86 z 8 złączami interfejsu systemowego;
- 4-napięciowy zasilacz z układem wentylacji;
- niskomowy głośnik sterowany programowo.

Zespoły te są umieszczone w metalowej obudowie o wymiarach: 300×405×187 mm, pozwalającej na instalację dodatkowych modułów funkcjonalnych takich jak: kontrolery urządzeń peryferyjnych, napędy na dyskach elastycznych 8.25", itp.

### PAKIET PROCESORA

Pakiet procesora JC-M86 składa się z następujących bloków funkcjonalnych:

- procesora,
- układu DMA,
- pamięci ROM,
- pamięci RAM,
- lokalnych układów we/wy,
- interfejsu systemowego.

Blok procesora jest zbudowany z mikroprocesora 8086 (K 1810 MM 86) oraz układów bezpośrednio z nim współpracujących. Mikroprocesor 8086 jest mikroprocesorem 16-bitowym z 16-bitową szyną danych i 20-bitową szyną adresową, co umożliwia zadresowanie pamięci o pojemności 1 MB. Mikroprocesor 8086 wykonuje operacje na słowach 8- i 16-bitowych, a jego lista rozkazów obejmuje instrukcje arytmetyczne (w tym mnożenie i dzielenie), logiczne, sterujące oraz instrukcje działające na polach danych. Dzięki pracy mikroprocesora w trybie maksymalnym możliwe jest dołączenie koprocatora numerycznego 8087.

Impulsy zegarowe mikroprocesora mają częstotliwość 4,77 MHz i są wytwarzane przez układ zegarowy z rezonatora kwarcowego 14.31813 MHz. Podstawowy cykl pracy mikroprocesora trwa przez cztery taktów zegarowe tj. 840 ns. Cykl jest wydłużany automatycznie do 5 taktów zegarowych tj. 1.05 µs przy operacjach we/wy. Bezpośrednią obudowę mikroprocesora stanowią układy wytwarzające impulsy zegarowe dla całego pakietu procesora, generujące sygnały sterujące przesłaniami między poszczególnymi blokami oraz przydzielające dostęp do interfejsu systemowego układowi DMA.



### Układy EPROM

Na pakiecie procesora znajduje się 6 podstawek, umożliwiających wstawienie 6 układów EPROM typu 2764 - 30 o pojemności 8 KB każdy. Układy EPROM, o symetrycznej pojemności 48 KB zawierają program BIOS (tj. zbiór procedur obsługi urządzeń we/wy i teksty kontrolne) oraz interpreter języka BASIC. Pamięć ROM zajmuje koniec przestrzeni adresowej pamięci mikroprocesora w przedziale od F 4000 do FFFFF(H) i ma organizację słowną.

Lokalna pamięć RAM na pakiecie procesora może mieć pojemność 256 KB lub 640 KB, przy czym każdy bajt ma dodatkowy bit kontroli parzystości. Pamięć RAM jest podzielona na dwa bloki o organizacji słownej, o numerach 0 i 1. Blok 0 ma pojemność 128 KB i zajmuje obszar adresowy od 00000 do 1FFFF(H). Blok 1, w zależności od typu układów DRAM zainstalowanych w 18 podstawkach, może mieć dwie różne pojemności:

- dla układów typu 4154-20 blok 1 ma pojemność 128 KB i zajmuje obszar adresowy od 20000 do 3FFFF(H),
- dla układów typu 41256-20 blok 1 ma pojemność 512 KB i zajmuje obszar od 20000 do 9FFFF(H).

Zgodnie z zainstalowanym typem pamięci DRAM musi być również ustawiona zworka S4 na pakiecie.

W skład interfejsu systemowego wchodzi:

- 8-bitowa, dwukierunkowa szyna danych,
- 20-bitowa szyna adresowa,
- 4 linie sterujące operacjami zapisu/odczytu, do/z pamięci i urządzeń we/wy,
- 6 linii przerwań,
- 2 sygnały zegarowe,
- 6 sygnałów sterujących przestawianiami w 3 kanałach DMA,
- 1 sygnał inicjujący operacje odświeżania w pamięciach dynamicznych RAM,
- 5 sygnałów pomocniczych w tym zerowania, gotowości, kontroli poprawności przestawiania,
- 9 linii zasilania, które rozprowadzają napięcia +12V, -12V, +5V, -5V.

## KONTROLER MONITORA JS-CRT

### OPIS GŁÓWNYCH BŁOKÓW UKŁADU

#### Kontroler rastru (CRTC)

Kontrolerem rastru jest układ 6845 firmy Motorola, zapewniający odświeżanie wizji i pamięci obrazu. Wszystkie cechy rastru i kursora są uzyskiwane za pośrednictwem programowej inicjacji. Istnieje możliwość zainicjowania i poprawnej pracy kontrolera w trybach niewyspecyfikowanych w tym opracowaniu.



### **Rejestr rodzaju pracy**

Wstępne ustawienie rejestru rodzaju pracy następuje podczas sprzętowej inicjacji systemu. Uzyskiwany tryb jest zgodny z trybem ustawionym przełącznikiem rodzaju pracy, na pakiecie kontrolera (monochromatyczny, kolorowo-graficzny). Ta wstępna inicjacja można następnie zmieniać programowo przez wpis do rejestru.

### **Pamięć obrazu**

Umieszczona na pakiecie pamięć ma pojemność 64 KB. Obszar od B0000 do B8000 udostępniany jest po zainicjowaniu pracy "monochromatycznej", obszar od B8000 do BFFFF po zainicjowaniu pracy "kolorowo-graficznej". Grafika "Barkulesa" wykorzystuje całą dostępną pamięć obrazu. Przy trybach wolnych (zegar 7MHz) podział dostępu do pamięci obrazu między kontrolerem rastru a procesorem jest równoprawny. W trybach alfanumerycznych (80 znaków x 25 wierszy), procesor powinien żądać dostępu do pamięci jedynie w czasie nieaktywnym wyświetlania linii. W przeciwnym razie na ekranie obserwowane są niewielkie zakłócenia obrazu.

### **Rejestry trybu i koloru**

Rejestry te są niezależnymi rejestrami ogólnego przeznaczenia. Zadaniem ich jest przyjęcie i utrzymanie zlecenia wyboru określonego trybu pracy.

### **Generator sygnałów podstawy czasu**

Podczas ustawiania określonego trybu pracy, generator jest inicjowany na pracę w cyklu moduło 8 lub 9. Zadaniem generatora jest dostarczenie sygnałów sterujących układem kontrolera rastru, pamięci obrazu, oraz bloku kodowania sygnału wizji. Generator rozstrzyga także podział dostępu do pamięci między procesorem i kontrolerem rastru.

### **Dekoder atrybutu**

W zależności od trybu pracy, informacja odczytana z pamięci obrazu przez kontroler rastru podlega różnej interpretacji. Pamięć stała dekodera atrybutu przekodowuje atrybut znaku w celu uzyskania określonego standardu cech znaków. Po zainicjowaniu któregośkolwiek z trybów graficznych, bajt atrybutu dostarczany jest w niezmienionej postaci.

### **Multiplikser wizji**

Multiplikser wizji rozkodowuje informacje przychodzącą z pamięci i wystawia linie koloru portu wyjściowego (wizji). Sposób dekodowania i interpretacji słowa pamięci obrazu omówiony jest szczegółowo przy opisie każdego z trybów pracy.



## KONTROLER DYSKÓW ELASTYCZNYCH JS-FDD

Pakiet zawiera dwa, praktycznie niezależne kontrolery: jeden dla drukarki z równoległym interfejsem Centronics oraz drugi dla pamięci na dyskach elastycznych. Pakiet umieszcza się w dostępnym złączu pakietu procesora. Urządzenia zewnętrzne są dołączane przez dedykowane złącza. Złącze drukarki "P", umieszczone jest na sztydzie pakietu i po zamontowaniu pakietu w module podstawowym jest dostępne z zewnątrz.

Dwa złącza "F1" i "F2" przeznaczone do dołączenia kabli interfejsowych dysków elastycznych umieszczone są na wewnętrznej krawędzi pakietu. W podstawowym wykonaniu, złącze "F1" przeznaczone jest dla napędów A i B umieszczonych wewnątrz Jednostki Centralnej. Do złącza "F2" dołączyć można kabel łączący "F3" ze złączami zewnętrznymi, umieszczonymi na dodatkowym sztydzie.

Kontrolery dysków i drukarki mają wspólny dekodery adresowy oraz wspólny bufor szyny danych.

Z punktu widzenia programowego, kontroler dysków składa się z trzech rejestrów:

1. RC - rejestr sterowania wyborem i silnikami napędów (adres rejestru 3F2H).
2. RS-8272 - rejestr statusu kontrolera (adres rejestru 3F4H).
3. RD-8272 - rejestr danych kontrolera.

## NAPĘDY DYSKÓW ELASTYCZNYCH

Mikrokomputer jest wyposażony w dwa 5.25" napędy dysków elastycznych. Napęd dysków elastycznych może być jednostronny lub dwustronny, z 40 ścieżkami na każdej powierzchni. Głównymi elementami napędu są: mechanizm obrotu dyskiety, głowica zapisu/odczytu i mechanizm pozycjonujący głowicę.

Do zapisu i odczytu danych w postaci cyfrowej zastosowano zmodyfikowaną modulację częstotliwości (MFM). Dane są odczytywane z dyskiety przez układ odczytu, w którego skład wchodzi: wzmacniacz sygnałów niskonapięciowych, układ różnicowy, detektor przejścia napięcia przez zero i układ wytwarzający cyfrową postać sygnału. Dekodowanie danych dokonywane przez kontroler dysków elastycznych.



Napęd dysków elastycznych jest wyposażony standardowo w następujące czynniki:

1. Czynniki ścieżki zerowej, który wykrywa obecność głowicy na ścieżce zerowej.
2. Czynniki otworu indeksującego, składający się z fototransystora i ze źródła światła. Układ ten generuje aktywny sygnał, gdy na jego wysokości znajduje się otwór indeksowy dyskietki, określający początek ścieżki.
3. Czynniki blokujący układ zapisu w napędzie dysku elastycznego, po wykryciu zabezpieczenia zapisu na dyskietce.

## KONTROLER DYSKU STAŁEGO JS-HDD

Kontroler dysku stałego może sterować maksymalnie dwoma jednostkami napędów dysków stałych, dołączonych do kontrolera przez płaski kabel. Jest wyposażony w pamięć buforową i wykorzystuje bezpośredni dostęp do pamięci, które to mechanizmy mają usprawnić przesyłanie danych. Wykorzystywane jest też przerwanie, które sygnalizuje zakończenie operacji i możliwość odczytania statusu kontrolera.

W kontrolerze dysku stałego zastosowana jest kontrola i korekcja błędów ECC, wykorzystująca do tego celu 32 nadmiarowe bity, przyłączone do pola danych.

Na pakiecie kontrolera jest zawarta pamięć stała, traktowana jako część BIOS-u, w której znajduje się program sterujący kontrolerem.

**UWAGA:** Ostatni cylinder dysku stałego jest zarezerwowany dla celów diagnostycznych. Podczas testowania operacja zapisu spowoduje zniszczenie danych na tym cylindrze.

## KONTROLER JS-AC I

{interfejsu szeregowego}

Interfejs szeregowy jest zbudowany na układzie INS 8250, który pracuje w standardowej konfiguracji.



## KLAWIATURA KL-10

W skład zestawu mikrokomputera personalnego MATEVIA 1010 wchodzi klawiatura KL-10, która może także współpracować z dowolnym komputerem kompatybilnym z IBM i lub IBM PC/AT. Dołączenie jej do tych komputerów nie wymaga żadnych adaptacji interfejsu. Interfejs klawiatury zapewnia pełną swobodę definiowania przez oprogramowanie systemowe znaczenia poszczególnych klawiszy. Osiągnięto to przez rezygnację z generowania przez klawiaturę standardowego kodu (np. ASCII). Klawiatura generuje 5-bitowy kod potęgowy - skankod. Kod ten określa numer klawisza i czynność np.: wciśnięcie lub zwolnienie klawisza. Skankod generowany przy zwolnieniu klawisza jest tworzony przez dodanie 80 (hex) do wartości skankodu danego klawisza generowanego przy wciśnięciu.

Klawiatura KL-10 posiada 85 klawiszy zgrupowanych w trzech sekcjach. W sekcji centralnej znajdują się klawisze normalnej maszyny do pisania (wg PN F/2000). W lewej sekcji znajdują się 10 klawiszy funkcyjnych (F1-F10), których sposób użycia definiowany jest przez oprogramowanie. W sekcji kalkulatora po prawej stronie znajdują się 10 klawiszy - w tym 5 sterujących. Jeden z nich (KPLZ) służy do zmiany trybu pracy klawiatury. Użycie pozostałych 10 klawiszy, definiowane przez oprogramowanie, uwzględnia istniejące opisy dotyczące wpisywania cyfr lub sterowania kursorem i jego wydrukami.

W celu przystosowania klawiatury do potrzeb polskiego użytkownika, wprowadzono trzy tryby pracy: tryb IBM (standardowy, zgodny ze stosowanym w komputerze IBM PC/XT), KPL (polski) i PLZ (tryb polski założeniowy).

W trybie IBM, 83 klawisze (spośród 85) reprezentują standardową klawiaturę współpracującą z komputerem IBM PC/XT, zgodnie z opisem na bocznych powierzchniach klawiszy. Dla trybów KPL i PLZ obowiązują opisy na górnych powierzchniach. Znak z prawego górnego rogu klawisza uzyskuje się przez jednoczesne wciśnięcie [ALT3] i danego klawisza. Przy wykorzystaniu klawisza [ALT3] uzyskuje się duże litery polskiego alfabetu. Na przykład w celu uzyskania litery "S" należy wcisnąć klawisz [ALT3], a następnie jednocześnie klawisze [Shift] i [s]. Można też przy jego pomocy generować litery "umlaut" np.: dla uzyskania litery "Ü" należy wcisnąć jednocześnie [ALT3] i klawisz [12], a następnie literę [a].

W trybie KPL klawiatura generuje ciągi sygnałów, które obsługiwane przez standardowy BIOS komputera IBM PC/XT dają rozszerzone kody ASCII (Extended ASCII), reprezentujące dane znaki diakrytyczne. Kody te akceptowane są poprawnie przez kontroler monitora mikrokomputera MATEVIA 1010 i jego drukarkę. Inne kontrolery monitorów i drukarki wymagają przeprogramowania generatora znaków w obszarze znaków diakrytycznych; gdyż nie są zakodowanych w nich znaków charakterystycznych dla polskiego alfabetu.



Tryb PLZ nie wymaga przeprogramowywania generatorów znaków, gdyż polskie znaki tworzone są ze złożenia: "znak modyfikujący" (diakrytyka), "litera", np.: "Ł" tworzone jest z ciągu: [ / ] [ 1 0 0 ] [ 1 1 ]. Na ekranie monitora znak modyfikujący jest niewidoczny, gdyż jest on bardzo krótko wyświetlany, a następnie pojawia się "litera". Natomiast podczas drukowania cały znak jest prawidłowo odwzorowany.

W zasilaniu, zasilaniu lub wyzerowaniu komputera, klawiatura jest ustawiana w trybie pracy IBM. Jeżeli istnieje konieczność wykorzystania polskich liter, należy przełączyć klawiaturę w tryb KPL. Dokonuje się tego wciskając jednocześnie trzy klawisze: [Ctrl], [Alt] i [KPLZ/IBM]. Operacja ta nie generuje znaków, a jedynie steruje wewnętrzną pracą klawiatury.

Przełączenie do trybu PLZ jest sygnalizowane zaświeceniem się diody o oznaczeniu PLZ. Przełączenie do kolejnego trybu pracy uzyskuje się w identyczny sposób. Tryb IBM sygnalizowany jest zaświeceniem się diody LED o oznaczeniu IBM, a w trybie pracy KPL obydwie diody są wygaszone. Oprócz diod wskazujących tryb pracy klawiatury znajdują się jeszcze trzy diody: Num Lock - wskazująca przełączenie prawej sekcji klawiatury w tryb kalkulatorowy, Caps Lock - sygnalizująca uaktywnienie górnego zestawu znaków, i Scroll Lock - wskazująca użycie klawiszy sterowania kursorami.

Klawiatura KL-10 oparta jest na folii pojemnościowej i mikroprocesorze Intel 8035. Do zadań mikroprocesora należy kontrola stanu klawiszy i linii transmisyjnych z/do Jednostki Centralnej, przetwarzanie dopasowujące narodowy rozkład klawiszy do wymagań standardu IBM PC, oraz sterowanie świeceniem diod. Dodatkowym zadaniem jest w razie włączenia zasilania lub na żądanie Jednostki Centralnej, kontrola własnej pamięci RAM, pamięci EPROM, oraz sprawdzenie czy jakiś klawisz nie został zablokowany w pozycji "wciśnięty".

Klawiatura ma dwa położenia pracy, jedno normalne, a drugie uniesione o około 70°, po odchyleniu pary nóżek.

Klawiatura dołączona jest do modułu Jednostki Centralnej kablem przez gązde DIN (magnetofonowe). Jest to kabel ekranowany, zawierający przewód zasilający, masę oraz dwie dwukierunkowe linie sygnałowe. Kabel jest skręcony w spiralę, podobnie jak przewód słuchawki telefonicznej.



## DRUKARKA D-100 PC

Drukarka D-100 PC jest drukarką mozaikową, uderzeniową, przeznaczoną do współpracy z systemami komputerowymi w celu wyprowadzania informacji w postaci druku alfanumerycznego lub graficznego.

Drukarka D-100 PC jest wyposażona w głowicę uderzeniową 9-igłową, która podczas druku kształtuje znak w matrycy 11x9 punktów z szybkością 100 zn/s.

Drukarka ta może pracować w dwóch trybach pracy, oznaczonych symbolami E i PC. W trybie E drukarka realizuje funkcje drukarki FX-80 firmy EPSON. W trybie PC drukarka realizuje funkcje drukarki IBM Graphics Printer oraz dodatkowo akceptuje większość rozkazów sterujących drukarki EPSON FX-80.

Drukarka D-100 PC może być wyposażona w interfejs równoległy Centronics lub szeregowy RS 232 lub też w obydwa wymienione interfejsy. Linie interfejsu Centronics wyprowadzone są na 37-stykowym złączu szufladowym - wtyk ELTRA 871037, natomiast linie interfejsu szeregowego na 25-stykowym złączu szufladowym - wtyk ELTRA 871 02502211 001.

Drukarka D-100 PC umożliwia wydruk na papierze perforowanym o szerokości 250 mm (lub 240 mm specjalne zamówienie) lub pojedynczych kartkach papieru formatu A4. Podczas drukowania na pojedynczych kartkach papieru zaleca się stosować podajnik kart.

## DANE TECHNICZNE

Sposób drukowania:	- uderzeniowy, matrycowy
Szybkość drukowania:	- 100 zn/s przy 10 zn/cal
Kierunek drukowania:	- dwukierunkowy dla tekstów, jednokierunkowy dla druku graficznego oraz programowany
Głowica drukująca:	- 9 igieł, średnica igieł 0.29 mm
Odstępek między wierszami:	- 1/6 cala, 1/8 cala lub programowany mikrokrok 1/216 cala.



## CHARAKTERYSTYKA DRUKU

**Matryca:**

**Zestaw znaków:**

- 11x9 (poziom x pion) punktów
- 96 znaków ASCII
- 96 znaków kursywy (italic) ASCII
- międzynarodowe zestawy znaków
- zestaw znaków nr 1 I<sup>~</sup>POL (dla PC)
- zestaw znaków nr 2 I<sup>~</sup>POL/ITALIC (dla PC)

**Opcjonalne zestawy znaków:**

- LILIVEST, IHROM, CS, WEST,
- RUS GRAPHBL

**Rodzaje druku:**

- standard (10 zn/cal)(pica)
- elite (12 zn/cal)
- zageszczony (18,5 zn/cal)
- szeroki (5 zn/cal)
- fazowy
- podwójny
- szeroki zageszczony
- elite zageszczona
- super/subscript
- kursywa (italic)

**miary znaków:**

- 2.10 x 3.10 mm -standard
- 1.05 x 3.10 mm -zageszczony
- 4.20 x 3.10 mm -szeroki
- 1.40 x 3.10 mm -elite
- 2.80 x 3.10 mm -elite zageszczona
- 2.10 x 1.80 mm -super/subscript

**Długość wiersza:**

- 80 zn -standard
- 40 zn -szeroki
- 137 zn -zageszczony
- 68 zn -szeroki zageszczony
- 96 zn -elite
- 48 zn -elite zageszczona

**Nośnik informacji:**

- papier obustronnie perforowany o stałej szerokości i rozstawie otworów 238 mm (9 3/8 ") z tolerancją  $\pm 1.6$  mm, lub 228 mm z tolerancją  $\pm 1.6$  mm.
- papier obustronnie perforowany o zmiennej szerokości od 4 cali do 9 3/8 cala (opcja).
- pojedyncze arkusze papieru formatu A4 (opcja).

**Liczba kopii:**

- 1 + 2

**Niezawodność:**

- 1500h - MTBF (wyłączając głowice)
- 100 mln znaków dla głowicy.

**Interfejsy:**

- równoległy CENTRONICS
- szeregowy V24 (RS 232C, S2)
- równoległy + szeregowy

**Tasma barwiąca:**

- czarna, 16 m długości, zamknięta w petle Moebiusa, dostarczana w postaci wymiennych ładunków do kasety (RIBPACK i nr 66KP0350-01)
- ładunek firmy EPSON "EPSON MX100 ZIPPACK" lub podobne



## MONITOR EKRANOWY MM12P

Monitor monochromatyczny MM12P spełnia w systemie mikrokomputera personalnego MAZOVIA 1016 funkcję standardowego wyświetlacza informacji przygotowanej do zobrazowania zarówno w sposób monochromatyczny jak i kolorowy, znakowy i graficzny. Monitor może być także podłączany do innych kontrolerów i mikrokomputerów zgodnych ze standardem IBM PC.

Gdy jest podłączony do kontrolera zgodnego z IBM Monochrome Display/Printer Adapter lub Monochrome Graphics/Printer Adapter, monitor zapewnia pracę z rozdzielczością 720 punktów x 350 linii w trybie graficznym lub 80 kolumn x 25 wierszy w trybie znakowym z matrycą 9 x 14 punktów. W połączeniu z kontrolerem zgodnym z IBM Color/Graphics Adapter, monitor zapewnia wyświetlenie tekstu i grafiki w 16 odcieniach szarości z rozdzielczością 640 punktów x 200 linii.



mgr inż Janusz POPKO

mgr inż Izabella BRZEZIŃSKA

INSTYTUT MASZYN MATEMATYCZNYCH

## Mikrokomputer MAZOVIA 1016. Opis funkcjonalny procesora

### PAKIET PROCESORA JC-M86

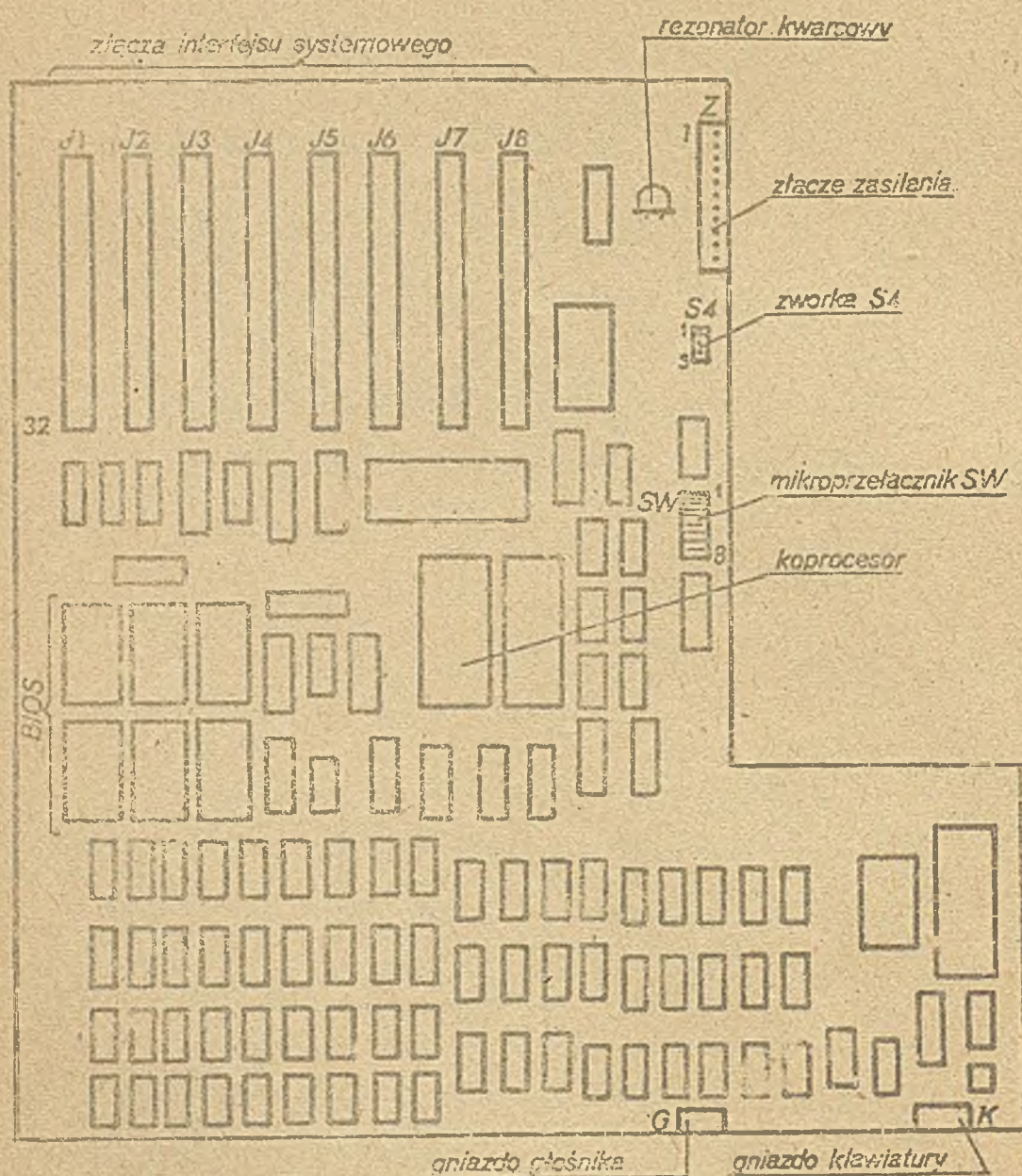
Pakiet procesora JC-M86 jest wykonywany w postaci dwu-warstwowego obwodu drukowanego umieszczonego poziomo w obudowie Jednostki Centralnej. Do pakietu są doprowadzone napięcia zasilające z zasilacza za pośrednictwem 12-kontaktowego złącza Z. Dodatkowe złącza G (3-kontaktowe) i K (5-kontaktowe) służą do dołączenia głośnika i gniazda wyjściowego do klawiatury. Na pakiecie umieszczono 6 złącz pośrednich 2\*32 kontaktowych (oznaczonych Ji-J8) interfejsu systemowego, umożliwiając w ten sposób dołączenie dodatkowych modułów funkcjonalnych.

Ponadto na pakiecie znajduje się 8-pozycyjny mikroprzełącznik SW, za pomocą którego są zadawane niezbędne informacje o konfiguracji komputera. Poszczególne pozycje przełącznika służą do określania pojemności pamięci RAM zainstalowanej na pakiecie, sposobu zainicjowania jednostki sterującej monitorem ekranowym, liczby dołączonych napędów dysków elastycznych oraz obecności koprocatora numerycznego 8087.

Pakiet procesora JC-M86 składa się z następujących bloków funkcjonalnych:

- procesora,
- układu DMA,





Rysunek 1. Rozkład elementów na płackiecie procesora.



Mapa pamięci

Adres (Hex)		
00000	640 KB RAM	
9FFFF		
A0000	128 KB RAM (zarezerwowane)	
AFFFF		
B0000	32 KB video RAM (mono)	64 KB video RAM
B7FFF		
B8000	32 KB video RAM (Kolor)	
BFFFF		
C0000		256 KB ROM
C7000		
C8000	8 KB BIOS jednostki sterującej pamięcią typu "Winchester"	
C87FF		
C8800		
F3FFF		
F4000	48 KB BIOS podstawowy i interpreter BASIC	
FFFFF		



- pamięci ROM,
- pamięci RAM,
- lokalnych układów we/wy,
- interfejsu systemowego.

## PROCESSOR

Blok procesora jest zbudowany z mikroprocesora 8086 (X 1810.WM 86) oraz układów bezpośrednio z nim współpracujących. Mikroprocesor 8086 jest mikroprocesorem 16-bitowym z 16-bitową szyną danych i 20-bitową szyną adresową, co umożliwia zaadresowanie pamięci o pojemności 1 MB. Mikroprocesor 8086 wykonuje operacje na słowach 8- i 16-bitowych, a jego lista rozkazów obejmuje instrukcje arytmetyczne (w tym mnożenie i dzielenie), logiczne, sterujące oraz instrukcje działające na polach danych. Praca mikroprocesora w trybie maksymalnym umożliwia dołączenie koprocessora numerycznego 8087.

Impulsy zegarowe mikroprocesora mają częstotliwość 4,77 MHz i są wytwarzane przez układ zegarowy z rezonatora kwarcowego 14.31818 MHz. Podstawowy cykl pracy mikroprocesora trwa przez cztery takty zegarowe, tj. 840 ns. Cykl jest wydłużany automatycznie do 5 taktów zegarowych, tj. 1.05 ns przy operacjach we/wy. Bezpośrednią obudowę mikroprocesora stanowią układy wytwarzające impulsy zegarowe dla całego pakietu procesora, generujące sygnały, które sterują przesłaniami między poszczególnymi blokami oraz przydzielają dostęp do interfejsu systemowego układowi DMA.

## UKŁADY DMA

Układy bezpośredniego dostępu do pamięci (DMA) umożliwiają przesyłanie informacji między urządzeniami we/wy dołączonymi do interfejsu systemowego, a pamięcią RAM, bez interwencji procesora. Blok DMA jest zbudowany z mikroukładu 8237A zawierającego 4 kanały DMA i wysterowanego na pracę w trybie przesłań pojedynczych. Ponieważ układ 8237A umożliwia zaadresowanie wyłącznie 64 KB pamięci, blok DMA wyposażono dodatkowo w zestaw czterech rejestrów 4-bitowych, pamiętających numer strony pamięci, na której jest dokonywana transmisja (rozszerzając adresację do 1 MB).

Pośród czterech kanałów, trzy, o numerach 1, 2, 3 służą do wykonywania bajtowych przesłań do/z pamięci RAM. Każde przesłanie trwa co najmniej 5 taktów zegarowych, tj. 1.05 ns, przy czym może być wydłużone zdjęciem sygnału gotowości "I/O CHRDY" interfejsu systemowego.

Czwarty kanał DMA o numerze 0 jest używany do odświeżania pamięci dynamicznych RAM (lokalnych jak i dołączonych do interfejsu systemowego). Odpowiednio zaprogramowany licznik nr 1 programowalnego zegara 8253, wymusza co ok. 16  $\mu$ s "puste" operacje odczytu bajtu z pamięci, zapewniając odświeżenie wszystkich komórek pamięciowych. Czas trwania każdej operacji odczytu wynosi cztery takty zegara, tj. 840 ns.



Rejestry układu 8237A mają adresy z przedziału 000-00F(H) w przestrzeni adresowej we/wy mikroprocesora. Rejestry stron kanałów DMA o numerach 0-3 mają odpowiednio adresy 080-083(H). Rejestry stron kanałów DMA mogą być tylko ładowane.

## PAMIĘĆ ROM

Na pakiecie procesora znajduje się 6 podstawek, umożliwiających wstawienie 6 układów EPROM typu 2764-30 o pojemności 8 KB każdy. Układy EPROM, o sumarycznej pojemności 48 KB zawierają program BIOS (tj. zbiór procedur obsługi urządzeń we/wy i testy kontrolne) oraz interpreter języka BASIC. Pamięć ROM zajmuje koniec przestrzeni adresowej pamięci mikroprocesora w przedziale od F4000 do FFFFF(H) i ma organizację słowową.

## PAMIĘĆ RAM

Lokalna pamięć RAM na pakiecie procesora może mieć pojemność 256 KB lub 640 KB, przy czym każdy bajt ma dodatkowy bit kontroli parzystości. Pamięć RAM jest podzielona na dwa bloki o organizacji słowowej, o numerach 0 i 1. Blok 0 ma pojemność 128 KB i zajmuje obszar adresowy od 00000 do 1FFFF(H). Blok 1, w zależności od typu układów DRAM zainstalowanych w 18 podstawkach, może mieć dwie różne pojemności:

- dla układów typu 4164-20 blok 1 ma pojemność 128 KB i zajmuje obszar adresowy od 20000-3FFFF(H),
- dla układów typu 41256-20 blok 1 ma pojemność 512 KB i zajmuje obszar od 20000-9FFFF(H).

Zgodnie z zainstalowanym typem pamięci DRAM musi być również ustawiona zworka S4 na pakiecie.

Kanał DMA nr 0 zapewnia odświeżenie obydwu typów pamięci DRAM. Układ kontroli parzystości RAM powoduje wygenerowanie przerwania NMI do mikroprocesora w przypadku wykrycia błędu.

## LOKALNE UKŁADY WE/WY

Trzy programowalne liczniki układu zegarowego 8253 są wykorzystywane do inicjowania cyklicznych operacji na pakiecie procesora. Liczniki są pobudzane impulsami zegarowymi o częstotliwości 1,19 MHz.

- Licznik nr 0 służy do wytwarzania przerw zegarowych o częstotliwości 518 Hz dla programowego zegara/kalendarza.
- Licznik nr 1, jak wspomniano, inicjuje operacje odświeżania pamięci RAM przez kanał DMA nr 0.
- Licznik nr 2 jest używany do wytwarzania przebiegów o częstotliwościach akustycznych podawanych do głośnika, przy czym jego wejście zegarowe może być dodatkowo bramkowane programowo.

Rejestry układu 8253 mają adresy we/wy z przedziału 040-043(H).



Przerwania generowane przez układy pakietu procesora i moduły dołączane do interfejsu systemowego są obsługiwane przez układ 8259A lub bezpośrednio przez mikroprocesor (przerwanie NMI). Najwyższy priorytet ma przerwanie NMI, sygnalizujące sytuacje awaryjne, takie jak:

- błąd parzystości lokalnej pamięci RAM,
- przerwanie koprocesa 8087,
- błąd interfejsu systemowego sygnalizowany linią "I/O CHCK".

Przerwanie NMI może być maskowane programowo. Przesłanie pod adres we/wy 080(H) liczby 00(H) powoduje zamaskowanie przerwania, a przesłanie liczby 80(H) odmaskowanie przerwania NMI. Przerwanie NMI jest również automatycznie maskowane po włączeniu zasilania.

Układ 8259A obsługuje 8 poziomów przerwania:

- do poziomu 0 — jest dołączone wyjście licznika nr 0 układu 8253 wytwarzające przerwania zegarowe systemu,
- do poziomu 1 — jest dołączone przerwanie z kontrolera interfejsu klawiatury, pojawiające się każdorazowo po przesłaniu z klawiatury numeru naciśniętego klawisza (tzw. scan-code),
- do pozostałych 6 poziomów są dołączone linie przerwania interfejsu systemowego.

W ramach układu 8259A najwyższy priorytet ma poziom 0. Układ 8259A obsługuje przerwania w trybie "zboczowym", a jego rejestry mają adresy we/wy z przedziału 020 — 021(H).

Programowalny układ wejścia/wyjścia typu 8255 umożliwia odbieranie kodów podawanych z klawiatury, jak również zbieranie informacji i sterowanie indywidualnymi układami na pakiecie procesora. Porty A i C układu 8255 są standardowo ustawione jako wejścia, natomiast port B jako wyjście. Port A służy do odczytu kodu przesyłanego z klawiatury (w konwencji dodatniej), przy czym bit PA0 jest najmniej znaczącym bitem kodowym. Poszczególne bity portu B służą do wysterowania indywidualnych funkcji, natomiast poszczególne bity portu C umożliwiają odczyt stanu przełącznika SW i dodatkowych sygnałów wewnętrznych.

Rejestry układu 8255 mają adresy we/wy z przedziału 060(H) — 063(H), a funkcje poszczególnych bitów portów A, B, C podaje "Mapa we/wy układu 8255A".

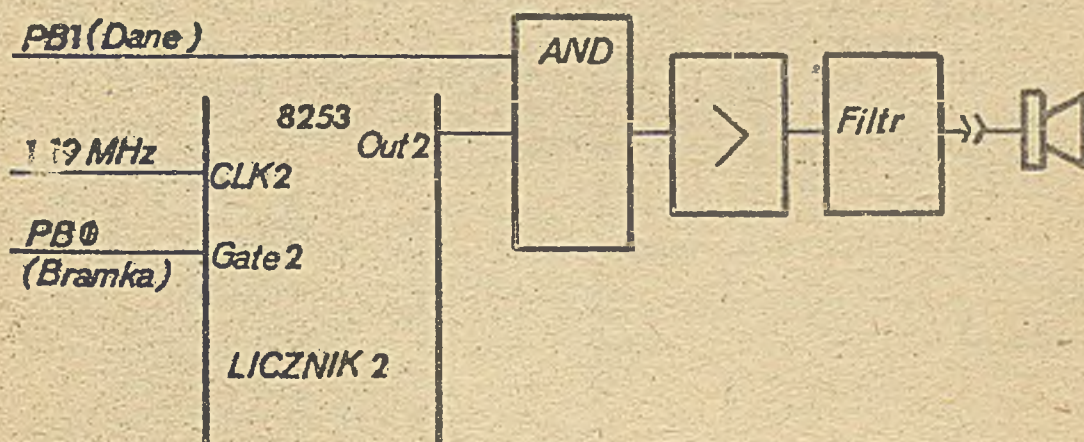
## INTERFEJS GŁOŚNIKA

Jednostka Centralna jest wyposażona w programowane wyjście akustyczne składające się z niskoomowego głośnika i kontrolera interfejsu znajdującego się na pakiecie procesora. Schemat blokowy wyjścia akustycznego przedstawiono na poniższym rysunku nr 1.



Sygnał akustyczny może pochodzić z dwóch źródeł:

- bitu PB1 (dane na głośnik) podawanego z układu 8255,
- wyjścia licznika 2 programowanego zegara 8253, na którego wejście jest podawany przebieg o częstotliwości 1.19318 MHz, bramkowany bitem PB0 (otwarcie bramki licznika 2 głośnika) z układu 8255. Głośnik jest dołączony do pakietu procesora za pośrednictwem 3-kontaktowego złącza G.

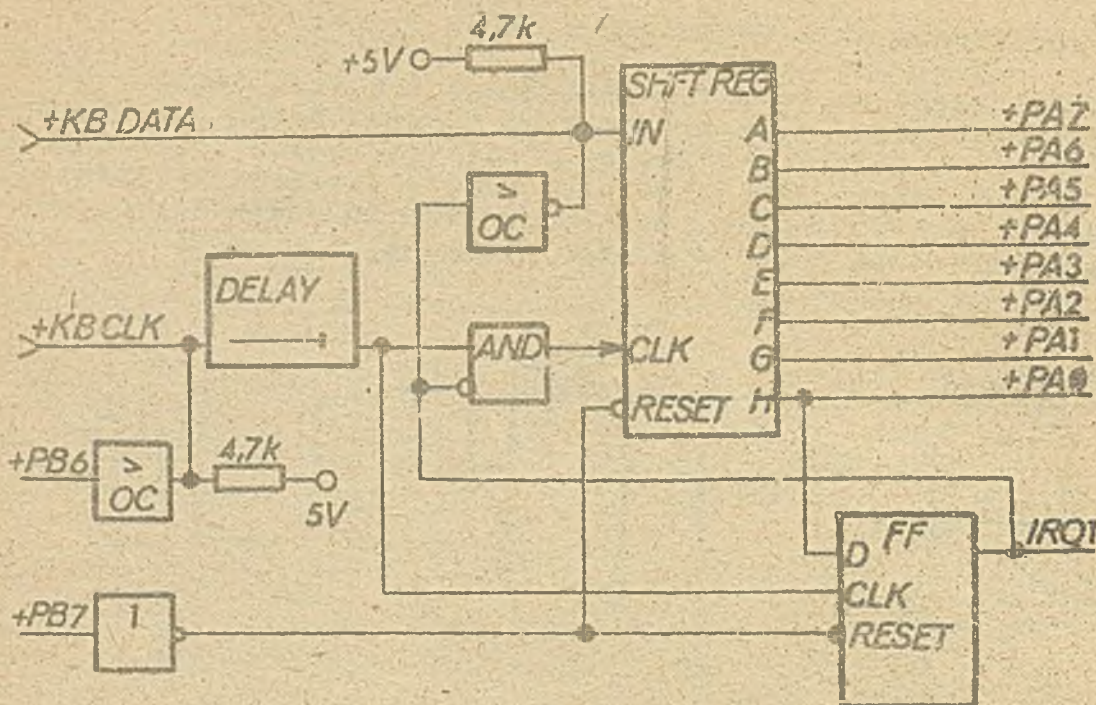


Rysunek 2. Interfejs głośnika

## INTERFEJS KLAWIATURY

Pakiet procesora zawiera układ współpracy z klawiaturą, umożliwiający odbieranie kodów przesyłanych szeregowo z klawiatury i zamianę ich na postać równoległą. Dane z klawiatury są przesyłane linią "+ KB DATA" i synchronizowane z zegarem podawanym linią "+KBCLK". Dodatkowo układ wykonuje operacje zerowania klawiatury wymuszając stan "LOW" na linii "+KBCLK".





Rysunek 3. Interfejs klawiatury

Sygnały interfejsu klawiatury są wyprowadzone z pakietu procesora za pośrednictwem 5-kontaktowego złącza K i doprowadzone do gniazda typu magnetofonowego na obudowie Jednostki Centralnej.

## INTERFEJS SYSTEMOWY

Interfejs systemowy Jednostki Centralnej MAZOVII 1013 jest w pewnym sensie przedłużeniem szyny we/wy mikroprocesora 8086. Dodatkowe układy dołączone do mikroprocesora zapewniły rozdzielenie sygnałów adresowych od sygnałów danych, zamianę przesłań 16-bitowych na dwa przesłania 8-bitowe oraz zwiększenie obciążalności poszczególnych sygnałów interfejsu. Ponadto interfejs systemowy został uzupełniony o linie przerwań i sygnały sterujące kanałów DMA.

W skład interfejsu systemowego wchodzi:

- 8-bitowa, dwukierunkowa szyna danych,
- 20-bitowa szyna adresowa,
- 4 linie sterujące operacjami zapisu/odczytu, do z pamięci i urządzeń we/wy,
- 6 linii przerwań,
- 2 sygnały zegarowe,
- 6 sygnałów sterujących przesłaniami w 3 kanałach DMA,
- 1 sygnał inicjujący operacje odświeżania w pamięciach dynamicznych RAM,
- 5 sygnałów pomocniczych w tym zerowania, gotowości, kontroli poprawności przesłania,



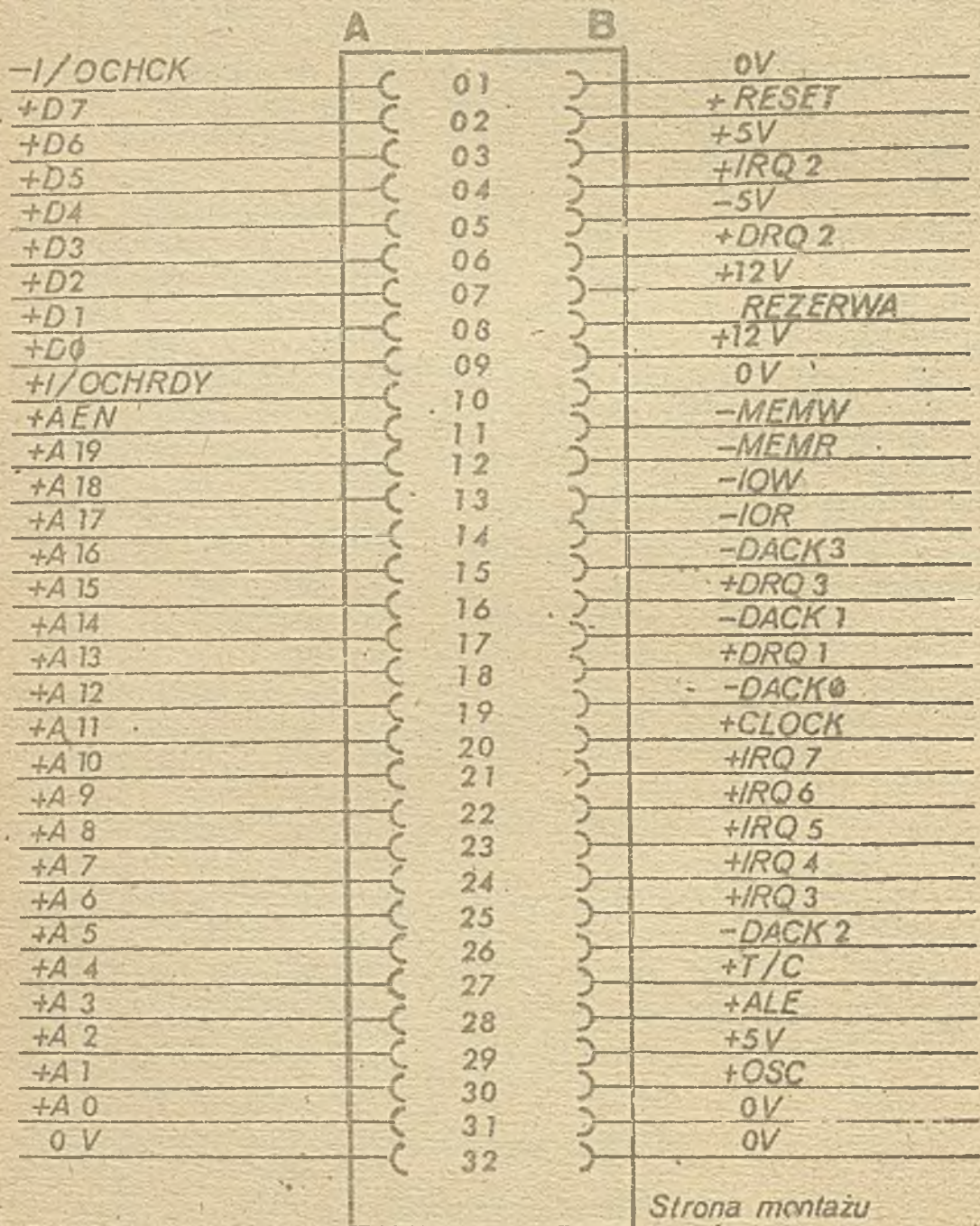
- 9 linii zasilania, które rozprawdają napięcia +12V, -12V, +5V, -5V.

Operacje zapisu/odczytu bajtu do/z pamięci inicjowane przez mikroprocesor trwają standardowo 4 takty zegarowe, tj. 840 ns, natomiast operacje zapisu/odczytu bajtu do/z urządzeń we/wy trwają 5 taktów zegarowych, tj. 1.05 ns. Operacje te mogą być wydłużane o całkowitą wielokrotność taktów zegarowych w wyniku ustawienia linii "gotowości" interfejsu w stan "LOW" przez zaadresowane urządzenie.

Przesłania inicjowane przez kanały DMA trwają zawsze 5 taktów zegarowych, tj. 1.05 ns. Operacje odświeżania pamięci trwają 4 takty zegarowe, tj. 840 ns i są inicjowane co 72 takty zegarowe, tj. około 15  $\mu$ s.

Szyna adresowa interfejsu systemowego pozwala zaadresować pamięć w obszarze 1 MB. Do adresowania urządzeń we/wy używa się tylko linii adresowych A0+A9, co po odliczeniu adresów wykorzystanych na pakiecie procesora daje 736 różnych adresów urządzeń we/wy. Wszystkie sygnały interfejsu systemowego mogą być obciążone przez jednostki sterujące maksymalnie 2 standardowymi obciążeniami LS-TTL. Poziomy sygnałów są zgodne z poziomami TTL.





Rysunek 4. Rozkład sygnałów na złączu interfejsu systemowego



## LINIE INTERFEJSU SYSTEMOWEGO

Poniżej opisano funkcje poszczególnych linii interfejsu systemowego. Przyjęto konwencję, że znak "+" przed nazwą sygnału oznacza realizację związanej z nim funkcji przy wysokim (HIGH) poziomie napięcia, natomiast znak "-" oznacza realizację związanej z nim funkcji przy niskim (LOW) poziomie napięcia. Symbol "0" lub "1" oznacza, że sygnał jest nadawany lub odbierany przez procesor.

- **+OSC [0]** - Oscylator. Jest to przebieg zegarowy o częstotliwości 14.31818 MHz (okres 70 ns) i wypełnieniu 1/2.
- **+CLOCK [0]** - Zegar. Jest to przebieg zegarowy o częstotliwości 4.77 MHz (okres 210 ns) i wypełnieniu 1/3.
- **+RESET [0]** - Zerowanie. Sygnał służy do ustawiania układów Jednostki Centralnej w stan początkowy i powstaje podczas włączenia zasilacza lub zaniku dowolnego z napięć stałych. Złany sygnału są synchroniczne z opadającym zboczem sygnału +CLK.
- **+A0++A19 [0]** - Szyna adresowa. Linia "+A0" odpowiada najmniej znaczącemu bitowi adresu, a linia "+A19" najbardziej znaczącemu bitowi adresu.
- **+D0++D7 [0/1]** - Dwukierunkowa szyna danych. Linia "+D0" odpowiada najmniej znaczącemu bitowi bajtu, a linia "+D7" najbardziej znaczącemu bitowi bajtu. Nadajniki szyny danych muszą być układami trójstanowymi o obciążalności min. 12 mA, otwieranymi zdekodowanymi sygnałami operacji.
- **+ALE [0]** - Sygnał ładowania adresu do rejestru adresowego na pakiecie procesora. Przy zamianie przestań 16 bitowych na dwa przestań 8 bitowe występuje tylko w pierwszym z przestań (z adresem parzystym).
- **-I/O CHCK [1]** - Błąd. Sygnał służy do poinformowania procesora o błędzie wykrytym przez zaadresowane urządzenie. Nadajnikiem sygnału musi być układ trójstanowy otwierany zdekodowanymi sygnałami operacji, o obciążalności minimalnej 12 mA. Zależności czasowe są identyczne jak dla sygnałów +D0 + +D7 przy operacji odczytu.
- **+I/O CHRDY [1]** - Gotowość. Sygnał służy do wydłużania czasu trwania operacji zapisu/odczytu inicjowanych przez procesor. Urządzenie musi ustalić stan "LOW" na linii gotowości natychmiast po zdekodowaniu operacji i utrzymać go przez cały czas jej wykonywania. Stan "LOW" na linii gotowości nie może trwać dłużej niż 10 taktów zegara CLOCK. Nadajnikiem sygnału musi być układ trójstanowy otwierany zdekodowanymi sygnałami operacji, o obciążalności minimalnej 12 mA.
- **+IRQ2++IRQ7 [1]** - Przerwanie. Linie służą do przesyłania sygnałów przerwań do układu 8259A na pakiecie procesora, przy czym linia "+IRQ2" ma najwyższy priorytet. Wysłanie przerwania polega na ustawieniu przez urządzenie linii przerwania w stan HIGH i utrzymaniu jej w tym stanie do czasu programowego skasowania przyczyny przez procesor. Nadajnikiem sygnału przerwania musi być układ trójstanowy otwierany i zamykany programowo. Obciążalność nadajnika wynosi min. 12 mA.

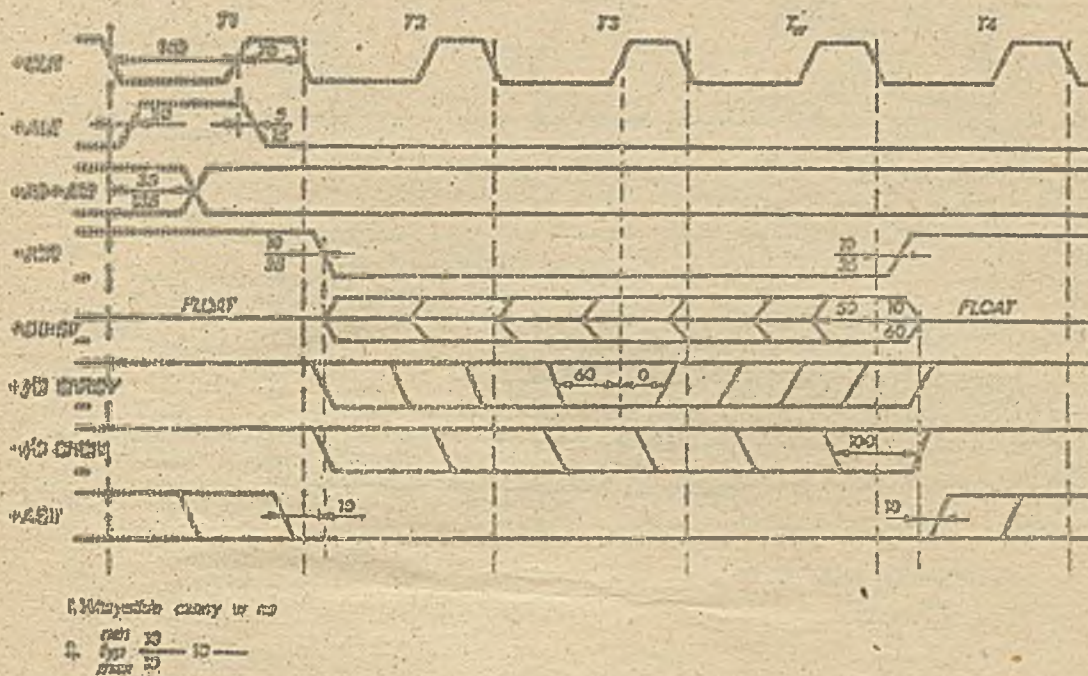


- **-IOR [O]** - Odczyt z urządzenia we/wy. Sygnał powoduje wysłanie przez zaadresowane urządzenia we/wy informacji na szynę danych **+D0++D7** tj. otwarcie trójstanowego nadajnika.
- **-IOW [O]** - Zapis do urządzenia we/wy. Sygnał powoduje wpisanie informacji podawanych na szynach **" +D0++D7 "** do zaadresowanego urządzenia we/wy.
- **-MEMR [O]** - Odczyt z pamięci. Sygnał powoduje wysłanie przez wybrany moduł pamięci zawartości zaadresowanej komórki na szynę danych **" +D0++D7 "**, tj. otwarcie trójstanowego nadajnika.
- **-MEMW [O]** - Zapis do pamięci. Sygnał powoduje wpisanie informacji podawanych na szynach danych **" +D0++D7 "** do zaadresowanej komórki wybranego modułu pamięci.
- **+DRQ1++DRQ3 [I]** - Ządanie transmisji DMA w kanałach 1+3. Sygnały te są wysyłane w sposób asynchroniczny przez urządzenia we/wy w celu przesłania bajtu do/z pamięci pod nadzorem kanału DMA. Linia **" +DRQ "** musi być wysterowana przez urządzenie co najmniej do chwili odebrania odpowiedniego sygnału **" -DACK "** z kanału DMA. Linia **" +DRQ1 "** ma najwyższy priorytet. Nadajnikiem sygnału **" +DRQ "** musi być układ trójstanowy otwierany i zamykany programowo. Obciążalność nadajnika wynosi minimalnie 12 mA.
- **-DACK0+-DACK3 [O]** - Potwierdzenie DMA. Sygnały te służą do potwierdzenia przyjęcia ządania obsługi przez kanał DMA. Sygnał **-DACK** trwa przez cały czas transmisji bajtu synchronizowanej odpowiednimi sygnałami odczytu i zapisu. Sygnał **" -DACK0 "** inicjuje operacje odświeżania dynamicznych pamięci RAM.
- **+AEN [O]** - Adres DMA. Sygnał ten oznacza, że adres podawany na szynie adresowej **" +A0+-A19 "** jest adresem DMA i nie może być dekodowany przez urządzenia we/wy dołączone do interfejsu systemowego. Pojawiające się w czasie trwania sygnału **" +AEN "** sygnały operacji odczytu (**-IOR** lub **-MEMR**) operacji zapisu (**-IOW** lub **-MEMW**) są wytwarzane przez układ DMA.
- **+T/C [O]** - Koniec bloku. Sygnał pojawia się w czasie transmisji DMA, w momencie wyzerowania się licznika transmisji w układzie DMA.

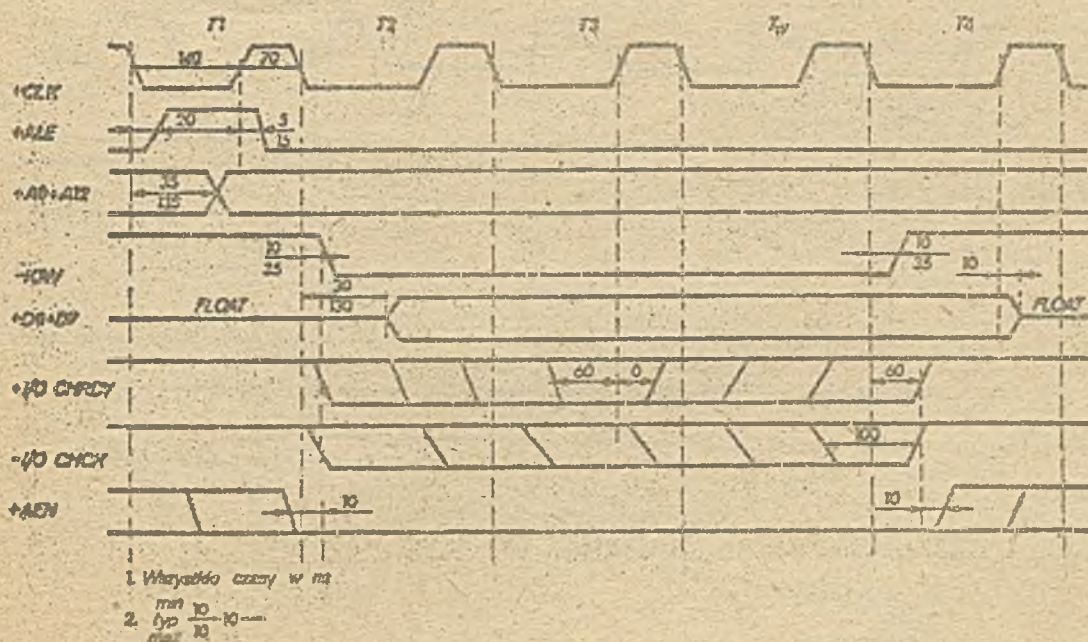
Ponadto, interfejs systemowy zawiera 5 linii zasilania:

+5V	15%
-5V	±10%
+12V	15%
-12V	±10%
0V.	



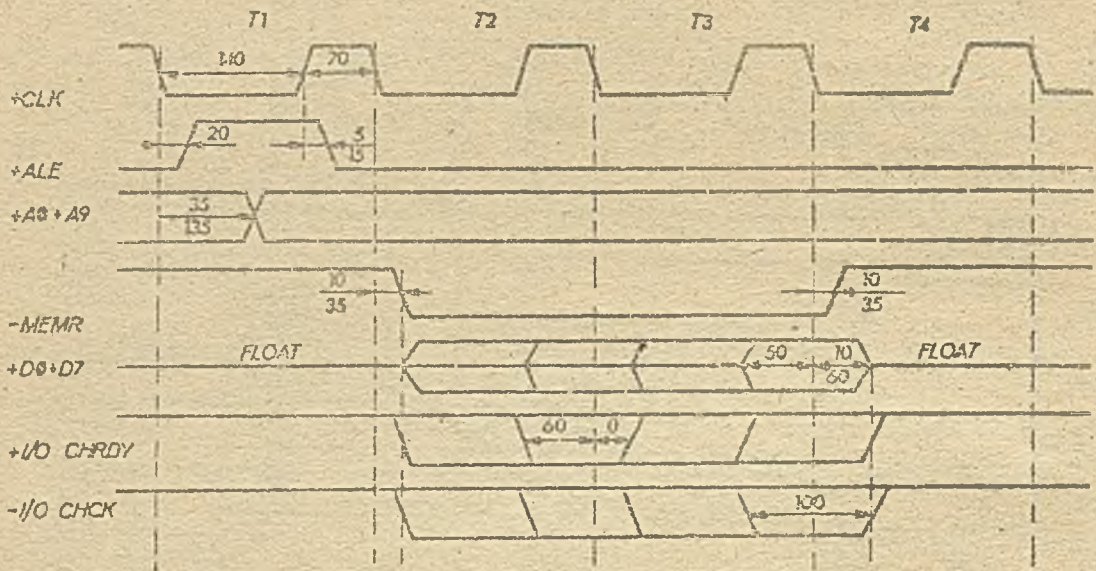


Rysunek 5. Operacja I/O READ



Rysunek 6. Operacja I/O WRITE

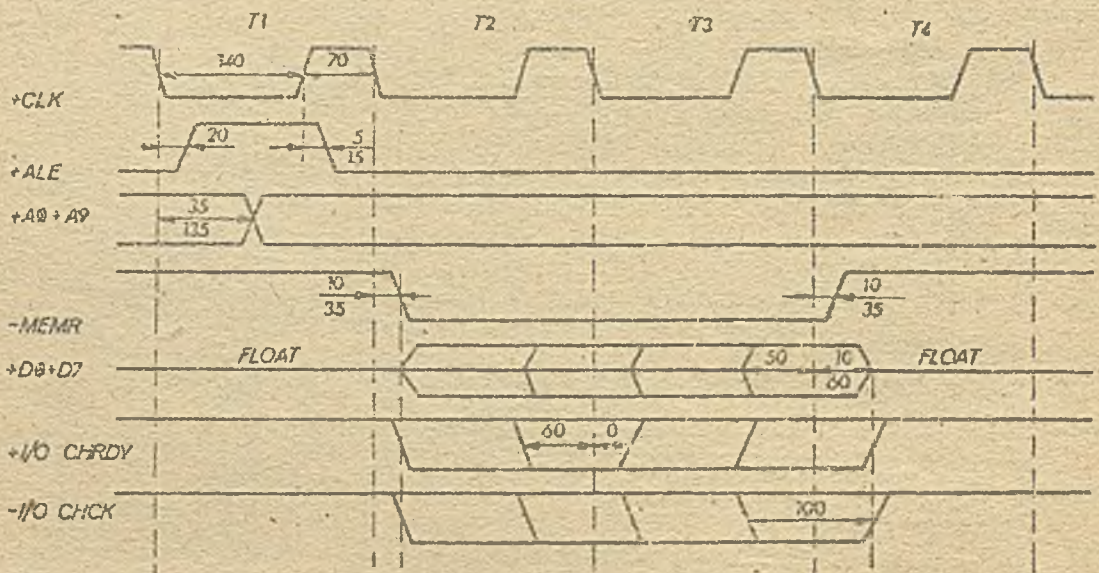




1. Wszystkie czasy w ns

2. min 10  
typ 10  
max 10

Rysunek 7. Operacja MEMORY READ

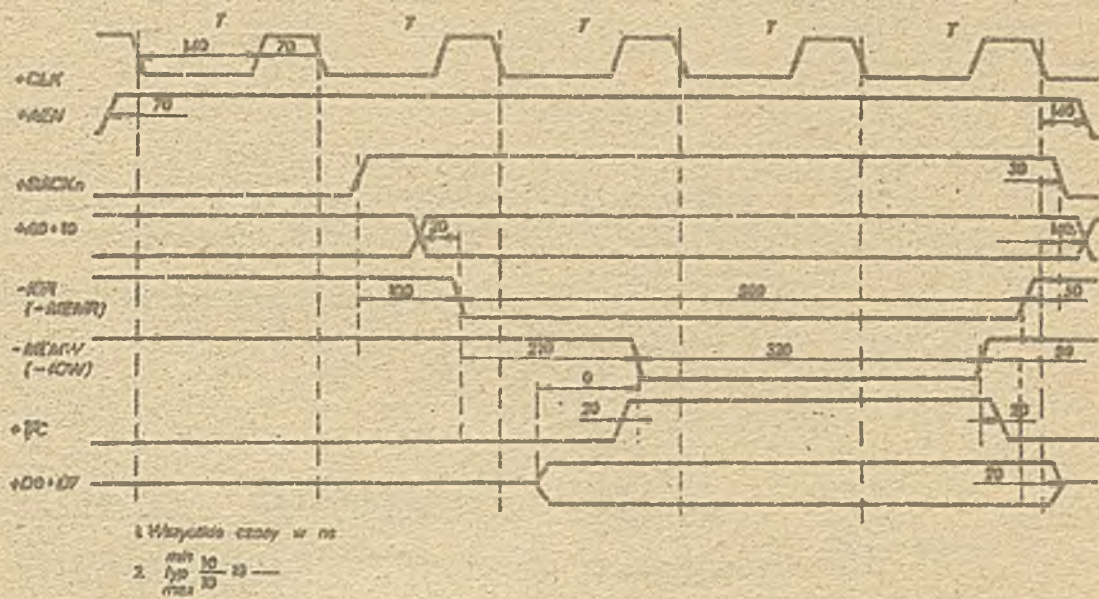


1. Wszystkie czasy w ns

2. min 10  
typ 10  
max 10

Rysunek 8. Operacja MEMORY WRITE





Rysunek 9. Operacja DMA







mgr inż. Robert JAWORSKI  
mgr inż. Krzysztof PROWIEC

INSTYTUT MASZYN MATHEMATYCZNYCH

## Ekran MAZOVII 1016. Działanie kontrolera i opis BIOS-u

### OPIS FUNKCJONALNY

#### WSTĘP

Chcąc dobrze zrozumieć działanie pakietu CRT i prawidłowo identyfikować wszystkie jego rodzaje pracy należy zaznajomić się z poprzedzającymi go chronologicznie pakietami CRT.

W roku 1980 firma IBM zaprezentowała komputer personalny IBM PC. Był on wyposażony w dwa pakiety sterujące monitorami. Były to pakiet MDA sterujący monitorem monochromatycznym i pakiet CGA sterujący monitorem barwnym. Pakiet MDA miał tylko jeden rodzaj pracy – tryb znakowy 25 wierszy po 80 znaków. Mozaika znaku była zbudowana z matrycy 9x14 punktów. Natomiast sterownik CGA miał następujące rodzaje pracy: tryb znakowy 25 wierszy po 80 znaków z mozaiką znaku 8x8, tryb znakowy 25 wierszy po 40 znaków z mozaiką znaku 8x8, tryb graficzny 200 linii po 640 punktów i tryb graficzny 200 linii po 320 punktów.

Rodzaje pracy tych sterowników określały dwa standardy na współpracujące z nimi monitory. Były one rozróżniane oczywiście przez to, że jeden był barwny, a drugi monochromatyczny. Innym i chyba ważniejszym kryterium, była użyteczna liczba punktów ekranu. Parametr ten jest określamy liczbą linii na ekranie



oraz liczbą punktów w jednej linii. Dla monitora monochromatycznego mamy 25\*14=350 linii. W każdej linii może się znajdować 80\*9=720 punktów. A zatem rozdzielczość monitora monochromatycznego wynosi 720x350 punktów.

Monitor barwny w poszczególnych rodzajach pracy ma następujące rozdzielczości:

80*8 x 25*8 = 640x200	dla trybu znakowego 80x25
40*8 x 25*8 = 320x200	dla trybu znakowego 40x25
320x200	dla trybu graficznego 320x200
640x200	dla trybu graficznego 640x200.

Jak widać w monitorze barwnym wymagane są dwie rozdzielczości 320x200 i 640x200. Jeżeli użyjemy monitora o rozdzielczości 640x200 to rozdzielczość 320x200 otrzymamy przez wyświetlanie jednego punktu obrazu na dwóch punktach ekranu, czyli poprzez poziome rozciągnięcie punktu. W ten sposób wszystkie tryby pracy sterownika CGA mogą zostać odtworzone na monitorze barwnym o rozdzielczości 640x200 punktów.

Otrzymaliśmy zatem dwa wymagane standardy dla monitorów: monochromatyczny 720x350 i barwny 640x200. Warto w tym miejscu zauważyć, że z punktu widzenia monitora nie jest istotne, w jakim rodzaju pracy znajduje się sterownik (graficzny czy znakowy), a tylko rodzaj rastra, jaki jest potrzebny do jego odtworzenia na ekranie.

W okresie późniejszym pojawił się na rynku sterownik monitora monochromatycznego typu HERCULES. Sterownik ten umożliwiał otrzymanie nowego rodzaju pracy, a mianowicie grafiki 720x348. Metoda uzyskania tego rodzaju pracy była bardzo prosta. Pakiet HERCULES w swoim podstawowym rodzaju pracy działał jak pakiet MDA. Różnica polegała na tym, że można go było wysterować tak aby pracował w grafice w rastrze 720x348, który był dogodny dla monitora monochromatycznego. W ten sposób na ekranie monitora monochromatycznego można było otrzymać nowy rodzaj grafiki. Grafika 720x348 była więc pozbawiona kolorów (odcieni szarości). Pakiet typu HERCULES można traktować jako mutację pakietu MDA. Pakiet ten nazywany jest w skrócie MGA.

Sterownik JS-CRT w komputerze MAZOVIA łączy w sobie cechy tych wszystkich pakietów, czyli MDA, MGA i CGA. Ponieważ monitor MAZOVII może współpracować z pakietem MDA (lub MGA) i z pakietem CGA to nazywany jest monitorem dwustandardowym. Pakiet JS-CRT może współpracować z monitorem monochromatycznym, barwnym i oczywiście z monitorem dwustandardowym MAZOVII /NM12p/.

Monitor MAZOVII został tak wykonany, że przy pracy z rastrem 640x200 kolory interpretuje w odcieniach szarości, a przy pracy z rastrem 720x350 pracuje jak monitor monochromatyczny. Monitor umożliwia również pracę w rastrze 720x350 z odcieniami szarości. Będzie tak wtedy, gdy w rastrze 720x350 obraz będzie przekazywany liniami RGBI. Ta możliwość jest wykorzystywana



tylko w jednym trybie pracy (tryb 5; patrz opis w następnym punkcie). W dalszej części opisu określenia barwa, kolor i odcienie szarości będą używane wymiennie. Cały opis dotyczy pracy pakietu z monitorem MAZOVII, chyba że jest wprost zaznaczone, że chodzi o współpracę z innym monitorem. Pakiet steruje monitorem za pomocą linii wizyjnych R, G, B, I, B&W oraz linii synchronizacji poziomej HSYN i pionowej VSYN.

## TRYBY I RODZAJE PRACY PAKIETU JS-CRT

W tym opracowaniu do opisu pracy pakietu CRT używa się dwóch określeń: tryb i rodzaj. Określenie "rodzaj pracy" jest szersze w stosunku do "trybu pracy". Oznacza to, że w ramach danego rodzaju pracy może występować kilka trybów pracy.

Poszczególne tryby i rodzaje pracy rozróżniane są na podstawie poniższych kryteriów:

- sposób interpretacji zawartości pamięci ekranu
- położenie (adresy) pamięci ekranu w pamięci operacyjnej
- adresy portów sterujących pakietu.

Wystarczy, że jeden z tych parametrów jest inny, aby można było mówić o nowym rodzaju lub trybie pracy.

Ze względu na położenie bufora pamięci ekranu i adresy portów sterujących wyróżniamy dwa RODZAJE pracy:

- monochromatyczny
- kolorowo-graficzny.

W monochromatycznym rodzaju pracy pakiet JS-CRT pracuje jako pakiet MGA HERCULES, natomiast w pracy kolorowo-graficznej pracuje jako pakiet CGA. W rodzaju monochromatycznym pamięć ekranu zaczyna się od adresu B0000 i kończy się na adresie B7FFF lub BFFFF. Położenie końca tej pamięci uzależnione jest od ustawienia przełączników konfiguracyjnych na pakiecie.

W rodzaju kolorowo-graficznym pamięć ekranu zaczyna się od adresu B8000, a kończy się na adresie BFFFF. W pracy monochromatycznej porty sterujące pakietu położone są w przestrzeni wejścia/wyjścia od adresu 03B0 do 03BF, a dla pracy kolorowo-graficznej od adresu 03D0 do 03DF.

W poszczególnych rodzajach pracy można wyróżnić po kilka trybów pracy. Ze względu na interpretację zawartości pamięci wyróżniamy następujące TRYBY pracy:

a) w rodzaju pracy monochromatycznym:

- 1 znakowy 80x25, mozaika znaku 9x14, znaki bez odcieni szarości;
- 2 graficzny 720x348;



b) w rodzaju kolorowo-graficznym:

- 3 znakowy 40x25, mozaika znaku 8x8, odcienie szarości, ramka;
- 4 znakowy 80x25, mozaika znaku 8x8, odcienie szarości, ramka;
- 5 znakowy 80x25, mozaika znaku 9x14, odcienie szarości;
- 6 znakowy 80x25, mozaika znaku 9x14, bez odcieni szarości;
- 7 graficzny 320x200, 2 palety, 4 kolory w paletcie, tło, ramka;
- 8 graficzny 640x200, jeden z 16 kolorów świecenia ekranu;

W tym miejscu warto wyjaśnić kilka pojęć użytych przy wymienianiu trybów pracy. W monitorze Komputera MAZOVIA istnieje pięć linii, po których może być przesyłany sygnał wizji. Są to następujące linie: Red, Green, Blue, Intensity, Black&White. Nigdy nie są one wykorzystywane jednocześnie. Obraz może być przesyłany albo liniami Red, Green, Blue, Intensity albo liniami Black&White i Intensity. Jeżeli obraz jest przesyłany liniami Black&White i Intensity, to nie można uzyskać odcieni szarości na ekranie, natomiast jeżeli jest przesyłany po liniach Red, Green, Blue i Intensity, możemy je uzyskiwać.

Jeżeli sygnał wizji jest przesyłany po liniach R, G, B, I to może, ale nie musi być wyświetlany w odcieniach szarości. W rodzajach pracy 1, 2, 5 i 6 obraz może być przesyłany zarówno liniami R, G, B, I jak i B&W, I, a w pozostałych tylko liniami R, G, B, I. Jak widać możliwość przesyłania liniami RGBI istnieje zawsze, a liniami B&W, I tylko wtedy, gdy wytwarzany jest raster 720x350.

W trybach znakowych 80x25 można uzyskiwać dwa rodzaje interpretacji cech znaku. W trybie 1 nie można uzyskać odcieni szarości, a znaki mogą być wyświetlane z podkreśleniem. W trybie 4 zawsze pracujemy z odcieniami szarości, ale nie mamy podkreślenia. Tryb 5 tym tylko różni się od trybu 4, że znak wyświetlany jest w mozaice 9x14, a nie 8x8. Tryb 6 z kolei, jest odmianą trybu 5 (a zatem i 4), w którym znaki interpretowane są tak jak w trybie 1, czyli bez odcieni szarości, ale z możliwością uzyskania podkreślenia.

W trybie znakowym 40x25 (3) można pracować tylko z odcieniami szarości.

W trybie graficznym 720x348 (2) danemu punktowi można przypisać tylko dwie wartości: — świeci lub nie świeci. W trybie 640x200 wygląda to podobnie. Jediną różnicą jest to, że za pomocą specjalnego rejestru można określić kolor (odcień szarości) w jakim świecą wszystkie punkty na ekranie.

W trybie graficznym 320x200 dla danego punktu można wybrać cztery barwy świecenia. A zatem zawartość pamięci ekranu ma wpływ na dwie linie koloru (dwie linie = cztery barwy). Są to linie R i G. Stan linii B i I jest ustalany dla całego ekranu przez specjalny rejestr. Jeżeli linia B jest ustawiona w tym



rejestrze na zero, to mówimy, że wybrana jest paleta 0 (paleta barw ciepłych). Jeżeli linia B jest w stanie wysokim, to mówimy, że wybrana jest paleta 1 (paleta barw zimnych).

Jeżeli podano, że dla danego rodzaju pracy można uzyskać na ekranie ramkę, to znaczy że można na ekranie uzyskać świecenie marginesów górnego, dolnego, lewego i prawego. Kolor świecenia ramki jest ustalany przez zawartość jednego z rejestrów sterujących.

## INTERPRETACJA ZAWARTOŚCI PAMIĘCI

W trybach znakowych na każdy znak przeznaczone są w pamięci ekranu dwa bajty. Bajt młodszy zawiera kod ASCII znaku, a bajt starszy zawiera atrybut znaku. Atrybut określa sposób wyświetlania znaku na ekranie.

Ponieważ jeden znak zajmuje dwa bajty, to na jeden wiersz na ekranie przypada 160 bajtów w trybach 80x25 i 80 bajtów w trybie 40x25. Poszczególne wiersze są umieszczone w pamięci jeden za drugim bez przerw. Interpretacje pamięci w tych trybach przedstawia poniższy rysunek.

### TRYB ZNAKOWY 80X25

#### WIERSZ 1

bajt0	bajt1	bajt2	bajt3			bajt158	bajt159
ZNAK	ATRYBUT	ZNAK	ATRYBUT			ZNAK	ATRYBUT
znak 1		znak 2					
				znak 80			

#### WIERSZ 2

bajt160	bajt161	bajt162	bajt163			bajt316	bajt319
ZNAK	ATRYBUT	ZNAK	ATRYBUT			ZNAK	ATRYBUT
znak 1		znak 2					
				znak 80			

### TRYB ZNAKOWY 40X25

#### WIERSZ 1

bajt0	bajt1	bajt2	bajt3			bajt76	bajt79
ZNAK	ATRYBUT	ZNAK	ATRYBUT			ZNAK	ATRYBUT
znak 1		znak 2					
				znak 40			

#### WIERSZ 2

bajt80	bajt81	bajt82	bajt83			bajt158	bajt159
ZNAK	ATRYBUT	ZNAK	ATRYBUT			ZNAK	ATRYBUT
znak 1		znak 2					
				znak 40			



Bajt ZNAK zawiera ośmiobitowy kod znaku. Bajt ATRYBUT opisuje sposób wyświetlania znaku i ma następującą budowę:

AT7	AT6	AT5	AT4	AT3	AT2	AT1	AT0
-----	-----	-----	-----	-----	-----	-----	-----

Interpretacja bajtu atrybutu w trybach znakowych 1 i 6 jest przedstawiona w poniższej tabelce.

AT6	AT5	AT4	AT2	AT1	AT0	EFEKT NA EKRANIE
0	0	0	0	0	0	ZNAK NIE ŚWIECI
0	0	0	0	0	1	ZNAK PODKREŚLONY
1	1	1	0	0	0	ZNAK NEGATYWOWY
0	0	0	1	1	1	ZNAK NORMALNY

AT3 - intensywność świecenia znaku

AT7 - miganie lub

intensywność świecenia tła

Bity AT6 - AT4 określają sposób świecenia tła znaku, a bity AT2 - AT0 określają sposób świecenia znaku.

Jeżeli bit AT3=0 to znak świeci z normalną intensywnością, a gdy AT3=1 to z intensywnością podwyższoną. Bit AT7 ma zmienne znaczenie zależne od ustawienia jednego z portów sterujących pakietu. Jeżeli AT7=0 to znak nie miga, a jeżeli AT7=1 to znak miga, w przypadku drugim jeżeli AT7=0 to tło znaku jest wyświetlane z normalną intensywnością, a jeżeli AT7=1 to z podwyższoną.

Dla trybów znakowych 3, 4, 5 interpretacja bajtu atrybutu jest podobna. Bity AT6 - AT4 określają kolor świecenia tła, a bity AT2 - AT0 kolor świecenia znaku. Bity AT3 i AT7 mają takie samo znaczenie jak poprzednio.

AT6	AT5	AT4	AT2	AT1	AT0
R	G	B	R	G	B
Kolor tła			Kolor znaku		

Jak już wspomniano, w trybach znakowych pamięć jest wykorzystana w sposób ciągły, czyli zawartość jednego ekranu o rozmiarach 80x25 zajmuje w pamięci 80x25x2=4000 bajtów, a o rozmiarach 40x25 zajmuje 40x25x2=2000 bajtów.



Jak widać na zapamiętanie jednego ekranu w trybach znakowych potrzeba znacznie mniej pamięci niż wynoszą rozmiary buforów. Daje to możliwość przechowywania w pamięci więcej niż jednej zawartości ekranu. Ta cecha jest wykorzystywana we wszystkich trybach pracy znakowej, z wyjątkiem trybu 1. Jest to podyktowane tym, że oryginalny pakiet MDA zawierał tylko 4096 bajtów pamięci ekranu, co dawało możliwość zapamiętania tylko jednej strony. Sprzet pakietu JS-CRT daje możliwość pracy z kilkoma stronami w trybie 1, ale nie jest ona w praktyce wykorzystywana przez żadne oprogramowanie.

W trybach graficznych interpretacja danych z bufora pamięci jest bardziej skomplikowana.

Omówimy najpierw tryb graficzny 720x348. W tym trybie jednemu punktowi na ekranie odpowiada jeden bajt w pamięci. Punkty w linii numerowane są od strony lewej do prawej, a linie od góry ekranu do dołu. A zatem punkt 0 w linii 0 leży w górnym lewym rogu ekranu. Poniżej pokazano jak wygląda jedna linia obrazu w pamięci.

#### BUDOWA LINII W TRYBIE 720x348

##### LINIA 0

bajt 0

bajt 1

bajt 89

7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0			7	6	5	4	3	2	1	0
0	1	2	3	4	5	6	7	8	9	1	1	1	1	1	1			7	7	7	7	7	7	7	7
										0	1	2	3	4	5			1	1	1	1	1	1	1	1
																		2	3	4	5	6	7	8	9

Jak widać jednej linii na ekranie odpowiada 90 bajtów pamięci, gdyż 90x8=720. W pamięci ekranu linie nie są umieszczone w sposób ciągły, ale są pogrupowane. Istnieją cztery grupy linii.

Grupa pierwsza to linie o numerach 0, 4, 8, ..., 344,  
 grupa druga 1, 5, 9, ..., 345,  
 grupa trzecia 2, 6, 10, ..., 346,  
 grupa czwarta 3, 7, 11, ..., 347.



Wzajemne położenie tych linii w pamięci pokazuje poniższy rysunek.

# ROZMIESZCZENIE LINII W PAMIĘCI W TRYBIE 720X348

B0000	linie 0, 4, 8, ..., 344
B0F96	/obszar niewykorzystany/ ////////////////////////////////////
B2000	linie 1, 5, 9, ..., 345
B2F96	/obszar niewykorzystany/ ////////////////////////////////////
B4000	linie 2, 6, 10, ..., 346
B4F96	/obszar niewykorzystany/ ////////////////////////////////////
B6000	linie 3, 7, 11, ..., 347
B6F96	/obszar niewykorzystany/ ////////////////////////////////////

Jeżeli przełączniki konfiguracyjne na pakiecie są tak ustawione, że bufor pamięci rozciąga się od B0000 do BFFFF, to jest możliwość pracy z dwoma stronami. Strona 0 rozpoczyna się od adresu B0000, a strona 1 od adresu B8000. Procesor ma wtedy dostęp do obu stron, podczas gdy na ekranie wyświetlana jest zawartość tylko jednej z nich, w zależności od wartości wpisanej do portu sterującego. W czasie wyświetlania strony 0 procesor może tworzyć nowy obraz na stronie 1 i po jego utworzeniu przełączyć wyświetlanie na stronę 1. Obraz pamięci dla strony 1 jest analogiczny do przedstawionego powyżej obrazu strony 0. Jedyną różnicą jest to, że dla strony 1 wszystkie adresy z powyższego rysunku należy zwiększyć o 8000H. Punkt o współrzędnych 0,0 jest obrazem nastarszego bitu z bajtu o adresie B0000 dla strony 0 i B8000 dla strony 1.

Tryb graficzny 640x200 ma podobną interpretację zawartości pamięci. Jednemu punktowi na ekranie odpowiada jeden bit z pamięci obrazu. Punkty w linii numerowane są od lewej do prawej, a linie od góry do dołu. Punkt o współrzędnych 0,0 położony jest w lewym górnym rogu ekranu, a o współrzędnych



639,199 w prawym dolnym rogu. Punkt o współrzędnych 0,0 jest najstarszym bitem bajtu położonego pod adresem B8000.

W tym trybie pracy linie są zgrupowane w pamięci w dwóch obszarach. Obszar pierwszy zawiera linie o numerach 0,2,4,...,198, a obszar drugi linie o numerach 1,3,5,...,199. Na poniższym rysunku przedstawiono budowę jednej linii obrazu i rozmieszczenie poszczególnych linii w pamięci.

#### BUDOWA LINII W TRYBIE 640X200

##### LINIA 0

Bajt 0								Bajt 1								Bajt 79								
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0		7	6	5	4	3	2	1	0
0	1	2	3	4	5	6	7	8	9	1	1	1	1	1	1		6	6	6	6	6	6	6	6
										0	1	2	3	4	5		3	3	3	3	3	3	3	3
																	2	3	4	5	6	7	8	9

#### ROZMIESZCZENIE LINII W PAMIĘCI W TRYBIE 640X200 I 320X200

B8000	linie 0, 2, 4, ..., 198
80F80	/obszar niewykorzystany/ ////////////////////////////////
B8000	linie 1, 3, 5, ..., 199
80F80	/obszar niewykorzystany/ ////////////////////////////////

W tym trybie pracy można pracować tylko z jedną stroną. Sprzęt nie zapewnia możliwości wyświetlania obrazu z całego bufora pomimo, że procesor ma do niego dostęp. Pamięć ekranu zawsze rozpoczyna się od adresu B8000.

Zawartość pamięci określa tylko, czy dany punkt na ekranie świeci, czy nie. Kolor świecenia punktów jest ustalany globalnie dla całego ekranu za pomocą oddzielnego rejestru sterującego.

Tryb graficzny 320x200 zorganizowany jest w pamięci bardzo podobnie do omówionego poprzednio trybu 640x200. Jednemu punktowi odpowiadają w pamięci ekranu dwa bity. Jest to jedyny rodzaj pracy, w którym można ustalać kolor oddzielnie dla każdego punktu. Punktom przyporządkowane są kolejne dwójki bitów w bajtach tworzących linie. Każde takie dwa bity kreślą kolory Red i Green dla danego punktu. Kolor Blue i Intensity są ustalane globalnie dla całego ekranu przez rejestr sterujący. Poniżej przedstawiono budowę jednej linii obrazu.



# BUDOWA LINII W TRYBIE 320X200

LINIA 0

bajt 0								bajt 1								bajt 79											
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0					7	6	5	4	3	2	1	0
R	G	R	G	R	G	R	G	R	G	R	G	R	G	R	G					R	G	R	G	R	G	R	G
10	1	2	3	4	5	6	7												316	317	318	319					

Ponieważ długość linii wynosi 320 punktów, a na każdy punkt przypadają dwa bity to dla zapamiętania całej linii potrzeba 320x2=640 bitów. Wynika z tego, że organizacja pamięci może być taka sama jak dla trybu 640x200. I tak jest w rzeczywistości. Rozmieszczenie linii w pamięci jest identyczne jak na rysunku dotyczącym trybu 640x200.

## PRZEŁĄCZNIKI, WSPÓŁPRACA Z DRUGIM STEROWNIKIEM

Pakiet JS-CRT może pracować w komputerze jako jedyny sterownik monitora, oraz jako jeden z dwóch sterowników. Dwa sterowniki tylko wtedy mogą pracować razem, gdy ich bufor i porty sterujące mają rozłączne adresy. Możliwość odpowiedniego ustawienia tych adresów i zabezpieczenie przed przypadkowym przełączeniem dają przełączniki konfiguracyjne pakietu.

Do JS-CRT może być dołączony dowolny monitor kompatybilny z IBM Monochrome Display, IBM Color Display lub monitor dwustandardowy MAZOVIA. W pewnych sytuacjach nie jest obojętne jaki monitor został dołączony do sterownika. Dlatego też typ dołączonego monitora musi być zadeklarowany przełącznikiem.

Na pakiecie jest zainstalowany przełącznik ośmiokrotny, z czego wykorzystuje się tylko cztery klucze.

Klucz 1:

OFF — oznacza, że w systemie zainstalowano tylko jeden sterownik.

W tej sytuacji procesor widzi pamięć ekranu od adresu B0000 do BFFFF. Pakiet może być przełączany na obydwa rodzaje pracy — monochromatyczny i kolorowo-graficzny. Jeżeli klucze 5 i 7 są w pozycji ON to, mimo iż klucz 1 jest w pozycji OFF pakiet nie daje się przestroić na rodzaj monochromatyczny, ani na tryb znakowy 80x25 z mozaiką 9x14.

ON — oznacza, że w systemie są dwa sterowniki.

Pakiet po włączeniu zasilania inicjowany jest w rodzaju pracy określonym przez klucz 5 i nie może być zmieniany przez program. Dlatego mogą pracować w komputerze dwa pakiety JS-CRT, każdy zainicjowany na inny rodzaj pracy. Umożliwia to pracę w konfiguracji dwumonitorowej. Początkowy adres bufora pamięci zależny jest teraz od ustawienia klucza 5.



**Klucz 5:**

Klucz ten ma znaczenie tylko wtedy, gdy klucz 1 jest w pozycji ON. Określa on rodzaj pracy na jaki pakiet jest inicjowany po włączeniu zasilania, a ponieważ klucz 1 w pozycji OFF zezwala na przestrajanie pakietu na obydwa rodzaje pracy, to przy tym ustawieniu program zawsze może zmienić początkowy rodzaj pracy. Jeżeli klucz 1 jest w pozycji ON, to klucz 5 określa rodzaj pracy "raz na zawsze" i rodzaj ten nie może być zmieniony programowo, wobec tego jest gwarancja, że dwa pakiety z kluczami 1 w pozycji ON i kluczami 5 ustawionymi przeciwnie będą zawsze w różnych rodzajach pracy — jeden w monochromatycznym, a drugi w kolorowo-graficznym.

OFF — Sterownik jest ustawiony w rodzaj monochromatyczny.

ON — Sterownik jest ustawiony w rodzaj kolorowo-graficzny.

**Klucz 7:**

Klucz ten jest pierwszym z kluczy oznaczających typ dołączonego monitora.

OFF — Monitor dwustandardowy MAZOVII /MM12P/.

ON — Monitor barwny.

**Klucz 8:**

Klucz ten jest drugim z kluczy określających typ dołączonego monitora.

OFF — Monitor monochromatyczny IBM.

ON — Monitor dwustandardowy MAZOVII /MM12P/.

Klucze 7 i 8 najlepiej jest rozpatrywać wspólnie. Wszystkie ustawienia tych kluczy pokazuje poniższa tabelka.

KLUCZ 7	KLUCZ 8	TYP MONITORA
OFF	OFF	MONOCHROMATYCZNY
OFF	ON	DWUSTANDARDOWY
ON	OFF	USTAWIENIE NIEDOPUSZCZALNE
ON	ON	BARWNY

Ustawienie wskazujące na monitor monochromatyczny powoduje, że po wysterowaniu pakietu na inny rodzaj pracy niż z rastrem 720x350 blokowane są linie synchronizacji. To ustawienie powoduje również, że tryby pracy 5 i 6 stają się nierozróżnialne, czyli pakiet wysterowany w tryb 5 pracuje tak jakby był w trybie 6. Sygnał wizji jest przy tym ustawieniu przesyłany po liniach B&W oraz I.

Ustawienie kluczy 7 i 8 wskazujące na monitor barwny powoduje, że pakiet może pracować tylko w rodzaju kolorowo-graficznym z rastrem 640x200. Monitor barwny może pracować tylko w tym jednym rastrze.



Przy takim ustawieniu kluczy 7 i 8 pakiet nie daje się przestroić na monochromatyczny rodzaj pracy. Niemożliwa jest również praca w trybach znakowych 80x25 z mozaiką 9x14 (tryby sprzętowe 5 i 6).

Przy tym ustawieniu kluczy 7 i 8 klucz 5 musi być ustawiony w pozycję ON, czyli pakiet musi się inicjować na rodzaj kolorowo-graficzny. Sygnał wizji przesyłany jest po liniach R, G, B, I.

Przy ustawieniu na monitor dwustandardowy pakiet daje się przestroić na obydwa rodzaje pracy, pod warunkiem, że klucz 1 jest w pozycji OFF. Przy tym ustawieniu sygnał wizji przesyłany jest po liniach R, G, B, I.

Jeżeli pakiet ma pracować w rodzaju monochromatycznym, to dołączony może być monitor monochromatyczny lub dwustandardowy. Jeżeli pakiet ma pracować w rodzaju kolorowo-graficznym to dołączony może być monitor barwny lub dwustandardowy. Jeżeli dołączymy w tym rodzaju pracy monitor monochromatyczny, to będziemy mogli pracować tylko w trybie 6, czyli trybie znakowym 80x25 z mozaiką znaku 9x14. Jeżeli chcemy aby pakiet dawał się przestroić na obydwa rodzaje, i aby można było korzystać z wszystkich jego trybów pracy, to należy dołączyć monitor dwustandardowy.

Pokazane zostaną teraz "sensowne" ustawienia kluczy 1 i 5 z uwzględnieniem typu dołączonego monitora. Są to te ustawienia dla których przełączniki zostały zaprojektowane.

KLUCZ 1	KLUCZ 5	MONITOR
1. OFF	ON	BARWNY
2. OFF	OFF	MONOCHROMATYCZNY
3. OFF	BEZ ZNACZENIA	DWUSTANDARDOWY
4. ON	ON	BARWNY LUB DWUSTANDARDOWY
5. ON	OFF	MONOCHROMATYCZNY LUB DWUSTANDARDOWY

Przy poszczególnych ustawieniach można uzyskiwać następujące tryby pracy:

USTAWIENIE	RODZAJ PRACY	TRYBY PRACY
1	kolorowo-graficzny	3, 4, 7, 8
2	monochromatyczny	1, 2, 6 *)
3	przełączany programowo	1, 2, 3, 4, 5, 6, 7, 8
4	kolorowo-graficzny	3, 4, 7, 8 dla monitora barwnego, lub wszystkie dla dwustandardowego
5	monochromatyczny	1, 2

\*) Przy ustawieniu 2 pakiet daje się programowo przestroić na obydwa rodzaje pracy, ale w rodzaju kolorowo-graficznym osiągalny jest tylko tryb 6. W pozostałych trybach pracy rodzaju kolorowo-graficznego pakiet blokuje linie synchronizacji. Dlatego też należy przyjąć, że pakietu nie



przestraja się na rodzaj kolorowo-graficzny przy ustawieniu 2. Jeżeli chcemy pracować z monitorem monochromatycznym dołączonym do pakietu JS-CRT, to powinniśmy zastosować ustawienie 5 i wybrać monitor monochromatyczny klawiszami 7 i 8, nawet wtedy gdy w systemie zainstalowano jeden pakiet CRT (ustawienie 5 jest zasadniczo przeznaczone do pracy w konfiguracji dwumonitorowej, czyli także, gdy zainstalowane są dwa sterowniki CRT).

W ustawieniu 1 i 4 pamięć ekranu zawiera się od adresu B8000 do adresu BFFFF, a adresy portów są położone od 3D0 do 3DF. W ustawieniu 5 pamięć ekranu zawiera się od adresu B0000 do B7FFF, a adresy portów są położone od 3B0 do 3BF. W ustawieniach 2 i 3 pamięć ekranu zawiera się od adresu B0000 do BFFFF, a adresy portów i położenie aktywnego bufora ekranu zależy od wybranego rodzaju i trybu pracy.

## RODZAJE I TRYBY PRACY Z PUNKTU WIDZENIA PROGRAMU BIOS

Od tej strony tryby i rodzaje pracy są widziane w nieco inny sposób niż z punktu widzenia sprzętu. Różnica dotyczy tylko kilku trybów pracy.

Obydwa rodzaje pracy są prawidłowo obsługiwane, a BIOS może zawsze stwierdzić, w jakim rodzaju znajduje się pakiet w przypadku pracy jednomonitorowej, lub który pakiet jest aktywny w pracy dwumonitorowej.

Aktualny rodzaj pracy zapamiętany jest przez flagę w słowie EQUIP\_FLAG pod adresem 00410, oraz przez zapamiętanie adresów wejścia/wyjścia (03Bx lub 03Dx) w słowie ADDR\_6845 pod adresem 00463 w obszarze pamięci operacyjnej wykorzystywanym przez BIOS, np. Jeżeli BIOS przełącza pakiet w rodzaj monochromatyczny to ustawia w słowie ADDR\_6845 wartość 03B4, a jeżeli na kolorowo-graficzny to wartość 03D4.

Słowo EQUIP\_FLAG służy do przekazywania do programu BIOS informacji o tym, na jaki rodzaj pracy ma być ustawiony pakiet CRT. Program, który żąda zmiany rodzaju pracy musi zmienić zawartość tego słowa, a potem wywołać procedurę BIOS, która ustawia rodzaj i tryb pracy.

Jeżeli chcemy przełączyć pakiet na rodzaj monochromatyczny to czwarty i piąty bit w EQUIP\_FLAG ustawiamy wartość 11B, a gdy pakiet ma pracować jako kolorowo-graficzny to ustawiamy tam wartość 01B lub 10B. Po modyfikacji EQUIP\_FLAG wywołujemy BIOS obsługujący pakiet CRT z następującymi parametrami: rejestry AH=0, AL-nieistotne dla rodzaju monochromatycznego, lub AH=0, AL={tryb pracy} dla rodzaju kolorowo-graficznego. Wywołanie procedury BIOS odbywa się przez wykonanie instrukcji INT 10H.



"Tryb pracy" przy wywoływaniu procedury BIOS ma inne wartości niż to było podane przy omawianiu sprzętowych rodzajów pracy pakietu. Wartości te są następujące:

0	znakowy	40x25	czarno-biały
1	znakowy	40x25	barwny
2	znakowy	80x25	czarno-biały
3	znakowy	80x25	barwny
4	graficzny	320x200	barwny
5	graficzny	320x200	czarno-biały
6	graficzny	640x200	czarno-biały

Dodatkowe tryby pracy oznaczone jako "czarno-białe" pochodzą od starego pakietu IBM CGA, który wyposażony był w wyjście zespolonego sygnału wizyjnego. Pakiet mógł wtedy współpracować ze zwykłym odbiornikiem telewizji kolorowej w standardzie PAL. Tryby barwne i czarno-białe są identyczne na ekranie monitora współpracującego z pakietem przez linie RGBI. Ponieważ pakiet JS-CRT nie jest wyposażony w wyjście zespolonego sygnału wizyjnego, to "czarno-białe" tryby pracy nie zostały wyróżnione przy opisie trybów sprzętowych.

Tryb znakowy 80x25 (z punktu widzenia BIOS) jest odpowiednikiem trybów 4, 5 i 6 z opisu trybów sprzętowych. Po przełączeniu na ten tryb programem BIOS, czyli po wejściu do sprzętowego trybu 4, dwa pozostałe są osiągalne poprzez klawiaturę. Jednocześnie wcisnięcie klawiszy Ctr-Alt-> przełącza pakiet w sprzętowy tryb 5. Do trybu sprzętowego 6 można przejść z trybu sprzętowego 5 przez wcisnięcie sekwencji klawiszy Ctr-Alt-Tab. Ta sama sekwencja klawiszy sprowadza z powrotem pakiet z trybu 6 do 5. Powrót do trybu sprzętowego 4 następuje po naciśnięciu klawiszy Ctr-Alt-<.

Powyższe przełączenia nazywane są potocznie zmianami mozaiki znaku z gęściejszej na rzadszą i odwrotnie. Program BIOS zapamiętuje aktualnie ustawioną mozaikę dla trybu znakowego 80x25. Oznacza to, że po jednokrotnym jej ustawieniu zawsze, gdy jest wybierany tryb znakowy 80x25 w rodzaju kolorowo-graficznym wybierana jest taka mozaika (czyli taki tryb sprzętowy), jaka była ustawiona ostatnio.

Tryb sprzętowy 2 (grafika 720x348) nie jest ustawiany za pomocą procedur BIOS, gdyż nie należy on do repertuaru oryginalnych pakietów IBM MDA i IBM CGA. Dlatego też przy ustawianiu trybu w rodzaju monochromatycznym zawsze ustawiany jest tryb sprzętowy 1, oznaczony w BIOS-ie jako 7. Jest to wewnętrzny numer trybu pracy i jest używany wyłącznie przez BIOS. Jeżeli program użytkowy ustawia tryb pracy w rodzaju monochromatycznym za pomocą procedury BIOS-u, to nie musi specyfikować trybu pracy. BIOS w tej sytuacji zawsze wysternuje pakiet w tryb sprzętowy 1.



Jeżeli program chce pracować z grafiką 720x348 to samodzielnie musi wysterować wszystkie rejestry sterujące pakietu oraz rejestry układu MOTOROLA 6845. BIOS nie zawiera żadnego wspomaganie dla tego trybu pracy.

Na zakończenie tego punktu podane zostaną przykładowe procedury przełączające pakiet na rodzaj monochromatyczny i na rodzaj kolorowo-graficzny w trybie 3.

```
MONO      EQU      0000000000110000B ; flagi monochromatyczne
KOLOR     EQU      0000000000100000B ; flagi kolorowo-graficzne
FLAGI     EQU      1111111111001111B ; maska dla flag ekranu
TRYB_3    EQU      3                ; tryb 3, sprzętowy 4, 5, 6
EKRAN     EQU      10H              ; przerwanie do BIOS
ZERO      EQU      0                ; polecenie "ustaw tryb"
```

```
DATA      SEGMENT AT 40H
          ORG      10H
EQUIP_FLAG DW      ?                ; flagi rodzaju pracy
DATA      ENDS
```

```
PROGRAM    SEGMENT BYTE
          ASSUME   CS:PROGRAM, DS:DATA
START:     MOV     AX, DATA          ; ustaw rejestr DS na DATA

          MOV     DS, AX

          AND     EQUIP_FLAG, FLAGI ; maskuj flagi ekranu
          OR      EQUIP_FLAG, MONO  ; ustaw monochromatyczny
          MOV     AH, ZERO           ; polecenie dla BIOS
                                          ; AL bez znaczenia
          INT     EKRAN              ; wywołanie BIOS
; ——— pakiet pracuje w rodzaju monochromatycznym, tryb 7
```

```
          AND     EQUIP_FLAG, FLAGI ; maskuj flagi ekranu
          OR      EQUIP_FLAG, KOLOR ; ustaw rodzaj barwny
          MOV     AH, ZERO           ; polecenie dla BIOS
          MOV     AL, TRYB_3         ; AL-tryb znakowy 80x25
          INT     EKRAN              ; wywołanie BIOS
; ——— pakiet pracuje w rodzaju kolorowo-graficznym, tryb 3
```

```
PROGRAM    ENDS
          END      START
```



## PROCEDURY BIOS DLA PAKIETU JS-CRT

### AUTOTEST

W pamięci stałej komputera MAZOVIA 1016 zawarte jest oprogramowanie BIOS (Basic Input Output System). Umieszczone tam procedury można podzielić na dwie grupy. Pierwsza grupa to procedury zajmujące się testowaniem komputera po włączeniu zasilania. W grupie drugiej zawarte są programy przeznaczone do obsługi urządzeń wejścia/wyjścia, np. dysków, łącza asynchronicznego RS232, klawiatury, zegara wewnętrznego oraz pakietu monitora.

Procedury testujące wykonywane są tylko po włączeniu zasilania lub po restarcie komputera wywołanym z klawiatury przez wcisnięcie klawiszy `Crtl_Alt_Del`. Do zadań tych procedur należy przetestowanie wszystkich najważniejszych części maszyny oraz określenie konfiguracji. Wstępne testy zawarte w BIOS nazywane są potocznie autotestem. Zajmiemy się teraz tą częścią autotestu, która sprawdza poprawność działania pakietów CRT oraz określa prawidłową ich konfigurację.

Pierwszą czynnością po włączeniu zasilania jest wstępne wystereowanie wszystkich pakietów CRT. Na tym etapie BIOS zakłada, że zainstalowane są dwa pakiety skonfigurowane na przeciwne rodzaje pracy (monochromatyczny i kolorowo-graficzny). Pakiet kolorowo-graficzny wprowadzany jest w tryb znakowy 40x25, a monochromatyczny w tryb znakowy 80x25.

Po tym wstępnym wystereowaniu pakietów, BIOS określa prawidłową konfigurację. Robi to na podstawie położenia przełączników z płyty głównej. Konfiguracja monitorów jest opisana przełącznikami 5 i 6. Oto ich wszystkie możliwe ustawienia.

LP	KLUCZ 6	KLUCZ 5
1	OFF	OFF
2	OFF	ON
3	ON	OFF
4	ON	ON

Ustawienie 1 ma dwojaką interpretację:

a) w przypadku dwóch pakietów oznacza, że uaktywniony zostanie pakiet pracujący w rodzaju monochromatycznym;

b) w przypadku jednego pakietu oznacza, że zostanie on zainicjowany na monochromatyczny rodzaj pracy; klucz 1 na pakiecie JS-CRT powinien być ustawiony w pozycji OFF (jeden pakiet w systemie); jeżeli klucz 1 jest w pozycji ON to klucz 5 musi być w pozycji OFF (ustawienie początkowe na rodzaj monochromatyczny) — jest to konieczne, gdyż klucz 1 w pozycji ON uniemożliwia zmianę rodzaju pracy;



Ustawienia 2 i 3 mają również dwa znaczenia:

a) w przypadku dwóch pakietów oznacza, że uaktywniony zostanie pakiet pracujący w rodzaju kolorowo-graficznym; dla ustawienia 2 pakiet zostanie wysterowany w tryb znakowy 80x25, a dla ustawienia 3 w tryb znakowy 40x25;

b) w przypadku jednego pakietu oznacza, że zostanie on zainicjowany na kolorowo-graficzny rodzaj pracy; jeżeli klucz 1 pakietu jest w pozycji ON to klucz 5 powinien być w pozycji ON;

Korzystając z powyższej interpretacji, BIOS ponownie inicjuje ten pakiet, lub rodzaj pracy, który ma być aktywny. Następnie rozpoczynany jest test tego pakietu.

W pierwszej kolejności testowany jest rejestr stanu i linie sterujące monitorem. Odbywa się to przez sprawdzanie bitu 3 (bit V) w rejestrze stanu. Przed rozpoczęciem testu 40 pierwszych słów pamięci ekranu wypełnianych jest kodem spacji i atrybutem negatywu (kod 20H, atrybut 70H). Daje to efekt jasnej poziomej linii o długości 40 znaków w pierwszym wierszu ekranu. Gwarantuje to, że na liniach wizji będą pojawiać się stany wysoki i niski. Jest to konieczne, gdyż w rodzaju monochromatycznym bit V odzwierciedla stan linii B&W (w rodzaju kolorowo-graficznym bit V jest sygnałem synchronizacji pionowej).

Po tym zainicjowaniu pamięci ekranu BIOS sprawdza, czy na bicie V zachodzą zmiany stanu. Jeżeli tak, to następuje przejście do dalszej części autotestu. W przeciwnym razie sygnalizowany jest błąd długim i dwoma krótkimi sygnałami dźwiękowymi i dalsze testowanie pakietu jest pomijane.

Pozytywne zakończenie testu rejestru stanu powoduje przejście do testu pamięci ekranu. W rodzaju monochromatycznym testowane jest pierwsze 4KB pamięci począwszy od adresu E0000. W rodzaju kolorowo-graficznym testowane jest pierwsze 16KB zaczynające się od adresu B8000. Jeżeli zostanie stwierdzony błąd pamięci, to jest to sygnalizowane jednym długim i dwoma krótkimi sygnałami dźwiękowymi.

Test pamięci ekranu jest ostatnim testem pakietu JS-CRT. Jeżeli test zakończył się pozytywnie, to do słowa konfiguracji maszyny (słowo EQUIP\_FLAG pod adresem 00410H) przepisany jest stan kluczy 5 i 6 z płyty głównej. Jeżeli w czasie testu został stwierdzony błąd, to do słowa konfiguracji na bity odpowiadające kluczom 5 i 6 wpisywane są zera (brak karty sterownika monitora), a z wektora przerwania 10H (adres 00040H) usuwany jest adres procedury obsługującej ekran.



## FUNKCJE PROCEDURY OBŚŁUGI MONITORÓW

Adres procedury obsługującej monitory umieszczony jest w wektorze przerwania 10H, czyli pod adresem 00040H. Wobec czego wywołanie procedury obsługi monitorów odbywa się przez wykonanie instrukcji INT 10H. Wszelkie parametry umieszczane są w rejestrach procesora. Numer żądanej funkcji umieszczany jest w zawsze w rejestrze AH.

Programy BIOS umożliwiają obsługę wszystkich funkcji pakietu z wyjątkiem grafiki monochromatycznej 720x348. Brak obsługi tego trybu pracy ma przyczyny natury "historycznej". Otóż praktycznie wszystkie programy dla komputerów personalnych były pisane tak, aby mogły pracować na maszynie IBM PC, która w swoich procedurach BIOS nie posiadała obsługi tej grafiki.

Jeżeli jakiś program używał grafiki 720x348 na pakiecie HERCULES MGA, to musiał samodzielnie wysterować go w całości. Powstała zatem sytuacja, że oprogramowanie posługujące się grafiką 720x348 nie korzysta z żadnych procedur pomocniczych. W tej sytuacji nawet jeżeli BIOS zawierałby obsługę tej grafiki, to i tak nie byłaby ona używana przez żadne programy.

## FUNKCJE STERUJĄCE

AH = 0.

Ustaw tryb pracy.

Wejście:

AL = 0 tryb znakowy 40x25 czarno-biały;

AL = 1 tryb znakowy 40x25 barwny;

AL = 2 tryb znakowy 80x25 czarno-biały;

AL = 3 tryb znakowy 80x25 barwny;

AL = 4 tryb graficzny 320x200 barwny;

AL = 5 tryb graficzny 640x200 czarno-biały;

Wyjście:

Wszystkie tryby pracy wymienione powyżej dotyczą kolorowo-graficznego rodzaju pracy. W rodzaju monochromatycznym zawartość rejestru AL przy ustawianiu trybu pracy jest nieistotna. Ustawiany jest wtedy zawsze tryb znakowy 80x25 z mozaiką 9x14 i włączonym podkreśleniem. Mozaika w trybie znakowym 80x25 jest taka, jaka została ustalona funkcją 130, opisaną w dalszej części opracowania.

Samo wywołanie funkcji ustawiania trybu może tylko zmienić tryb pracy, ale nigdy nie zmieni rodzaju pracy. Zmianę rodzaju pracy (lub aktywnego pakietu w konfiguracji dwumonitorowej) wykonuje się przez zmianę bitów 4 i 5 w słowie EQUIP\_FLAG.



Bity te określają który pakiet jest aktywny w przypadku pracy dwumonitorowej lub w jakim rodzaju pracy znajduje się pakiet, w przypadku pracy jednomonitorowej. Bity te nigdy nie są zmieniane przez BIOS. Procedury BIOS obsługujące ekran sprawdzają tylko zawartość tych bitów i na podstawie ich wartości określają jaki pakiet lub jaki rodzaj pracy jest aktywny.

Słowo EQUIP\_FLAG na bitach 4 i 5 ma zapisany wskaźnik do aktywnego pakietu JS-CRT w konfiguracji dwumonitorowej. Jeżeli Bity te są równe 11 to aktywnym pakietem jest JS-CRT pracujący w rodzaju monochromatycznym. Dla wartości 01 i 10 aktywny jest pakiet JS-CRT pracujący jako kolorowo-graficzny. Określenie "pakiet aktywny" oznacza, że wszystkie operacje wykonywane przez BIOS będą wykonywane tylko na tym pakiecie, np. ustawianie trybu pracy, pisanie znaków itd. BIOS w tej sytuacji nie zmieni stanu drugiego pakietu, ani nie będzie odwoływał się do jego pamięci ekranu. Chcąc uaktywnić drugi pakiet należy zmienić stan bitów 4 i 5 w słowie EQUIP\_FLAG i wywołać funkcję ustawiania trybu pracy (AH=0). Spowoduje to uaktywnienie drugiego pakietu i ustawienie jego trybu pracy. Przy uaktywnianiu pakietu monochromatycznego rodzaj pracy nie będzie zależał od zawartości rejestru AL. Dla przejścia z pakietu kolorowo-graficznego na monochromatyczny bity 4 i 5 ustawiamy na 11, a przy przejściu odwrotnym na 01 lub 10.

W konfiguracji jednomonitorowej wszystkie zmiany trybów i rodzajów pracy przebiegają podobnie. Jedyną różnicą polega na tym że to, co do tej pory powodowało przechodzenie z jednego pakietu na drugi powoduje teraz zmianę rodzaju pracy pakietu JS-CRT.

Dla niektórych trybów pracy BIOS umożliwia pracę z kilkoma stronami. Oznacza to, że w pamięci na pakiecie JS-CRT przechowywana jest zawartość kilku "ekranów", a wyświetlany jest tylko jeden z nich. W pracy kolorowo-graficznej dla trybu znakowego 80x25 można używać 4 stron, a dla trybu 40x25 2 stron. W pracy monochromatycznej w trybie znakowym BIOS umożliwia pracę tylko z jedną stroną. W trybach graficznych 640x200 i 320x200 istnieje również tylko jedna strona.

Przy używaniu funkcji pisania i czytania z ekranu podaje się zawsze której stronie dotyczy dana operacja. Podobnie jest przy ustawianiu położenia kursora. W każdej chwili można odwoływać się do dowolnej strony, niezależnie od tego, czy jest wyświetlana, czy nie. Za pomocą osobnej funkcji można zadać numer wyświetlanej strony.

AH = 1.

Ustaw wymiary kursora.

Wejście:

CH = początkowa linia kursora;

CL = końcowa linia kursora;

Wyjście:



Funkcja służy do ustawiania typu kursora. W rejestrach CH i CL można używać tylko bitów 4-0. Pozostałe muszą być wyzerowane.

Typ kursora określamy przez podanie numeru linii, w której kursor się zaczyna i kończy. Ponieważ te liczby są wpisywane bezpośrednio do rejestrów układu 6845, to ich wartości muszą być zgodne z licznikiem linii w wierszu. Licznik ten (rejestr R9 układu 6845) zlicza linie począwszy od zera do N-1, gdzie N oznacza liczbę linii w wierszu. Dlatego też dla trybów znakowych z mozaiką 8x8 rozmiary kursora mogą być określane liczbami od 0 do 7, a dla trybów znakowych z mozaiką 9x14 od 0 do 13.

Jeżeli w obydwu rejestrach umieścimy liczby większe od maksymalnej wartości licznika linii w wierszu to kursor nie będzie wyświetlany. Ta własność jest często używana do blokowania wyświetlania kursora.

Poniżej przedstawiono przykłady kilku kursorów dla różnych wartości w rejestrach CH i CL. Pakiet pracuje w trybie znakowym z mozaiką znaku 8x8. Gwiazdki oznaczają te linie, w których wyświetlany jest kursor.

CH=4 CL=7	CH=6 CL=6	CH=6 CL=3
_____	_____	*****
_____	_____	*****
_____	_____	*****
_____	_____	*****
*****	_____	_____
*****	_____	_____
*****	*****	*****
*****	_____	*****

W trybach graficznych funkcja ta nie działa, gdyż wtedy nie jest wytwarzany sygnał kursora na pakiecie JS-CRT.

AH = 2.

Ustaw pozycję kursora.

Wejście:

DH — numer wiersza;

DL — numer kolumny;

BH — numer strony;

Wyjście:

Funkcja służy do ustalania pozycji kursora. Pozycja ta może być określana dla dowolnej strony, niekoniecznie właśnie wyświetlanej. Funkcja działa zarówno dla trybów znakowych, jak i graficznych. W trybie graficznym 320x200 rozmiary ekranu określone są tak jak w trybie znakowym 40x25, a w grafice 640x200 tak jak w trybie znakowym 80x25. Oznacza to, że kursor



może być pozycjonowany tylko z dokładnością do znaku, a nie do pojedynczego punktu. W trybach graficznych kursor nie jest wyświetlany, a ustalenie pozycji mówi tylko o tym, w jakim miejscu ekranu będą pojawiać się znaki pisane przez funkcje znakowe BIOS.

Rejestr DH określa numer wiersza, w jakim zostanie umieszczony kursor. Jego zawartość może zmieniać się od 0 do 24. Rejestr DL określa numer kolumny, w której zostanie umieszczony kursor. Jego zawartość może zmieniać się od 0 do 39 dla trybu znakowego 40x25 i grafiki 320x200 oraz od 0 do 79 dla trybów znakowych 80x25 i grafiki 640x200.

Rejestr BH podaje numer strony, na której jest ustawiany kursor. Jeżeli jest to strona właśnie wyświetlana, to zmiana położenia kursora będzie widoczna na ekranie. Dla strony, która nie jest wyświetlana, nowe położenie kursora zostanie tylko zapamiętane.

AH = 3.

Odczytaj pozycję i wymiary kursora.

Wejście:

BH -- numer strony;

Wyjście:

DH -- numer wiersza;

DL -- numer kolumny;

CH -- pierwsza linia kursora;

CL -- ostatnia linia kursora;

Funkcja służy do odczytywania aktualnej pozycji kursora na zadanej stronie, której numer musi być podany w rejestrze BH, oraz do określania, jakie są jego rozmiary.

Funkcja zwraca położenie w rejestrach DH i DL, w takiej samej postaci jak wejście dla funkcji 2. W rejestrach CH i CL zwracane są wymiary kursora w takiej samej postaci, jak wejście dla funkcji 1.

AH = 4.

Odczytaj pozycję pióra świetlnego.

Wejście:

Wyjście:

AH -- stan pióra;

DH -- numer wiersza;

DL -- numer kolumny;

CH -- numer linii (0 - 199);

BX -- numer punktu w linii (0 - 319 lub 639);

Funkcja służy do określania położenia pióra świetlnego na ekranie. W trybach znakowych położenie jest zwracane w rejestrach DH i DL. W trybach graficznych położenie jest zwracane w rejestrach CH i BX.



Jeżeli rejestr AH = 0, to pióro nie jest używane, tzn. jego przełącznik jest w pozycji OFF, lub pióro nie dotyka ekranu. Jeżeli AH = 1 pióro jest aktywne i jego położenie jest podane w rejestrach DH, DL lub CH, BX.

Pakiet JS-CRT nie ma układu do współpracy z piórem świetlnym. Dlatego też funkcja ta ma zastosowanie tylko wtedy, gdy zainstalowany jest pakiet IBM CGA.

AH = 5.

Wybierz stronę do wyświetlania.

Wejście:

AL — numer strony;

Wyjście:

Funkcja określa która strona będzie wyświetlana na ekranie. Funkcja ma zastosowanie tylko dla trybów tekstowych w pracy kolorowo-graficznej.

Dla trybów znakowych 40x25 numer strony może się zawierać od 0 do 7, a dla trybów 80x25 od 0 do 3.

AH = 6.

Przesuń do góry obraz na ekranie (na aktywnej stronie).

Wejście:

AL — liczba wierszy, o jaką należy przesunąć wybrany obszar.

CH — wiersz, w którym położony jest lewy górny róg przesuwanego obszaru;

CL — kolumna, w której położony jest lewy górny róg przesuwanego obszaru;

DH — wiersz, w którym położony jest prawy dolny róg przesuwanego obszaru;

DL — kolumna, w której położony jest prawy dolny róg przesuwanego obszaru;

BH — bajt atrybutu, jakim zostaną wypełnione opróżnione linie na dole przesuwanego okna; na pozycję kod wpisywany jest kod spacji;

Wyjście:

Funkcja jest używana do przesuwania w górę zadanego obszaru wyświetlanej strony. Można przesuwać do góry całą stronę, lub tylko jej część w formie prostokątnego okna. Okno może być położone w dowolnym miejscu na stronie.

Rejestry CH i CL określają położenie lewego górnego rogu przesuwanego okna, a rejestry DH i DL prawego dolnego. Chcąc przesunąć do góry cały ekran należy ustalić rozmiary okna równe wymiarom ekranu.



Rejestr AL podaje o ile wierszy zostanie przesunięte okno. Zwolnione linie u dołu okna zostaną wypełnione spacjami z atrybutem podanym w rejestrze BH. W trybach graficznych obszar pamięci który odpowiada zwolnionym liniom wypełniany jest zawartością rejestru BH.

Jeżeli AL = 0 to okienko nie zostanie przesunięte, a tylko mignie.

AH = 7.

Przesuń w dół obraz na ekranie (na aktywnej stronie).

Wejście:

AL — liczba wierszy, o jaką należy przesunąć obraz;

CH — wiersz, w którym położony jest lewy górny róg przesuwanego obszaru;

CL — kolumna, w której położony jest lewy górny róg przesuwanego obszaru;

DH — wiersz, w którym położony jest prawy dolny róg przesuwanego obszaru;

DL — kolumna, w której położony jest prawy dolny róg przesuwanego obszaru;

BH — bajt atrybutu, jakim zostaną wypełnione opróżnione linie na górze przesuwanego okna; na pozycję kodu wpisywany jest kod spacji;

Wyjście:

Funkcja jest odpowiednikiem funkcji AH = 6 i służy do przesuwania obrazu w dół. Opis poprzedniej funkcji jest w pełni adekwatny do obecnej. Jedyną różnicą jest to, że uwalniane linie położone są w górnej części przesuwanego okna.

## FUNKCJE ZNAKOWE

Funkcje znakowe działają w zasadzie identycznie dla trybów znakowych i tekstowych. Drobne różnice opisane są przy poszczególnych funkcjach.

W sytuacji, gdy pakiet pracuje w trybie graficznym, znaki pisane na ekranie są formowane z generatora znaków umieszczonego w programie BIOS. Przy odczycie znaków zawartość pamięci ekranu porównywana jest z tym samym generatorem znaków i na tej podstawie określany jest kod znaku.

Ze względu na sposób zapisu i odczytu znaków w trybach graficznych znaki te nie mogą być umieszczane w dowolnym miejscu ekranu. Znaki mogą być umieszczane w takich obszarach pamięci, aby ekran wyglądał tak jak w trybie tekstowym (80x25 dla grafiki 640x200 i 40x25 dla grafiki 320x200). Tak samo jest pozycjonowany kursor na ekranie w trybach graficznych.



AH = 8.

Czytaj kod i atrybut znaku spod aktualnej pozycji kursora.

Wejście:

BH — numer strony;

Wyjście:

AL — kod znaku;

AH — atrybut znaku;

Funkcja daje możliwość odczytywania zawartości pamięci ekranu. Rejestr BH określa z której strony znak ma być odczytany. Może być to dowolna strona, niekoniecznie właśnie wyświetlana. Rejestr BH ma znaczenie tylko dla trybów znakowych w kolorowo-graficznym rodzaju pracy.

W rejestrze AL zawsze zwracany jest kod znaku. Dla trybów znakowych w rejestrze AH zwracany jest atrybut odpowiadający odczytanemu znakowi. Dla trybów graficznych zawartość rejestru AH jest nieokreślona.

AH = 9.

Pisz kod i atrybut znaku na aktualnej pozycji kursora.

Wejście:

BH — numer strony;

CX — liczba znaków do zapisania;

AL — kod znaku;

BL — atrybut znaku;

Wyjście:

Funkcja służy do zapisywania kodu i atrybutu znaku do pamięci ekranu. Rejestr BH określa na której stronie zostanie zapisany znak. Rejestr CX określa ile razy należy powtórzyć znak. Dla CX=1 znak zapisywany jest tylko na aktualnej pozycji kursora. Dla CX=n, gdzie  $n > 1$ , zapisywane jest n pozycji w prawo licząc od pozycji kursora.

Dla trybów znakowych jeżeli znaki nie mieszczą się w jednym wierszu, to zapis kontynuowany jest w następnym. W trybach graficznych wartość CX musi być tak dobrana, aby znaki mieściły się w jednej linii.

W rejestrze AL podawany jest kod znaku, a w rejestrze BL jego atrybut. Dla trybów znakowych atrybut jest po prostu zapisywany do pamięci ekranu. Dla trybów graficznych rejestr BL ma nieco odmienne znaczenie.

Jeżeli bit 7 w tym rejestrze jest jedynką, to zapis bajtów mozaiki do pamięci ekranu nie odbywa się wprost, ale każdy bit w bajcie sumowany jest modulo 2 z zawartością pamięci. Dopiero wynik tej operacji jest wpisywany do pamięci.



Jeżeli bit 7 rejestru BL jest zerem to mozaika znaku jest po prostu przepisywana z generatora znaków do pamięci ekranu.

AH = 10.

Zapisz tylko znak pod aktualną pozycję kursora.

Wejście:

BH — numer strony;

CX — liczba znaków do zapisania;

AL — kod znaku;

Funkcja ta jest odpowiednikiem funkcji poprzedniej. Jedyna różnica polega na tym, że zapisywany jest tylko kod znaku, atrybut natomiast nie jest modyfikowany.

W trybach graficznych mozaika znaku jest po prostu przepisywana z generatora znaków do pamięci ekranu.

## FUNKCJE GRAFICZNE

AH = 11.

Ustaw paletę kolorów.

Wejście:

BH — określa czy paleta, czy tło/ramka;

BL — kolor;

Wyjście:

Funkcja obsługuje rejestr koloru na pakiecie JS-CRT. Dla BH=0 ustawiany jest kolor świecenia tła w grafice 320x200 lub kolor świecenia ramki w trybach znakowych 40x20 i 80x25 (mozaika 8x8). Wartość tego koloru zapisana jest na czterech najmłodszych bitach rejestru BL. W grafice 320x200 bit 5 rejestru BL interpretowany jest jako intensywność świecenia kolorów palety. Bit ten ma znaczenie tylko w grafice 320x200.

W grafice 640x200 cztery najmłodsze bity rejestru BL określają kolor świecenia całego ekranu.

Dla BH=1 zmieniana jest tylko paleta. Paleta ma znaczenie tylko w grafice 320x200 i jest określona zawartością rejestru BL następująco:

BL = 0

Kolory	bity punktu w pamięci
tło	00
zielony	01
czerwony	10
żółty	11



BL = 1

Kolory	bity punktu w pamięci
tło	00
niebiesko-zielony	01
karmazynowy	10
biały	11

AH = 12.

Pisz punkt.

Wejście:

DX — numer linii;

CX — numer punktu w linii;

AL — kolor punktu;

Wyjście:

Funkcja umożliwia pisanie punktów w trybach graficznych na pozycji określonej rejestrami DX i CX. Punkt zapisywany jest w linii DX i kolumnie CX. Zawartość rejestru DX może zmieniać się od 0 do 199, a rejestru CX od 0 do 319 w grafice 320x200 i do 639 w grafice 640x200.

W rejestrze AL zawarty jest kolor punktu. Kolor jest zapisany na bicie 0 w grafice 640x200 i na bitach 0 i 1 w grafice 320x200. Jeżeli bit 7 rejestru AL jest równy zero to punkt jest zwyczajnie zapisywany do pamięci. Jeżeli bit ten jest jedynką to bit, lub bity, określające kolor punktu są sumowane modulo 2 z zawartością pamięci ekranu.

AH = 13.

Czytaj punkt.

Wejście:

DX — numer linii;

CX — numer punktu w linii;

Wyjście:

AL — odczytany punkt;

Funkcja umożliwia odczytanie punktu dla trybów graficznych. Rejestry DX i CX mają to samo znaczenie jak w funkcji poprzedniej. Odczytany punkt jest zwracany w rejestrze AL na bity 0 i 1 w grafice 320x200 i na bicie 0 w grafice 640x200.

## FUNKCJE KONSOLI

AH = 14.

Pisz znak na konsoli.

Wejście:

AL — kod znaku;

Wyjście:



Funkcja umożliwia pisanie znaków na ekran tak, jakby był on konsolą operatora. Znak jest zapisywany na pozycję kursora, a kursor jest przesuwany do przodu o jedną pozycję. Jeżeli jest to już koniec linii, to kursor jest ustawiany na początku nowej linii. Jeżeli nie ma już wolnych linii na ekranie, to zawartość ekranu jest przesuwana do góry o jedną linię. Nowa linia na dole ekranu jest wypełniana spacjami z atrybutem takim, jaki był na poprzedniej pozycji kursora.

Następujące kody są traktowane jako kody sterujące:

- 7 — krótki sygnał dźwiękowy (bell);
- 8 — cofnięcie kursora o jedną pozycję w lewo (back space);
- 10 — przesunięcie kursora w dół o jedną linię (line feed);
- 13 — cofnięcie kursora do początku wiersza (carriage return);

AH = 15.

Podaj parametry ekranu.

Wejście:

Wyjście:

- AL — aktualny tryb pracy;
- AH — szerokość ekranu w znakach (ilość kolumn);
- BH — numer aktualnie wyświetlanej strony;

Funkcja podaje sposóbysterowania aktywnego pakietu JS-CRT.

## FUNKCJE SPECJALNE

AH = 130.

Ustaw mozaikę znaku.

Wejście:

- AL — typ mozaiki;

Wyjście:

Funkcja ma znaczenie tylko w trybie znakowym 80x25 w rodzaju kolorowo-graficznym. W pozostałych trybach pracy nie powoduje żadnych efektów. Dla AL=0 ustawiana jest mozaika 8x8, a dla AL=1 mozaika 9x14. Ustawienie mozaiki 9x14 jest niemożliwe przy dołączonym monitorze barwnym, czyli wtedy gdy klucz 7 na pakiecie JS-CRT jest w pozycji ON.

AH = 131.

Ustaw podkreślenie.

Wejście:

- AL — podkreślenie;

Wyjście:



Funkcja ma znaczenie tylko w trybie znakowym 80x25 z mozaiką 9:14 w rodzaju kolorowo-graficznym. W pozostałych trybach pracy nie daje żadnych efektów.

Włączenie podkreślenia powoduje, że atrybuty znaków interpretowane są tak jak w trybie znakowym 80x25 w rodzaju monochromatycznym. Przy podkreśleniu wyłączonym znaki wyświetlane są w odcieniach szarości, ale bez możliwości uzyskania podkreślenia. Rejestr AL może przyjmować następujące wartości:

AL = 0 — włącz podkreślenie;  
AL = 1 — wyłącz podkreślenie;  
AL = 2 — zmien stan podkreślenia na przeciwny;

AH = 132.

Wybierz alfabet.

Wejście:

AL — alfabet;

Wyjście:

Funkcja służy do zmiany alfabetu, z jakim pracuje BIOS i pakiety JS-CRT. Jeżeli AL=0 to wybierany jest polski zestaw znaków, a jeżeli AL=1 to wybierany jest zestaw rosyjski.

W konfiguracji dwumonitorowej alfabet jest zmieniany jednocześnie na obu pakietach JS-CRT. Zmiana alfabetu dotyczy zarówno trybów znakowych, jak i graficznych. Przy przełączaniu alfabetów zmieniane są generatory sprzętowe na pakietach JS-CRT, oraz generator używany przez BIOS w trybach graficznych.

#### UWAGA:

Wywołanie dowolnej funkcji nie zmienia zawartości następujących rejestrów procesora: CS, SS, DS, ES, BX, CX, DX, SI, DI, FLAGS o ile nie są w nich zwracane parametry. Zawartość rejestru BP jest niszczone.

#### PRZYKŁADY

MONO	EQU	0000000000110000B	; flagi monochromatyczne
KOLOR	EQU	0000000000100000B	; flagi kolorowe- graficzne
FLAGI	EQU	11111111111001111B	; maska dla flag ekranu
TRYB_3	EQU	3	; tryb 3, sprzętowy 4, 5, 6
EKRAN	EQU	10H	; przerwanie do BIOS
ZERO	EQU	0	; polecenie "ustaw tryb"



```

DATA          SEGMENT AT 40H
ORG           10H
EQUIP_FLAG    DW      ?           ; flagi rodzaju pracy
DATA          ENDS

PROGRAM       SEGMENT BYTE
ASSUME        CS:PROGRAM, DS:DATA
START:        MOV      AX, DATA    ; ustaw rejestr DS na
                                      DATA
              MOV      DS, AX

              AND      EQUIP_FLAG, FLAGI ; maskuj flagi ekranu
              OR       EQUIP_FLAG, MONO  ; ustaw monochromatyczny
              MOV      AH, ZERO          ; polecenie dla BIOS
                                      ; AL bez znaczenia
              INT      EKRAN             ; wywołanie BIOS
; ----- pakiet pracuje w rodzaju monochromatycznym, tryb 7

              AND      EQUIP_FLAG, FLAGI ; maskuj flagi ekranu
              OR       EQUIP_FLAG, KOLOR ; ustaw rodzaj barwny
              MOV      AH, ZERO          ; polecenie dla BIOS
              MOV      AL, TRYB_3        ; AL-tryb znakowy 80x25
              INT      EKRAN             ; wywołanie BIOS
; ----- pakiet pracuje w rodzaju kolorowo-graficznym, tryb 3

; ----- ustawianie mozaiki 9x14
              MOV      AL, 1             ; mozaika 9x14
              MOV      AH, 130           ; funkcja 130
              INT      EKRAN             ; wywołanie BIOS

; ----- odczyt znaku spod aktualnej pozycji kursora
              MOV      BH, ZERO          ; odczyt ze strony
                                      ; zerowej
              MOV      AH, 8             ; numer funkcji
              INT      EKRAN             ; wywołanie BIOS
; ----- po powrocie z BIOS znak jest w rejestrze AX;
                                      AL - kod znaku
                                      AH - atrybut znaku

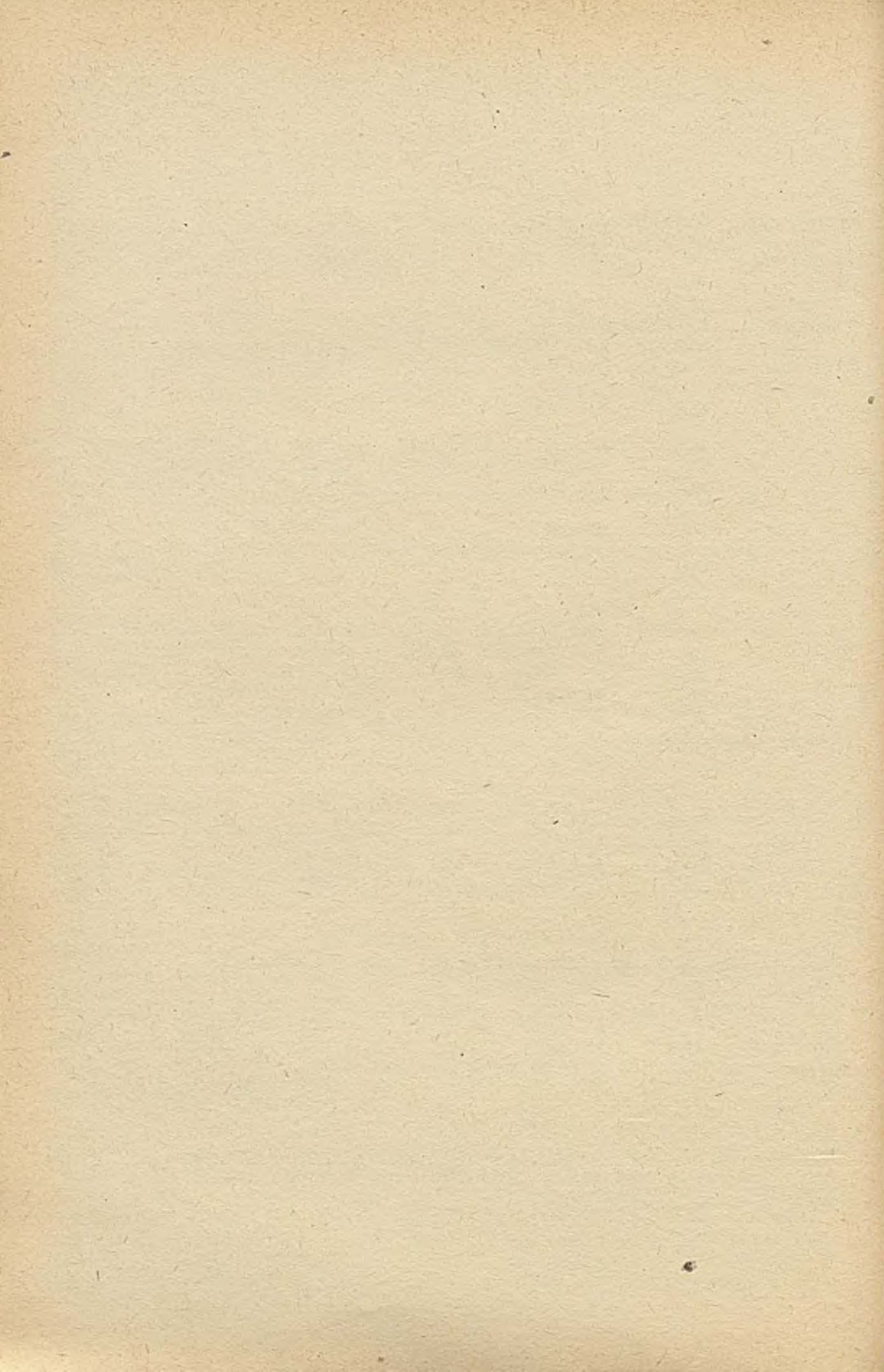
```

```

PROGRAM       ENDS
              END      START

```







m g r i n z   A n d r z e j   W A R D A

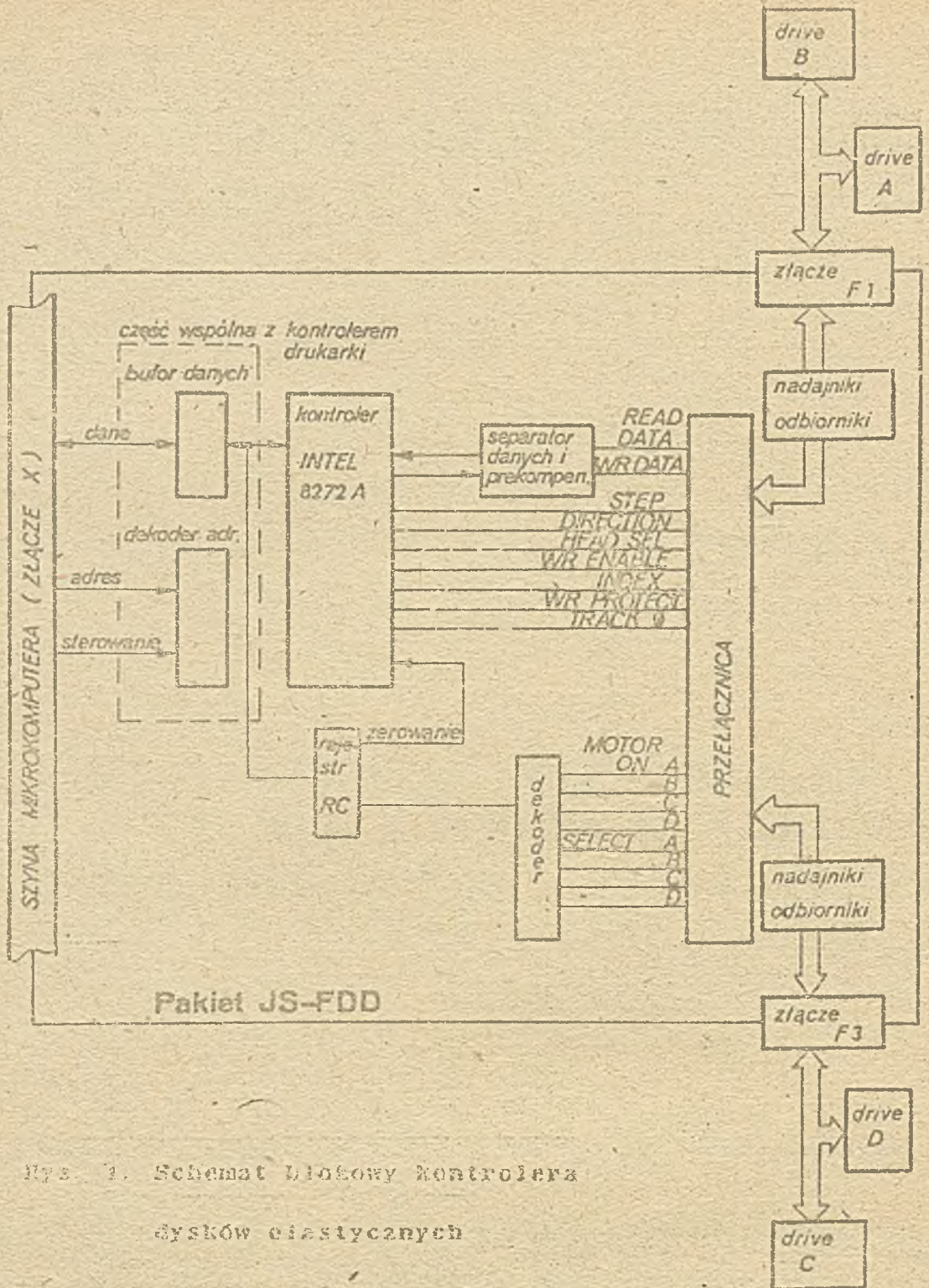
I N S T Y T U T   M A S Z Y N   M A T E M A T Y C Z N Y C H

Mikrokomputer MAZOVIA 1016.  
Pamięci dyskowe i ich  
kontrolery — parametry napędów,  
budowa kontrolerów

KONTROLER DYSKÓW ELASTYCZNYCH

W komputerze Mazovia 1016 kontroler dysków elastycznych jest umieszczony na tym samym pakiecie co kontroler drukarki. Pozwala on na podłączenie 4 napędów dysków elastycznych, w tym dwóch zainstalowanych wewnątrz komputera i dwóch zewnętrznych, podłączonych do łącza wyprowadzonego na tylnej ścianie komputera. Łącze to jest zainstalowane na oddzielnym sztyldzie i z kontrolerem jest połączone płaskim kablem. Dopuszcza się stosowanie napędów 40-scieżkowych. Jednostronnych i dwustronnych.





Rys. 1. Schemat blokowy kontrolera  
dysków elastycznych

Dwa złącza "F1" i "F3" przeznaczone do dołączenia kabli interfejsowych dysków elastycznych umieszczone są na wewnętrznej krawędzi pakietu. W podstawowym wykonaniu złącze "F1" przeznaczone jest dla napędów A i B, umieszczonych wewnątrz obudowy jednostki centralnej. Zastosowane napędy dysków elastycznych o średnicy 5.25 cala są wymienne z napędami stosowanymi w komputerach IBM PC/XT. Kontrolery dysków i drukarki mają wspólny dekodery adresowy oraz wspólny bufor szyny danych. Na rys. 1. przedstawiono schemat blokowy kontrolera dysków elastycznych.



Budowa kontrolera oparta jest na scalonym kontrolerze dużej skali integracji  $\mu$ PD765 firmy NEC lub jego funkcjonalnym odpowiedniku (np. 8272A firmy Intel lub na układzie produkcji bułgarskiej CM609). Zastosowanie takiego układu umożliwia programowanie parametrów napędów dysków elastycznych oraz stosowanie różnorodnych formatów zapisu danych.

Kontroler umożliwia zapis danych na dyskietce z podwójną gęstością w kodzie MFM. Maksymalnie na jednej dyskietce można zapisać około 380 KB informacji. W celu przyspieszenia przesyłania danych kontroler wykorzystuje kanał bezpośredniego dostępu do pamięci (DMA). Zakończenie operacji jest sygnalizowane za pomocą przerwania.

## OPIS KONTROLERA DYSKÓW ELASTYCZNYCH

Z punktu widzenia programowego kontroler dysków stanowią trzy rejestry:

- 1) RC - rejestr sterowania wyborem napędu i silnikami napędów (adres rejestru 3F2H)
- 2) RS-8272 - rejestr statusu kontrolera (adres rejestru 3F4H)
- 3) RD-8272 - rejestr danych kontrolera (adres rejestru 3F5H)

Rejestry RS i RD są wewnętrznymi rejestrami wielkoscalonego kontrolera INTEL 8272A.

Rejestr sterowania wyborem napędu i silnikami -RC

Znaczenie poszczególnych bitów rejestru jest następujące:

bity 0 + 1 służyć do wyboru napędu, jeśli jego silnik jest włączony; bity te są dekodowane układowo:

bit 1	bit 0	wybrany napęd
0	0	A
0	1	B
1	0	C
1	1	D

bit 2 wartość 0 na tej pozycji powoduje generowanie sygnału zerowania dla całego kontrolera

bit 3 wartość 1 tego bitu umożliwia transmisję DMA oraz generowanie przerwania przez układ 8272A

bity 4 + 7 bity te uruchamiają silniki napędów dyskowych A, B, C, D (wartość logiczna 1 ustawia sygnał MOTOR ON w stan aktywny)



Rejestr ten jest programowany bezpośrednio przez komputer. Wszystkie bity mogą być tylko zapisywane. Po inicjacji systemu wszystkie bity rejestru mają wartość 0.

#### Rejestry kontrolera INTEL 8272A

Kontroler ten zawiera dwa rejestry dostępne z interfejsu mikrokomputera: rejestr stanu oraz rejestr danych.

##### Rejestr stanu RS-8272

Ośmiobitowy rejestr stanu zawiera podstawowe informacje o stanie kontrolera i może być w dowolnym momencie tylko odczytywany. Rejestr ten jest wykorzystywany dla prawidłowej organizacji przesyłania danych do/z rejestru danych kontrolera (handshaking). Inne bity rejestru informują o stanie zajętości poszczególnych napędów i kontrolera.

- |               |   |
|---------------|---|
| bit 0 ÷ bit 3 | - odpowiedni napęd jest w trakcie wykonywania operacji SEEK               |
| bit 4         | - kontroler wykonuje operację zapisu/odczytu                              |
| bit 5         | - praca bez trybu DMA   |
| bit 6         | - określa kierunek: gdy 0, następuje przesłanie z procesora do kontrolera |
| bit 7         | - gotowość kontrolera do wykonania przesłania                             |

##### Rejestr danych RD-8272

Rejestr danych kontrolera jest w rzeczywistości zbiorem kilkunastu rejestrów zorganizowanych w stos. Rejestry te zawierają wszelkie informacje niezbędne do rozpoznania, wykonania i przekazania statusu po zakończeniu operacji. Dane mogą być zapisywane lub czytane w zależności od wykonywanej operacji. Kontroler może wykonywać 15 różnych operacji. Każda z nich rozpoczyna się wielobajtową transmisją z procesora do kontrolera. Faza przekazywania komendy do kontrolera nazywana jest "fazą rozkazu (programowania)". Po rozpoznaniu komendy następuje start operacji czyli tzw. "faza wykonania". Po zakończeniu operacji, kontroler wymaga odebrania przez procesor wielobajtowej transmisji rezultatów operacji. Jest to "faza wyników (rezultatów)".

#### Lista instrukcji kontrolera:

- \* Read data (odczyt danych)
- \* Format track (formatowanie ścieżki)
- \* Scan low or equal (porównanie czy mniejszy lub równy)
- \* Scan high or equal (porównanie czy większy lub równy)
- \* Scan equal (porównanie czy równy)
- \* Recalibrate (ustawienie głowicy na ścieżce nr 0)
- \* Sense interrupt status (pobranie informacji o przerwaniu)
- \* Specify (definiowanie parametrów napędu i transmisji)



- \* Sense drive status (pobranie stanu napędu)
- \* Seek (pozycjonowanie)
- \* Invalid (instrukcja nielegalna)
- \* Read deleted data (odczyt sektora odrzuconego)
- \* Write data (zapis danych)
- \* Write deleted data (zapis sektora ze znacznikiem sektora odrzuconego)
- \* Read a track (odczyt całej ścieżki)
- \* Read ID (odczyt nagłówka)

Poniżej zestawiono sygnały występujące w interfejsie pomiędzy kontrolerem a napędem dysku elastycznego:

- Drive Select A (B) - linia wyboru napędu
- Motor Enable A (B) - linia włączania silnika
- Step - przesuw głowicy o 1 ścieżkę po każdym impulsie na tej linii; kierunek przesuwu zależy od stanu linii Direction
- Direction - określa kierunek przesuwu głowicy
- Head Select - wybór głowicy
- Write Enable - zezwolenie na zapis
- Write Data - linia zapisu danych
- Read Data - linia odczytu danych
- Index - na linii tej pojawia się aktywny impuls przy każdym obrocie dyskietki
- Write Protect - wybrany napęd uaktywnia tę linię, gdy włożona jest dyskietka z zabronionym zapisem
- Track 0 - wybrany napęd uaktywnia tę linię, gdy głowica znajduje się nad ścieżką 0

## NAPĘD DYSKÓW ELASTYCZNYCH

Mikrokomputer Mazovia 1016 jest wyposażony najczęściej w dwa 5,25 calowe napędy dysków elastycznych. Napęd dysków elastycznych może być jednostronny lub dwustronny, z 40 ścieżkami na każdej powierzchni. Głównymi elementami napędu są: mechanizm obrotu dyskietki, głowica zapisu/odczytu i mechanizm pozycjonujący głowicę.

Do zapisu i odczytu danych w postaci cyfrowej zastosowano zmodyfikowaną modulację częstotliwości (MFM). Dane są odczytywane z dyskietki przez układ odczytu, w którego skład wchodzi: wzmacniacz sygnałów niskonapięciowych, układ różnicowy, detektor przejścia napięcia przez zero i układ wytwarzający cyfrową postać sygnału. Dekodowanie danych jest dokonywane przez kontroler dysków elastycznych.



Naped dysków elastycznych jest wyposażony standardowo w następujące czujniki:

- 1) czujnik ścieżki zerowej, który wykrywa obecność głowicy na ścieżce zerowej,
- 2) czujnik otworu indeksowego, składający się fototranzystora i ze źródła światła; układ ten generuje aktywny sygnał, gdy na jego wysokości znajduje się otwór indeksowy dyskietki, określający początek ścieżki,
- 3) czujnik blokujący układ zapisu w napędzie dysku elastycznego, po wykryciu zabezpieczenia zapisu na dyskietce.

Nośnik	5.25 calowa dyskietka
Gęstość ścieżek	48 ścieżek/cal
Liczba ścieżek	40 ścieżek na powierzchni
Wymiary:	
wysokość	43 mm
szerokość	149 mm
głębokość	195,5 mm
Masa	1,5 kg
Zakres temperatur:	
pracy	od 5 do 40°C
składowania	od -10 do 70°C
Zakres wilgotności względnej:	
pracy	od 20 do 80 %
składowania	od 5 do 95 %
Czas pozycjonowania	5 ms (ze ścieżki na ścieżkę)
Czas uspokojenia głowicy	15 ms
Stopa błędów:	
miękki błąd odczytu	$1/10^9$ bitów odczytanych
twardy błąd odczytu	$1/10^{12}$ bitów odczytanych
błąd pozycjonowania	$1/10^6$ szukanych ścieżek
Czas eksploatacji	6 lat
Czas eksploatacji dyskietki	$3 \times 10^6$ przejścia/ścieżkę
Prędkość obrotowa dysku	300 $\pm$ 1,5% (obrotów/minutę)
Czas rozruchu	0,5 s (maksymalnie)
Szybkość transmisji:	
pojedyncza gęstość	125 (Kbitów/s)
podwójna gęstość	250 (Kbitów/s)
Metody kodowania	FM, MFM
Zasilanie	+12Vdc $\pm$ 0,6V, 0,9A (Średnio) +5Vdc $\pm$ 0,25V, 0,6A (Średnio)

Rys. 2. Dane mechaniczne i elektryczne napędu dysków elastycznych



## KONTROLER DYSKU STAŁEGO

Kontroler dysku stałego może sterować maksymalnie dwoma jednostkami napędów dysków stałych, dołączonych do kontrolera za pośrednictwem płaskiego kabla. Jest on wyposażony w pamięć buforową i wykorzystuje bezpośredni dostęp do pamięci, które to mechanizmy mają usprawnić przesyłanie danych. Wykorzystywane jest też przerwanie, które sygnalizuje zakończenie operacji i możliwość odczytania statusu kontrolera.

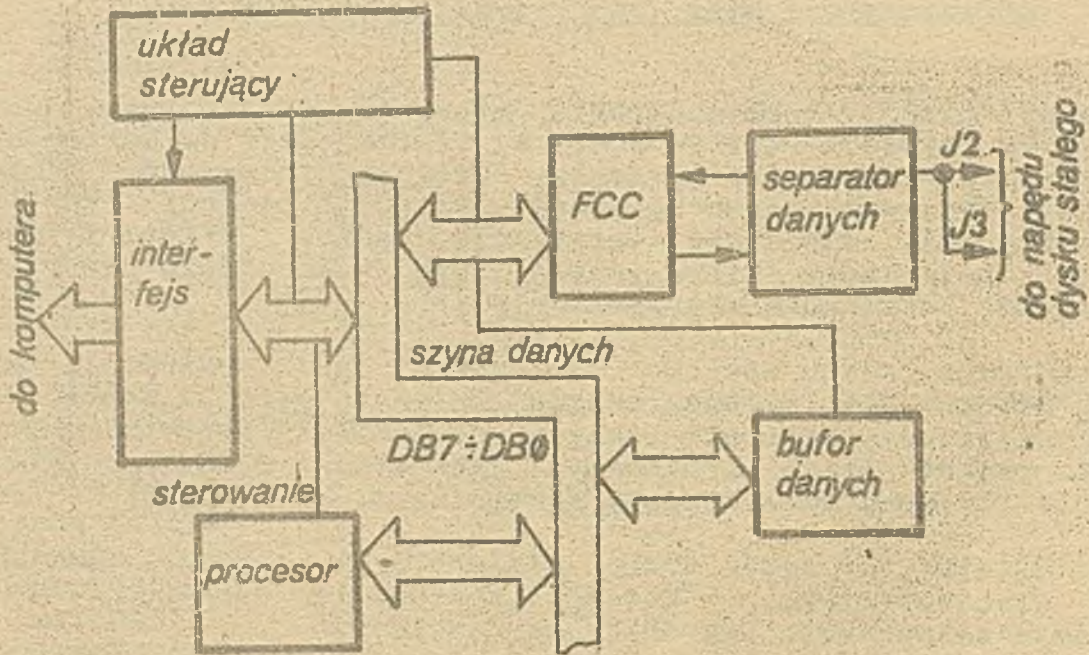
W kontrolerze dysku stałego zastosowana jest kontrola i korekcja błędów ECC, wykorzystująca do tego celu 32 nadmiarowe bity, przyłączone do pola danych. Na pakiecie kontrolera jest zawarta pamięć stała, traktowana jako część BIOS-u, w której znajduje się program sterujący kontrolerem.

**UWAGA:** Ostatni cylinder dysku stałego jest zarezerwowany dla celów diagnostycznych. Podczas testowania operacja zapisu spowoduje zniszczenie danych na tym cylindrze.

### Opis kontrolera dysku stałego

Kontroler dysku stałego ma dwa rejestry dostępne dla głównego procesora: rejestr statusu i rejestr danych. Osmiobitowy rejestr statusu zawiera informacje o stanie kontrolera i jest dostępny w dowolnej chwili. Osmiobitowy rejestr danych składa się z kilku rejestrów ułożonych w stos, z tylko jednym rejestrem bezpośrednio dostępnym na szynie danych i to w określonym czasie. W rejestrze tym są przechowywane dane, kody rozkazów, parametry, a także można z niego pobrać informacje o stanie kontrolera. Dane są czytane/zapisywane z/do rejestru danych w celu zaprogramowania operacji lub otrzymania wyników po wykonaniu danej operacji. Rejestr główny statusu można tylko odczytywać i służy do kontrolowania poprawności wykonania operacji. Impuls wyboru kontrolera jest generowany przy operacji zapisu do portu o adresie 322(hex).





Rys. 3. Schemat blokowy kontrolera dysku stałego

## Zależności programowe

### Rejestr statusu

Po zakończeniu każdej operacji, kontroler dysku stałego przesyła do systemu bajt statusu. W bajcie tym jest zawarta informacja czy operacja została zakończona poprawnie, czy też wystąpił błąd. W tabelce jest przedstawiony format tego bajtu.

Bit	7	6	5	4	3	2	1	0
	0	0	d	0	0	0	e	0

Bity 0, 2, 3, 4, 6, 7      Bity te są ustawione w niski stan logiczny (0).

Bit 1      Gdy jest ustawiony, wskazuje, że podczas ostatniej operacji wydarzył się błąd.

Bit 5      Bit ten wskazuje numer logiczny napędu dysku stałego



Jeżeli są zezwolenie przerwania, kontroler wysyła przerwanie, gdy jest gotowy do przestania bajtu statusu i zdejmując sygnał zajętości.

### Pobranie kolejnych bajtów

Jeżeli w rejestrze statusu jest sygnalizowany błąd (bit 1 jest ustawiony), wtedy kontroler dysków pobiera kolejne 4 bajty opisujące rodzaj błędu. Format tych 4 bajtów jest następujący:

Bit	7	6	5	4	3	2	1	0
Bajt 0	Ważny adres	0	Typ błędu		Kod błędu			
Bajt 1	0	0	4	Numer głowicy				
Bajt 2	Numer cylindra			Numer sektora				
Bajt 3	Numer cylindra							

### Uwagi:

- 4 Numer napędu
- Bajt 0 – bit 7 Bit ważności adresu, jest ustawiony na 1 tylko wtedy, gdy poprzednia operacja wymagała adresu dysku. W przeciwnym razie bit ten jest wyzerowany.
- Bajt 2 – bity 5, 6, 7 Bity te zawierają starszą część numeru cylindra.
- Bajt 3 Zawiera młodszą część numeru cylindra.

W poniższych tabelkach są przedstawione opisy typów błędów i kodów błędów występujących w bajcie 0.

	Typ błędu	Kod błędu	Opis
Bit	5 4	3 2 1 0	
	1 1	0 0 0 0	Błąd pamięci RAM: kontroler wykrył błąd danych podczas testowania pamięci buforowej
	1 1	0 0 0 1	Błąd sumy kontrolnej programu: podczas wewnętrznego testu diagnostycznego kontroler wykrył błąd sumy kontrolnej programu sterującego kontrolerem



	Typ błędu	Kod błędu	Opis
Bit	5 4	3 2 1 0	
	1 1	0 0 1 0	Błąd wielomianowy ECC: podczas wewnętrznego testu diagnostycznego kontrolera dysków stałych, wystąpił błąd generatora ECC
	0 0	0 0 0 0	Kontroler nie wykrył żadnego błędu podczas wykonywania poprzedniej operacji
	0 0	0 0 0 1	Kontroler nie wykrył impulsu indeksu z napędu
	0 0	0 0 1 0	Kontroler nie otrzymał z napędu sygnału "zakończone pozycjonowanie" po operacji pozycjonowania (dla pozycjonowania bez buferowania impulsów kroku)
	0 0	0 0 1 1	Kontroler otrzymał z napędu sygnał "błędny zapis" podczas ostatniej operacji
	0 0	0 1 0 0	Po wybraniu napędu przez kontroler, nie zgłosił on gotowości
	0 0	0 1 0 1	Nie wykorzystany
	0 0	0 1 1 0	Kontroler nie otrzymał sygnału "ścieżka 00" po przejściu głowicy przez maksymalną liczbę ścieżek
	0 0	0 1 1 1	Nie wykorzystany
	0 0	1 0 0 0	Napęd jest w trakcie pozycjonowania, po wysłaniu do jego bufora serii impulsów kroku
	1 0	0 0 0 0	Nielegalny rozkaz: kontroler otrzymał nielegalny kod rozkazu z jednostki sterującej
	1 0	0 0 0 1	Nielegalny adres: kontroler wykrył adres, który przekracza dopuszczalną wartość



	Typ błędu	Kod błędu	Opis
Bit	5 4	3 2 1 0	
	0 1	0 0 0 0	Błąd odczytu pola ID: kontroler wykrył błąd ECC w odczytywanym polu ID
	0 1	0 0 0 1	Błąd danych: kontroler wykrył nieusuwalny błąd ECC w czytanim sektora
	0 1	0 0 1 0	Błąd znacznika adresu: kontroler nie odnalazł spodziewanego znacznika adresu (AM)
	0 1	0 0 1 1	Nie wykorzystany
	0 1	0 1 0 0	Nie znaleziony sektor: kontroler znalazł prawidłowo cylinder i głowę, ale nie znalazł potrzebnego sektora
	0 1	0 1 0 1	Błąd pozycjonowania: adres cylindra lub głowicy (lub obydwu), będące wynikiem operacji pozycjonowania nie są zgodne ze spodziewanym adresem
	0 1	0 1 1 0	Nie wykorzystany
	0 1	0 1 1 1	Nie wykorzystany
	0 1	1 0 0 0	Usuwalny błąd danych: kontroler wykrył usuwalny błąd ECC w czytanim polu
	0 1	1 0 0 1	Zła ścieżka: kontroler wykrył znacznik złej ścieżki podczas ostatniej operacji; nie ma prób ponowienia operacji po tym błędzie

### Rejestr danych

Jednostka sterująca inicjuje operację przez przesłanie do kontrolera 8-bajtowego bloku danych (DCB - device control block). Poniższa tabela przedstawia układ tego bloku i określa znaczenie poszczególnych bajtów.

Bajt 0 - Bity 7, 6, 1 5 identyfikują klasę rozkazu  
Bity od 0 do 4 zawierają kod rozkazu

Bajt 1 - Bit 5 identyfikuje numer napędu  
Bity od 0 do 4 zawierają numer wybranej głowicy  
Bity 6 i 7 są niewykorzystane

Bajt 2 - Bity 6 i 7 zawierają dwa najbardziej znaczące bity numeru cylindra  
Bity od 0 do 5 zawierają numer sektora



Bajt 3 - Bity od 0 do 7 zawierają osiem mniej znaczących bitów numeru cylindra

Bity	7	6	5	4	3	2	1	0
Bajt 0	Klasa rozkazu			Kod rozkazu				
Bajt 1	0	0	d	Numer głowicy				
Bajt 2	Numer cylindra		Numer sektora					
Bajt 3	Numer cylindra							
Bajt 4	Licznik przeplotów lub bloków							
Bajt 5	Pole kontrolne							

Bajt 4 - Bity od 0 do 7 specyfikują licznik przeplotów lub bloków

Bajt 5 - Bity od 0 do 7 zawierają pole kontrolne

Bajt kontrolny

Bajt 6 jest polem kontrolnym bloku DCB i zezwala użytkownikowi na wybór opcji dla kilku typów napędów dysków. Format tego bajtu jest następujący:

Bity	7	6	5	4	3	2	1	0
	r	a	0	0	0	s	s	s

Uwagi:

- r = ponowne próby
- s = wybór częstotliwości impulsów krokowych
- a = powtórzenie odczytu po błędzie danych ECC

Bit 0 Jeśli bit ten jest ustawiony na 0 podczas operacji odczytu, następuje próba ponownego odczytu po wystąpieniu błędu ECC. Jeśli przy ponownym odczycie błąd nie wystąpi, operacja zostanie zakończona bez sygnalizacji błędu. Gdy bit ten jest ustawiony na 1, nie występuje próba ponownego odczytu

Bity 5, 4, 3 Są ustawione na 0



**Bity 2, 1, 0** Bity te określają typ napędu i wybierają parametry przejścia głowicy ze ścieżki na ścieżkę, zgodnie z następującą tabelą:

Bity 2 1 0	
0 0 0	Typ napędu jest nieokreślony, a czas kroku przyjęty domyślnie - 3 ms
0 0 1	Nie wykorzystywane
0 1 0	Nie wykorzystywane
0 1 1	Nie wykorzystywane
1 0 0	200 $\mu$ s na krok
1 0 1	70 $\mu$ s na krok
1 1 0	3 ms na krok
1 1 1	3 ms na krok

Poniżej zostały wymienione dopuszczalne operacje:

- testowanie gotowości napędu
- rekalkibracja
- czytanie statusu
- formatowanie dysku
- czytanie sektora ze sprawdzaniem
- formatowanie ścieżki
- formatowanie złej ścieżki
- czytanie sektora
- zapisywanie sektora
- pozycjonowanie głowicy
- ustawienie parametrów napędu
- odczyt długości przekłamanego pola danych
- odczyt danych z bufora sektora
- zapis danych do bufora sektora
- testowanie pamięci RAM na pakiecie kontrolera
- testowanie napędu
- wewnętrzne testowanie kontrolera
- odczyt długi
- zapis długi

#### Zestawienie wymagań programowych

Dwa najmniej znaczące bity szyny adresowej są doprowadzone do dekodera portów I/O, który ma dwie części. Jedna część jest uaktywniana przez sygnał odczytu I/O (-IOR), a druga przez sygnał zapisu I/O (-IOW). W rezultacie są dostępne na pakiecie kontrolera dysku stałego cztery porty odczytu/zapisu.



Sygnal zezwolenia adresu (AEN) jest wysyłany z pakietu procesora, gdy przesyłanie danych następuje za pomocą kanału bezpośredniego dostępu do pamięci (DMA). Kiedy sygnał AEN jest aktywny dekodery portów I/O jest zablokowany.

W poniższej tabeli są przedstawione dostępne porty I/O:

R/W	Adres portu	Funkcja
Odczyt	320	Odczyt danych (z kontrolera do jednostki centralnej)
Zapis	320	Zapis danych (z jednostki centralnej do kontrolera)
Odczyt	321	Odczyt statusu układu kontrolera
Zapis	321	Zerowanie kontrolera
Odczyt	322	Zarezerwowane
Zapis	322	Generacja impulsu wyboru kontrolera
Odczyt	323	Nie wykorzystywane
Zapis	323	Zapis wzorca do DMA i rejestru maski przerw

#### Kanał I/O interfejsu systemowego

Następujące sygnały są wykorzystywane przez kontroler dysku stałego:

- A0-A19 Jest to 20-bitowa szyna adresowa. 10 mniej znaczących bitów zawiera adresy I/O z zakresu 320-323 (hex), wykorzystywane podczas operacji zapisu/odczytu do/z portów wejścia/wyjścia. Pełne 20 bitów jest dekodowane, podczas adresowania pamięci ROM z zakresu od C8000 do C9FFF (hex).
- D0-D7 Jest to 8-bitowa szyna danych, po której są przesyłane dane oraz informacje statusu pomiędzy systemem i kontrolerem.
- IOR Sygnal ten jest aktywny, gdy system czyta status lub dane z kontrolera pod kontrolą DMA lub przez operację I/O.
- IOW Sygnal ten jest aktywny, gdy system zapisuje rozkaz lub dane do kontrolera pod kontrolą DMA lub przez operację I/O.



- AEN** Sygnał ten jest aktywny, gdy DMA sprawuje kontrolę nad szynami adresową i danych, i generuje sygnały - IOR i -IOW.
- RESET** Sygnał ten powoduje wprowadzenie kontrolera do stanu początkowego, takiego jaki ustala się po włączeniu zasilania.
- IRQ 5** Jest to sygnał żądania przerwania, wysyłany przez kontroler, gdy są zezwolone przerwanie, w celu powiadomienia systemu o zakończonej operacji i konieczności pobrania bajtu statusu.
- DRQ 3** Jest to sygnał żądania dostępu do kanału DMA, wysyłany przez kontroler, gdy istnieje możliwość przestania danych do lub z kontrolera, pod kontrolą kanału DMA.  
Sygnał ten musi pozostać aktywny do momentu uaktywnienia sygnału -DACK 3 (potwierdzenie dostępu do kanału DMA).
- DACK 3** Sygnał ten potwierdza dostęp do kanału DMA, w odpowiedzi na aktywny stan sygnału DRQ 3.

Na rysunkach 4. i 5. przedstawiono zestaw sygnałów znajdujących się w interfejsie pomiędzy kontrolerem a napędem dysku stałego.



	Sygnal	Numer w łączy	
	Masa-numery nieparzyste	1-33	
Łącze napędu dysku stałego J1	Zarezerwowane	4, 16, 30, 32	Łącze kontro- lera dysków stałych J1
	-Redukcja prądu zapisu	2	
	-Brankowanie zapisu	6	
	-Pozycjonowanie zakończone	8	
	-Ścieżka 00	10	
	-Błąd zapisu	12	
	-Wybór głowicy 2 <sup>0</sup>	14	
	-Wybór głowicy 2 <sup>1</sup>	18	
	-Indeks	20	
	-Gotowy	22	
	-Krok	24	
	-Wybór napędu 1	26	
	-Wybór napędu 2	28	
	-Kierunek	34	

Rys. 4. Zestaw sygnałów sterujących w interfejsie między kontrolerem a napędem dysku stałego



Sygnał		Numer w raczu
Łacze napędu dysku stałego J2 lub J3	Masa	2, 4, 6, 8, 12, 16, 20
	Wybor napędu	1
	Zarezerwowane	3, 7
	Niewykorzystane	5, 9, 10
	Masa	11
	Zapis danych MFM	13
	-Zapis danych MFM	14
	Masa	15
	Odczyt danych MFM	17
	-Odczyt danych MFM	18
	Masa	19
		Łacze kontrolera dysków stałych J2 lub J3

Rys. 5. Zestaw sygnałów danych w interfejsie między kontrolerem a napędem dysku stałego

## DYSK STAŁY

Dysk stały jest pamięcią masową o dostępie swobodnym. Znajdują się w nim dwa sztywne, niewymienialne 5,25 calowe dyski. Każda powierzchnia wymaga oddzielnej ruchomej głowicy, obsługującej 512 ścieżek. Całkowita sformatowana pojemność czterech powierzchni dysku wynosi 21,3 megabajtów. Na tę pojemność składa się 2448 ścieżek, zawierających po 17 sektorów; w każdym sektorze można umieścić 512 bajtów danych.

Warta obudowa chroni głowice, dyski i mechanizm napędzający przed uszkodzeniami mechanicznymi i przed wpływem zanieczyszczeń. Wbudowany system recyrkulacji wymusza przepływ powietrza oczyszczonego przez filtr. Filtr ten eliminuje zanieczyszczenia o średnicy powyżej 0,3 µm. Termiczna izolacja silnika krokowego i silnika napędzającego dyski od komory dysków powoduje bardzo powolne zmiany temperatury wewnątrz komory dysków. Umożliwia to poprawną pracę dysku stałego bezpośrednio po włączeniu zasilania, bez konieczności storowania opóźnień na stabilizację termiczną urządzenia.



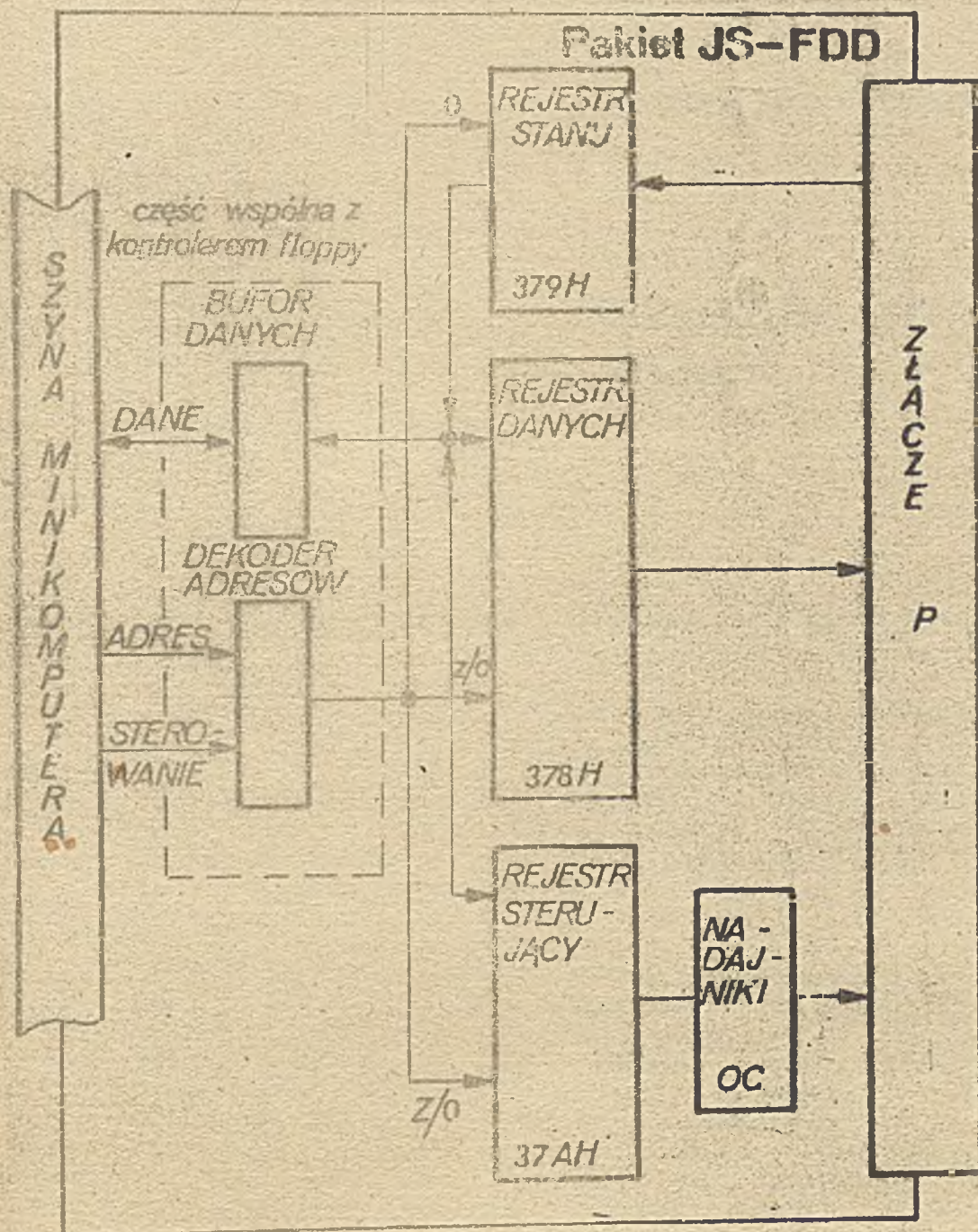
Nosnik	Dysk sztywny
Liczba ścieżek	2448
Gęstość ścieżek	690 ścieżek na cal
Wymiary:	
wysokość	41,3 mm (1.625 cal)
szerokość	146,05 mm (5.75 cal)
głębokość	203,2 mm (8.0 cal)
Masa	1,5 kg
Zakres temperatur:	
pracy	od 4°C do 50°C
składowania	od -40°C do 60°C
Wilgotność względna	od 8% do 80%
Czas dostępu	3 ms (ze ścieżki na ścieżkę)
Czas dostępu na ścieżce	8,33 ms
Stopa błędów:	
miękki błąd odczytu	1/10 <sup>10</sup> bitów odczytanych
twardy błąd odczytu	1/10 <sup>12</sup> bitów odczytanych
błąd pozycjonowania	1/10 <sup>6</sup> szukanych ścieżek
Czas eksploatacji	5 lat (8000 godzin MTF)
Prędkość obrotowa dysku	3600 obr/min ± 1%
Szybkość transmisji	5,0 Mbitów/s
Metoda kodowania	MFM
Zasilanie	+12 Vdc ± 5% - 1,8 A (maksymalnie 4,5A) +5 Vdc ± 5% - 0,7 A (maksymalnie 1,0A)

Rys. 6. Dane mechaniczne i elektryczne dysku stałego



## KONTROLER DRUKARKI

Na tym samym pakiecie, na którym znajduje się kontroler dysków elastycznych, znajduje się kontroler drukarki. Służy on do sterowania drukarką z równoległym interfejsem (np. typu Centronics), ale może też być użyty jako równoległy, uniwersalny port wejścia/wyjścia. Schemat blokowy kontrolera drukarki przedstawiono na rys. 7.



Rys. 7. Schemat blokowy kontrolera drukarki







mgr inż. Marek SAKOWSKI

INSTYTUT MASZYN MATEMATYCZNYCH

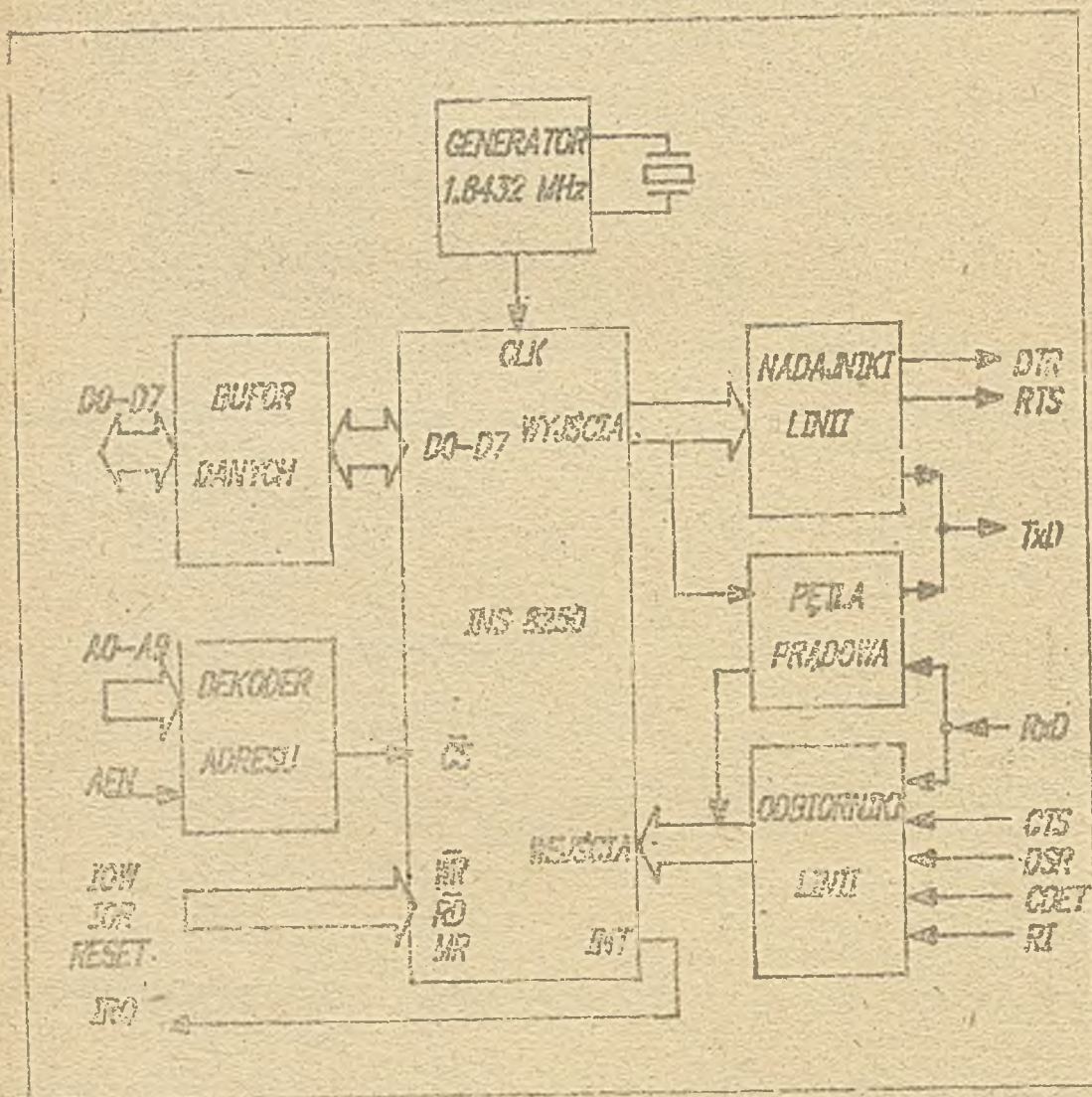
## Mikrokomputer MAZOVIA 1016. Interfejs szeregowy i równoległy

### KONTROLER INTERFEJSU SZEREGOWEGO

Płytki kontrolera interfejsu szeregowego zajmuje jedno miejsce w interfejsie systemowym znajdującym się na płycie głównej mikrokomputera. Na płycie znajdują się dwa pola zworek. Zworki pierwszego pola służą do wyboru rodzaju interfejsu: napięciowego RS-232C (V-24) lub prądowego. Drugie pole zworek umożliwia zaadresowanie płytki jako pierwszej bądź drugiej w systemie, co znaczy, że jednocześnie mogą być używane dwa kontrolery interfejsu szeregowego.

Kontroler interfejsu szeregowego służy wyłącznie do sterowania szeregową transmisją asynchroniczną. Wszystkie funkcje kontrolera są całkowicie programowalne. Istnieje możliwość wstawiania lub usuwania bitów startu, bitów stopu i bitu parzystości. Programowany generator szybkości transmisji pozwala na przesyłanie informacji z prędkością od 50 do 9600 bodów w formacie pięciu, sześciu, siedmiu, bądź ośmiu bitów znaku z 1, 1.5, lub 2 bitami stopu. W pełni priorytetowy system przerwań steruje przerwaniami nadawania, odbioru, błędów, stanu linii i zbioru danych.





Rys. 1. Kontroler interfejsu szeregowego

Sercem kontrolera jest układ scalony INS 8250 lub jego funkcjonalny odpowiednik. Dodatkowe, oprócz wyżej wymienionych właściwości to:

- podwójne buforowanie eliminujące konieczność precyzyjnej synchronizacji,
- niezależne wejście zegara odbiornika,
- funkcje sterowania modemem: CTS, RTS, DSR, RI i detekcja nośnej,
- wykrywanie fałszywego bitu startu,
- generacja i wykrywanie przerwy w linii.



Wszystkie parametry transmisji są funkcją programu i powinny zostać ustawione przed rozpoczęciem transmisji. Sterowanie interfejsem i liniami statusu musi odbywać się za pomocą oprogramowania systemowego.

# TRYBY PRACY

Wyboru zadanego trybu pracy dokonuje się przez odpowiednie zaprogramowanie układu INS 8250, tzn. wpisanie odpowiednich danych pod odpowiedni adres w przestrzeni wejścia/wyjścia (3F0h+3FFh dla kontrolera pierwszego i 2F0h+2FFh dla kontrolera drugiego). Bity adresowe A0, A1 i A2 wybierają rejestry definiujące tryb pracy. Do tego celu używany jest także bit 7 rejestru sterowania linia, tzw. bit dostępu do dzielnika szybk. tej transmisji (bit BLAS).

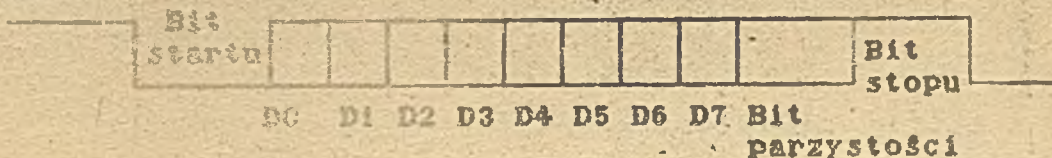
Adresy portów (hex)			
Kontroler pierwszy	Kontroler drugi	Wybrany rejestr	Stan bitu DLAB
3F8	2F8	Bufor nadajnika (wpis)	DLAB=0
3F8	2F8	Bufor odbiornika (odczyt)	DLAB=0
3F0	2F0	Rej. dzielnika (młodszy bajt)	DLAB=1
3F9	2F9	Rej. dzielnika (starszy bajt)	DLAB=1
3F9	2F9	Rej. umożliwienia przerwań	X
3FA	2FA	Rej. identyfikacji przerwań	X
3FB	2FB	Rejestr sterowania linią	X
3FC	2FC	Rejestr sterowania modemem	X
3FD	2FD	Rejestr stanu linii	X
3FE	2FE	Rejestr stanu modemu	X

X- stan DLAB nie ma znaczenia

PREBYNIA

Kontroler połączony jest z systemem za pomocą jednej linii przerwań. Dla płytki zainicjowanej jako "pierwsza" jest to linia IRQ4, a dla płytki "drugiej"— IRQ3. Dla obu linii aktywny jest wysoki poziom sygnału. W celu umożliwienia wysyłania przerw do systemu należy bit 3 rejestru sterowania modemem ustawić w stan "1". Od tej chwili może zostać zgłoszone każde przerwienie, na jakie zezwala rejestr zezwoleń na przerwania.

**Forma przesyłania danych jest następujący:**

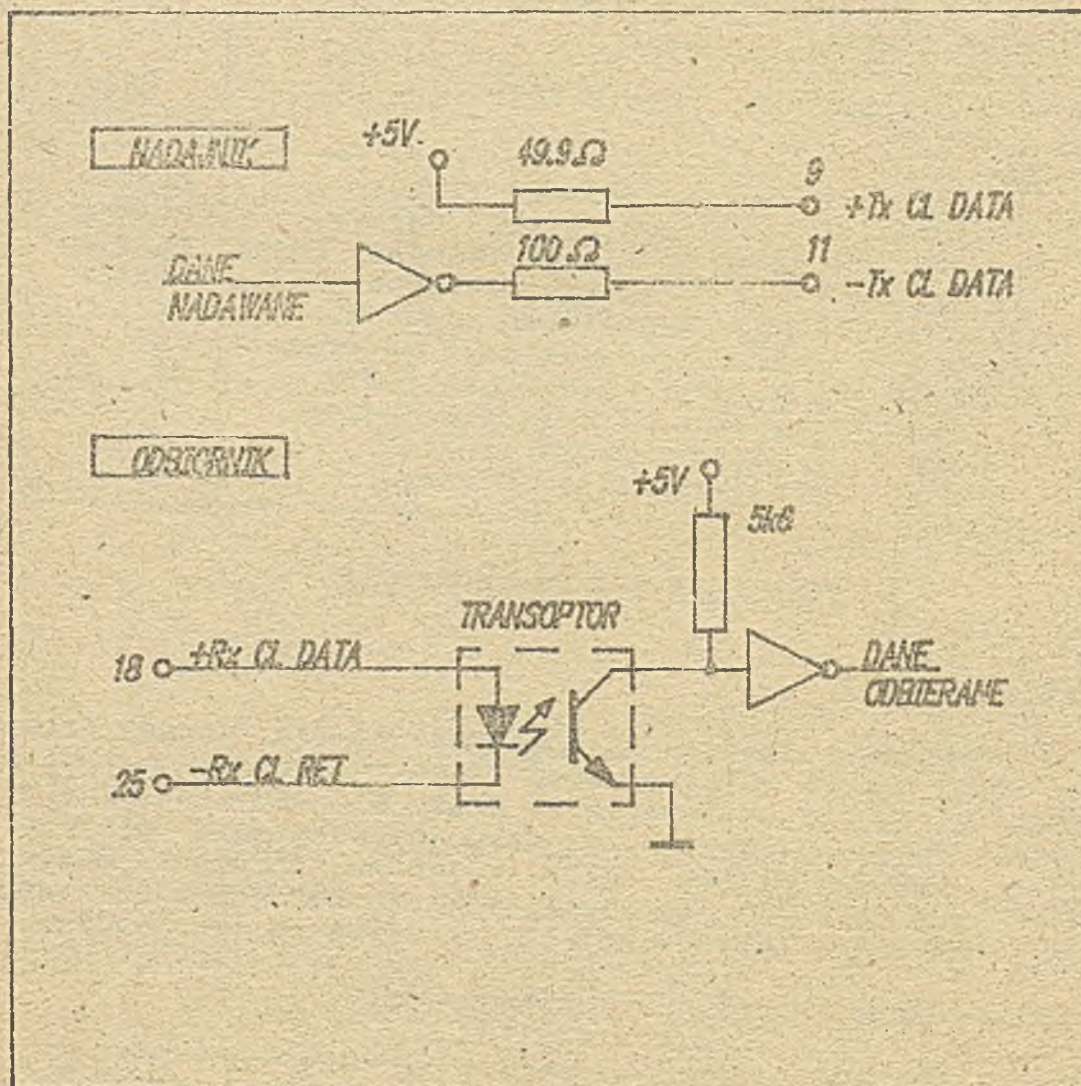




Jako pierwszy bit danych transmitowany jest bit DO. Kontroler wstawia automatycznie bit startu, odpowiedni bit parzystości (jeśli jest wymagany) i bit stopu (1, 1.5 lub 2 w zależności od zawartości rejestru sterowania linia).

## OPIS INTERFEJSU

Kontroler transmisji szeregowej spełnia funkcje interfejsu zgodnego ze standardem RS 232C. Do podłączania urządzeń zewnętrznych służy 25-nóżkowe złącze szufladowe wg PN-75/T-05052/11. W tym samym złączu umieszczone są również linie interfejsu prądowego. Wyboru rodzaju interfejsu (prądowy - napięciowy) dokonuje się za pomocą odpowiednich zworek.



Rys. 2. Interfejs prądowy



Niektóre drukarki dostarczane przez firmę IBM wymagają interfejsu prądowego. Powyższy rysunek przedstawia budowę interfejsu prądowego.

Poszczególnym stykom złącza odpowiadają następujące sygnały interfejsu prądowego:

nóżka 18	-	+dane odbierane
nóżka 25	-	-powrót danych odbieranych
nóżka 9	-	+powrót danych nadawanych
nóżka 11	-	-dane nadawane.

Poszczególnym stykom złącza odpowiadają następujące sygnały interfejsu napięciowego (w nawiasach podano nr obwodu wg CCITT dla interfejsu V-24):

nóżka 2	-(103)	dane nadawane	TxD
nóżka 3	-(104)	dane odbierane	RxD
nóżka 4	-(105)	zadanie nadawania	RTS
nóżka 5	-(106)	gotowość do nadawania	CTS
nóżka 6	-(107)	gotowość DCE	DSR
nóżka 7	-(102)	ziemia sygnałowa	S. GND
nóżka 8	-(109)	poziom sygnału odbieranego	CDET
nóżka 20	-(108. 2)	gotowość DTE	DTR
nóżka 22	-	detekcja dzwonka	RI

DCE - Urządzenie komunikacyjne transmisji danych  
(Data Communication Equipment)

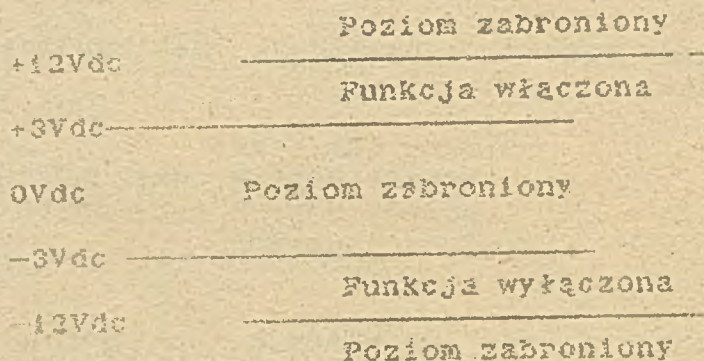
DTE - Urządzenie końcowe transmisji danych  
(Data Terminal Equipment)

Kontroler zamienia wymienione sygnały z poziomu TTL na poziom CCITT lub odwrotnie. Sygnały te mogą być testowane bądź generowane przez oprogramowanie systemowe w celu określenia stanu interfejsu lub urządzenia zewnętrznego.

## POZIOMY NAPIĘCIOWE INTERFEJSU

Poziom napięcia	Stan binarny	Stan linii	Funkcja interfejsu
Nap. dodatnie	0	TAK	Włączona
Nap. ujemne	1	NIE	Wyłączona





Przyjęto, że linia znajduje się w stanie NIE, gdy napięcie na interfejsie mierzone względem ziemi sygnałowej jest mniejsze od  $-3V_{dc}$ . Podobnie, linia znajduje się w stanie TAK, gdy napięcie na interfejsie mierzone względem ziemi sygnałowej jest większe od  $+3V_{dc}$ . Zakres napięć od  $-3V_{dc}$  do  $+3V_{dc}$  jest przejściowy i jest zdefiniowany jako zabroniony.

W czasie transmisji danych stan NIE może być traktowany jako binarna "1", a stan TAK jako binarne "0".

Dla układów sterujących interfejsem funkcja jest włączona, gdy na odpowiedniej linii napięcie jest wyższe od  $+3V_{dc}$  (względem ziemi sygnałowej) i funkcja jest wyłączona, gdy napięcie na odpowiedniej linii jest niższe od  $-3V_{dc}$  (względem ziemi sygnałowej).

## OPIS FUNKCJONALNY UKŁADU INS 8250

W poniższym opisie niski poziom napięcia ( $0V_{dc}$ ) odpowiada logicznemu "0", a poziom wysoki ( $+2.4V_{dc}$ ) reprezentuje "1" logiczne.

### SYGNAŁY WEJŚCIOWE

Wybór układu ( $CS0, CS1, -CS2$ ), wyprowadzenia 12-14:

Uaktywnienie układu 8250 następuje, gdy wejścia  $CS0, CS1$  są w stanie wysokim i wejście  $-CS2$  jest w stanie niskim. Sygnał uaktywniający jest próbkowany aktywnym (niskim) poziomem sygnału  $-ADS$ .

Strob czytania danych ( $DISTR, -DISTR$ ), wyprowadzenia 22, 21:

Wysoki stan sygnału  $DISTR$  lub niski sygnału  $-DISTR$  w czasie gdy układ jest aktywny umożliwia procesorowi czytanie statusu lub danych z wybranych rejestrów 8250.



**Uwaga:** Podczas operacji czytania wymagana jest aktywność tylko jednego z sygnałów DISTR, -DISTR. Niewykorzystane wejście powinno być na stałe spolaryzowane odpowiednim poziomem (DISTR niskim, a -DISTR wysokim).

**Strob zapisu danych (DOSTR, -DOSTR), wyprowadzenia 19, 18:**

Wysoki stan sygnału DOSTR lub niski sygnału -DOSTR w czasie gdy układ jest aktywny umożliwia procesorowi wpisywanie danych lub słów sterujących do wybranych rejestrów 8250.

**Uwaga:** Podczas operacji zapisu wymagana jest aktywność tylko jednego z sygnałów DOSTR, -DOSTR. Niewykorzystane wejście powinno być na stałe spolaryzowane odpowiednim poziomem (DOSTR niskim, a -DOSTR wysokim).

**Strob adresowania (-ADS), wyprowadzenie 25:**

Niski stan sygnału -ADS uaktywnia wejścia adresowe (A0, A1, A2) i wejścia uaktywniające układ (CS0, CS1, -CS2).

**Uwaga:** Aktywne wejście -ADS wymagane jest, gdy sygnały adresujące rejestry (A0, A1, A2) nie są stabilne podczas operacji czytania lub zapisu. Jeśli nie ma takiej potrzeby, wejście -ADS należy na stałe spolaryzować niskim poziomem napięcia.

**Wybór rejestru (A0, A1, A2), wyprowadzenia 26+28:**

Wejścia adresowe używane są podczas operacji czytania lub zapisu do wyboru rejestru układu 8250 w sposób pokazany w poniższej tabelce. Należy przy tym pamiętać, że stan bitu dostępu do dzielnika szybkości transmisji (DLAB) wpływa na wybór rejestrów. Bit DLAB musi być ustawiony w stan "1", aby można było zmienić stan rejestrów dzielnika szybkości transmisji.

DLAB	A2	A1	A0	Rejestr
0	0	0	0	Bufor odbiornika (czytanie)
0	0	0	1	Bufor nadajnika (wpisywanie)
0	0	1	0	Zezwalanie na przerwanie
X	0	1	1	Identyfikacja przerw (czytanie)
X	1	0	0	Sterowanie linią
X	1	0	1	Sterowanie modemem
X	1	1	0	Stan linii
X	1	1	1	Stan modemu
X	1	1	1	Nie istnieje
1	0	0	0	Rejestr dzielnika (młodszy bajt)
1	0	0	1	Rejestr dzielnika (starszy bajt)



**Zerowanie sprzętowe (MR), wyprowadzenie 35:**

Zerowanie logiki sterującej układem 8250 oraz wszystkich rejestrów (z wyjątkiem bufora odbiornika, bufora nadajnika i rejestrów dzielnika). Aktywny sygnał MR różnie wpływa na stany wyjść (SOUT, INTERPT, -OUT1, -OUT2, -RTS, -DTR). Patrz tabela "Zerowanie układu INS 8250".

**Zegar odbiornika (RCLK), wyprowadzenie 9:**

Wejście zegara odbiornika. Częstotliwość sygnału wejściowego jest 16 razy większa od zegara sterującego odbiorczą częścią układu 8250.

**Wejście szeregowe (SIN), wyprowadzenie 10:**

Wejście danych z łącza komunikacyjnego.

**Gotowość do nadawania (-CTS), wyprowadzenie 36:**

Linia -CTS jest modemowym wejściem sterującym. Procesor może kontrolować poziom logiczny tego wejścia przez czytanie bitu 4 (CTS) rejestru stanu modemu. Bit 0 (DCTS) rejestru stanu modemu wskazuje, czy stan wejścia -CTS zmienił się od czasu ostatniego odczytu rejestru stanu modemu.

**Uwaga:** Przy każdej zmianie stanu bitu CTS rejestru stanu modemu generowane jest przerwanie (jeśli przerwanie stanu modemu jest odblokowane).

**Gotowość DCE (-DSR), wyprowadzenie 37:**

Niski stan sygnału -DSR wskazuje, że modem lub zbiór danych jest gotowy do transmisji z układem INS 8250. Linia -DSR jest modemowym wejściem sterującym. Procesor może kontrolować poziom logiczny tego wejścia przez czytanie bitu 5 (DSR) rejestru stanu modemu. Bit 1 (DDSR) rejestru stanu modemu wskazuje, czy stan wejścia -DSR zmienił się od czasu ostatniego odczytu rejestru stanu modemu.

**Uwaga:** Przy każdej zmianie stanu bitu DSR rejestru stanu modemu generowane jest przerwanie (jeśli przerwanie stanu modemu jest odblokowane).

**Wykrycie fali nośnej (-RLSD), wyprowadzenie 38:**

Niski stan sygnału -RLSD wskazuje, że modem lub zbiór danych wykrył obecność fali nośnej. Linia -RLSD jest modemowym wejściem sterującym. Procesor może kontrolować poziom logiczny tego wejścia przez czytanie bitu 7 (RLSD) rejestru stanu modemu. Bit 3 (DRLSD) wskazuje, czy stan wejścia -RLSD zmienił się od czasu ostatniego odczytu rejestru stanu modemu.

**Uwaga:** Przy każdej zmianie bitu RLSD rejestru stanu modemu generowane jest przerwanie (jeśli przerwanie stanu modemu jest odblokowane).



**Detekcja dzwonka (-RI), wyprowadzenie 39:**

Niski stan sygnału -RI wskazuje, że modem lub zbiór danych odebrał sygnał dzwonka telefonicznego. Linia -RI jest modemowym wejściem sterującym. Procesor może kontrolować poziom logiczny tego wejścia przez czytanie bitu 5 (RI) rejestru stanu modemu. Bit 2 (TERI) wskazuje, czy stan wejścia -RI zmienił się od czasu ostatniego odczytu rejestru stanu modemu.

**Uwaga:** Przy każdej zmianie bitu RI rejestru stanu modemu, generowane jest przerwanie (jeśli przerwanie stanu modemu jest odblokowane).

**VCC, wyprowadzenie 40:**

Zasilanie +5Vdc.

**VSS, wyprowadzenie 20:**

Poziom odniesienia-masa, 0Vdc.

## SYGNAŁY WYJŚCIOWE

**Gotowość DTE (-DTR), wyprowadzenie 33:**

Niski stan sygnału -DTR informuje modem lub zbiór danych o gotowości układu INS 8250 do pracy. Sygnał -DTR może być wprowadzony w stan aktywny (niski) przez zaprogramowanie bitu 0 (DTR) rejestru sterowania modemem logiczną "1". Zerowanie sprzętowe wprowadza wyjście -DTR w stan wysoki.

**Nadanie nadawania (-RTS), wyprowadzenie 32:**

Niski stan sygnału -RTS informuje modem lub zbiór danych o gotowości układu INS 8250 do nadawania. Sygnał -RTS może być wprowadzony w stan aktywny (niski) przez zaprogramowanie bitu 1 (RTS) rejestru sterowania modemem logiczną "1". Zerowanie sprzętowe wprowadza wyjście -RTS w stan wysoki.

**Wyjście 1 (-OUT1), wyprowadzenie 34:**

Wyjście pozostawione do zdefiniowania użytkownikowi. Sygnał -OUT1 może być wprowadzony w stan aktywny (niski) przez zaprogramowanie bitu 2 (OUT1) rejestru sterowania modemem logiczną "1". Zerowanie sprzętowe wprowadza wyjście -OUT1 w stan wysoki.

**Wyjście 2 (-OUT2), wyprowadzenie 31:**

Wyjście pozostawione do zdefiniowania użytkownikowi. Sygnał -OUT2 może być wprowadzony w stan aktywny (niski) przez zaprogramowanie bitu 3 (OUT2) rejestru sterowania modemem logiczną "1". Zerowanie sprzętowe wprowadza wyjście -OUT2 w stan wysoki.

**Wyjście wyboru układu (CSOUT), wyprowadzenie 24:**

Wysoki stan na tym wyjściu wskazuje, że układ 8250 został aktywniony sygnałami CS0, CS1, -CS2. Nie należy inicjować żadnego transferu danych tak długo, aż na wyjściu CSOUT pojawi się "1" logiczna.



**Blokada bufora (DDIS), wyprowadzenie 23:**

Niski stan na wyjściu DDIS pojawia się, gdy procesor czyta dane z układu 8250. Wysoki stan na wyjściu DDIS może być wykorzystany do blokowania zewnętrznego bufora szyny danych umieszczonego między procesorem a układem INS 8250 w czasie, gdy procesor się z układem nie komunikuje.

**Zegar nadajnika (-BAUDOUT), wyprowadzenie 15:**

Sygnał zegara sekcji nadajnika zwielokrotniony 16 razy. Częstotliwość tego sygnału jest równa ilorazowi częstotliwości oscylatora i liczby wpisanej do rejestrów dzielnika szybkości transmisji. Wyjście -BAUDOUT może być wykorzystane przez sekcję odbiornika przez połączenie go z wejściem RCLK.

**Przerwanie (INTRPT), wyprowadzenie 30:**

Wysoki stan na wyjściu INTRPT pojawia się, gdy jedno z przerw (kolejność wg priorytetu: błąd odbiornika, gotowość danych odbiornika, pusty bufor nadajnika, stan modemu) jest aktywne i odblokowane w rejestrze IER. Sygnał INTRPT wraca na poziom niski po obsłużeniu zgłoszonego przerwania lub po zerowaniu sprzętowym.

**Wyjście szeregowe (SOUT), wyprowadzenie 11:**

Wyjście danych do linii komunikacyjnej (urządzenia zewnętrznego, modemu, zbioru danych). Po zerowaniu sprzętowym wyjście znajduje się w stanie NIE (logiczna "1").

## SYGNAŁY WEJŚCIA/WYJŚCIA

**Szyna danych (D7-D0), wyprowadzenia 1+8:**

Szyna danych składa się z 8 trzystanowych linii wejść/wyjść i umożliwia dwukierunkową komunikację układu INS 8250 z procesorem. Przez szynę danych odbywa się przesyłanie danych, słów sterujących i informacji o statusie kontrolera.

**Wejście/wyjście zegara zewnętrznego (XTAL1, XTAL2), wyprowadzenia 16, 17:**

Wyprowadzenia służą do podłączenia głównego sygnału zegara odniesienia (rezonatora kwarcowego lub sygnału zegarowego) do układu INS 8250.

## PROGRAMOWANIE UKŁADU INS 8250

Programowanie układu 8250 odbywa się przez wpisywanie do odpowiednich rejestrów danych bądź słów sterujących. Rejestry sterują operacjami wysyłania i odbierania danych.



Rejestr/sygnał	Sposób zerowania	Stan po zerowaniu
Rejestr zezwoleń na przerwania	MR	"0" (wszystkie bity)
Rejestr identyfikacji przerwań	MR	bit 0—"1", bity 1+7—"0"
Rejestr sterowania linią	MR	"0" (wszystkie bity)
Rejestr sterowania modemem	MR	"0" (wszystkie bity)
Rejestr stanu linii	MR	"1" (oprócz bitów 5 i 6)
Rejestr stanu modemu	MR	bity 0+3—"0", bity 4+7 — sygnały wejściowe
SOUT	MR	"1"
INTRPT (błędy odbioru)	czytanie LSR/MR	"0"
INTRPT (dane odebrane)	czytanie RBR/MR	"0"
INTRPT (dane odebrane)	czytanie IIR/wpis do THR/MR	"0"
INTRPT (zmiana stanu modemu)	czytanie MSR/MR	"0"
OUT 2	MR	"1"
RTS	MR	"1"
DTR	.... MR	"1"
OUT 1	.... MR	"1"



## REJESTR STEROWANIA LINIA

Rejestr sterowania linia (LCR) służy do zaprogramowania formatu asynchronicznej transmisji danych. Dodatkowo istnieje możliwość podglądania zawartości tego rejestru, co ułatwia programowanie i eliminuje konieczność przechowywania parametrów transmisji w pamięci systemowej. Poniższa tabela opisuje znaczenie poszczególnych bitów rejestru sterowania linia (LCR).

Rejestr sterowania linia (LCR)		Adres 3FB hex
Bit 7	Bit dostępu do dzielnika szbkości transmisji	
6	Blokada transmisji	
5	Inwersja sterowania parzystością	
4	Wybór typu parzystości (parzysta/nieparzysta)	
3	Zezwolenie na operowanie parzystością	
2	Liczba bitów stopu	
1,0	Długość słowa danych:	0,0- słowo 5 bitowe 0,1- słowo 6 bitowe 1,0- słowo 7 bitowe 1,1- słowo 8 bitowe

Bit 0 i 1: Określają liczbę bitów przesyłanego szeregowo znaku

Bit 2: Określa liczbę bitów stopu w każdym przesyłanym szeregowo znaku. Jeśli bit 2 ma wartość "0" logicznego, to jest generowany bądź sprawdzany 1 bit stopu. Jeśli bit 2 ma wartość "1" logicznej i wybrano 5 bitowe słowo danych, to jest generowane bądź sprawdzane 1 bitu stopu, a słowa 6, 7, 8 bitowe - 2 bity stopu.

Bit 3: Jest to bit zezwolenia na operowanie parzystością. Bit parzystości jest generowany (przy nadawaniu) i kontrolowany (przy odbiorze) pomiędzy ostatnim bitem danych a bitem stopu, gdy bit 3 ma wartość "1" logicznej.

Bit 4: Jest to bit sterowania parzystością. Jeśli ten bit ma wartość "0" logicznego, a bit 3 "1" logicznej, transmitowana jest lub kontrolowana nieparzysta liczba "1" w przesyłanym szeregowo znaku (parzystość nieparzysta). Natomiast gdy bit 4="1" (oraz bit 3="1") to transmitowana jest bądź kontrolowana parzysta liczba "1" (parzystość parzysta).



**Bit 5:** Jest to bit inwersji sterowania parzystością. Jeśli bit 3 i bit 5 mają wartość "1" logiczną to parzystość jest generowana i kontrolowana w sposób odwrotny niż wskazuje na to bit 4.

**Bit 6:** Jest to bit blokady transmisji. Wyjściowe SOUT zostanie wprowadzone w stan TAK (logiczne "0") i pozostanie w nim niezależnie od działania nadajnika wówczas, gdy ten bit będzie miał poziom "1" logiczny. Funkcja ta daje procesorowi możliwość uruchomienia alarmu terminala w komputerowym systemie komunikacyjnym. Odblokowanie transmisji odbywa się przez nadanie bitowi 6 wartości "0" logicznego.

**Bit 7:** Jest to bit dostępu do rejestrów dzielnika szybkości transmisji. W celu zaprogramowania generatora szybkości transmisji należy nadać temu bitowi wartość "1". Bit 7 musi mieć wartość "0" aby można było operować buforem odbiornika, buforem nadajnika lub rejestrem zezwoleń na przerywanie.

#### PROGRAMOWANY GENERATOR SZYBKOSCI TRANSMISJI

Układ scalony INS 8250 zawiera programowany generator szybkości transmisji, który dzieli częstotliwość zegara wejściowego przez dowolną liczbę całkowitą (dzielnik) z zakresu od 1 do  $(2^{16}-1)$ , produkując w ten sposób sygnał sterujący sekcją nadajnika. Częstotliwość wyjściowa (transmisji) z generatora jest 16 razy wyższa od częstotliwości sekcji nadajnika. Dzielnik w postaci 16-bitowej liczby jest przechowywany w dwóch 8-bitowych rejestrach. Rejestry te powinny zostać załadowane odpowiednią wartością w czasie inicjacji układu INS 8250. Po zapisaniu dowolnego z dwóch rejestrów następuje natychmiastowe zaprogramowanie generatora.

Rejestr młodszej bajty dzielnika (rejestr DLL) ma adres 3F6 (hex). Rejestr starszej bajty dzielnika (rejestr DLM) ma adres 3F9 (hex).

Poniższa tabela przedstawia wartości dzielnika szybkości transmisji skojarzone ze standardowymi szybkościami transmisji dla częstotliwości zegara zewnętrznego (wejściowego) równej 1,8432 MHz, gdyż taka właśnie występuje na karcie kontrolera. Wartości w nawiasach informują o rozbieżności między częstotliwością oczekiwaną a rzeczywistą.

**Uwaga:** Maksymalna częstotliwość wejściowa układu generatora wynosi 3,1 MHz. W żadnym wypadku szybkość transmisji nie może być większa niż 9500 bodów.



Wymagana szybkość transmisji	Wartość dzielnika	
	Dziesiętne	Hex
50	2304	900
75	1536	600
110	1047	417 (0.026)
134.5	857	359 (0.058)
150	768	300
300	384	180
600	192	0C0
1200	96	060
1800	64	040
2000	58	03A (0.69)
2400	48	030
3600	32	020
4800	24	018
7200	16	010
9600	12	00C

Szybkości transmisji dla 1.8432 MHz

## REJESTR STANU LINII

Rejestr stanu linii (LSR) dostarcza procesorowi informacji o transmisji danych. Poniższa tabela pokazuje znaczenie poszczególnych bitów tego rejestru.

Rejestr stanu linii (LSR)		Adres 3FD hex
Bit 7	zawsze "0"	
6	Pusty rejestr przesuwany nadajnika (TSRE)	
5	Pusty bufor nadajnika (THRE)	
4	Przerwa w transmisji (BI)	
3	Błąd ramki	
2	Błąd parzystości	
1	Błąd przepisania (utrata czytanego znaku)	
0	Dane gotowe do odczytu	

Bit 0: Wskazuje, że odebrane dane są gotowe do odczytu przez procesor. Bit 0 otrzymuje wartość "1" jeśli cały znak został odebrany i przesłany do bufora odbiornika. Wyzerowanie bitu 0 można spowodować przez wpisanie "0" w jego miejsce lub przez odczyt bufora odbiornika.



**Bit 1:** Jeśli bit 1 ma wartość logiczną "1" oznacza to, że dane w buforze odbiornika nie zostały odczytane przez procesor przed przyjęciem następnego znaku i przez to uległy zniszczeniu. Bit 1 jest zerowany każdorazowo po odczycie zawartości rejestru sterowania linią.

**Bit 2:** Bit 2 ma wartość logiczną "1" jeśli w odczytywanym znaku został wykryty błąd parzystości (wg zasady ustalonej w rejestrze sterowania linią). Bit 2 jest zerowany każdorazowo po odczycie zawartości rejestru sterowania linią.

**Bit 3:** Jeśli bit 3 ma wartość logiczną "1" oznacza to, że odebrany znak miał nieważny bit stopu. Bit 3 otrzymuje wartość "1" logicznej, gdy stan linii w czasie odczytywania bitu stopu następującego po ostatnim bicie danych lub bicie parzystości jest TAK.

**Bit 4:** Jeśli bit 4 ma wartość logiczną "1" oznacza to, że poziom linii na wejściu danych odbieranych był utrzymywany w stanie TAK przez czas dłuższy niż czas transmisji pełnego słowa (tzn. czas transmisji bitu startu, bitów danych, bitu parzystości i bitów stopu).

**Uwaga:** W razie wykrycia błędu opisanego przez bity 1+4 zostanie wygenerowane przerwanie stanu linii odbioru.

**Bit 5:** Jeśli bit 5 ma wartość logiczną "1" oznacza to, że układ 8250 może przyjąć następny znak do wysłania. Dodatkowo może zostać wygenerowane przerwanie bufora nadajnika, gdy jego zgłaszanie jest umożliwiające. Bitowi 5 nadawana jest wartość "1" logicznej w chwili przesyłania znaku z bufora nadajnika do rejestru przesuwowego nadajnika. Zerowanie bitu 5 odbywa się jednocześnie z załadowaniem bufora nadajnika przez procesor.

**Bit 6:** Jeśli bit 6 ma wartość logiczną "1" oznacza to, że znak z rejestru przesuwowego nadajnika został już wysłany. Zerowanie bitu 6 odbywa się jednocześnie z załadowaniem rejestru przesuwowego znakiem z bufora nadajnika. Bit 6 może być tylko odczytywany.

**Bit 7:** Zawsze ma wartość "0" logicznego.

## REJESTR IDENTYFIKACJI PRZERWAŃ

System przerwań układu scalonego INS 8250 umożliwia mu współpracę ze wszystkimi aktualnie dostępnymi mikroprocesorami. Czteropoziomowa struktura przerwań minimalizuje ilość oprogramowania w czasie przesyłania danych.



Przerwania są uporządkowane następująco:

Poziom 1 (najwyższy priorytet) – stan linii odbioru

Poziom 2 – gotowość danych odbieranych

Poziom 3 – bufor nadajnika pusty

Poziom 4 (najniższy priorytet) – stan modemu.

Informacja o aktualnie trwającym przerwaniu i jego typie jest przechowywana w "Rejestrze identyfikacji przerwań" (IIR) – patrz "Tabela funkcji sterujących przerwaniami". Przy odczycie zawartości rejestru udostępniana jest jedynie informacja o tym, które ze zgłoszonych przerwań ma najwyższy priorytet. Nadto inne przerwanie nie zostanie potwierdzone zanim procesor nie obsłuży przerwania o wyższym priorytecie.

Zawartość rejestru identyfikacji przerwań (IIR) pokazuje poniższa tabela.

Rejestr identyfikacji przerwań		Adres 3FA hex
Bit 7	Zawsze "0"	
6	Zawsze "0"	
5	Zawsze "0"	
4	Zawsze "0"	
3	Zawsze "0"	
2	Bit identyfikacji przerwania {1}	
1	Bit identyfikacji przerwania {0}	
0	"0" gdy trwa przerwanie	

Bit 0: Jeśli bit 0 ma wartość "0" logicznego oznacza to, że trwa przerwanie i zawartość rejestru może być użyta jako wektor do odpowiedniej procedury obsługi przerwań. W przypadku, gdy niezaisiniata przyczyna dla zgłoszenia jakiegokolwiek przerwania, bit 0 ma wartość "1" logicznej.

Bity 1 i 2: Umożliwiają identyfikację źródła przerwania, jak to pokazano w "Tabeli funkcji sterujących przerwaniami".

Bity 3+7: Mają zawsze wartość "0" logicznego



Rejestr identyfikacji przerwań			Poziom priorytetu	Funkcje generujące i zerujące przerwania		
Bit 2	Bit 1	Bit 0		Typ przerwania	Źródło przerwania	Zerowanie przerwania
0	0	1		żaden	żadne	
1	1	0	Pierwszy (najwyższy)	Stan linii odbioru	Błąd przepisania lub błąd parzystości lub przerwa w transmisji	Czytanie rejestru stanu linii
1	0	0	Drugi	Gotowość danych odebranych	Dane gotowe do odczytu	Czytanie bufora odbiornika
0	1	0	Trzeci	Bufor nadajnika pusty	Pusty bufor nadajnika	Czytanie rejestru identyfik. przerwań lub wpis do bufora nadajnika
0	0	0	Czwarty (najniższy)	Stan modemu	Gotowość do nadawania lub gotowość DCE lub detekcja dzwonka lub wykrycie fali nośnej	Czytanie rejestru stanu modemu

Tabela funkcji sterujących przerwaniami

## REJESTR ZEZWOLEŃ NA PRZERWANIA

Rejestr zezwoleń na przerwania umożliwia sterowanie wyjściem INTRPT układu INS 8250 przez cztery niezależne typy przerwań. Możliwe jest całkowite zablokowanie układu przerwań przez wyzerowanie bitów 0+3 lub umożliwienie zgłaszania wszystkich typów przerwań przez nadanie bitom 0+7 wartości "1".



W pierwszym wypadku następuje zablokowanie wyjścia INTRPT. Pozostałe funkcje systemowe działają bez zmian, włączając ustawianie rejestrów stanu linii i stanu modemu. Poniższa tabela przedstawia zawartość rejestru zezwoleń na przerwania.

Rejestr zezwoleń na przerwania		Adres 3F9 hex
Bit 7	Zawsze "0"	
6	Zawsze "0"	
5	Zawsze "0"	
4	Zawsze "0"	
3	Przerwanie stanu modemu	
2	Przerwanie stanu linii odbioru	
1	Przerwanie "Bufor nadajnika pusty"	
0	Przerwanie "Gotowość danych odebranych"	

Bit 0: Jeśli ma wartość "1" logicznej to umożliwia zgłoszenie przerwania, gdy odebrany znak znajduje się w buforze odbiornika

Bit 1: Jeśli ma wartość "1" logicznej to umożliwia zgłoszenie przerwania, gdy został wysłany znak z bufora nadajnika (tzn. bufor jest pusty).

Bit 2: Jeśli ma wartość "1" logicznej to umożliwia zgłoszenie przerwania stanu linii odbioru

Bit 3: Jeśli ma wartość "1" logicznej to umożliwia zgłoszenie przerwania stanu modemu.

Bity 4-7: Mają zawsze wartość "0" logicznego.

## REJESTR STEROWANIA MODEMEM

Rejestr sterowania modemem (MCR) służy do sterowania interfejsem modemu, zbioru danych lub urządzenia zewnętrznego emulującego modem. Zawartość rejestru sterowania modemem przedstawia poniższa tabela.

Rejestr sterowania modemem (MCR)		Adres 3FC hex
Bit 7	Zawsze "0"	
6	Zawsze "0"	
5	Zawsze "0"	
4	Pętla diagnostyczna	
3	Wyjście 2 (OUT2)	
2	Wyjście 1 (OUT1)	
1	Żądanie nadawania (RTS)	
0	Gotowość DTE (DTR)	



**Bit 0:** Jest to bit sterujący wyjściem -DTR. Jeśli bit 0 ma wartość logiczną "1" to na wyjściu -DTR pojawi się poziom "0" logicznego. Wyzerowanie bitu 0 spowoduje, że wyjście -DTR znajdzie się w stanie "1".

**Uwaga:** Wyjście -DTR może być połączone z odwracającym wzmacniaczem linii (np. DS 1483) dla uzyskania odpowiedniej polaryzacji w standardzie EIA).

**Bit 1:** Jest to bit sterujący wyjściem -RTS. Wpływ bitu 1 na wyjście -RTS jest identyczny z opisanym wyżej działaniem bitu 0.

**Bit 2:** Jest to bit sterujący programowanym przez użytkownika wyjściem -OUT1. Wpływ bitu 2 na wyjście -OUT1 jest identyczny z opisanym wyżej działaniem bitu 0 i bitu 1.

**Bit 3:** Jest to bit sterujący programowanym przez użytkownika wyjściem -OUT2. Wpływ bitu 3 na wyjście -OUT2 jest identyczny z opisanym wyżej działaniem bitu 0 i bitu 1.

**Bit 4:** Jest to bit dający możliwość przeprowadzenia testu funkcjonalnego układu scalonego INS 8250. Nadanie bitowi 4 wartości "1" logicznej powoduje następujące skutki: przejście wyjścia szeregowego SOUT w stan NIE, odłączenie wejścia szeregowego SIN, sprzężenie wyjścia szeregowego rejestru przesuwnego nadajnika z wejściem szeregowym rejestru przesuwnego odbiornika, odłączenie 4 wejść sygnałów sterowania modemem (-CTS, -DSR, -RLSD, -RI). Cztery wyjścia modemowe (-DTR, -RTS, -OUT1, -OUT2) zostają wewnętrznie podłączone do wejść modemowych. W tym czasie nadawane dane są natychmiast odbierane, co pozwala na sprawdzenie linii nadawczo-odbiorczych układu scalonego.

W trybie diagnostycznym system przerwań jest w pełni aktywny. W wypadku przerwań sterujących modemem, ich źródłem stają się młodsze cztery bity rejestru sterowania modemem zamiast modemowych wejść sterujących. W dalszym ciągu przerwania są kontrolowane przez rejestr zezwoleń na przerwania.

System przerwań układu INS 8250 może być testowany przez zmianę wartości młodszych czterech bitów rejestru sterowania modemem. Nadanie dowolnemu z tych bitów wartości "1" powoduje generację przerwania (jeśli jest umożliwione). Zerowanie przerwań następuje podobnie, jak przy normalnej pracy układu 8250. Do wyjścia z trybu diagnostycznego rejestry muszą być zaprogramowane jak dla normalnego działania, a następnie bit 4 rejestru sterowania modemem wyzerowany.

**Bity 5+7:** Mają zawsze wartość "0" logicznego.



## REJESTR STANU MODEMU

Rejestr stanu modemu (MSR) dostarcza procesorowi bieżącej informacji o sygnałach sterujących z modemu (lub urządzenia zewnętrznego). Dodatkowo cztery bity tego rejestru informują o zmianach tych sygnałów, tzn. zo-staje im nadana wartość "1" każdorazowo, gdy odpowiedni sygnał sterujący zmienił swój stan. Bity te są zerowane po odczycie rejestru przez procesor. Zawartość rejestru stanu modemu przedstawia poniższa tabelka.

Rejestr stanu modemu (MSR)		Adres CFE hex
Bit 7	Wykrycie fali nośnej (RLSD)	
6	Detekcja dzwonka (RI)	
5	Gotowość DCE (DSR)	
4	Gotowość do nadawania (CTS)	
3	Zmiana wykrycia fali nośnej (DRLSD)	
2	Zmiana detekcji dzwonka (DRI)	
1	Zmiana gotowości DCE (DDSR)	
0	Zmiana gotowości do nadawania (DCTS)	

Bit 0: Jest to wskaźnik zmiany stanu sygnału gotowości do nadawania. Bit 0 wskazuje, czy wejście -CTS zmieniło swój stan od czasu ostatniego odczytu zawartości rejestru stanu modemu przez procesor.

Bit 1: Jest to wskaźnik zmiany stanu sygnału gotowości DCE. Bit 1 wskazuje, czy wejście -DS- zmieniło swój stan od czasu ostatniego odczytu zawartości rejestru stanu modemu przez procesor.

Bit 2: Jest to wskaźnik zmiany stanu sygnału detekcji dzwonka. Bit 2 wskazuje, czy wejście -RI zmieniło swój stan od czasu ostatniego odczytu zawartości rejestru stanu modemu przez procesor.

Bit 3: Jest to wskaźnik zmiany stanu sygnału wykrycia fali nośnej. Bit 3 wskazuje, czy wejście -RLSD zmieniło swój stan od czasu ostatniego odczytu zawartości rejestru stanu modemu przez procesor.

Uwaga: Każdorazowo po nadaniu bitom 0, 1, 2 lub 3 wartości "1" generowane jest przerwanie stanu modemu

Bit 4: Jest dopełnieniem wejścia "Gotowość do nadawania" (-CTS). W trybie diagnostycznym jest odpowiednikiem sygnału "Nadanie nadawania" (RTS) rejestru sterowania modemem.

Bit 5: Jest dopełnieniem wejścia "Gotowość DCE" (-DSR). W trybie diagnostycznym jest odpowiednikiem sygnału "Gotowość DTE" (DTR) rejestru sterowania modemem.



**Bit 6:** Jest dopełnieniem wejścia "Detekcja dzwonka" (-RI). W trybie diagnostycznym jest odpowiednikiem sygnału "Wyjście 1" (OUT1) rejestru sterowania modemem.

**Bit 7:** Jest dopełnieniem wejścia "Detekcja fali nośnej" (-RLSD). W trybie diagnostycznym jest odpowiednikiem sygnału "Wyjście 2" (OUT2) rejestru sterowania modemem.

## BUFOR ODBIORNIKA

Bufor odbiornika (RBR) jest osmiobitowym rejestrem zawierającym odbierany znak wg poniższego formatu:

Bufor nadajnika (RBR)		Adres 3F8 hex
Bit 7	Bit 7 odebranej danej	
6	Bit 6 odebranej danej	
5	Bit 5 odebranej danej	
4	Bit 4 odebranej danej	
3	Bit 3 odebranej danej	
2	Bit 2 odebranej danej	
1	Bit 1 odebranej danej	
0	Bit 0 odebranej danej	

Bit 0 jest najmniej znaczącym bitem i odbierany jest jako pierwszy.

## BUFOR NADAJNIKA

Bufor nadajnika jest osmiobitowym rejestrem zawierającym znak przeznaczony do szeregowego wysłania. Format bufora przedstawia poniższa tabelka.

Bufor nadajnika (THR)		Adres 3F8 hex
Bit 7	Bit 7 wysyłanej danej	
6	Bit 6 wysyłanej danej	
5	Bit 5 wysyłanej danej	
4	Bit 4 wysyłanej danej	
3	Bit 3 wysyłanej danej	
2	Bit 2 wysyłanej danej	
1	Bit 1 wysyłanej danej	
0	Bit 0 wysyłanej danej	

Bit 0 jest najmniej znaczącym bitem i wysyłany jest jako pierwszy.

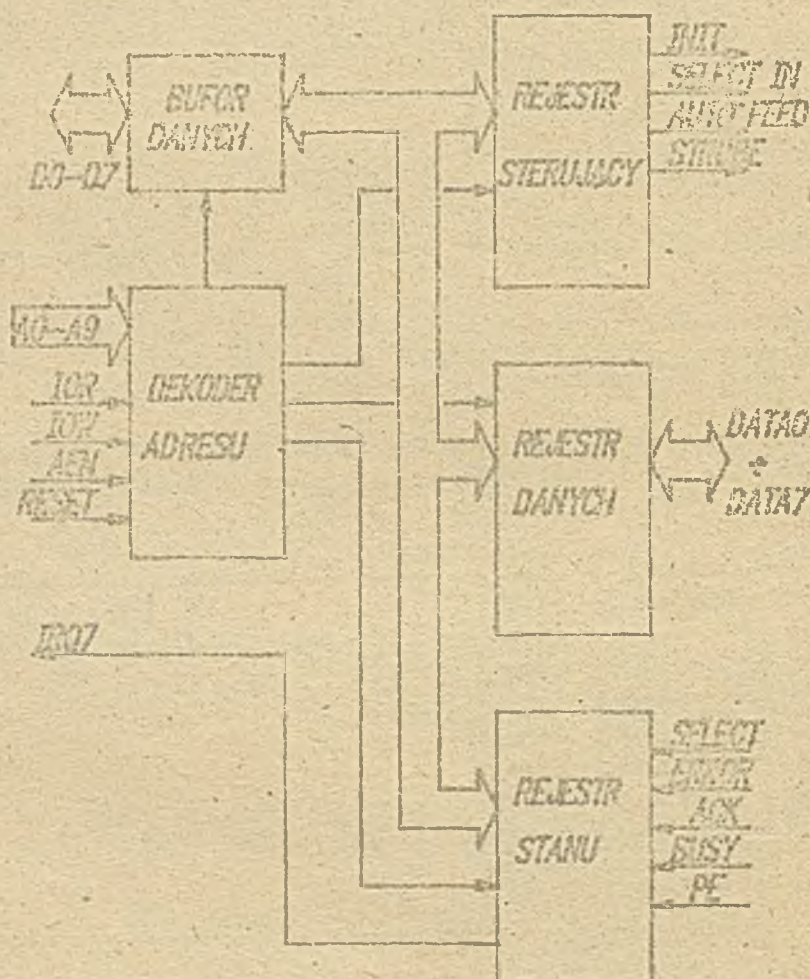


## Wybór adresu kontrolera i typu interfejsu

Wybór adresu kontrolera (pierwszy - drugi) i typu interfejsu (prądowy - napięciowy) następuje przez ustawienie odpowiednich zworek

## Interfejs równoległy

Na tym samym pakiecie, na którym znajduje się kontroler dysków elastycznych, znajduje się kontroler drukarki. Służy on do sterowania drukarką z równoległym interfejsem (np. typu Centronics), ale może też być użyty jako równoległy, uniwersalny port wejścia/wyjścia. Schemat blokowy kontrolera drukarki przedstawia rysunek 3



Rys 3. Schemat blokowy kontrolera drukarki



Kontroler ma 12 wyjść TTL, które są zatrząskiwane w rejestrze i mogą być zapisywane i odczytywane programowo przy użyciu instrukcji IN i OUT. Linie te są doprowadzone do złącza zainstalowanego na sztydzie w tylnej ścianie obudowy komputera. Ponadto kontroler ma 5 wejść, których stan może być odczytywany przez procesor. Te wejścia to -Acknowledge (sygnał potwierdzenia z drukarki), Busy (sygnał zajętości), P.End (sygnalizacja końca papieru), Select (sygnał wyboru) i -Error (sygnalizacja błędu). Jedno z wejść (-Acknowledge) jest użyte do generowania przerwania, o ile program zezwoli na jego generację.

Normalnym sposobem pracy kontrolera z drukarką jest początkowe zatrząśnięcie informacji (8 bitów), a następnie wysterowanie linii -Strobe, które spowoduje wprowadzenie danych lub rozkazów do drukarki. Następnie można odczytać status drukarki, informujący, kiedy może być dokonane kolejne przesłanie. Ponieważ wszystkie linie wyjściowe z kontrolera mogą być również czytane, istnieje łatwa możliwość testowania samego kontrolera bez dołączania urządzenia zewnętrznego. Poniżej przedstawiono wykaz linii interfejsu równoległego kontrolera wraz z przyporządkowaniem sygnałów do kontaktów złącza.

Nazwa	Numer kontaktu złącza
1. -Strobe	1
2. +Dane bit 0	2
3. +Dane bit 1	3
4. +Dane bit 2	4
5. +Dane bit 3	5
6. +Dane bit 4	6
7. +Dane bit 5	7
8. +Dane bit 6	8
9. +Dane bit 7	9
10. -Acknowledge	10
11. +Busy	11
12. +P. End (koniec papieru)	12
13. +Select	13
14. -Auto Feed	14
15. -Error	15
16. -Initialize Printer	16
17. -Select Input	17
18. Masa	18 + 25

# OPIS REJESTRÓW KONTROLERA DRUKARKI

Opis rejestrów określa przyporządkowanie poszczególnych bitów rejestru do kontaktów złącza oraz określa typ operacji (zapis/odczyt), która może być na danym rejestrze wykonana.



#### Rejestr danych - adres 378H

+bit 0	--	Kontakt 2
+bit 1	--	Kontakt 3
+bit 2	--	Kontakt 4
+bit 3	--	Kontakt 5
+bit 4	--	Kontakt 6
+bit 5	--	Kontakt 7
+bit 6	--	Kontakt 8
+bit 7	--	Kontakt 9

Zapis do tego rejestru powoduje zatrzaśnięcie w kontrolerze stanu linii danych komputera i wysterowanie odpowiednich linii interfejsu według przyporządkowania powyżej. Nadajniki interfejsowe są w stanie dostarczyć +2,5 mA oraz przyjąć -24 mA prądu. Odczyt z tego rejestru powoduje przesłanie do procesora stanu linii interfejsu według przyporządkowania powyżej.

#### Rejestr sterujący - adres 37AH

-bit 0	-	Kontakt 1
-bit 1	-	Kontakt 14
+bit 2	-	Kontakt 16
+bit 3	-	Kontakt 17
bit 4	-	Interrupt Enable (zezwolenie na przerwanie)
bit 5	-	zezwolenie na odczyt danych przez interfejs
bity od 6 do 7	-	nieużywane

Rejestr ten służy do przesyłania do urządzenia zewnętrznego sygnałów sterujących. Zapis do rejestru powoduje, że wartość czterech młodszych bitów szyny danych jest przepisywana na odpowiednie kontakty złącza. Wpisanie wartości "1" na pozycję 4 rejestru powoduje zezwolenie na wygenerowanie przerwania, gdy stan linii IO (-ACK) zmieni się z wysokiego na niski. Linie sterowane przez ten rejestr są wyposażone w nadajniki typu OPEN COLLECTOR, dołączone do +5V przez rezystory o wartości 4,7 kOhm. W czasie operacji odczytu rejestru, na cztery młodsze pozycje szyny danych czytany jest stan kontaktów wg powyższego przyporządkowania. W czasie odczytu na pozycję 4 szyny danych jest wysyłana wartość sygnału Interrupt Enable poprzednio zapisanego w kontrolerze.

#### Rejestr stanu urządzenia - adres 379H

bity od 0 do 2	-	nieużywane
bit 3	-	Kontakt 15
bit 4	-	Kontakt 13
bit 5	-	Kontakt 12
bit 6	-	Kontakt 10
bit 7	-	Kontakt 11



# NOWOSCI TECHNICZNE

## Nowe systemy Hewlett-Packarda

Firma Hewlett-Packard rozszerzyła swoją ofertę o nowe mikrokomputery poczynając od Vectry CS (mikroprocesor 8086, częstotliwość zegara 7,16 MHz, pamięci 640 KB), która sprzedawana jest za ok. 2750 dolarów z dwoma stacjami dyskietek o pojemności 360 KB lub za 3580 dol. ze stacją dysków Winchester 20 MB. Istnieje też przenośna wersja (Portable Vectra CS) zawierająca ostery wspólny wejścia-wyjścia, wskaźnik na niekryształach o przekątnej 12 cali z dwoma stacjami dyskietek o średnicy 3 1/2 cala i pojemności 1,44 MB lub Winchesterem 20 MB. Standardowa pamięć operacyjna ma pojemność 640 KB, lecz może być rozszerzona do 6 lub 4 MB (w modelu z Winchesterem). Ceny obu wersji wynoszą odpowiednio 4130 i 5980 dolarów.

Zbudowane na mikroprocesorze 80286 i działające pod systemem operacyjnym OS/2 modele Vectra 28 działają z częstotliwością zegara 8 lub 12 MHz, mają również pamięć 640 KB rozszerzoną do 8 MB. Zestaw z ekranem monochromatycznym, Winchesterem 20 MB i stacją dyskietek 1,2 MB kosztuje w wersji 8 MHz 4830 dolarów, a w wersji 12 MHz 6370 dol.

Najbardziej rozbudowane systemy wykorzystują 32-bitowe mikroprocesory 80386, mogą zawierać po 6 stacji dyskowych, 8 łezówek dodatkowych i przeznaczone są do zastosowań wymagających znacznych możliwości obliczeniowych (projektowanie wspomagane komputerowo, zarządzanie sieciami). Vectra HS/16 pracuje z zegarem o częstotliwości 16 MHz, jest wyposażona w pamięć 1 MB rozszerzalną do 16 MB, stację dyskietek 1,2 MB, Winchester 40 MB i kosztuje 10200 dolarów, a Vectra RS20, działająca z częstotliwością zegara 20 MHz kosztuje 11700 dol. z Winchesterem 40 MB i 18600 dol. z Winchesterem 300 MB. Modele te miały być osiągalne w pierwszym kwartale 1988 r.

Firma oferuje też nową rodzinę terminali alfanumerycznych, monochromatycznych z ekranami o przekątnej 14 cali, w różnych kolorach, w cenie od 895 do 1815 dolarów. Drukarki mozaikowe reprezentowane są przez 24-igłową 2235 drukującą z prędkością 480 zn/s (240 zn/s LQ) z interfejsem RS-232 i Centronics, oraz buforem 2KB, rozszerzanym do 16 KB, w cenie 2910 dol. Drukarka strumieniowa PaintJet do zastosowań graficznych w rozdzielczości 130 elementów na cal i szybkości 167 zn/s tworzy za pomocą odpowiedniego oprogramowania z obszarów podstawowych elementów 200 różnych barw. Dostosowana jest ona do różnych współczesnych programów, jak Lotus 1-2-3, Symphony, AutoCAD i innych nośników. Miała pojawić się w sprzedaży na początku 1988 r. w cenie ok. 2300 dolarów.



### System równoległego przetwarzania przyspiesza tworzenie algorytmów

Dotychczas mało było tanich narzędzi pozwalających na efektywne opracowywanie algorytmów na procesorach równoległych. Opracowany przez NCR Corp. system wspomagania projektowania zawierający POAT lub jego odpowiednik, obejmuje odpowiedni sprzęt i oprogramowanie i kosztuje (bez komputera) 28 500 dolarów w najtańszej konfiguracji.

Sprzęt, w obudowie typu NCR458POS, zawiera pakiet kontrolera i od jednego do czterech pakietów procesorowych, na każdym z nich jest 40 kostek typu GAPP (geometric arithmetic parallel-processor - geometryczny procesor równoległy), tworzących matrycę przetwarzającą 60 x 48 elementów, działającą z prędkością 10MHz. Zestaw ten łączy się z PC przez szybki interfejs przesyłający dane z prędkością 4 MB/s z wykorzystaniem sterownika DMA mikrokomputera. Urządzenie może działać na danych 8- lub 12-bitowych i może być rozszerzone do większych konfiguracji. Przy czterech pakietach tworzy się matrycę 108x96 elementów przetwarzających dane i oddzielna 12x96 elementów do złożonych operacji.

Narzędzia programowe obejmują kompilator języka algorytmu GAPP i generator mikrokodu. Oprogramowanie zapewnia opracowywanie algorytmów i przetwarzanie obrazów przy zastosowaniu okien, która można przesuwad, nakładać, formatować i przesyłać zawartość do zbiorów lub na drukarkę. Z oprogramowania tego jest bezpośredni dostęp do systemu operacyjnego komputera sterującego.

Electronic Design nr 27/87

### System bazy danych upraszcza zarządzanie informacją

Program bazy danych "Omans Quartz" opracowany przez brytyjską firmę: Glyth Software Ltd z Saxmundham wykorzystuje w pełni graficzny interfejs, udoskonaloną pamięć i możliwości sprzętu IBM PS/2 (kolor). Jest to pierwsze oprogramowanie tego rodzaju zaprojektowane do wykorzystania z systemem operacyjnym firmy Microsoft o nazwie Windows (okna).

Program ten jest dopasowany do zastosowań i może być wykorzystany do szybkiego tworzenia systemów zarządzania informacją w pełni przystosowanych do wymagań indywidualnych, wyposażonych w menu, "przyciski" na ekranie i in. Zastosowania obejmują księgowość, przechowywanie zapisków, dane rozproszone i inne systemy do przechowywania, odzyskiwania i analizy danych handlowych.

Dane mogą być odczytane bezpośrednio ze zbiorów takich, jak dBase DBF, Lotus WKS, a także DIF, SYLK i standardowe ASCII. Łatwość opracowania zapewnia, że prototypy mogą być wytwarzane szybko a ostateczne systemy są proste i łatwe do konstrukcji.

Opracowano już wiele systemów handlowych np. w zakresie administracji podatków, zarządzania flotą, sterowanie telefonami itp. Ze względu na dużą szybkość programu, liczba zastosowań szybko rośnie.

London Press Service NPFB: 180987

### Nowe oprogramowanie do komputerowego nauczania

Brytyjskie przedsiębiorstwo ATTA (Advanced Training Technology Associates - stowarzyszenia nowoczesnych technik nauczania) z Hitchin koło Londynu, zebrało ponad 3 mln funtów, w tym 883 tys. z ministerstwa handlu i przemysłu, a 775 tys. od niemieckiej firmy elektronicznej Siemens, na opracowanie nowego, inteligentnego systemu szkolenia i nauczania o nazwie TASTE (Technology Assisted Training and Education - wspomagane techniką szkolenie i nauczanie).

Oprogramowanie to, które miało być opracowane do końca 1987 r. wykorzystuje takie techniki komputerowe, jak sztuczną inteligencję i rozpoznawanie głosu do udoskonalenia procesów nauczania. Jest ono dostosowane właściwie do dowolnego komputera i służy do nauczania.



Utrzymanie się nadwyżki eksportu nad importem

Bilans handlu zagranicznego USA w dziedzinie komputerów, sprzętu biurowego i telekomunikacyjnego stawiał się w ostatnich latach coraz mniej korzystny. Jeszcze w 1984 r. nadwyżka eksportu, który wynosił wówczas 11,262 mld \$ nad importem (4,173 mld) wynosiła 7,089 mld \$, by spaść w roku 1986 do zaledwie 517 mln (eksport 12,065 mld i import 11,548 mld). Przecidymano, że w połowie 1987 r. bilans ten spadnie do zero. Tymczasem w I kwartale 1987 roku bilans ten wyniósł 123 mln dol., a za całe pierwsze półrocze 169 mln. Jest to spadek o 81,1% w stosunku do 1,425 mld dol. z I połowy 1986 r. Sama wartość eksportu i importu uległa dalszemu zwiększeniu - eksportu o 19,7% (w stosunku do r. 1986) do 10,143 mld, a importu o 40% do 9,874 mld.

Jeśli chodzi o Europę Zachodnią to nadwyżka eksportu nad importem w dziedzinie komputerów i sprzętu biurowego wzrosła w pierwszej połowie 1987 r. w porównaniu z rokiem poprzednim o 22% i wynosiła 4,592 mld dolarów, a z Europą Wschodnią o 23,9% do 15 mln. Jednocześnie wzrósł deficyt w handlu tymi towarami z krajami Bałtyckiego Zachodu o 48,9% do 4,592 mld dolarów. Największym klientem w tym zakresie jest Kanada, natomiast Japonia najwięcej eksportuje do USA - 43% wszystkich wprowadzanych tu komputerów i 65% sprzętu biurowego.

Deficyt Stanów Zjednoczonych w sprzęcie telekomunikacyjnym wzrósł w I połowie 1987 r. o 37,9% do 1,024 mld dol. Eksport wzrósł tylko o 3,3% do 479,1 mln, a import o 25,3% do 1,503 mld. Kanada wprowadza z USA sprzęt telekomunikacyjny za 70,9 mld dolarów, a Japonia dostarcza do USA tego sprzętu za 713,5 mln - prawie połowę całego importu USA w tym zakresie.

Jeśli uwzględnić Stany Zjednoczone i ich 10 największych partnerów handlowych to udział w eksporcie elektroniki w pierwszej połowie roku 1986 wzrósł dla Japonii o 30,6% w r. 1984 do 31,1% i RYN (z 9,4% do 11,3%), spadł natomiast dla USA o 25,3% do 22,4% to jest o 3,1%.

World Trade Report nr 2/87

Mimo zakończenia prac nad superkomputerem, nazywanym roboczo MP, we wrześniu 1987 r., Cray Research Inc. z Minneapolisa prowadzi nadal intensywne prace nad tymi urządzeniami. Prace nad 16-procesorowym komputerem Cray-3, opartym na układach z arsenku galu i osiągającym szybkość 16 miliardów operacji zmiennego przecinka na sekundę, (Gflops), wyprzedzają harmonogram, a w r. 1988 rozpoczynają się prace nad maszyną Cray-4, która ma być gotowa już w 1992 r. Będzie to urządzenie zbudowane na kostkach GaAs o wielkiej skali integracji, złożone z 64 procesorów o cyklu 1 ns. i działające z prędkością 128 Gflops. Jeśli firma zrealizuje swe zamierzenia, stanowiłoby to poważne zagrożenie dla jej rywali, głównie ETA Systems Inc., która w 1987 r. sprzedała swój pierwszy superkomputer, lecz nie osiągnął on jeszcze zamierzonej prędkości 10 Gflops.

Electronics nr 20/87

Firma LSI Logic Corp. oferuje drukostkowy banta mikroprocesora 1750A, który spełnia wszystkie funkcje wymagane w układzie rozkazów dla zastosowań wojskowych. Składa się on z centralnego procesora i układu zarządzania pamięcią. Zrealizowany jest on w technologii HCMOS o rozstępie ścieżek 1,5  $\mu$ m, a cena w zależności od częstotliwości zegara (15,20 i 25 MHz) wynosi odpowiednio 1250, 1450 i 1750 dolarów.

Electronics nr 20/87



Autorzy podają, że zastosowanie systemu TASTE umożliwi skrócenie dziesięciokrotnie czasu potrzebnego na przygotowanie godziny nauzenia średnio z 100 do 10 godzin. Przedsiębiorstwo uważa, że jest to narzędzie nowej generacji dla systemów komputerowego nauzenia, które rozwijają się bardzo szybko i rynek ich w końcu lat dziewięćdziesiątych osiągnie w Europie około miliarda funtów.

Oczekuje się, że handlowa wersja tego wyrobu, w cenie 4+10 tys. funtów wiosną 1988 r. będzie zrealizowana na komputerach symbolicznych. ATTA powstało w grudniu 1986 r. z myślą o projektowaniu, opracowywaniu i implementacji systemów CET (computer-based training systems - systemy szkolenia oparte na komputerach).

London Press Service

#### Nowy japoński system operacyjny TRON

Mimo że jest to system dopiero opracowywany, zyskał on pochlebna opinię ocłowych japońskich firm komputerowych jako jeden z najbardziej obiecujących systemów operacyjnych przyszłości. Ankieta przeprowadzona przez Japońskie Stowarzyszenie Oprogramowania Komputerowego wykazała, najwięcej (48 głosów) zainteresowania MS-DOS, ale na drugim miejscu (11) znalazł się TRON, ze względu na jego ogólne zastosowanie, niezależne od własności i zainteresowań handlowych. Projektantem jego jest Ken Sakamura, który proponuje ten oryginalny system operacyjny działający w czasie rzeczywistym jako standard dla komputerowych firm japońskich. Japońscy eksperci określają go też jako "nowa architektura" dopasowana do nowej ery 12-bitowych komputerów. Dopiero na trzecim miejscu znalazł się w tej ankiecie UNIX System V (21 głosów), następnie UNIX BSD (19), SIGMA OS (10), XENIX 386 (7) i OS-9/68000 (2).

World Trade Report nr 9/87

#### Modelowanie komputerowe czasu życia

Od wielu lat komputery są szeroko stosowane przy projektowaniu i modelowaniu samolotów i samolotów. Obecnie firma brytyjska HW Structures, działająca w pobliżu Leamington Spa w hrabstwie Warwick Anglii, zastosowała je do analizy skutków katastrof pojazdów mechanicznych. Przyjęto tu metodę nieliniowej analizy dynamicznej zachowania się pojazdu i ludzi w nim. Przewidywano rodzaj obrażeń doznawanych w wypadkach, oraz się usprawnić pojazdy aby zmniejszyć tragiczne skutki wypadków.

Zainteresowani są tym wyników samolotów oraz organizacje ustalające przepisy, gdyż amerykańskie i brytyjskie władze lotnictwa cywilnego opracowały analizy przewidywania skutków katastrof lotniczych wypadków. Oznacza to zmianę podejścia do zbadania wypadków. Dotychczas bowiem główną zasadą projektowania samolotów było unikanie katastrof, a nie minimalizowanie ich skutków. Jednakże liczne ostatnie wypadki wykazały, że w tej dziedzinie też coś można osiągnąć. Zasad lotnictwa przewiduje też wykorzystanie doświadczeń przemysłu samochodowego.

Zastosowanie tego typu analizy może zmniejszyć potrzebę drogiej testów katastrof, jakie są wykonywane dla spełnienia np. amerykańskich wymagań bezpieczeństwa, okazują one, między innymi, by parametr HIC (Head Impact Criteria - kryteria uderzenia głowy) był niższy od pewnej granicy, której przekroczenie grozi uszkodzeniem mózgu i śmiercią. Parametr ten obliczany jest z poziomu przyspieszenia i czasu jego trwania, określonych w teorii matematycznej. Matematyczna symulacja zmniejsza znacznie liczbę testów potrzebnych do optymalizacji systemu, a w przemyśle lotniczym są one bardzo drogie.



Ostatnio badano w ten sposób zjawisko "zatapiania" przywiązanych pasami pasażerów. W czasie katastrofy pas przesuwają się przez grzebień biodrowy i przecinają miękkie części brzucha powodując poważne obrażenia. Badania symulowały dokładnie kinetyczne zachowanie się ofiary i uzyskane dane zostały wykorzystane do projektowania wnętrza pojazdów, aby je zabezpieczyć i uratować życie ludziom.

London Press Service 20BIN1087

#### Nagroda dla najbardziej skomputeryzowanej fabryki

Brytyjska fabryka Victor Products z Wallsend w półn.-wsch. Anglii uzyskała nagrodę firmy Hewlett-Packard za zastosowany w niej FMS (Flexible Manufacturing --elastyczny system wytwarzania), za pomocą którego wytwarza łączówki sieciowe dla przemysłu górniczego.

Odclewy dostarczane są przez automatyczny pojazd wąskotorowy do centrum obróbkowego z wieloczynnościowymi urządzeniami do frezowania, toczenia, wiercenia i gwintowania. Cała operacja stosowana jest przez komputer nadzorczy, połączony z głównym komputerem kontroli produkcji przedsiębiorstwa.

System ten, nieco tańszy od miliona funtów, opracowany został przy współpracy z wytwórcą obrabiarek KTM i firmą softwarową Hoskyns. Pozwala ona na prowadzenie 24 różnych prac i realizację ich w przypadkowej kolejności i przy różnych ilościach, pracuje całą dobę bez nadzoru przy przekazywaniu zmian. Program symulacji umożliwia operatorowi wcześniejszą informację o potrzebie wymiany narzędzi lub dodatkowych materiałów w czasie operacji bez nadzoru. Ocenia się, że jest to wzór fabryk lat dziewięćdziesiątych.

London Press Service NPER: 160987

#### Nowe zestawy kostek do PC AT

W ciągu ubiegłych dwóch lat firma Chips and Technologies Inc. z Milpitas w Kalifornii dominowała na rynku zestawów kostek do mikrokomputerów kompatybilnych z PC AT. W sierpniu 1987 r. wprowadziła nowe, 4-kostkowe rozwiązanie o nazwie HEAT.

Jednocześnie pojawiły się rozwiązania konkurencyjne. Parady Electronics Inc. pokazała zestaw 3-kostkowy, a LSI Logic Corp. 3-kostkowy. Te trzy firmy wraz z Zymos Corp., VLSI Technology Inc. i Taiwan's United Microelectronics Corp. przejęły znaczną część dostaw na rynek tych mikrokomputerów, który ocenia się na około 3,5 miliona sztuk w roku 1987 i przewiduje się podobną liczbę na rok 1988. Wszystkie oparte są na mikroprocesorze Intel 80286. Natomiast bardziej złożonych mikrokomputerów, opartych na mikroprocesorze Intel 80386 powstanie około 800 tysięcy.

Firma LSI Logic utworzyła w I połowie 1987 r. podległe przedsiębiorstwo o nazwie G-2 Inc., które opracowało wspomniane rozwiązanie 3-kostkowe, które łącznie z dziesięcioma układami peryferyjnymi zmniejsza prawie o 90% liczbę niepamięciowych układów potrzebnych do budowy odpowiednika PC AT. Jest to realizowane w technologii CMOS 1,5  $\mu$ m i pracuje z zegarem 12 MHz. Miałoby ono być dostępne na rynku pod koniec 1987 r. W niedługim czasie po tym miała pojawić się wersja 16 MHz. Cenę zestawu ustalono na 65 dolarów przy ilościach powyżej 10 tys. sztuk. Nieco droższe są zestawy firm Parady (95 dol. poczynając od 1000 szt.) i Chips and Technologies (12 MHz wersja HEAT 108,9 dol. poczynając od 100 szt.). Poszczególne zestawy potrzebują różnego uzupełnienia spośród układów standardowych.

Electronics nr 89/87



### Układy półprzewodnikowe firmy Motorola

Według oceny firmy Motorola w roku 1986 sprzedano na świecie elementów półprzewodnikowych za 27 miliardów dolarów, przy czym największym konsumentem był przemysł informatyczny (32,5%), z czego 10% odnosiło się do komputerów osobistych. Na drugim miejscu stała elektronika użytkowa (24,9%), następnie zastosowania przemysłowe (15,5%), łączność (12,7%), administracja (7,7%) i przemysł samochodowy (6,8%). Jeśli chodzi o rozkład geograficzny, to dominowała tu Japonia z obrotami 10,5 mld dolarów (prawie 40%), potem USA (8,5 mld to jest ponad 32%), Europa (5,3 mld, ponad 20%) i nowy, dynamiczny rynek krajów Azji i Pacyfiku (2,1 mld, niespełna 8%).

W Stanach Zjednoczonych większy był udział zastosowań w administracji (19,9%) i przemyśle samochodowym (11,9%), mniejszy natomiast w elektronice użytkowej (tylko 6,2%). W Japonii odwrotnie - prawie po 40% półprzewodników znajdowało zastosowanie w informatyce i elektronice użytkowej, a tylko 3,3% w przemyśle samochodowym i zaledwie 0,1% w administracji. Podobną strukturę ma rynek krajów Azji i Pacyfiku, natomiast w Europie podział ten zbliżony jest do struktury światowej, z tym, że więcej idzie tu na zastosowanie przemysłowe (19,6%) i łączność (18,5%), a mniej na informatykę (22,7%) i administrację (4,9%).

Kolejność przedsiębiorstw produkujących elementy półprzewodnikowe, wg wartości produkcji w 1986 r. wygląda w świecie następująco:

- |                 |               |
|-----------------|---------------|
| 1) NEC          | 6) Philips    |
| 2) Hitachi      | 7) Fujitsu    |
| 3) Toshiba      | 8) Matsushita |
| 4) Motorola     | 9) Mitsubishi |
| 5) Texas Instr. | 10) Intel     |

Tak więc Japonia sdominowała pierwszą dziesiątkę światową zajmując w dodatku pierwsze trzy miejsca. Firmy amerykańskie musiały zadowolić się 4, 5 i 10 miejscem, a Europę reprezentuje tylko Philips na 6 miejscu.

W samej Japonii tylko jedna firma obok, a mianowicie Texas Inst. figuruje na miejscu dziewiątym. Kolejność firm japońskich jest nieco inna niż na liście światowej, gdyż mają one swoje inwestycje w różnych krajach. NEC jest tu również na czelu, a z innych firm wystąpiły Sanyo, Sony i Sharp.

Firmy japońskie dominują też w krajach Azji i Pacyfiku, gdzie pierwsze miejsce ma Toshiba drugie NEC, trzecie Hitachi, a czwarte Matsushita. USA reprezentuje tu Motorola na miejscu czwartym oraz Texas Instr. i National Semiconductor na miejscach szóstym i siódmym. Miejsce 5 zajmuje Philips, dziewiąte SGS, a jedynie na dziesiątym miejscu jest południowo-koreańska grupa Samsung.

W samych Stanach Zjednoczonych dominuje Motorola, następnie idą w kolejności Texas Instruments, National Semiconductor, Intel, AMD, Hitachi, General Electric, Philips, Toshiba i NEC. Tak więc uplasowały się tu trzy firmy japońskie i jedna europejska.

W Europie wreszcie pierwsze miejsce zajmuje Philips, po nim idą cztery firmy amerykańskie: Texas Instr., Motorola, National Semiconductor i Intel, potem Thomson, NEC, Siemens, AMD i IIT. Tak więc są tu tylko 4 firmy europejskie - 2 francuskie, holenderska i RFN. Japonię reprezentuje tylko NEC.

Tempo wzrostu zapotrzebowania na półprzewodniki dla przemysłu informatycznego określono na 15,1% rocznie w latach 1986-92. Jednocześnie wzrasta stopień integracji, co może być ilustrowane rozwojem parametrów układów ECL Motorola.

Do komputerów osobistych Motorola przeznaczona są serie 68000, przy czym przewiduje, że komputer domowy w 1992 r. będzie miał następującą konfigurację: procesor 68030, 4 MB pamięci RAM, stację dysków 40 GB, monitor 13-calowy o rozdzielczości 800x600 elementów, drukarkę 24-igłową o rozdzielczości 300 punktów na cal i scalony modem o szybkości 2400 bódów. I to wszystko za około 1500 dolarów.



Rok produkcji	1979	1983	1987	1989	1990
Liczba wejść	1200	2500	10000	30000	40000
Cykl [ps]	800	300	125	100	50
Liczba nóżek	68	149	308	400	500

Podobnie wygląda sytuacja wśród innych układów

Średni komputer osobisty zawierał m. procesor 68040, 10 MB RAM, stację dyskieta 3,5 cala o pojemności 4 MB, stację dysków twardych o pojemności 200 MB i monitor kolorowy 19 cali o rozdzielczości 1280x1024 elementy, kolorową drukarkę laserową i interfejs do sieci lokalnej. Tu cena wyniesie około 3000 dolarów.

Elektronika użytkowa opanowana jest głównie przez firmy japońskie takie, jak Matsushita, Sony czy Sanyo oraz europejskie Philips i Thomson. Tu również układy analogowe są coraz częściej zastępowane cyfrowymi.

W dziedzinie zastosowań przemysłowych zapotrzebowanie na półprzewodniki ma wzrosnąć o 15% rocznie. Obejmują one automatyzację fabryk, urządzenia pomiarowe i laboratoryjne oraz kontrolę ruchu. Oznacza to rozwój robotyki i lokalnych sieci przemysłowych typu MAP (Manufacturing Automation Protocol - protokół automatyzacji wytwarzania). Istnieją układy (Motoroli) sterowników scalonych do tych sieci.

Jeśli chodzi o zastosowania telekomunikacyjne to najwięcej półprzewodników (26%) potrzeba do systemów łączności, następnie do central telefonicznych publicznych (25%), łączności prywatnej (17%), radia (16%) oraz po 6% do telefonów zwykłych i transmisji.

Na rok 1987 przewidziany był wartościowy wzrost produkcji Motoroli o 41% w stosunku do roku 1986. Umowa z firmą Toshiba pozwoliła na rozwiniecie wytwarzania dynamicznych pamięci operacyjnych (DRAM), co w pełni uwidoczni się dopiero w połowie 1988 r.

W dziedzinie technologii obserwuje się próby łączenia techniki CMOS i bipolarnej w tej samej kostce. Opracowuje się coraz bardziej zwarte konstrukcje: Mosaik II-2  $\mu\text{m}$ , Mosaik III-1,  $5\mu\text{m}$ , w laboratorium 0,5  $\mu\text{m}$  i trzy warstwy metalizacji (podobnie w zakresie MOS).

Opracowywane są nowe mikroprocesory. Produkowany już 68HC11, który ma 2 wejścia szeregowo, 312 bajtów EPROM-u, 8 kbajtów ROM, 256 bajtów RAM, 8-kanalowy konwerter analogowo-cyfrowy i złożony system zegarowy, kosztuje 10 dolarów. Na rok 1989 zapowiedziany jest mikrosterownik MC68HC16, który ma połączyć zalety 68020 i 68HC11. Próbkki 68C30 zostały zaprezentowane pod koniec 1987 r. i według testów zapewniają one dwukrotnie większą moc obliczeniową niż 68020. Osiąga się to przez opracowanie nowych funkcji i zdublowanie szyny adresu i danych, co pozwala na jednoczesny dostęp do pamięci notatnikowej, a także umieszczenie układu zarządzania pamięcią w kostce mikroprocesora. Obecnie trwają prace nad 68040. Firma opracowała też emulator 8086.

Na podstawie Mini et Micro nr 291-292/87

#### Nowe rozwiązanie pamięci na drutach magnetycznych

Powszechnie uważa się, że pamięci półprzewodnikowe stanowią 100% wszystkich pamięci operacyjnych, a pamięci na drutach magnetycznych były epizodem, niezbyt udanym, w historii rozwoju tych pamięci. Tymczasem okazuje się, że ze względu na nieulotność zapamiętywanej informacji i odporność na promieniowanie, te właśnie pamięci są od piętnastu lat stosowane w amerykańskich systemach pocisków strategicznych i dopiero teraz mogą być zastąpione przez ... bardziej technologiczną wersję pamięci na drutach magnetycznych.



Honeywell Inc., główny producent tych pamięci, oczekuje, iż do czerwca 1988 r. opracowany zostanie układ scalony łączący po raz pierwszy matrycę cienkowarstwowych elementów magnetycznych z krzemowym podłożem i bipolarnymi układami interfejsu. Kostka taka miałaby 2 Kbit pojemności, a system zbudowany z nich byłby pięciokrotnie mniejszy od dotychczasowych rozwiązań, zużywałby połowę mocy, działał trzy razy szybciej i kosztował pięć do dziesięciu razy taniej, przy czym nadal będzie charakteryzował się cechami, które przesądziły o wyborze tego rozwiązania.

Cienkowarstwowe elementy permalloyowe tworzone będą techniką rozpylania katodowego, a warstwy izolacyjne i aluminiowe przewodniki tworzone będą tą samą techniką wytrawiania, powszechnie stosowaną w wyrobie półprzewodników. I chociaż elementy matrycy mają tu postać płaskich kwadratów o boku około 13  $\mu\text{m}$  i rozstępie 0,1 mm, organizacja pamięci jest identyczna jak w konwencjonalnej pamięci na drutach magnetycznych, wykorzystująca dwie magnetyczne komórki pamięciowe do przechowywania bity informacji.

Kostka ma wymiar 1/2 x 1/2 cala, przy czym 60% zajmuje matryca magnetyczna, układy elektroniczne umieszczone są przy dwu sąsiednich krawędziach. Jest to 3 tysięcy tranzystorów w bipolarnej technologii 3  $\mu\text{m}$ . Sygnał wyjściowy ma wartość 0,5+1mV, a prąd zapiasu 20+100 mA. Kostka zawiera całą elektronikę systemu pamięciowego ze wyjątkiem zegara i sterowania, które to układy dla całego systemu zawiera jedna oddzielna kostka. Obecnie firma nie zamierza sprzedawać samych kostek, lecz całe systemy.

Firma Honeywell jest niemal monopolistą w dziedzinie pamięci na drutach magnetycznych 80% produkcji w USA. Użytkownicy oczekują z zainteresowaniem zapowiedzianych zmian i uważają, że zwiększy to konkurencyjność tego rodzaju pamięci w stosunku do innych technologii, które są na ogół wolniejsze.

Cena całego systemu za bit przekazywanej informacji obniży się z obecnych 2-3 dolarów do 50 centów. Według przyjętych harmonogramów więcej kostek produkować się będzie w końcu 1988 r., co przy dotychczasowym tempie opracowań powinno pozwolić wprowadzać te systemy do produkcji po 2 latach. Narazie nie planuje się dalszego zagęszczenia konstrukcji, ale myśli się o pojemności 4 lub 8 kbajtów w jednym układzie.

Technikę tę opracował zespół w Ośrodku Nauk Fizycznych firmy Honeywell w Bloomington przy współpracy Oddziału Elektroniki Półprzewodnikowej w Plymouth i Colorado Springs. Sponsorem były Obronna Agencja Atomowa i Ośrodek Rozwoju Lotnictwa w Rome.

Electronica nr 20/87

#### Rozwój układów na ciekłych kryształach

Przewiduje się, że rynek układów na ciekłych kryształach w Europie będzie szybko wzrastał z 36,5 mln dolarów w 1987 r. do 345 mln w 1991 r. Obecnie na świecie 90% tego rynku kontrolowane jest przez Japończyków. Firmy europejskie próbują to ograniczyć wchodząc z nimi we współpracę, korzystając z doświadczeń np. firm amerykańskich bądź tworząc własne, nowe opracowania.

Francuska firma Thomson CSF współpracuje z General Electric w USA i Lufthardt Geräte w RFN w zakresie zastosowań wojskowo-kosmicznych. Natomiast Philips specjalizuje się w dziedzinie elektroniki użytkowej. Olivetti podejmuje opracowania łącznie z Seiko Epson Corp. w niszowym, wąskim zakresie.

Jeśli chodzi o rodzaje zastosowań, to ilościowo 80% realizacji dotyczyło w 1987 r. elektroniki użytkowej, po ok. 4-6% stanowiły zastosowania przemysłowe, komunikacyjne, łącznościowe i handlowe i po niespełne 0,5% informatyczne i wojskowe. Wartościowo również dominowała elektronika konsumpcyjna, lecz ponieważ chodzi tu o tanie urządzenia (zegarki, kalkulatory) udział ten wyniósł tylko 22,5%, podczas gdy zastosowania przemysłowe, handlowe, informatyczne, komunikacyjne i łączności po 9+19%, a wojskowe tylko 1%. W roku 1991 zarówno ilościowy jak i wartościowy udział zastosowań elektroniki użytkowej wyniesie ok. 59%, gdyż chodzi tu będzie o wyroby



bardziej rozwinięte, np. związane z telewizją kolorową. Ilościowo na drugim miejscu znajdują się wówczas zastosowania komunikacyjne (ponad 19%), potem przemysłowe (niecałe 10%), handlowe (6%), łączności (ponad 4%), informatyki (niecałe 2%) i wojskowe (0,4%). Wartościowo na drugim miejscu są zastosowania informatyczne - ponad 22%, potem komunikacyjne i przemysłowe (po 7+8%), handlowe (3,5%), łączności (poniżej 0,9%) i wojskowe (tylko 0,06%). Ciekawe, że ilościowo w ciągu tych czterech lat nastąpi nawet pewien niewielki spadek (o 1%) przy ponad 9-krotnym wzroście wartości. Najdroższe są zastosowania informatyczne (27 dolarów w 1987 r. i 193 w r. 1991), największy, bo aż 34-krotny wzrost wykazała średnia cena zastosowania konsumpcyjnego (poniżej 0,2 dolara w 87 i 16 dolarów w 91), najtańsze zaś w 1991 r. okazały się zastosowania wojskowe (2 dolary, dwukrotny spadek w stosunku do roku 1987).

Wspomniana Thomson CSF utworzyła podległe przedsiębiorstwo Eurodisplay SA z 80% udziałem własnym, które z kolei wraz z General Electric utworzyło firmę Prodis SA realizującą zamówienia wojskowe. Przygotowuje się ona do wytwarzania techniką tranzystorów cienkowarstwowych, kolorowych mozaikowych tablic o wymiarach 7x7 cali, rozdzielczości 1000x1000, kontraście 20:1 i kącie widzenia 60°. Eurodisplay zdobyła kontrakty rządowe Francji i RFN i prowadzi negocjacje o wyposażenie samolotów typu Airbus, oraz udział w programie kosmicznym Hermes, podobnie jak GE w odniesieniu do firmy Boeing i projektów wojskowych w USA. Początkowo podzespoły będą wytwarzane w Ameryce, ale w połowie 1989 r. Prodis uruchamia własną produkcję. Zastosowania wojskowe są drogie (1-3 tys. dolarów) i nie znalazły się w omawianych poprzednio prognozach. Nie ma tu konkurencji z firmami japońskimi, które nawiązywały się na elektronikę użytkową. Dziedzina ta natomiast, jak wspomniano, zajmuje się firma Philips, która w czerwcu 1987 r. zainwestowała dalsze 50 mln dolarów w nowe technologie LCD (Liquid Crystal Display - wyświetlanie za pomocą ciekłych kryształów) by konkurować z wyrobami japońskimi, przy czym w Heerlen od roku działa wytwórnia segmentowych i mozaikowych układów wyświetlających, której automatyzacja realizowana była z pomocą japońskiej firmy Sharp Corp. Nowe inwestycje Philipsa obejmują laboratorium i linię do telewizyjnych ekranów na ciekłych kryształach, których ograniczona produkcja miała rozpocząć się wiosną 1988 r. a pełna w 1989 r.

Electronics nr 20/87

#### Wystawa Micograph '87 w Tokio

Od 10 do 13 listopada 1987 r. otwarta była w Tokio wystawa Micograph '87, na której prezentowano osiągnięcia zarówno przemysłu japońskiego, jak i producentów amerykańskich w dziedzinie komputerów graficznych, oprogramowania z tego zakresu, a przede wszystkim urządzeń peryferyjnych. Pokazywano skomputeryzowane stanowiska robocze takich znanych firm, jak Hitachi, NEC, Mitsubishi, Sharp, Toshiba. Najczęściej oparte są one na mikroprocesorze 68020, dostosowane do systemu operacyjnego Unix V, sieci Ethernet i programu X-Windows. Rozdzielczość ekranu jest tu rzędu 1280x1024 elementy. Wydajność obliczeniowa jest nieco gorsza od wyrobów czołowych firm amerykańskich w tej dziedzinie jak Sun, Apollo, Silicon Graphics i Hewlett-Packard, a ceny nieco wyższe. Jednakże postęp, jaki jest tu widoczny, prowadzi do wniosku, że w najbliższych latach konstruktorzy japońscy mogą prześcignąć swych partnerów amerykańskich. Wykorzystuje się tu także nowości techniki komputerowej jak: transputery, architekturę równoległą i systemy ze zredukowaną listą rozkazów (RISC). Dotyczy to zwłaszcza systemów do syntezy obrazów i animacji trójwymiarowej. Zastosowania graficzne wymagają wielu obliczeń, co jeszcze zwiększa się przy wysokiej jakości obrazów i wielu kolorach.

Za pomocą obecnie dostępnych komputerów można wytworzyć zaledwie minutę trójwymiarowych obrazów wysokiej jakości w ciągu miesiąca, co jest wielkością wysoce niewystarczającą. Wśród nowych systemów opracowanych z myślą o tym zastosowaniu należałoby wymienić Seiko GR4400, Daihin Industries Comtes DS, Cast System 100, Morohita EXS (który ma pamięć obrazu 8192x8192x32 bity), Kobe Steel Transputer, Hybrid System Technology Viewport, Japan Control System Magic (o prędkości 128M operacji zmiennego przedziału), komputer Togo Linka zawierający sto procesorów pracujących równolegle, Japan Radio Co NWX-3390 i inne.



Inna metodą jest przystosowanie do produkcji systemu opracowanego uprzednio dla określonego zastosowania. Przykładem tego może być Shiomatronio Design System firmy Shima Seiki o ogromnych możliwościach graficznych tworzenia jednoczesnego wielu wzorów i barw.

Prawie na wszystkich stanowiskach występują komputery osobiste, których parametry poprawiane są za pomocą dodatkowych pakietów, wykorzystujących najnowsze procesory graficzne, jak Intel 82786 lub Texas Instr. 34010, które pozwalają na rozdzielczość 1200 x 1024 elementów, przy 256 kolorach i 16,7 mln odcieni. Zdolność przetwarzania jest rzędu 15 mln elementów obrazu na sekundę. W Japonii standardami są komputery personalne firmy NEC, tak jak IBM gdzie indziej. Firmy, takie jak Texnai, Nexus, Sapient, Astrodesign tworzą systemy graficzne o dużych możliwościach manipulowania obrazami, oparte na mikrokomputerze NEC 9801. Oprogramowanie często wzorowane jest na podobnych rozwiązaniach amerykańskich, które są najchętniej sprzedawane.

Dużo nowości widzi się wśród urządzeń peryferyjnych. Prawie wszędzie widać cyfrowe dyski optyczne pozwalające gromadzić 900 MB na dysku 5 1/4 cala lub 2GB na dysku 12-calowym. Stacja dyskowa zawiera zwykle układ do dekodowania obrazów. Dyski wymazywalne oparte są na technice magneto-optycznej. Wiele zastosowań z pamięcią stałą na dyskach optycznych występuje w dziedzinie kartografii. Można tu wymienić system CD-MAP, który pozwala wyróżnić jedno z ponad 3 milionów przedsiębiorstw, Map-Note, który pozwala prowadzić kierowy samochód w czasie rzeczywistym, lub Z-MAP, który gromadzi informacje ekonomiczne o poszczególnych ośrodkach geograficznych.

Większe aniżeli Amerykanie mają Japończycy osiągnięcia w dziedzinie drukarek kolorowych, np. drukarka strumieniowa Hitachi HJP-1610 ma rozdzielczość 400 elementów na cal i 260 tys. kolorów, rysując 138 tys. punktów na sekundę, co pozwala zadrukować arkusz 22 x 32 cale w ciągu 16 minut. Te drukarki wykorzystują trzy barwy tuszu: żółty, niebiesko-zielony i purpurowy. Model proponowany przez firmę Dainippon wykorzystuje technikę termiczną z taśmą barwiącą, daje rozdzielczość 300 punktów na cal i 256 kolorów. Podobne urządzenie demonstrują firmy D-Scan, Mitsubishi, Fuji, Toshiba i inne. Stąd konkurencja kolorowych wyjść graficznych z technikami laserowymi.

Z innych urządzeń peryferyjnych należy wymienić monitory o dużych ekranach i złożonych funkcjach, systemy przekształcające rysunki i przedmioty trójwymiarowe na wartości cyfrowe i wektorowe, a także interfejsy sterowania magnetowidami i ekrany o wielkiej rozdzielczości.

Interesujące były pokazy filmowe np. pokazujące faunę morza z kapitalnymi efektami świetlnymi, lub symulujące działalność portu lotniczego w Osace, który będzie budowany w ciągu najbliższych pięciu lat. Równolegle z wystawą odbywało się wiele spotkań, na których omawiano bądź problemy teoretyczne związane z przetwarzaniem obrazów, bądź zagadnienia organizacyjne i handlowe. Ciekawy był referat Roberta Fultona o ostatnich osiągnięciach w dziedzinie architektury równoległej lub japońska praca o wykorzystaniu sztucznej inteligencji do systemów komputerowego projektowania.

Na podstawie Minis et Micro nr 291-2/87

#### Poparcie finansowe dla brytyjskiego superkomputera

Grupa badaczy z wydziału fizyki Uniwersytetu Edynburgh w Szkocji uzyskała nagrodę w wysokości 350 tys. funtów w ramach programu poparcia dla informatyki, który ogłosiła SERC (The Science and Engineering Research Council - badawcza rada nauki i techniki), który ma zapewnić środki dla lokalnych ośrodków obliczeniowych i akademickich w celu zaspokojenia potrzeb użytkowników z zakresu biologii, chemii, matematyki i fizyki. Suma tych nagród za rok akademicki 1986/87 osiągnęła milion funtów, ale potrzeby są znacznie większe sięgające 9 mln.

Profesor David Wallace, kierujący tym zespołem, ocenił, że jest to dowód zaufania dla utworzenia światowej klasy ośrodka w Edynburgu. Już w zeszłym roku Uniwersytet ten uzyskał jako pierwszy modułowy komputer o zmiennej konfiguracji z firmy Inmos Transputera. Po roku zadawał jej eksploatacji, przy poprośniu wspomnianej nagrody i funduszy od rządu i przemysłu, przekraczających 1,5 mln funtów, instalowany jest superkomputer oparty na podobnej technice.

London Press Service 16A1087



Projektanci minisuperkomputera Celerity 6000 twierdzą, że dla uzyskania wysokiej wydajności procesorów wektorowych potrzebne jest szybkie liczenie skalarne. Komputer ten, który miał być gotowy w listopadzie 1987 roku i miał kosztować od 250 tys. do 1,2 mln dolarów optymalizuje wektorową i skalarną część systemu. Zrealizowany jest on na szybkich układach ECL małej mocy opracowanych przez firmę Bipolar Integrated Technology Inc. z Beaverton. Największa jego konfiguracja miała osiągnąć 160 milionów operacji zmiennego przedziału na sekundę.

Electronics nr 20/87

Nowy 8-calowy dysk firmy Control Data Corp. o nazwie Sabre 1230 ma pojemność 1236 Megabajtów, jest to o 63% więcej aniżeli będący teraz w sprzedaży typ Sabre IV o pojemności 750 Mabajtów. Wykorzystany jest tu zarówno ośmiowarstwowy nośnik, jak i ośmiowarstwowa głowica. Stacja może być wyposażona w jeden z trzech rodzajów interfejsów: SMD (Storage Module Drive - modułowa stacja pamięciowa), IPI-2 (Intelligent Peripheral Interface - inteligentny interfejs urządzeń peryferyjnych) lub SCSI (Small Computer System Interface - interfejs systemów małych komputerów). Szybkość przesłania danych wynosi 3,02 Mbjts/s, a średni czas dostępu 16 ms. Dostawy miały się rozpocząć w drugim kwartale 1988 roku. Cena hurtowa wynosi 6470 dolarów.

Electronics nr 20/87

Opracował mgr int. Jan HYZKO



Cena 760.-

ISSN 0239-8044