RZECZPOSPOLITA POLSKA

Urząd Patentowy Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **168495**

(13) **B1**

(21) Numer zgłoszenia: **294822**

(22) Data zgłoszenia: **08.06.1992**

(51) IntCl[6]:
G06F 11/18
G11B 20/18
H01L 21/66

CZYTELNIA OGÓLNA

(54) **Plasterkowy rejestr komórkowy o sprzężeniu liniowym**

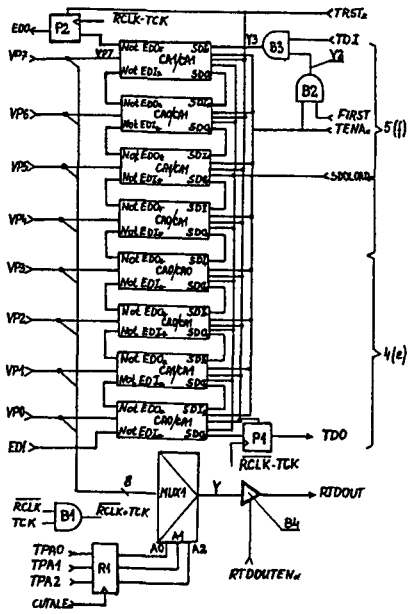
(43) **Zgłoszenie ogłoszono:**
13.12.1993 BUP 25/93

(45) **O udzieleniu patentu ogłoszono:**
29.02.1996 WUP 02/96

(73) **Uprawniony z patentu:**
Instytut Technologii Elektronowej, Warszawa, PL

(72) **Twórcy wynalazku:**
Maciej Chachulski, Warszawa, PL
Michał Kopeć, Cieszyn, PL
Andrzej Hławiczka, Gliwice, PL

(57) Plasterkowy rejestr komórkowy o sprzężeniu liniowym z komórkami elementarnymi CA0 i CA1, **znamienny tym,** że posiada co najmniej jeden rejestr typu "45" lub "ef" o liniowym sprzężeniu zwrotnym, w którym wyjścia (**NotEdox•**) sąsiednich komórek (**CA0**) i (**CA1**) o niższej wadze wielomianu są połączone z wejściami informacyjnymi (**NotEDIx**) komórek o wyższej wadze wielomianu, a sygnał wyjścia (**SDOx**) z komórki o wyższej wadze wielomianu przekazywany jest na wejścia informacyjne komórki elementarnej (**SDIx**) o niższej wadze wielomianu, zaś narastającym zboczem sygnału ładowania (**SDOLOAD•**) na wejścia informacyjne (**VPi**) rejestru komórkowego podawane są stany wejść (**VPi**), gdzie i = 0- -7, ponadto rejestr komórkowy połączony jest z multiplekserem (**MUX1**) poprzez wejścia informacyjne (**VPI**) rejestru, natomiast na wejścia adresowe (**A0**), (**A1**), (**A2**) multipleksera (**MUX1**) podawane są stany wyjść rejestru zatrzaskowego (**R1**) zapamiętującego stany wejść (**TPA0**, (**TPA1**), (**TPA2**), który to rejestr jest strobowany sygnałem (**OUTALE•**), a sygnał wyjściowy (**Y**) multipleksera (**MUX1**) podawany jest przez trójstanowy bufor (**B1**)na wyjście (**RTDOUT**), przy czym sygnał (**RTDOUTEN•**) ustawia stan wysokiej impedancji wyjścia (**RTDOUT**), a rejestry typu "45" i "ef" są łączone ze sobą za pomocą sygnałów wyjściowych (**EDO**) i (**TDO**) oraz sygnałów wejściowych (**EDI**) i (**TDI**) ustalających na wyjściu (**TDO**) stan przerzutnika (**P1**) sterowanego wyjściem (**SDO•**) najmłodszego bitu rejestru "45" lub "ef" i ustalającym na wyjściu (**EDO**) stan przerzutnika (**P2**) sterowanego wyjściem (**NotEDO•**) najstarszego bitu rejestru "45" lub "ef", natomiast na wejście informacyjne najstarszego bitu rejestru podawany jest sygnał wyjściowy (**Y3**) bramki (**B3**) sterowanej sygnałem danych (**TDI**) oraz iloczynem sygnałów (**FiRST**) i (**TENA•**) podawanych z wyjścia (**Y2**) bramki (**B2**), przy czym sygnał (**TENa•**) służący do wyboru trybu pracy podawany jest jednocześnie na wejście (**TENA•**) wszystkich komórek elementarnych (**CA0**) i (**CA1**), a sygnał (**EDI**) podawany jest na wejście (**NotEDI•**) najmłodszego bitu rejestru "45" lub "ef", a wszystkie komórki (**CA0**) i (**CA1**) oraz przerzutniki (**P1**) i (**P2**) zerowane są sygnałem wejściowym (**TRST•**), przy czym praca rejestru i przerzutników synchronizowana jest sygnałami zegarowymi (**TCK**) lub (**RCLK**) z bufora (**B1**) realizującego funkcję logiczną (**RCLK x TCK**)



PL 168495 B1

Plasterkowy rejestr komórkowy o sprzężeniu liniowym

Zastrzeżenie patentowe

Plasterkowy rejestr komórkowy o sprzężeniu liniowym z komórkami elementarnymi CA0 i CA1, **znamienny tym,** że posiada co najmniej jeden rejestr typu "45" lub "ef" o liniowyn sprzężeniu zwrotnym, w którym wyjścia (**NotEdox***) sąsiednich komórek (**CA0**) i (**CA1**) o niższej wadze wielomianu są połączone z wejściami informacyjnymi (**NotEDIx**) komórek o wyższej wadze wielomianu, a sygnał wyjścia (**SDOx**) z komórki o wyższej wadze wielomianu przekazywany jest na wejścia informacyjne komórki elementarnej (**SDIx**) o niższej wadze wielomianu, zaś narastającym zboczem sygnału ładowania (**SDOLOAD***) na wejścia informacyjne (**VPi**) rejestru komórkowego podawane są stany wejść (**VPi**), gdzie i = 0-:-7, ponadto rejestr komórkowy połączony jest z multiplekserem (**MUX1**) poprzez wejścia informacyjne (**VPI**) rejestru, natomiast na wejścia adresowe (**A0**), (**A1**), (**A2**) multipleksera (**MUX1**) podawane są stany wyjść rejestru zatrzaskowego (**R1**) zapamiętującego stany wejść (**TPA0**, (**TPA1**), (**TPA2**), który to rejestr jest strobowany sygnałem (**OUTALE***), a sygnał wyjściowy (**Y**) multipleksera (**MUX1**) podawany jest przez trójstanowy bufor (**B1**)na wyjście (**RTDOUT**), przy czym sygnał (**RTDOUTEN***) ustawia stan wysokiej impedancji wyjścia (**RTDOUT**), a rejestry typu "45" i "ef" są łączone ze sobą za pomocą sygnałów wyjściowych (**EDO**) i (**TDO**) oraz sygnałów wejściowych (**EDI**) i (**TDI**) ustalających na wyjściu (**TDO**) stan przerzutnika (**P1**) sterowanego wyjściem (**SDO***) najmłodszego bitu rejestru "45" lub "ef" i ustalającym na wyjściu (**EDO**) stan przerzutnika (**P2**) sterowanego wyjściem (**NotEDO***) najstarszego bitu rejestru "45" lub "ef", natomiast na wejście informacyjne najstarszego bitu rejestru podawany jest sygnał wyjściowy (**Y3**) bramki (**B3**) sterowanej sygnałem danych (**TDI**) oraz iloczynem sygnałów (**FiRST**) i (**TENA***) podawanych z wyjścia (**Y2**) bramki (**B2**), przy czym sygnał (**TENA***) służący do wyboru trybu pracy podawany jest jednocześnie na wejście (**TENA***) wszystkich komórek elementarnych (**CA0**) i (**CA1**), a sygnał (**EDI**) podawany jest na wejście (**NotEDI***) najmłodszego bitu rejestru "45" lub "ef", a wszystkie komórki (**CA0**) i (**CA1**) oraz przerzutniki (**P1**) i (**P2**) zerowane są sygnałem wejściowym (**TRST***), przy czym praca rejestru i przerzutników synchronizowana jest sygnałami zegarowymi (**TCK**) lub (**RCLK**) z bufora (**B1**) realizującego funkcję logiczną (**RCLK** x **TCK**).

* * *

Przedmiotem wynalazku jest plasterkowy rejestr o liniowym sprzężeniu zwrotnym, umożliwiający testowanie układów cyfrowych o dowolnej długości słowa odpowiedzi. Podstawowym problemem w projektowaniu systemów cyfrowych jest umożliwienie ich sprawnego testowania tak na poziomie pojedynczego elementu układu scalonego, jak płyty drukowanej czy całego urządzenia.

Znane są konstrukcje, w których zastosowano standardowe rozwiązania jak brzegowa ścieżka sterująco - obserwacyjna. W publikacji: A.Hławiczka "Testowanie i projektowanie łatwo testowalnych układów i pakietów cyfrowych" cz. I Politechnika Śląska, Skrypty uczelniane nr 1586, Gliwice 1990 r. przedstawiono magistralę ułatwiającą testowanie, która służy do szeregowego przesyłania danych testowania z testera zewnętrznego do testowanego układu cyfrowego za pomocą linii SI (ang. Scan In) oraz z testowanego układu cyfrowego do testera zewnętrznego za pomocą linii SO (ang. Scan Out). Tester zewnętrzny linią SI może także przesyłać do testowanego układu cyfrowego słowo sterujące, ustawiające różne tryby testowania. Sprzęg wkomponowany w architekturę testowanego układu cyfrowego zawiera rejestr wejściowy brzegowej ścieżki sterująco-obserwacyjnej, rejestr wyjściowy brzegowej ścieżki sterująco-obserwacyjnej, oraz układ sterowania sprzęgu. Wewnętrzne magistrale tego sprzęgu umożliwiają testerowi zewnętrznemu nawiązanie komunikacji odpowiednio z rejestrem wejś-

ciowym brzegowej ścieżki sterująco-obserwacyjnej oraz z testerem wewnętrznym i/lub z dodatkową logiką ułatwiającą testowanie. Opisany sprzęg stanowi system cyfrowy, który może pracować całkowicie niezależnie od testowanego układu cyfrowego. Sygnał zegarowy synchronizujący pracę sprzęgu, jest sygnałem zupełnie niezależnym od sygnału zegarowego synchronizującego pracę testowanego układu cyfrowego. Taki tryb testowania można wykorzystywać podczas weryfikacji prototypu struktury, podczas testowania struktur na płytce krzemowej oraz testowania połączeń struktur z ich obudowami, jak również podczas testowania indywidualnych układów scalonych na pakiecie.

Przedstawiona konstrukcja nie uwzględnia jednak wszystkich aspektów testowania układów scalonych.

Istotnym problemem przy projektowaniu systemów cyfrowych, uwzględniających wymogi testowania przy zastosowaniu kompresji odpowiedzi badanego układu jest określenie z ilu komórek składać się będzie rejestr o liniowym sprzężeniu zwrotnym, jaki powinien być wielomian charakterystyczny tego rejestru. Najtrudniejsze jest określenie z ilu komórek powinien składać się taki rejestr i jak powinny być ze sobą połączone poszczególne komórki. Liczba komórek powinna spełniać kryteria długości słowa danych oraz możliwego do przyjęcia poziomu maskowania błędów.

Rozwiązanie według wynalazku określa dwie klasy struktur plasterkowych zawierających rejestry o liniowym sprzężeniu zwrotnym oznaczane jako "45" i "ef". Istota rejestru polega na tym, że posiada on odpowiednio połączone komórki elementarne CA0 i CA1, i co najmniej jeden rejestr "45" lub "ef". W każdym z rejestrów "45" lub "ef" sąsiednie komórki elementarne połączone są ze sobą wyjściami komórek o niższej wadze wielomianu podawanymi na wejścia informacyjne komórek o wyższej wadze wielomianu. Sygnał wyjścia z komórki o wyższej wadze wielomianu przekazywany jest na wejście informacyjne komórki elementarnej o niższej wadze wielomianu, a narastającym zboczem sygnału ładowania na wejście informacyjne rejestru "45" lub "ef" podawane są stany wejść tego rejestru. Ponadto sygnały z wejść informacyjnych rejestru "45" lub "ef" połączone są z wejściami informacyjnymi multipleksera. Natomiast wejścia adresowe multipleksera połączone są z wyjściami rejestru zatrzaskowego zapamiętującego stany jego wejść. Natomiast sygnał wyjściowy multipleksera podawany jest na wyjście trójstanowego bufora czwartego. Rejestry "45" i "ef" są łączone ze sobą za pomocą sygnałów wyjściowych. Przy czym na wejściu pierwszego przerzutnika sterowanego wyjściem najmłodszego bitu rejestru "45" lub "ef" pojawia się stan pierwszego przerzutnika a na wyjściu drugiego przerzutnika sterowanego wyjściem najstarszego bitu rejestru pojawia się stan wyjścia drugiego przerzutnika.

Na wejście informacyjne najstarszego bitu rejestru podawany jest sygnał wyjściowy bramki trzeciej sterowanej sygnałem danych oraz iloczynem sygnałów podawanych z wyjścia bramki drugiej. Na wejścia wszystkich komórek elementarnych jednocześnie podawany jest sygnał wyboru trybu pracy, a sygnał EDI podawany jest na wejście najmłodszego bitu rejestru "45" lub "ef" a wszystkie komórki elementarne oraz przerzutniki zerowane są sygnałem wejściowym. Praca rejestrów i przerzutników synchronizowana jest sygnałami zegarowymi z bufora trójstanowego realizującego funkcję iloczynu logicznego.

W rozwiązaniu według wynalazku rejestry "45" i "ef" zbudowane z komórek klasy 90 i 150 o bardzo zbliżonej do siebie topologii, co ułatwia zaprojektowanie układu scalonego.

Rejestr według wynalazku zostanie bliżej objaśniony na przykładzie wykonania pokazanym na rysunku, który przedstawia uproszczony schemat logiczny układu.

Rejestry "45" i "ef" zbudowane są z komórek klasy 90 i 150. Oznaczenia 90 i 150 wynikają bezpośrednio z tablic prawdy tych elementów i są umownym oznaczeniem sum wag pozycji, na których występują jedynki wartości funkcji. Przykładowo dla elementu 90 tabela prawdy przedstawia się następująco:

000	0		101	0	
001	1	(2)	110	1	(64)
010	0		111	0	
011	1	(16)			

stąd $2 + 4 + 16 + 64 = 90$

Opis zasady działania tych komórek znajduje się w publikacji: M. Chachulski, S. Gontarz pt. "CALBO - zmodyfikowany sposób samotestowania układów VLSI". Prace Instytutu Technologii Elektronowej 1991 zeszyt 8/9 str. 75-87.

Sąsiednie komórki CA0 i CA1 połączone są ze sobą tak, że z komórki o niższej wadze wielomianu sygnał wyjścia NotEDOx przekazywany jest na wejście informacyjne NotEDIx komórki o wyższej wadze wielomianu. Sygnał wyjścia SDOx z komórki o wyższej wadze wielomianu przekazywany jest na wejścia informacyjne SDIx komórki elementarnej o niższej wadze wielomianu. Na wejście VPi rejestru narastającym zboczem sygnału ładowania SDOLOAD* podawane są stany wejść VPi przy czym i= 0-:-7. Rejestr połączony jest z multiplekserem MUX1 tak, że sygnały z wejść informacyjnych VPi rejestru podawane są na wejścia informacyjne VPi multipleksera. Na wejścia adresowe A0, A1, A2 multipleksera MUXI podawane są stany wyjść rejestru zatrzaskowego R1 zapamiętującego stany wejść TPA0, TPA1, TPA2, który to rejestr jest strobowany sygnałem OUTALE*. Sygnał wyjściowy Y multipleksera MUXI podawany jest przez trójstanowy bufor B1 na wejście RTDOUT, a sygnał RTDOUTEN* ustawia stan wysokiej impedancji wyjścia RTDOUT. Rejestry "45" i "ef" są łączone ze sobą za pomocą sygnałów wyjściowych EDO i TDO oraz sygnałów wejściowych EDI i TDI tak aby na wyjściu TDO pojawił się stan przerzutnika P1 sterowanego wyjściem SDO* najmłodszego bitu rejestru "45" lub "ef" i aby na wyjściu EDO pojawił się stan przerzutnika P2 sterowanego wejściem Not EDO najstarszego bitu rejestru "45' lub "ef". Na wyjście informacyjne najstarszego bitu rejestru podawany jest sygnał wyjściowy bramki B3 sterowanej sygnałem danych TDI oraz iloczynem sygnałów FiRST i TENA* podawanych z wyjścia bramki B2 przy czym sygnał TNA* służący do wyboru trybu pracy podawany jest jednocześnie na wejście TENA* wszystkich komórek elementarnych CA0 i CA1. Sygnał EDI podawany jest na wejście NotEDI najmłodszego bitu rejestru "45" lub "ef", a wszystkie komórki CA0 i CA1 oraz przerzutniki P1 i P2 zerowane są sygnałem wejściowym TRST*. Praca rejestru i przerzutników synchronizowana jest sygnałami zegarowymi TCK lub RCLK z bufora B1 realizującego funkcję logiczną RCLK x TCK.

Rejestr według wynalazku ma struktury plasterkowe, charakteryzujące się zastosowaniem ściśle określonych połączeń ósemek komórek CA0 i CA1, a mianowicie: złożenie klasy 45:

CA0-CA1-CA0-CA0-CA0-CA1-CA0-CA1, oraz złożenie klasy ef: CA1-CA1-CA1-CA0-CA1-CA1-CA1-CA1. Rejestry konfiguruje się poprzez odpowiednie złożenia plasterków "45" i "ef" i tylko te dwie klasy są wystarczające do testowania układów o dowolnej liczbie punktów VPi. Wykazano za pomocą analizy matematycznej, że ośmiobitowe struktury plasterkowe "45" i "ef" są najodpowiedniejsze do budowania konkatenacji ośmiobitowych o praktycznie dowolnych długościach spełniając wymogi minimalnego poziomu maskowania błędów.

Sygnał TRST* służący do zerowania elementów pamiętających układu - przerzutników P1, P2 oraz komórek CA0 i CA1 podawany jest na ich wejścia zerujące. Na wejścia danych rejestru o sprzężeniu liniowym typu "45" lub "ef" - VPi zapisywane są stany wejść narastającym zboczem sygnału podawanym na wejścia SDOLOAD* poszczególnych komórek. Dla stanu wysokiego tego sygnału stany wejść VPi są obojętne.

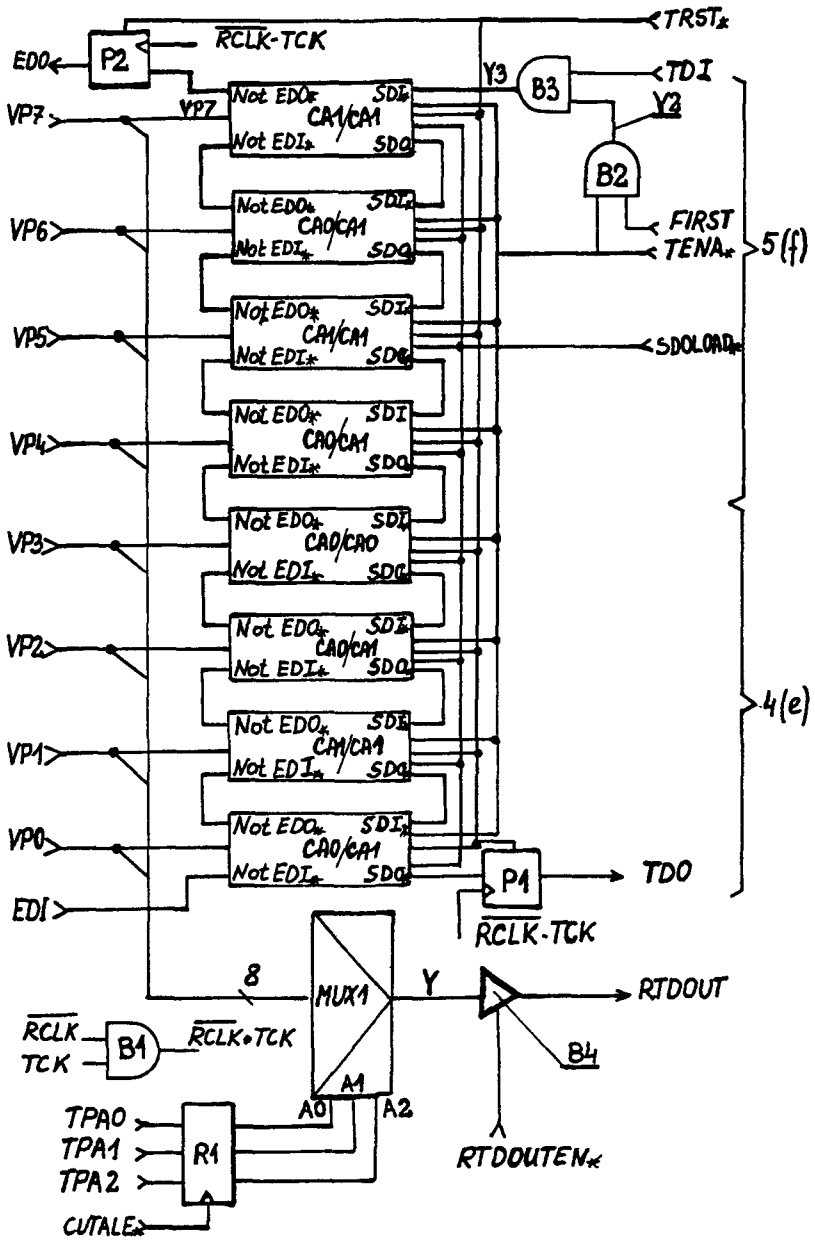
Dla stanu wejść wysokiego wejścia TENA* komórki CA0 i CA1 rejestru realizują funkcję obliczania sum modulo na podstawie stanu wyjść sąsiednich komórek i wejść VPi. W ten sposób obliczana jest sygnatura testowanego układu. Na wyjściu TDO pojawia się stan wyjścia SDO* najmłodszego bitu rejestru po przejściu przez przerzutnik P1 taktowany sygnałem zegara RCLK x TCK. Na wyjściu EDO pojawia się stan wyjścia NotEDO* ostatniej komórki rejestru po przejściu przez przerzutnik P2 taktowany sygnałem zegarowym RCLK x TCK.

Ustawienie stanu wejścia TENA* na zero powoduje pracę rejestru w trybie rejestru przesuwnego pozwalając na wysunięcie aktualnej zawartości rejestru poprzez wyjście TDO. Na wyjściu EDO pojawia się w tym trybie pracy rejestru stan wejścia EDI. Na wejście SDI najstarszego bitu rejestrowany jest z wyjścia Y3 bramki B3 iloczyn stanu wejścia TDI i stanu Y2 wyjścia bramki B2, sterowanej przez wejścia pierwszego rejestru w konkatenacji FIRST oraz TENA*.

Niezależnie od rejestru działa multiplekser MUX1 i wyjście danych przesyłanych na bieżąco RTDOUT. Numer obserwowanego na bieżąco punktu VPi wybierany jest za pomocą wejść adresowych TPA0-2. Stan tych wejść zatrzaskiwany jest w rejestrze R1 za pomocą sygnału

OUTALE* i podawany na wejścia A0-A3 multipleksera. Wyjście RTDOUT na którym pojawia się stan wyjścia Y multipleksera MUX1 może być ustawione w stan wysokiej impedancji sygnałem RTDOUTEN*. Pozwala to na łączenie ze sobą kilku wyjść RTDUT* w przypadku łączenia kilku struktur plasterkowych i wybór interesującej w danym momencie użytkownika ósemki wejść VPI za pomocą aktywizacji wybranego bufora trójstanowego.

Układ traktowany jest zegarami TCK i RCLK. Podstawowym jest RCLK drugi z nich - TCK może być użyty w układach wspomagających zegara dwufazowego lub dodatkowego sygnału sterującego. Oba zegary rozprowadzane są po strukturze z wyjścia RCLK x TCK bramki B1.



Departament Wydawnictw UP RP. Nakład 90 egz.
Cena 1,50 zł