



Urząd Patentowy  
Rzeczypospolitej Polskiej

21 Numer zgłoszenia: 306060

51 IntCl<sup>6</sup>:  
H02H 7/20

22 Data zgłoszenia: 29.11.1994

GZYTELWA  
OGÓLNA

54

Układ zabezpieczający tranzystory mocy z izolowaną bramką

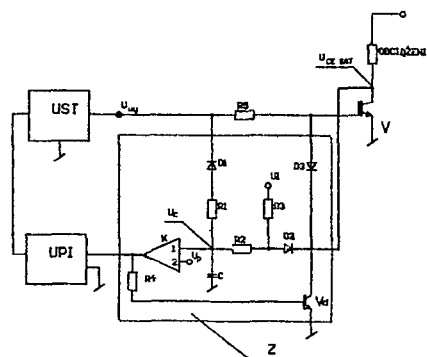
43 Zgłoszenie ogłoszono:  
10.06.1996 BUP 12/96

73 Uprawniony z patentu:  
Grzenik Romuald, Rybnik, PL  
Mołoń Zygmunt, Gliwice, PL

45 O udzieleniu patentu ogłoszono:  
30.04.1999 WUP 04/99

72 Twórcy wynalazku:  
Romuald Grzenik, Rybnik, PL  
Zygmunt Mołoń, Gliwice, PL

57 Układ zabezpieczający tranzystory mocy z izolowaną bramką przed przeciążeniem prądowym składający się z trzech diod, komparatora, tranzystora oraz czterech rezystorów i kondensatora, **znamienny tym**, że dioda (D1) i rezystor (R1) są połączone szeregowo w jedną gałąź (D1R1), która jednym zaciskiem jest połączona z wyjściem (U<sub>wy</sub>) układu sterującego tranzystorem mocy (V) w ten sposób, że katoda diody (D1) jest zwrócona w kierunku zacisku (U<sub>wy</sub>) a drugi zacisk gałęzi (D1R1) jest połączony z punktem węzłowym, do którego są dołączone: kondensator (C), zacisk wejściowy (1) komparatora (K), rezystor (R2), a drugi zacisk kondensatora (C) jest połączony z masą, natomiast drugi zacisk rezystora (R2) jest połączony z następnym punktem węzłowym do którego są dołączone także rezystor (R3) i anoda diody (D2), przy czym na drugi zacisk rezystora (R3) podane jest napięcie dodatnie (U1) a katoda diody (D2) jest połączona z kolektorem zabezpieczanego tranzystora mocy (V), zaś na zacisk (2) komparatora (K) jest podane napięcie dodatnie (U<sub>p</sub>) a wyjście komparatora (K) jest połączone poprzez rezystor (R4) z bazą tranzystora (V<sub>a</sub>) poprzez układ przekazujący informację (UPI) z układem sterowania (UST) zabezpieczanego tranzystora mocy (V), natomiast kolektor tranzystora (V<sub>a</sub>) jest połączony z katodą diody (D3), której anoda jest połączona z bramką zabezpieczanego tranzystora mocy (V).



# Układ zabezpieczający tranzystory mocy z izolowaną bramką

## Zastrzeżenie patentowe

Układ zabezpieczający tranzystory mocy z izolowaną bramką przed przeciążeniem prądowym składający się: z trzech diod, komparatora, tranzystora oraz czterech rezystorów i kondensatora, **znamienny tym**, że dioda (**D1**) i rezystor (**R1**) są połączone szeregowo w jedną gałąź (**D1R1**), która jednym zaciskiem jest połączona z wyjściem ( $U_{wy}$ ) układu sterującego tranzystorem mocy (**V**) w ten sposób, że katoda diody (**D1**) jest zwrócona w kierunku zacisku ( $U_{wy}$ ) a drugi zacisk gałęzi (**D1R1**) jest połączony z punktem węzłowym, do którego są dołączone: kondensator (**C**), zacisk wejściowy (**1**) komparatora (**K**), rezystor (**R2**), a drugi zacisk kondensatora (**C**) jest połączony z masą, natomiast drugi zacisk rezystora (**R2**) jest połączony z następnym punktem węzłowym do którego są dołączone także rezystor (**R3**) i anoda diody (**D2**), przy czym na drugi zacisk rezystora (**R3**) podane jest napięcie dodatnie ( $U_1$ ) a katoda diody (**D2**) jest połączona z kolektorem zabezpieczanego tranzystora mocy (**V**), zaś na zacisk (**2**) komparatora (**K**) jest podane napięcie dodatnie ( $U_p$ ) a wyjście komparatora (**K**) jest połączone poprzez rezystor (**R4**) z bazą tranzystora ( $V_b$ ) poprzez układ przekazujący informację (**UPI**) z układem sterowania (**UST**) zabezpieczanego tranzystora mocy (**V**), natomiast kolektor tranzystora ( $V_c$ ) jest połączony z katodą diody (**D3**), której anoda jest połączona z bramką zabezpieczanego tranzystora mocy (**V**).

\* \* \*

Przedmiotem wynalazku jest układ zabezpieczający tranzystory mocy z izolowaną bramką przed przeciążeniami prądowymi.

Znane jest rozwiązanie zabezpieczenia tyrystorów poprzez bezpieczniki szybkie. W przypadku tranzystorów mocy IGBT lub MOSFET w stanach awaryjnych układu np. w stanie przeciążenia prądowego lub zwarcia, a także w stanie niepełnego wysterowania, dopuszczalna jest praca w bardzo krótkim czasie, rząd mikrosekund. Czas ten jest podawany w katalogach przez producentów tranzystorów i jest on wielokrotnie krótszy od czasu zadziałania bezpiecznika, dlatego też bezpiecznik szybki nie stanowi skutecznego zabezpieczenia tranzystorów mocy.

Znany jest układ zabezpieczenia tranzystorów mocy polegający na kontroli spadku napięcia na rezystorze pomiarowym włączonym szeregowo z zabezpieczanym tranzystorem. Napięcie to proporcjonalne do prądu jest podawane na układ komparatora, a przekroczenie wartości progowej uruchamia przerzutnik blokujący wysterowanie zabezpieczanego tranzystora. Wadą tego rozwiązania jest obecność rezystora na którym jest tracona znaczna moc, co obniża sprawność przekształtnika.

Znany jest także układ zabezpieczania tranzystorów mocy z wykorzystaniem transformatora różniczkującego. Gdy pochodna prądu tranzystora przekracza wartość progową, uruchamiany jest przerzutnik blokujący wysterowanie zabezpieczanego tranzystora. Wadą tego rozwiązania jest brak sygnału z transformatora różniczkującego, przy prądzie wolno narastającym.

Układ zabezpieczający tranzystory mocy z izolowaną bramką przed przeciążeniami prądowymi według wynalazku składa się: z trzech diod, komparatora, tranzystora oraz czterech rezystorów i kondensatora, a charakteryzuje się tym, że jedna gałąź zawierająca rezystor i diodę jest połączona jednym końcem z wyjściem układu sterującego tranzystorem mocy w ten sposób, że katoda diody jest zwrócona w kierunku tego wyjścia, a drugi koniec tej gałęzi jest dołączony do punktu węzłowego, do którego są przyłączone kondensator, pierwszy zacisk wejściowy komparatora oraz drugi z rezystorów. Drugi zacisk kondensatora jest połączony z masą, natomiast drugi zacisk rezystora drugiego jest połączony z następnym punktem węzłowym do którego są dołączone także, trzeci z rezystorów i anoda drugiej diody, na drugi zacisk rezystora trzeciego jest przyłączone napięcie dodatnie  $U_1$ , a katoda drugiej diody jest połączona z kolektorem zabez-

pieczanego tranzystora mocy. Drugi zacisk wejściowy komparatora jest przyłączony do napięcia dodatniego  $U_p$ , a wyjście komparatora jest połączone poprzez czwarty rezystor z bazą tranzystora dodatkowego i przez układ przekazujący informację z układem sterowania zabezpieczonego tranzystora mocy, kolektor tranzystora dodatkowego podłączony z katodą trzeciej diody, przy czym anoda tej diody jest połączona z bramką zabezpieczonego tranzystora mocy.

Układ zabezpieczający tranzystory mocy z izolowaną bramką przed przeciążeniami prądowymi charakteryzuje się ponadto tym, że napięcie  $U_p$  podawane na drugi zacisk wejściowy komparatora jest większe od katalogowego napięcia nasycenia  $U_{CE\ SAT}$  zabezpieczonego tranzystora mocy, a parametry obwodu ładowania kondensatora składającego się ze źródła napięcia  $U_1$ , rezystora drugiego  $R_2$ , rezystora trzeciego  $R_3$  i kondensatora  $C$  spełniają warunek:

$$U_c = U_1 \left[ 1 - \exp \left[ \frac{t_{on} + \Delta t}{(R_2 + R_3)C} \right] \right] > U_p$$

przy czym  $t_{on}$  oznacza katalogowy czas załączania zabezpieczonego tranzystora mocy, a  $\Delta t = (1 \text{ do } 5) \mu s$  jest czasem dobieranym indywidualnie w zależności od typu zabezpieczonego tranzystora mocy.

Przedmiot wynalazku został pokazany na rysunku, na którym przedstawiono schemat układu  $Z$  zabezpieczającego tranzystor mocy  $V$  z izolowaną bramką.

Zabezpieczany tranzystor mocy  $V$  jest sterowany z układu UST napięciem  $U_{wy}$  podawanym poprzez rezystor  $R_5$  na bramkę zabezpieczonego tranzystora mocy  $V$ . Układ zabezpieczający  $Z$  składa się: z diod  $D_1$ ,  $D_2$ ,  $D_3$ , tranzystora  $V_d$ , kondensatora  $C$ , rezystorów  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  i komparatora  $K$ . Dioda  $D_1$  i rezystor  $R_1$  są połączone szeregowo w jedną gałąź  $D_1R_1$  w ten sposób, że jedna końcówka rezystora  $R_1$  jest połączona z anodą diody  $D_1$  a katoda diody  $D_1$  jest połączona z zaciskiem  $U_{wy}$  układu UST. Druga końcówka rezystora  $R_1$  jest połączona z punktem węzłowym do którego są przyłączone także: jedna końcówka kondensatora  $C$ , zacisk wejściowy 1 komparatora  $K$  i jedna końcówka rezystora  $R_2$ . Druga końcówka kondensatora  $C$  jest połączona z masą, natomiast druga końcówka rezystora  $R_2$  jest połączona z następnym punktem węzłowym do którego są dołączone także jedna końcówka rezystora  $R_3$  i anoda diody  $D_1$ . Druga końcówka rezystora  $R_3$  jest połączona z biegunem dodatnim źródła napięcia  $U_1$ . Biegun ujemny źródła napięcia  $U_1$  jest połączony z masą. Katoda diody  $D_2$  jest połączona z kolektorem zabezpieczonego tranzystora mocy  $V$ . Na zacisk wejściowy 2 komparatora  $K$  jest podane napięcie dodatnie  $U_p$ . Wyjście komparatora  $K$  jest połączone poprzez rezystor  $R_4$  z bazą tranzystora  $V_d$  i poprzez układ przekazujący informację  $UPI$  z układem sterowania UST. Kolektor tranzystora  $V_d$  jest połączony z katodą diody  $D_3$ , przy czym anoda diody  $D_3$  jest połączona z bramką zabezpieczonego tranzystora mocy  $V$ .

Tranzystor mocy  $V$  typu MOSFET jest cyklicznie załączany dodatnim napięciem  $U_{wy}$  i wyłączany z chwilą spadku napięcia  $U_{wy}$  do zera, a tranzystor mocy  $V$  typu IGBT jest załączany także dodatnim napięciem  $U_{wy}$  i wyłączany napięciem ujemnym  $U_{wy}$ . Przedział czasu w którym napięcie  $U_{wy}$  jest większe od zera oznaczmy przez  $t_z$ . Przedział czasu w którym napięcie  $U_{wy}$  jest równe bądź mniejsze od zera oznaczmy przez  $t_w$ . Jeśli przyjąć, że w chwili  $t = 0$  na bramkę tranzystora mocy  $V$  podaje się dodatnie napięcie  $U_{wy}$ , to w chwili  $t = t_{on}$  tranzystor mocy uzyskuje stan pełnego nasycenia. Czas  $t_{on}$  jest czasem katalogowym i np. dla tranzystora IGBT MG200QVS41 wynosi  $t_{on\ max} = 0,8 \mu s$ .

Układ zabezpieczający  $Z$  kontroluje każdy cykl pracy tranzystora mocy  $V$  poprzez kontrolę jego napięcia w stanie nasycenia  $U_{CE\ SAT}$ , które jest wielkością katalogową. Praca układu zabezpieczającego  $Z$  rozpoczyna się w chwili  $t = 0$ , to jest w chwili podania na bramkę tranzystora mocy  $V$  dodatniej wartości napięcia  $U_{wy}$ . Dodatnie napięcie  $U_{wy}$  powoduje zablokowanie diody  $D_1$  i tym samym rozpoczyna się ładowanie kondensatora  $C$  w obwodzie  $U_1$ ,  $R_3$ ,  $R_2$ ,  $C$ , masa,  $U_1$ . Parametry obwodu  $U_1$ ,  $R_3$ ,  $R_2$ ,  $C$  są tak dobrane aby napięcie na kondensatorze  $U_c$  w chwili  $t = t_{on}$ , było mniejsze od napięcia  $U_p$ .

W chwili  $t = t_{on}$  tranzystor mocy  $V$  osiąga stan nasycenia i przy poprawnej pracy układu, napięcie na tranzystorze mocy  $V$  ma wartość  $U_{CE SAT}$ , które np. dla tranzystora IGBT MG200QUS41 wynosi 4,0 V. Jeśli napięcie  $U_c$  na kondensatorze  $C$  jest większe od napięcia  $U_{CE SAT}$  powiększonego o napięcie przewodzenia diody  $D2$ , to następuje odblokowanie diody  $D2$ . Przewodzenie diody  $D2$  powoduje rozładowanie kondensatora  $C$  w obwodzie  $C, R2, D2, V$ , masa,  $C$  do napięcia o wartości równej sumie spadków napięcia przewodzenia diody  $D2$  i napięcia nasycenia tranzystora mocy  $V$ . Jeśli napięcie na kondensatorze  $U_c$  w chwili  $t = t_{on}$  jest mniejsze od napięcia  $U_{CE SAT}$ , to kondensator ładuje się w dalszym ciągu w poprzednim obwodzie  $U1, R3, R2, C$ , masa,  $U1$  do wartości napięcia równego sumie spadków napięcia przewodzenia diody  $D2$  i napięcia  $U_{CE SAT}$  nasycenia tranzystora mocy  $V$ . Tak więc w jednym i drugim przypadku napięcie na kondensatorze  $U_c$  stabilizuje się w czasie  $t < t_{on}$  na tym samym poziomie. W chwili  $t = t_z$ , napięcie  $U_{wy}$  zanika do zera, lub zmienia znak na przeciwny co powoduje odblokowanie diody  $D1$ , umożliwiając rozładowanie się kondensatora  $C$  w obwodzie  $C, R1, D1, U_{wy}$ , masa,  $C$ . Rozładowanie to trwa w przedziale czasu  $t_z < t < (t_z + t_w)$ . W chwili  $t = (t_z + t_w)$  rozpoczyna się następujący cykl.

W stanach awaryjnych pracy tranzystora mocy  $V$  spowodowanych zwarciem, nadmiernym obciążeniem, czy też niepełnym wysterowaniem tranzystora mocy  $V$ , (co może wystąpić przy zbyt małej wartości napięcia bramki  $U_{wy}$ ) napięcie na tranzystorze mocy  $V$  w stanie przewodzenia (to jest w czasie  $t > t_{on}$ ) ma wartości większe od wartości katalogowej  $U_{CE SAT}$ . Elementy obwodu ładowania kondensatora  $U1, C, R3, R2$  są tak dobrane aby spełnić warunek:

$$U_c = U_1 \left[ 1 - \exp \left[ \frac{t_{on} + \Delta t}{(R2 + R3)C} \right] \right] > U_p$$

co daje, że w stanach awaryjnych tranzystora mocy  $V$  napięcie na kondensatorze  $U_c$  użyłkuje w czasie  $t_{zw}$  wartość większą od wartości napięcia  $U_p$ . Czas  $t_{zw}$  jest to czas katalogowy, w którym dopuszcza się przepływ prądu zwarcia przez tranzystor mocy  $V$ , np. dla tranzystora IGBT MG200QUS41  $t_{zw} < 10 \mu s$ . Napięcie na kondensatorze  $U_c > U_p$  podane na zacisk 1 komparatora  $K$  powoduje zmianę stanu komparatora  $K$ . Komparator  $K$  załącza tranzystor  $V_d$ , który poprzez diodę  $D3$  zwiera bramkę tranzystora mocy  $V$  powodując jego odsterowanie. Dodatkowo komparator  $K$  za pośrednictwem układu  $UPI$  przesyła do układu sterowania tranzystorem  $UST$  informację o awaryjnym stanie w obwodzie tranzystora mocy  $V$ . W przypadku stosowania układów  $UST$ , w których napięcie  $U_{wy}$  zmienia się od dodatniego (przy załączaniu tranzystora mocy) do zera (przy wyłączaniu tranzystora mocy) dioda  $D3$  nie jest konieczna. Dioda  $D3$  nie jest również konieczna przy połączeniu emitera tranzystora  $V_d$  do ujemnego źródła zasilania układu  $UST$ .

