



(54) **Wielowejściowy tranzystor polowy MOS o bramkach swobodnych**

(43) Zgłoszenie ogłoszono:

02.12.2002 BUP 25/02

(45) O udzieleniu patentu ogłoszono:

31.12.2008 WUP 12/08

(73) Uprawniony z patentu:

Politechnika Śląska, Gliwice, PL

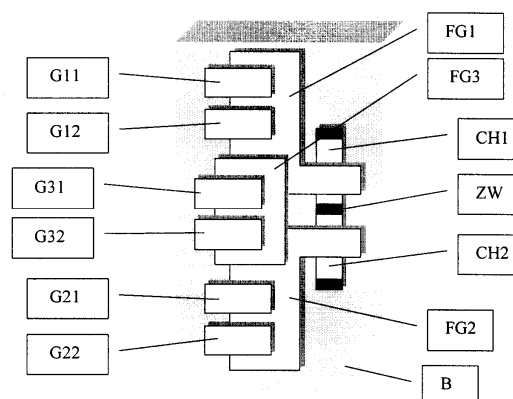
(72) Twórca(y) wynalazku:

Lesław Topór-Kamiński, Gliwice, PL

(74) Pełnomocnik:

Ziółkowska Urszula, Politechnika Śląska

(57) 1. Wielowejściowy tranzystor polowy MOS o bramkach swobodnych, **znamienny tym**, że w pobliżu bramek swobodnych GF1 i FG2 umieszcza się dodatkową warstwę przewodzącą FG3 odizolowaną od otoczenia, która jest trzecią wspólną bramką swobodną, przy czym w pobliżu każdej bramki swobodnej FG1-FG2, FG3 umieszczone są więcej niż jedna wejściowa bramka sterująca G11.



Opis wynalazku

Przedmiotem wynalazku jest wielowejsciowy tranzystor polowy MOS o bramkach swobodnych.

Dotychczas wykonywane struktury wielowejsciowych tranzystorów polowych MOS z bramką swobodną, dla połączenia ich w zespoły dwu-tranzystorowe, wymagają w celu ich wspólnego sterowania, połączenia zacisków bramek wejściowych na zewnątrz struktury. Rozwiązanie takie, przy braku dołączonego źródła sygnału do zacisków wspólnych powoduje gromadzenie się na nich wychwytywanych z otoczenia pasożytniczych ładunków elektrycznych zakłócających pracę tranzystorów. W przypadku połączenia tych zacisków z punktem układu o potencjale zerowym, traci się możliwość wzajemnego wpływu na siebie tranzystorów po przez pozostałe zaciski sterujące. Inny wariant rozwiązania konstrukcyjnego podwójnego tranzystora polowego MOS z jedną wspólną bramką swobodną uniemożliwia zróżnicowany wpływ sygnałów sterujących na każdy z tranzystorów składowych.

Wielowejsciowy tranzystor polowy MOS o bramkach swobodnych według wynalazku jest strukturą wykonaną na podłożu półprzewodnikowym, dwóch tranzystorów polowych typu MOS posiadających między kanałem, a sterującymi zaciskami bramek wejściowych dodatkową warstwę przewodzącą odizolowaną od otoczenia zwaną bramką swobodną lub pływającą (floating gate). Są to znane struktury zwane tranzystorami polowymi typu MOS z bramką swobodną.

Stwierdzono nieoczekiwanie, że korzystne jest wprowadzenie w pobliże bramek swobodnych obu tranzystorów, dodatkowej trzeciej warstwy przewodzącej odizolowanej od otoczenia, nazwanej wspólną bramką swobodną. Kanały obu tranzystorów mogą być o jednakowych typach przewodnictwa p i p, lub n i n, albo różnych, czyli jeden p, a drugi n. W pobliżu każdej z tych bramek umieszczone są od jednej do kilku odizolowanych od nich warstw przewodzących połączonych z wyprowadzeniami na zewnątrz układu. Są one wejściowymi zaciskami sterującymi potencjałami każdej z bramek swobodnych poprzez pojemności utworzone między nimi, a także między bramkami swobodnymi. Potencjały bramek swobodnych oraz zgromadzony na nich ładunek mają natomiast wpływ na zjawiska zachodzące w kanałach obu tranzystorów.

Zacisk wspólny kanałów obu tranzystorów jest jednoimienny czyli połączone są razem dwa dreny lub dwa ich źródła. W innym rozwiązaniu zacisk wspólny kanałów obu tranzystorów jest drenem jednego tranzystora a źródłem tranzystora lub na odwrót.

Wynalazek pozwala na sterowanie zjawiskami zachodzącymi w kanałach obu tranzystorów z różnymi współczynnikami wagowymi, w zależności od miejsca przyłożenia sygnału sterującego, czyli do zacisków umieszczonych w pobliżu bramki swobodnej pierwszego tranzystora, lub do zacisków umieszczonych w pobliżu bramki swobodnej drugiego tranzystora oraz sterowanie zjawiskami zachodzącymi w kanałach obu tranzystorów z jednakowymi współczynnikami wagowymi w przypadku przyłożenia sygnału do zacisków wejściowych umieszczonych w pobliżu wspólnej bramki swobodnej.

Przedmiot wynalazku jest przedstawiony na rysunku który przedstawia schemat struktury wykonanej na podłożu półprzewodnikowym B. Struktura zawiera dwa tranzystory polowe o kanałach CH1 i CH2 sterowanych potencjałami bramek swobodnych FG1 i FG2. W pobliżu obu tych bramek swobodnych umieszczona jest dodatkowa trzecia bramka swobodna FG3. W pobliżu każdej z tych bramek umieszczonych jest od jednej do kilku odizolowanych od nich warstw przewodzących G11, G12, G21, G22, G31, G33, połączonych z wyprowadzeniami na zewnątrz układu. Tworzą one zaciski wejściowe sterujące potencjałem każdej z tych bramek poprzez pojemności utworzone między nimi, oraz pojemności utworzone między bramkami swobodnymi.

Kanały CH1 i CH2 są jednakowego przewodzenia n lub różnego przewodzenia n i p. Zacisk wspólny ZW kanałów obu tranzystorów jest jednoimienny czyli połączone są razem dwa ich dreny lub źródła. W innym rozwiązaniu zacisk wspólny ZW obu tranzystorów jest drenem jednego tranzystora, a źródłem tranzystora i odwrotnie.

Zastrzeżenia patentowe

1. Wielowejsciowy tranzystor polowy MOS o bramkach swobodnych, **znamienny tym**, że w pobliżu bramek swobodnych GF1 i FG2 umieszcza się dodatkową warstwę przewodzącą FG3 odizolowaną od otoczenia, która jest trzecią wspólną bramką swobodną, przy czym w pobliżu każdej bramki swobodnej FG1-FG2, FG3 umieszczone są więcej niż jedna wejściowa bramka sterująca G11.

2. Wielowejściowy tranzystor według zastrz. 1, **znamienny tym**, że kanały CH1 i CH2 tranzystorów są jednakowego typu przewodzenia n, lub jednakowego typu przewodzenia p.

3. Wielowejściowy tranzystor według zastrz. 1, **znamienny tym**, że kanały CH1 i CH2 tranzystorów są różnego typu przewodzenia n i p.

4. Wielowejściowy tranzystor polowy MOS o bramkach swobodnych według zastrz. 1, **znamienny tym**, że zacisk wspólny ZW kanałów tranzystorów jest jednoimienny, czyli połączone są razem dwa ich dreny lub dwa ich źródła.

5. Wielowejściowy tranzystor polowy MOS o bramkach swobodnych według zastrz. 1, **znamienny tym**, że zacisk wspólny kanałów ZW obu tranzystorów jest drenem jednego tranzystora, a źródłem drugiego tranzystora lub na odwrót.

Rysunek

