

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **203843**

(13) **B1**

(21) Numer zgłoszenia: **353815**

(51) Int.Cl.

**H01L 29/772 (2006.01)**

(22) Data zgłoszenia: **10.05.2002**

---

(54) **Tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym**

---

(43) Zgłoszenie ogłoszono:  
**17.11.2003 BUP 23/03**

(45) O udzieleniu patentu ogłoszono:  
**30.11.2009 WUP 11/09**

(73) Uprawniony z patentu:

**Politechnika Śląska, Gliwice, PL**

(72) Twórca(y) wynalazku:

**Lesław Topór-Kamiński, Gliwice, PL**

(74) Pełnomocnik:

**Ziółkowska Urszula, Rzecznik Patentowy,  
Politechnika Śląska**

---

**PL 203843 B1**

## Opis wynalazku

Przedmiotem wynalazku jest tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym.

Dotychczas wykonywane struktury wielowejsciowych tranzystorów polowych MOS z bramką swobodną, w celu kształtowania charakterystyki sterowania prądem kanału wymagają zewnętrznego sprzężenia zacisku drenu z niektórymi zaciskami wejściowymi. Powoduje to trudności w odpowiednim doborze współczynnika wzmocnienia w pętli sprzężenia na skutek istniejących pojemności międzyelektrodowych tranzystora większą indukcyjność obwodu sprzężenia oraz wpływ czynników zewnętrznych na prace tego sprzężenia.

Tranzystor według wynalazku charakteryzuje się tym, że pomiędzy elektrodą i podłożem półprzewodnikowym umieszcza się dodatkową elektrodę w postaci warstwy przewodzącej od bramki swobodnej i podłoża, a połączonej z końcówką kanału.

Tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym jest strukturą wykonaną na podłożu półprzewodnikowym posiadającą między kanałem, a sterującymi zaciskami bramek wejściowych dodatkową warstwę przewodzącą odizolowaną od otoczenia, zwaną bramką swobodną lub pływającą (floating gate). Są to znane struktury zwane tranzystorami polowymi typu MOS z bramką swobodną. Istotą wynalazku jest wprowadzenie pomiędzy bramką swobodną, a podłożem odizolowanej od nich elektrody o powierzchni równej powierzchni bramki swobodnej i połączonej galwanicznie z jednym końcem kanału zwanym drenem. W pobliżu drugiej strony bramki swobodnej umieszczone są od jednej do kilku odizolowanych od niej warstw przewodzących wyprowadzonych galwanicznie na zewnątrz układu. Są one wejściowymi zaciskami sterującymi potencjałem bramki swobodnej poprzez pojemności utworzone między nimi. Potencjał bramki swobodnej ma natomiast wpływ na zjawiska zachodzące w kanale tranzystora. Dodatkowo elektroda umieszczona między podłożem, a bramką swobodną realizuje wewnętrzne sprzężenie zwrotne między jednym końcowym zaciskiem kanału tranzystora, a bramką swobodną przez pojemność utworzoną między nimi, umożliwiając wpływ potencjału tego zacisku na potencjał bramki swobodnej. Powierzchnia tej elektrody równa w przybliżeniu powierzchni bramki swobodnej umożliwia realizację pojemności utworzonego między nimi kondensatora o wartości równej połowie wszystkich pojemności zawartych między bramką swobodną a otoczeniem.

Tranzystor według wynalazku posiada pewne nowe właściwości w stosunku do zwykłego tranzystora MOS z bramką swobodną, takie jak: zlinearyzowaną zależność prądu płynącego przez kanał od napięcia na jego zaciskach dla pracy tranzystora w obszarze nienasyceń oraz liniową zależność konduktancji wyjściowej tranzystora od sumy wejściowych napięć sterujących tranzystorem dla pracy tranzystora w obszarze nienasyceń, a także pojawienie się wpływu potencjału zacisku drenu na prąd kanału dla pracy tranzystora w obszarze nasycenia.

Ponadto tranzystor według wynalazku charakteryzuje się minimalizacją pojemności bramki swobodnej względem podłoża na skutek ekranowego działania dodatkowej elektrody i minimalizację indukcyjności obwodu sprzężenia drenu z bramką swobodną na skutek bliskiego ich położenia i bardzo małej długości połączenia elektrody dodatkowej z drenem, oraz łatwością ukształtowania właściwej wartości pojemności między elektrodą dodatkową, a bramką swobodną na skutek doboru porównywalnych ich wymiarów geometrycznych, co ma istotny wpływ na współczynnik sprzężenia zacisku drenu z tą bramką.

Tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym jest przedstawiony schematycznie na rysunku, który przedstawia schemat struktury wykonanej na podłożu półprzewodnikowym **B**. Struktura podłoża półprzewodnikowego zawiera tranzystor polowy o kanale **CH**, sterowany potencjałem bramki swobodnej **FG**. Pomędzy tą bramką swobodną, a podłożem wprowadzona jest odizolowana od nich elektroda **ED** o powierzchni zbliżonej do powierzchni bramki swobodnej i połączona galwanicznie z końcem kanału zwanym drenem **D**. W pobliżu bramki swobodnej umieszczone są od jednej do kilku odizolowanych od niej warstw przewodzących **G1**, **G2**, **G3**, połączonych z wyprowadzeniami na zewnątrz układu. Tworzą one zaciski wejściowe sterujące potencjałem bramki swobodnej przez pojemności utworzone między nimi. Kanał tranzystora **CH** może być typu n lub p.

## Zastrzeżenia patentowe

1. Tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym jest wykonany w strukturze półprzewodnikowej układem kanału i odizolowanej od niego elektrody, **znamienny tym**, że pomiędzy elektrodą (**FG**) i podłożem półprzewodnikowym (**B**) umieszcza się dodatkową elektrodę (**ED**) w postaci warstwy przewodzącej od bramki swobodnej (**FG**) i podłoża (**B**), a połączonej z końcówką kanału (**CH**).

2. Tranzystor polowy MOS o bramce swobodnej z sprzężeniem wewnętrznym według zastrz. 1, **znamienny tym**, że ma co najmniej jedną warstwę przewodzącą (**G1**), (**G2**), (**G3**).

## Rysunek



