

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **220276**

(13) **B1**

(21) Numer zgłoszenia: **395138**

(51) Int.Cl.  
**H02M 1/08 (2006.01)**

(22) Data zgłoszenia: **06.06.2011:**

---

(54) **Układ sterowania z cyfrowym modulatorem  
dla n-fazowego dwupoziomowego falownika napięcia MSI**

---

(43) Zgłoszenie ogłoszono:  
**17.12.2012 BUP 26/12**

(45) O udzieleniu patentu ogłoszono:  
**30.09.2015 WUP 09/15**

(73) Uprawniony z patentu:  
**POLITECHNIKA ŚLĄSKA, Gliwice, PL**

(72) Twórca(y) wynalazku:  
**TOMASZ BISKUP, Gliwice, PL**

(74) Pełnomocnik:  
**rzecz. pat. Urszula Ziółkowska**

---

**PL 220276 B1**

## Opis wynalazku

Przedmiotem wynalazku jest układ sterowania z cyfrowym modulatorem dla n-fazowego dwupoziomowego falownika napięcia MSI.

Właściwe sterowanie zaworów energoelektronicznych falowników napięcia MSI jest wypracowywane przez algorytm modulacji. Do podstawowych algorytmów zalicza się: modulację regularną to jest naturalną i modulację wektorową. Wynikiem ich działania jest ciąg impulsów sterujących zawory falownika napięcia, dzięki którym na jego wyjściu otrzymuje się przebieg o zadanej wartości częstotliwości i zadanej wartości skutecznej 1-harmonicznej napięcia. W rzeczywistych układach sterowania sygnały te podlegają dodatkowemu przetwarzaniu, wynikającemu z parametrów dynamicznych zaworów oraz wymogów systemu zabezpieczenia przekształtnika. Funkcje te mogą być realizowane przez specjalizowane układy scalone lub implementacje algorytmów za pomocą układów programowalnych i systemów mikroprocesorowych. Jednak najczęściej rozwiązaniem jest zastosowanie układów peryferyjnych (bazujących na zespołach licznikowych), które są elementem mikrokontrolerów.

Znanych jest szereg wewnętrznych układów peryferyjnych mikrokontrolerów, umożliwiających generację sygnałów zgodnych z algorytmami modulacji dla falownika MSI. Jednym z nich jest układ ITU z ang. *Integrated Timer Unit*, będący elementem składowym 16-bitowych mikrokontrolerów firmy Renesas z rodziny H8/300H na przykład układ H8/3048BF. Układ ITU składa się z 5 kanałów, każdy z niezależnym 16-bitowym licznikiem, własnym układem sterowania i kilkoma trybami pracy. Jednym z nich jest tryb sterowania dla 3-fazowego falownika napięcia określane jako *complementary PWM mode*. W trybie tym kanały 3 i 4 są sprzęgnięte ze sobą w sposób umożliwiający generację 6 sygnałów sterujących dla tranzystorów 3-fazowego falownika napięcia. Można określić stan aktywny, to jest wysoki lub niski, sygnału załączającego, ustawić częstotliwość przełączania i wartość czasu martwego. Czas ten jest wspólny dla wszystkich sygnałów i nie może być zerowy, określa on pewne stałe opóźnienie pomiędzy wyłączeniem jednego tranzystora w półmostku, do chwili załączenia drugiego tranzystora w tym samym półmostku. Parametry wcześniej wymienione mogą być modyfikowane tylko w chwili zatrzymania układu licznikowego. Wadą układu jest ustalona na sztywno relacja między wartościami liczników i rejestrami buforowymi, które powodują przełączenia sygnałów sterujących, trudności z wymuszeniem wypełnienia 100% i 0% oraz sprzęgnięcie w jednym bloku kształtowania sterowania na podstawie wartości zadanych wypełnienia z jednoczesnym wpływem na czas martwy. Eliminacja zbyt krótkich impulsów na wyjściach sterujących musi zostać zrealizowana przez użytkownika programowo.

Innym znanym rozwiązaniem jest układ EVM Event Manager mikrokontrolera sygnałowego Texas Instruments TMS320F2812 z rodziny C28xx. Układ EVM pozwala na generowanie 6 lub 8 sygnałów sterujących według programowo skonstruowanego algorytmu. Sygnały sterujące są pogrupowane po 2 do sterowania pary tranzystorów w półmostku, a czas przełączeń jest odmierzany za pomocą jednego wspólnego licznika 16-bitowego. Można ustalić aktywny stan sygnału sterującego, wysoki lub niski – pozwala to na dopasowanie do układu wyzwalań tranzystorów, oraz wprowadzić czas martwy do sterowania. Wartość tego czasu może być zmieniona tylko po zatrzymaniu licznika układu. Istnieje także możliwość blokady wszystkich wyjść sterujących za pomocą zewnętrznego wejścia cyfrowego. Układ nie kontroluje czasu trwania impulsów przełączających, z punktu widzenia czasu ich trwania. Powoduje to, że użytkownik sam musi programowo eliminować impulsy zbyt krótkie.

Następcą układu EVM w mikrokontrolerach sygnałowych firmy Texas Instruments z rodziny C28xxx jest układ ePWM z ang. *Enhanced Pulse Width Modulator* na przykład w mikrokontrolerze TMS 320F2808. Układ składa się z 6 bloków, a każdy z nich ma budowę modułową. Poszczególne funkcje są wykonywane przez wydzielone moduły: licznikowy, kształtowania sygnałów sterujących, wymuszania czasu martwego, logiki wyjściowej. Wartości czasów martwych mogą być różne dla poszczególnych bloków. Niestety wartość czasu martwego może być ustawiana tylko po zatrzymaniu licznika bloku ePWM, podczas inicjacji układu. Nie ma też możliwości eliminacji krótkich impulsów w sygnałach sterujących tranzystorami.

Układ sterowania według wynalazku charakteryzuje się tym, że składa się z n-torów sterowania, gdzie n odpowiada ilości faz układu, korzystnie trzech, przy czym pojedynczy tor składa się z szeregowo połączonych kolejno: bloku licznikowego BL, bloku formowania impulsów BFI, bloku eliminacji krótkich impulsów BEKI, bloku czasu martwego BCM, bloku logiki wyjściowej

BLW. Blok czasu martwego BCM zawiera dodatkowo rejestr podwójnie buforowany określający wartość czasu martwego. Wartość czasu martwego bloku BCM przepisywana jest z rejestru buforowego do części roboczej w wybranej programowo chwili za pomocą jednej lub kilku powiązanych logicznie flag bloku licznikowego BL to jest: CMP, PRD, ZERO, UP, DOWN.

Zaletą wynalazku jest uporządkowana struktura, w której każda istotna funkcja jest realizowana przez wydzielony blok. Wprowadzenie podwójnego buforowania rejestru zadającego czas martwy pozwala na dynamiczną zmianę jego wartości w czasie pracy modulatora, bez potrzeby jego zatrzymywania. Pozwala to na zredukowanie do minimum zniekształceń prądu odbiornika, wynikających z opóźnienia załączenia zaworów przez czas martwy.

Przedmiot wynalazku pokazano na rysunkach na których fig. 1 przedstawia typową znaną strukturę falownika dla układu 3-fazowego, fig. 2 przedstawia schemat blokowy układu sterowania natomiast fig. 3 przedstawia pojedynczy tor układu sterowania, fig. 4 przedstawia budowę bloku czasu martwego, natomiast fig. 5 przedstawia przebiegi czasowe bloku czasu martwego.

W typowym rozwiązaniu falownika (dla układu 3-fazowego fig. 1) sygnały sterujące **SS** są wypracowane przez **układ sterowania**, i następnie dopasowane do wymagań zaworów energoelektronicznych przez **układ wyzwalania** (driver). Układ wyzwalania, jako zwrotne, podaje do układu sterowania sygnały błędów działania **SB**, aktywne w sytuacji uszkodzenia przekształtnika, obciążenia lub układu wyzwalania.

Układ sterowania według wynalazku zbudowany jest z szeregowo połączonych bloków. Każdy z bloków realizuje osobne zadania układu sterowania. Schemat blokowy układu sterowania (fig. 2) pokazano dla falownika 2-poziomowego, wielofazowego. Typowe rozwiązania ograniczają się zwykle do układów 3-fazowych, ale układ ten może być rozbudowany dla innych konfiguracji, to jest falownika 6-fazowego. Każda faza to kolejny n-ty **tor sterowania**.

Pojedynczy tor składa się z bloku licznikowego **BL**, bloku formowania impulsów **BFI**, bloku eliminacji krótkich impulsów **BEKI**, bloku czasu martwego **BCM**, bloku logiki wyjściowej **BLW**.

Pojedynczy tor został przedstawiony na rysunku fig. 3. Blok **BL**, to układ bazujący na **liczniku wielobitowym**, zawiera **komparator** cyfrowy, rejestry podwójnie buforowane dla wyznaczenia okresu zliczania **PERIOD** oraz **rejestr CMPR** dla generacji flagi porównania **CMP**. Wybór częstotliwości taktowania przez wejściowy **preskaler** pozwala na zadanie częstotliwości przełączania. Zadaniem bloku licznikowego **BL** jest generacja flag sygnalizujących zdarzenia, a związanych z działaniem licznika i rejestrów buforowych (**CMPR**, **PERIOD**). Wyznaczają one odpowiednimi flagami chwile stanu zliczania licznika w górę **UP** i w dół **DOWN**, osiągnięcie wartości maksymalnej licznika **PRD**, wartości zerowej **ZERO** i zadanej do porównania **CMP**.

Flagi te są podstawą do ukształtowania sygnału sterującego w bloku **BFI**. Zadanie jest realizowane na podstawie programowo wyznaczonych wymagań, dla wymuszenia na wyjściu stanu logicznego wysokiego i niskiego – przez **przerzutnik RS**. Szczegółowy sposób działania zależy od zastosowanego algorytmu modulacji. Flagi te mogą być wykorzystywane przez **system przeważań** oraz umożliwiają uruchamianie układu **przetwornika A/C**, jeśli znajduje się w systemie.

Blok eliminacji krótkich impulsów **BEKI** ma na celu niedopuszczenie do wypracowania sygnałów, o czasie trwania stanu niskiego lub wysokiego, poniżej ustalonego progu. Ustalenie minimalnego czasu trwania w stanie niskim i wysokim jest uzależnione od parametrów dynamicznych zaworów falownika i układu wyzwalania. Blok ten jest układem sekwencyjnym, którego realizacja opiera się na rejestrach przesuwanych lub licznikach taktowanych przez wewnętrzny sygnał zegarowy. Działanie jest następujące; jeśli na wejściu sygnał **ST** z bloku **BFI** utrzymuje swój stan logiczny przez zadaną liczbę cykli zegarowych (zegara wewnętrznego), następuje wymuszenie sygnału na wyjściu bloku **ST1** o tej samej wartości.

Przetworzony w taki sposób sygnał **ST1** jest rozdzielany na dwa sygnały komplementarne w bloku generacji czasów martwych **BCM**.

Jedno z rozwiązań bloku generacji czasu martwego przedstawiono na rysunku Fig. 4, a przebiegi czasowe na rysunku Fig. 5. Sygnał wejściowy **ST1** zostaje rozdzielony na dwa sygnały, w tym jeden zanegowany **notST1**. Każdy z nich jest przetwarzany w identycznych generatorach czasu martwego. Dalszy opis dotyczy tylko sygnału **ST1**. Zostaje on wprowadzony na wejście zegarowe **clk** przerzutnika D, reagującego na zbocze narastające. Po przełączeniu sygnału sterującego **ST1** w stan wysoki następuje zadziałanie przerzutnika D i przepisanie stanu wysokiego na wyjście Q. Sygnał ten odblokowuje licznik odmierzający czas martwy. Licznik ten jest taktowany sygnałem wysokiej częstotliwości **clk PT**, pochodzącym z preskalera. Wartość licznika

jest porównywana przez komparator z wartością ustawionego czasu martwego z rejestru roboczego. W chwili, gdy wartość licznika jest równa wartości czasu martwego komparator wystawia sygnał, ustawiający wyjście sterujące **ST1H** w stan wysoki za pomocą przerzutnika **RS** i jednocześnie blokuje dalsze działanie licznika przez wejście C. Zmiana stanu sygnału wejściowego **ST1** na niski powoduje natychmiastowe przełączenie sygnału wyjściowego **ST1H** także na stan niski przez wejście R przerzutnika **RS** i jednocześnie licznik jest wyzerowany, w oczekiwaniu na kolejne zbocze narastające sygnału **ST1**. Sygnał **ST1L** powstaje w analogiczny sposób z tym, że sygnał **ST1** zostaje zanegowany i dalej jest przetwarzany zgodnie z powyższym wzorcem dla **ST1H**. Istotną cechą jest fakt, że wartość rejestru roboczego czasu martwego przepisywana jest z rejestru buforowego czasu martwego w wybranej chwili przez flagę pochodzącą z bloku **BL/BFI**. Można programowo wybrać jedną lub powiązać logiczne kilka flag: **CMP**, **PRD**, **ZERO**, **UP**, **DOWN**. Pozwala to na dynamiczną zmianę wartości czasu martwego z cyklu przełączenia na cykl. Jest to istotne, ze względu na fakt, że czas martwy powoduje zniekształcenie sterowania w stosunku do działania bloku **BFI**. W pewnych sytuacjach zależnych od polaryzacji prądu płynącego w sterowanych zaworach energoelektronicznych jest on niezbędny, a w pewnych może być zredukowany do zera, bez niebezpieczeństwa uszkodzenia zaworów. Oznacza to, że sygnały **ST1H** i **ST1L** mogą być pozbawione czasów martwych, gdy nie jest to potrzebne.

Blok logiki wyjściowej **BLW** ma za zadanie umożliwienie modyfikacji sterowania przez wybór logiki sterowania zaworów (prosta lub zanegowana – w zależności od wymagań układu wyzwalania zaworów), ale także umożliwienie szybkiego wyłączenia sterowania na drodze programowej lub układowej przez wejścia **SB**. To ostatnie pozwala na sprzęgnięcie z układem wyzwalania zaworów (driver), a sygnały **SB** mogą być sumowane z poszczególnych bloków modulatora jako sygnał zabezpieczenia. Pojawienie się flagi **SB** powoduje automatyczną blokadę sterowania i może być wykorzystane przez **system przerwań**. Określenie sposobu działania bloku **BLW**, podobnie jak wcześniejszego, odbywa się za pomocą rejestru sterującego podwójnie buforowanego. Przepisanie informacji może nastąpić natychmiast lub po pojawieniu się jednej lub powiązanie logiczne kilku flag bloku licznikowego **BL**: **CMP**, **PRD**, **ZERO**, **UP**, **DOWN**.

### Zastrzeżenia patentowe

1. Układ sterowania z cyfrowym modulatorem dla n-fazowego dwupoziomowego falownika napięcia **MSI**, **znamienny tym**, że składa się z n-torów sterowania, gdzie n odpowiada ilości faz układu, korzystnie trzech, przy czym pojedynczy tor składa się z szeregowo połączonych kolejno: bloku licznikowego **BL**, bloku formowania impulsów **BFI**, bloku eliminacji krótkich impulsów **BEKI**, bloku czasu martwego **BCM**, bloku logiki wyjściowej **BLW**.

2. Układ sterowania według zastrz. 1, **znamienny tym**, że blok czasu martwego **BCM** zawiera dodatkowy rejestr podwójnie buforowany określający wartość czasu martwego.

3. Układ sterowania według zastrz. 1, **znamienny tym**, że wartość czasu martwego bloku **BCM** przepisywana jest z rejestru buforowego do części roboczej w wybranej programowo chwili za pomocą jednej lub kilku powiązanych logicznie flag bloku licznikowego **BL** to jest: **CMP**, **PRD**, **ZERO**, **UP**, **DOWN**.

Rysunki

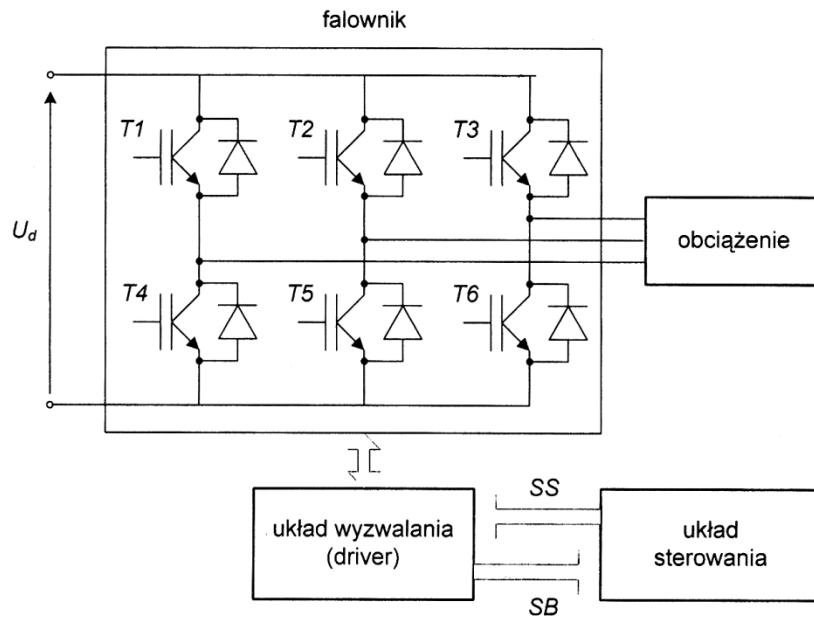


Fig. 1

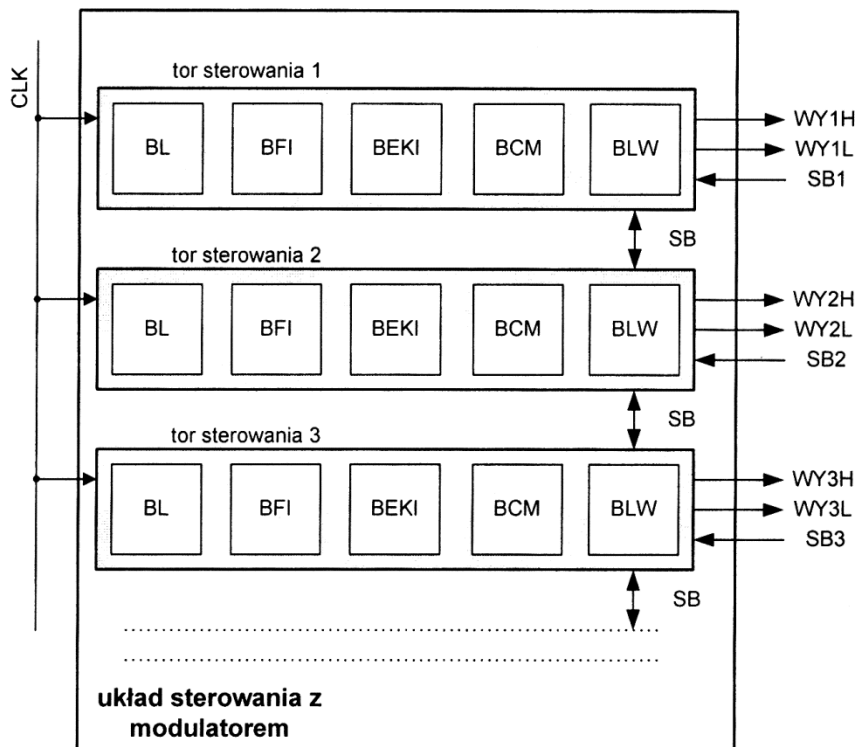


Fig. 2

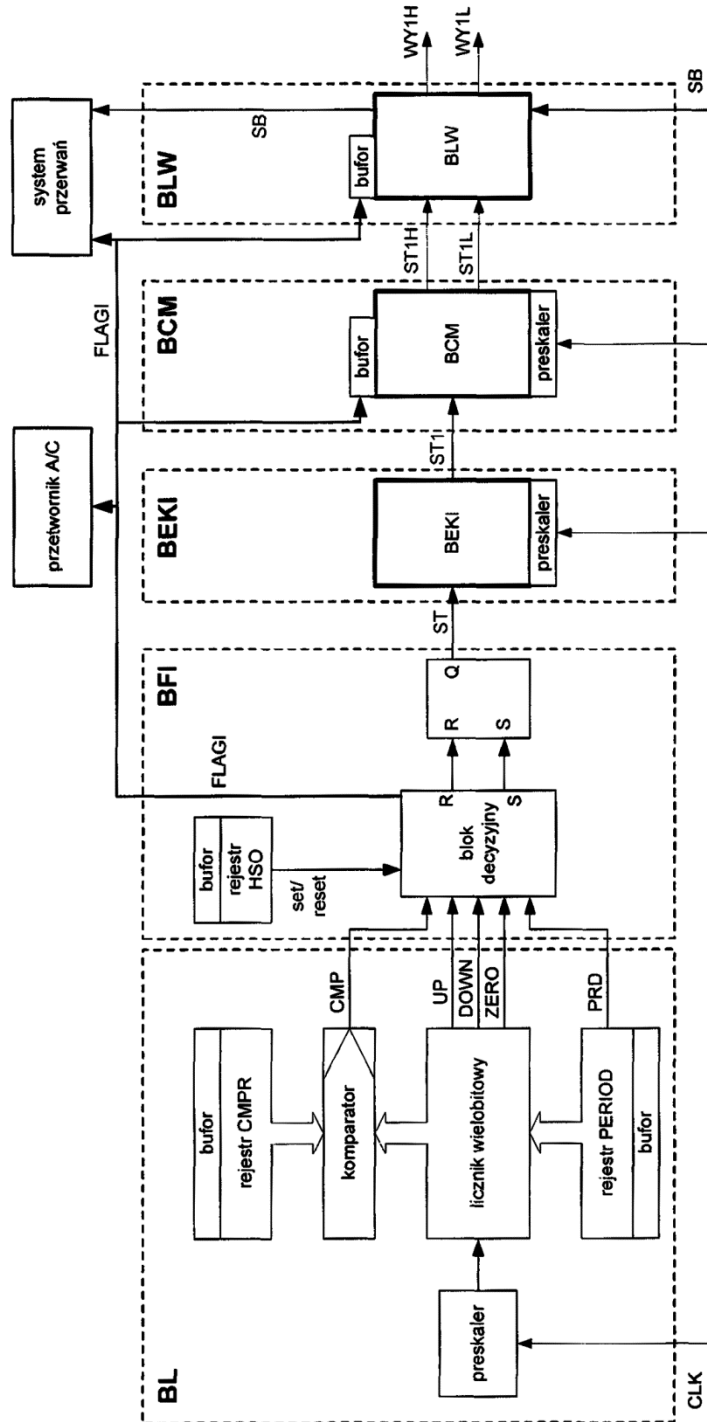


Fig. 3

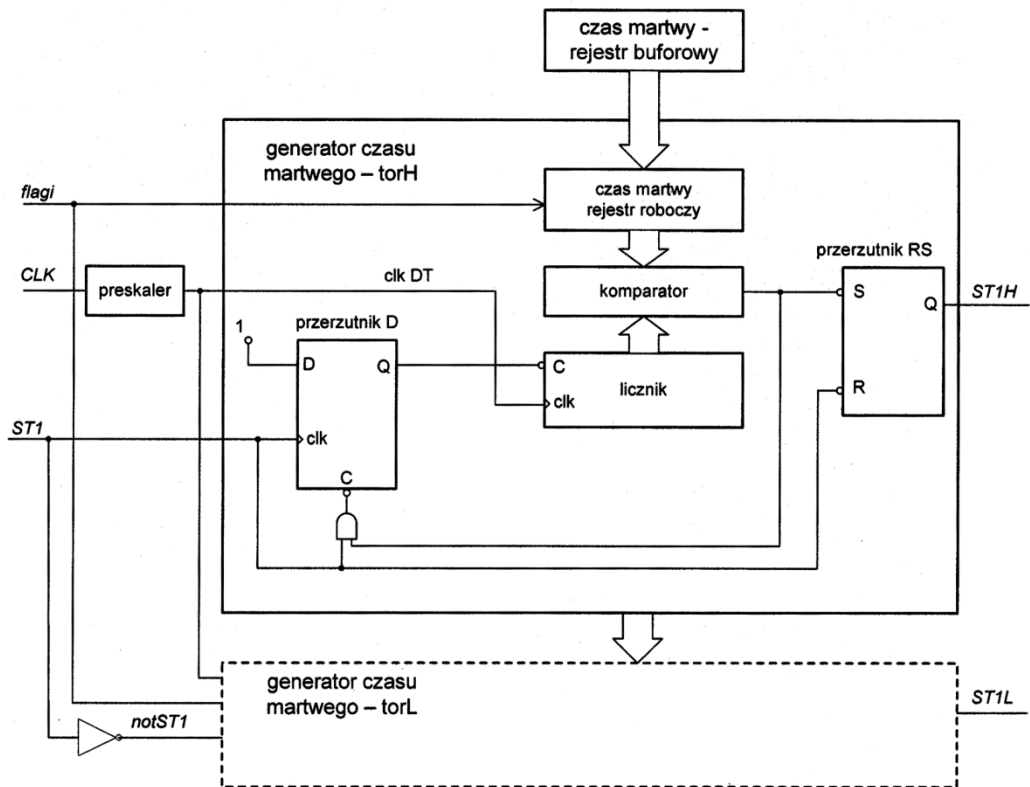


Fig.4

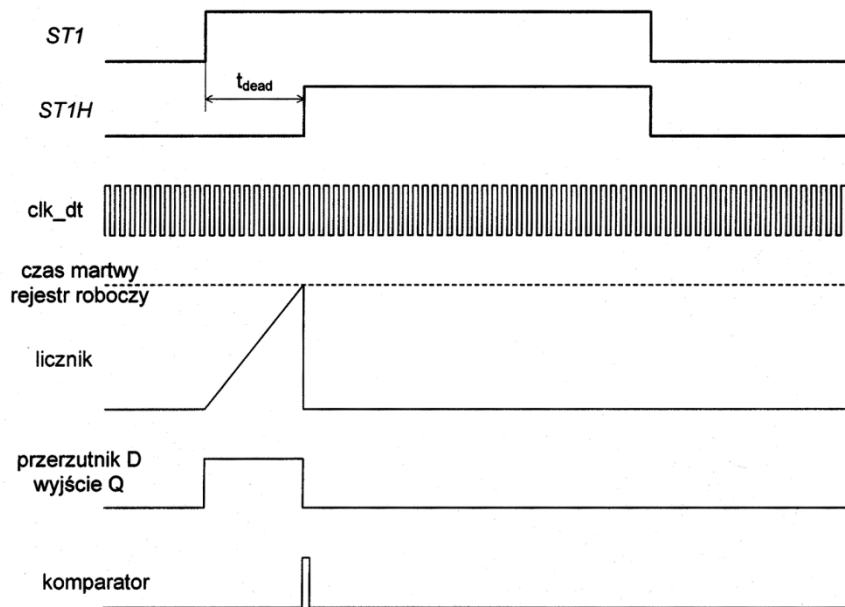


Fig.5

