

RZECZPOSPOLITA  
POLSKA



Urząd Patentowy  
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY** (19) **PL** (11) **220127**

(13) **B1**

(21) Numer zgłoszenia: **395432**

(51) Int.Cl.  
**G06F 1/02 (2006.01)**

(22) Data zgłoszenia: **24.06.2011**

---

(54) **Układ akumulatora indeksów próbek przeznaczony dla cyfrowego oscylatora harmonicznego**

---

(43) Zgłoszenie ogłoszono:  
**07.01.2013 BUP 01/13**

(45) O udzieleniu patentu ogłoszono:  
**31.08.2015 WUP 08/15**

(73) Uprawniony z patentu:  
**POLITECHNIKA ŚLĄSKA, Gliwice, PL**

(72) Twórca(y) wynalazku:  
**GRZEGORZ POPEK, Gliwice, PL**  
**MARIAN KAMPIK, Pszonów, PL**

(74) Pełnomocnik:  
**rzecz. pat. Urszula Ziółkowska**

---

**PL 220127 B1**

## Opis wynalazku

Przedmiotem wynalazku jest układ akumulatora indeksów próbek przeznaczony dla cyfrowego oscylatora harmonicznego.

Cyfrowy oscylator harmoniczny (ang. *Numerically Controlled Oscillator*) to urządzenie którego zadaniem jest generowanie cyfrowych reprezentacji, to jest próbek, funkcji sinusoidalnej. Próbki te w postaci liczb naturalnych podawane są na wejście przetwornika cyfrowo-analogowego (C/A), gdzie przetwarzane są na napięcie tworząc funkcję sinusoidalną aproksymowaną przebiegiem schodkowym – ekstrapolacja zerowego rzędu.

Cyfrowe oscylatory harmoniczne (NCO) są jednym z elementów składowych w bezpośrednich syntezerach częstotliwości DDS (ang. *Direct Digital Synthesiser*). Zbudowane są one zazwyczaj z akumulatora fazy, oraz konwertera faza-amplituda. Funkcję konwertera faza-amplituda pełni zazwyczaj pamięć ROM lub czasem funkcję tą pełni algorytm CORDIC. Akumulator fazy zbudowany jest z rejestru fazy oraz sumatora.

Aktualna wartość  $\phi[n]$  na wyjściu akumulatora fazy jest sumą wartości inkrementu fazy  $F_r$  i poprzedniej wartości  $\phi[n-1]$  przechowanej w rejestrze fazy. Gdy wartość  $\phi[n]$  na wyjściu akumulatora fazy jest większa od jego pojemności tzn. większa od  $2^A-1$  akumulator przepełnia się. Przepełnienie akumulatora można opisać wzorem  $\phi[n] = \langle nF_r \rangle_{2^A} (1)$ , w którym operacja  $\langle x \rangle_y$  oznacza operację reszty z dzielenia liczby  $x$  przez  $y$  ( $x$  modulo  $y$ ), natomiast  $n$  jest indeksem aktualnie generowanej próbki.

Częstotliwość wyjściowa  $f_o$ , generowana przez układ DDS z opisanym powyżej akumulatorem fazy jest dana wzorem:  $f_o = \frac{F_r}{2^A} f_s (2)$ , gdzie  $f_s$  jest częstotliwością odtwarzania próbek (taktowania układu NCO),  $F_r$  inkrementem akumulatora fazy,  $A$  – pojemnością akumulatora fazy. Wadą układów DDS o architekturze przedstawionej na jest wpływ funkcji modulo w zależności (1). Poszczególne okresy przebiegu na wyjściu konwertera faza-amplituda mogą składać się z różnych zestawów próbek. Rzeczywisty okres generowanego przebiegu jest w danym przypadku wielokrotnością okresu sygnału taktującego NCO i nazywany jest okresem numerycznym (ang. *Grand Repetition Rate* GRR). Powoduje to powstawanie fluktuacji wartości skutecznej sygnału sinusoidalnego na wyjściu przetwornika C/A [1].

W cyfrowych źródłach wzorcowego napięcia przemiennego zmianę częstotliwości wytwarzanego sygnału realizuje się m.in. poprzez zmianę liczby próbek w okresie generowanej sinusoidy. Wymaga to obliczenia nowego zestawu cyfrowych reprezentacji przebiegu sinusoidalnego po każdej zmianie częstotliwości. W przykładowym urządzeniu opisanym w [2] próbki sinusoidy obliczane są przez procesor sygnałowy przy wykorzystaniu algorytmu Cody'ego i Waite'a [4]. Często praktyką jest wykorzystanie symetrii funkcji sinusoidalnej i obliczanie jej wartości w przedziale od 0 do  $\pi/2$  i odpowiednie manipulowanie indeksami próbek oraz bitem znaku by w pełni odtworzyć cały okres funkcji sinusoidalnej.

W pracy [3] przedstawiono podstawy matematyczne metody umożliwiającej wygenerowanie funkcji sinusoidalnej przy obliczaniu jej wartości z małego przedziału argumentów z zakresu  $\langle 0; 2\pi/G \rangle$ , gdzie  $G$  jest dowolną liczbą naturalną. Metodę tą nazwano metodą ograniczonego kąta obrotu wektora jednostkowego (MOKO). W szczególnym przypadku dla  $G=4$  odtwarza się pełnookresową sinusoidę na podstawie wartości zawartych w jej ćwiartce. Przy wykorzystaniu metody MOKO możliwe jest prowadzenie obliczeń w sposób równoległy co zniży skracając czas obliczeń. Znany jest schemat blokowy oscylatora harmonicznego, wykorzystującego metodę MOKO. Cyfrowy oscylator zbudowany jest on z koprocesora obliczającego funkcje sinus i cosinus w zakresie małych kątów od 0 do  $\langle 0; 2\pi/G \rangle$ . Funkcje te są odpowiednio przeskalowane i zsumowane. Ponieważ funkcja trygonometryczna obliczana jest w zakresie małego kąta, błąd aproksymacji jest mały. Ponadto do ich obliczenia mogą zostać wykorzystane wielomiany niskich rzędów co zmniejsza liczbę wymaganych sprzętowych cyfrowych układów mnożących. Obliczanie to wykonywane jest równoległe a na wyjściu koprocesora uzyskuje się kilka wartości funkcji sinusoidalnej, z których w danej chwili czasu tylko jedna może być wykorzystana do obliczenia cyfrowej reprezentacji funkcji sinusoidalnej dla danej dyskretnej wartości fazy. Z tego powodu na wyjściu koprocesora znajdują się multipleksery które podają na wyjście jedną z wymienionych wartości z wyjścia koprocesora. Całym procesem generacji steruje tzw. akumulator indeksów. Generuje on zarówno odpowiednią wartość indeksu  $n$  jak i steruje pracą multiplekserów poprzez sygnały oznaczone jako  $Sgn$  i  $IoS$ .

Układ według wynalazku charakteryzuje się tym, że składa się: z sumatora do którego wejścia *a* podłączony jest sygnał z wyjścia rejestru *a* do jego wejścia *b* sygnał wejściowy *G*; z sumatora do którego wejścia *a* podłączony jest sygnał wejściowy *G* a do jego wejścia *b* sygnał z układu odejmującego; z układu odejmującego do którego wejścia *a* podłączony jest sygnał wyjściowy z rejestru, a do jego wejścia *b* sygnał wejściowy *N*; z multiplexera do którego wejścia *c* podłączony jest sygnał wyjściowy z sumatora, do jego wejścia *d* sygnał wyjściowy z sumatora, natomiast do jego wejścia sterującego *s* wyjście z przerzutnika; z rejestru, do którego wejścia *d* podłączony jest sygnał z wyjścia multiplexera, do jego wejścia zegarowego *c* wchodzi wejściowy sygnał taktujący *clk*, a do jego wejścia repetującego *r* sygnał wejściowy *rst*; z komparatora, do którego wejścia *a* podłączony jest sygnał z wyjścia multiplexera, a do jego wejścia *b* sygnał wejściowy *N*; z przerzutnika typu D, do którego wejścia ustawiającego *s* podawany jest sygnał z wyjścia  $\geq$  komparatora, do jego wejścia zerującego sygnał z wyjścia  $<$  komparatora, natomiast jego wejścia zegarowe *c* oraz danych *d* są ustawione w stanie niskim; z licznika, do którego wejścia zegarowego reagującego na zbocze opadające podawany jest sygnał z przerzutnika natomiast do wejścia resetującego sygnał wejściowy *rst*; z sumatora, na którego wejście *a* podany jest sygnał z wyjścia rejestru, a na jego wejście *b* sygnał wejściowy *G*; z układu odejmującego na którego wejście *a* podany jest sygnał wyjściowy z rejestru, a na jego wejście *b* sygnał wejściowy *N*; z multiplexera na którego wejście *c* podany jest sygnał wyjściowy z sumatora, na jego wejścia *d* sygnał wyjściowy z układu odejmującego, natomiast na jego wejście sterujące *s* wyjście z przerzutnika; z rejestru na którego wejście *d* podany jest sygnał z wyjścia multiplexera, na jego wejście zegarowe *c* wchodzi wejściowy sygnał taktujący *clk*, a na jego wejście zerujące *r* sygnał wejściowy *rst*.

Zaletą rozwiązania według wynalazku jest między innymi szybkie obliczanie wartości funkcji sinusoidalnej przy wykorzystaniu klasycznych metod tj. aproksymacje wielomianowe przy czym ze względu na możliwość przeprowadzania równoległych obliczeń (układy FPGA) znacznie skraca się czas obliczeń a co za tym idzie czas generacji próbki.

Wynalazek znajdzie zastosowanie w cyfrowych oscylatorach harmonicznym w układach do bezpośredniej syntezy częstotliwości wykorzystywanych do budowy źródeł i generatorów napięcia przemiennego.

Przedmiot wynalazku przedstawiono w przykładzie wykonania na rysunku na którym fig. 1 przedstawia schemat blokowy cyfrowego oscylatora harmonicznego wykorzystującego metodę MOKO, a fig. 2 przedstawia schemat blokowy układu akumulatora indeksów próbek. Układ składa się: z sumatora **A1** do którego wejścia *a* podłączony jest sygnał z wyjścia rejestru **DDF1** a do jego wejścia *b* sygnał wejściowy *G*; z sumatora **A2** do którego wejścia *a* podłączony jest sygnał wejściowy *G* a do jego wejścia *b* sygnał z układu odejmującego **S1**; z układu odejmującego **S1** do którego wejścia *a* podłączony jest sygnał wyjściowy z rejestru **DDF1**, a do jego wejścia *b* sygnał wejściowy *N*; z multiplexera **M1** do którego wejścia *c* podłączony jest sygnał wyjściowy z sumatora **A1**, do jego wejścia *d* sygnał wyjściowy z sumatora **A2**, natomiast do jego wejścia sterującego *s* wyjście z przerzutnika **FF**; z rejestru **DDF1**, do którego wejścia *d* podłączony jest sygnał z wyjścia multiplexera **M1** do jego wejścia zegarowego *c* wchodzi wejściowy sygnał taktujący *clk*, a do jego wejścia repetującego *r* sygnał wejściowy *rst*, z komparatora **CMP**, do którego wejścia *a* podłączony jest sygnał z wyjścia multiplexera **M1**, a do jego wejścia *b* sygnał wejściowy *N*; z przerzutnika typu D **DDF**, do którego wejścia ustawiającego *s* podawany jest sygnał z wyjścia  $\geq$  komparatora **CMP**, do jego wejścia zerującego sygnał z wyjścia  $<$  komparatora **CMP**, natomiast jego wejścia zegarowe *c* oraz danych *d* są ustawione w stanie niskim; z licznika **CNT**, do którego wejścia zegarowego reagującego na zbocze opadające podawany jest sygnał z przerzutnika **DDF**, natomiast do wejścia resetującego sygnał wejściowy *rst*, z sumatora **A3**, na którego wejście *a* podany jest sygnał z wyjścia rejestru **DDF2**, a na jego wejście *b* sygnał wejściowy *G*; z układu odejmującego **S2** na którego wejście *a* podany jest sygnał wyjściowy z rejestru **DDF2**, a na jego wejście *b* sygnał wejściowy *N*; z multiplexera **M2** na którego wejście *c* podany jest sygnał wyjściowy z sumatora **A3**, na jego wejścia *d* sygnał wyjściowy z układu odejmującego **S2** natomiast na jego wejście sterujące *s* wyjście z przerzutnika **DDF**; z rejestru **DDF2** na którego wejście *d* podany jest sygnał z wyjścia multiplexera **M2**, na jego wejście zegarowe *c* wchodzi wejściowy sygnał taktujący *clk*, a na jego wejście zerujące *r* sygnał wejściowy *rst*.

Układ posiada dwa wejścia *N* oraz *G*. Poprzez wejście *N* do układu dostarczana jest informacja o liczbie próbek w okresie. Wchodzi ona na wejścia układów odejmujących **S1**, **S2** oraz komparatora **CMP**. Poprzez drugie wejście *G* do układu dostarczana jest informacja o krotności kąta wektora jednostkowego (metody MOKO) został ograniczony. Informacja ta dostarczana jest na wejście sumato-

rów **A1**, **A2**, **A3**. Układy: sumujące **A1** oraz **A2**, odejmujący **S1**, multiplexer **M1**, zestaw przerzutników typu D **DFF1**, komparator **CMP** oraz przerzutnik typu D **DFF** zostały połączone w ten sposób, że gdy przerzutnik **DFF** sterujący pracą multiplexera **M1** ustawia na swoim wyjściu stan niski to multiplexer przenosi na swoje wyjście zawartość sumatora **A1**. Wtedy liczba na wyjściu rejestru **DFF1** z każdym taktem sygnału taktującego *clk* jest zwiększana o *G* aż do momentu w którym na wyjściu multiplexera **M1** pojawi się liczba większa lub równa liczbie próbek w okresie *N*. Wtedy komparator **CMP** ustawia stan wysoki na wyjściu przerzutnika **DFF**. Gdy to nastąpi na wejście rejestru **DFF1** zostanie podana wartość z układu odejmującego **S1** oraz **A2** czyli różnica aktualnej zawartości rejestru **DFF** oraz liczby próbek w okresie *N* powiększona o *G*. W kolejnym takcie sygnału zegarowego *clk* zawartość na wyjściu rejestru **DFF** będzie mniejsza od liczby próbek w okresie *N* co spowoduje że multiplexer **M1** na swoje wyjście wystawi znowu zawartość z sumatora **A1**. Liczba opadających zboczy sygnału z wyjścia przerzutnika **DFF** jest zliczana przez licznik **CNT**. Najbardziej znaczący bit licznika **CNT** jest bitem *Sgn*, który steruje multiplexerem mux 2 z fig. 2. Natomiast mniej znaczące bity sterują pracą multiplexera mux1 z fig. 2 tworząc sygnał *IoS*. Sygnał z wyjścia przerzutnika **DFF** steruje pracą multiplexera **M2**, w ten sposób, że gdy liczba na wejściu rejestru **DFF1** jest mniejsza od liczby próbek w okresie *N* to na wejście rejestru **DFF2** podawany jest sygnał wyjścia z sumatora **A3**, wtedy z każdym taktem sygnału zegarowego *clk* wartość na wyjściu rejestru będzie zwiększana o *G*. Natomiast, gdy liczba na wejściu rejestru **DFF1** jest większa bądź równa liczbie próbek w okresie poprzez multiplexer **M2** na wejście rejestru **DFF2** podana zostanie wartość równa różnicy wartości z wyjścia przerzutnika **DFF** i liczby próbek w okresie *N*. Sygnał z wyjścia przerzutnika **DFF2** tworzy sygnał będący indeksem aktualnie obliczanych próbek *n'* z fig. 2.

#### **WYKAZ PUBLIKACJI**

- [1] Popek G., Kampik M., Musioł K.: Fluktuacje wartości skutecznej sygnału sinusoidalnego generowanego przez źródła wykorzystujące bezpośrednią syntezę częstotliwości (DDS), PAK, vol. 56, nr 8/2010, s. 836–839
- [2] Kampik M.: Cyfrowe źródła wzorcowego napięcia przemiennego o małej częstotliwości, Monografia 224, Wydawnictwo Politechniki Śląskiej, Gliwice 2009
- [3] Popek G.: Cyfrowy oscylator harmoniczny przeznaczony dla wzorcowego źródła napięcia przemiennego, Gliwice 2010, rozprawa doktorska
- [4] Cody J.W., Waite W.: Software manual for the elementary functions, Prentice-Hall, New Jersey 1980, ISBN 0-13-822064-6

#### **WYKAZ OZNACZEN**

**S1** – układ odejmujący  
**S2** – układ odejmujący  
**CMP** – komparator  
**A1** – sumator  
**A2** – sumator  
**A3** – sumator  
**M1** – multiplexer  
**M2** – multiplexer  
**DFF** – przerzutnik typu D  
**DFF1** – przerzutnik typu D  
**DFF2** – przerzutnik typu D  
**CNT** – licznik

#### **Zastrzeżenie patentowe**

Układ akumulatora indeksów próbek przeznaczony dla cyfrowego oscylatora harmonicznego, **znamienny tym**, że składa się: z sumatora (**A1**) do którego wejścia *a* podłączony jest sygnał z wyjścia rejestru (**DFF1**) a do jego wejścia *b* sygnał wejściowy *G*; z sumatora (**A2**) do którego wejścia *a* podłączony jest sygnał wejściowy *G* a do jego wejścia *b* sygnał z układu odejmującego (**S1**); z układu odejmującego (**S1**) do którego wejścia *a* podłączony jest sygnał wyjściowy z rejestru (**DFF1**), a do jego

wejścia *b* sygnał wejściowy *N*; z multiplexera (**M1**) do którego wejścia *c* podłączony jest sygnał wyjściowy z sumatora (**A1**), do jego wejścia *d* sygnał wyjściowy z sumatora (**A2**), natomiast do jego wejścia sterującego *s* wyjście z przerzutnika (**DFE**); z rejestru (**DFE1**), do którego wejścia *d* podłączony jest sygnał z wyjścia multiplexera (**M1**), do jego wejścia zegarowego *c* wchodzi wejściowy sygnał taktujący *clk*, a do jego wejścia repetującego *r* sygnał wejściowy *rst*, z komparatora (**CMP**), do którego wejścia *a* podłączony jest sygnał z wyjścia multiplexera (**M1**), a do jego wejścia *b* sygnał wejściowy *N*; z przerzutnika typu D (**DFE**) do którego wejścia ustawiającego *s* podawany jest sygnał z wyjścia  $\geq$  komparatora (**CMP**) do jego wejścia zerującego sygnał z wyjścia  $<$  komparatora (**CMP**), natomiast jego wejścia zegarowe *c* oraz danych *d* są ustawione w stanie niskim; z licznika (**CNT**), do którego wejścia zegarowego reagującego na zbocze opadające podawany jest sygnał z przerzutnika (**DFE**), natomiast do wejścia resetującego sygnał wejściowy *rst*, z sumatora (**A3**), na którego wejście *a* podany jest sygnał z wyjścia rejestru (**DFE2**), a na jego wejście *b* sygnał wejściowy *G*; z układu odejmującego (**S2**) na którego wejście *a* podany jest sygnał wyjściowy z rejestru (**DFE2**), a na jego wejście *b* sygnał wejściowy *N*; z multiplexera (**M2**) na którego wejście *c* podany jest sygnał wyjściowy z sumatora (**A3**), na jego wejścia *d* sygnał wyjściowy z układu odejmującego (**S2**), natomiast na jego wejście sterujące *s* wyjście z przerzutnika (**DFE**); z rejestru (**DFE2**) na którego wejście *d* podany jest sygnał z wyjścia multiplexera (**M2**), na jego wejście zegarowe *c* wchodzi wejściowy sygnał taktujący *clk*, a na jego wejście zerujące *r* sygnał wejściowy *rst*.

Rysunek

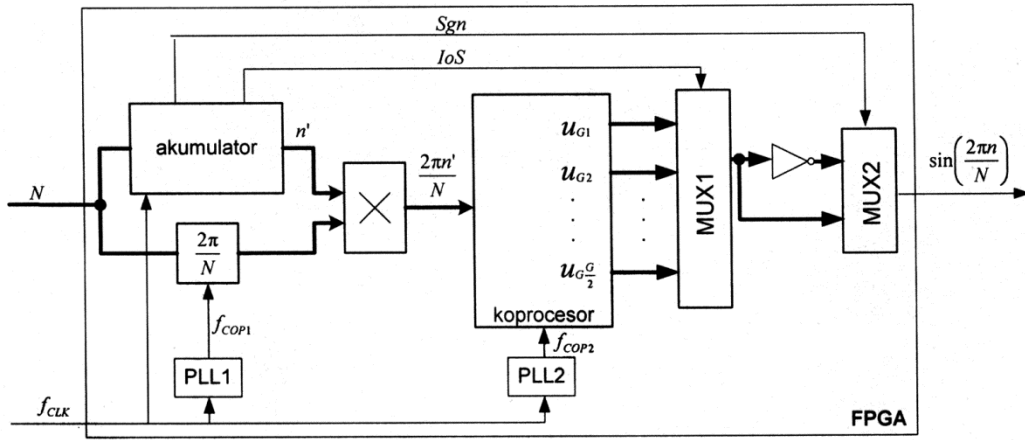


Fig.1

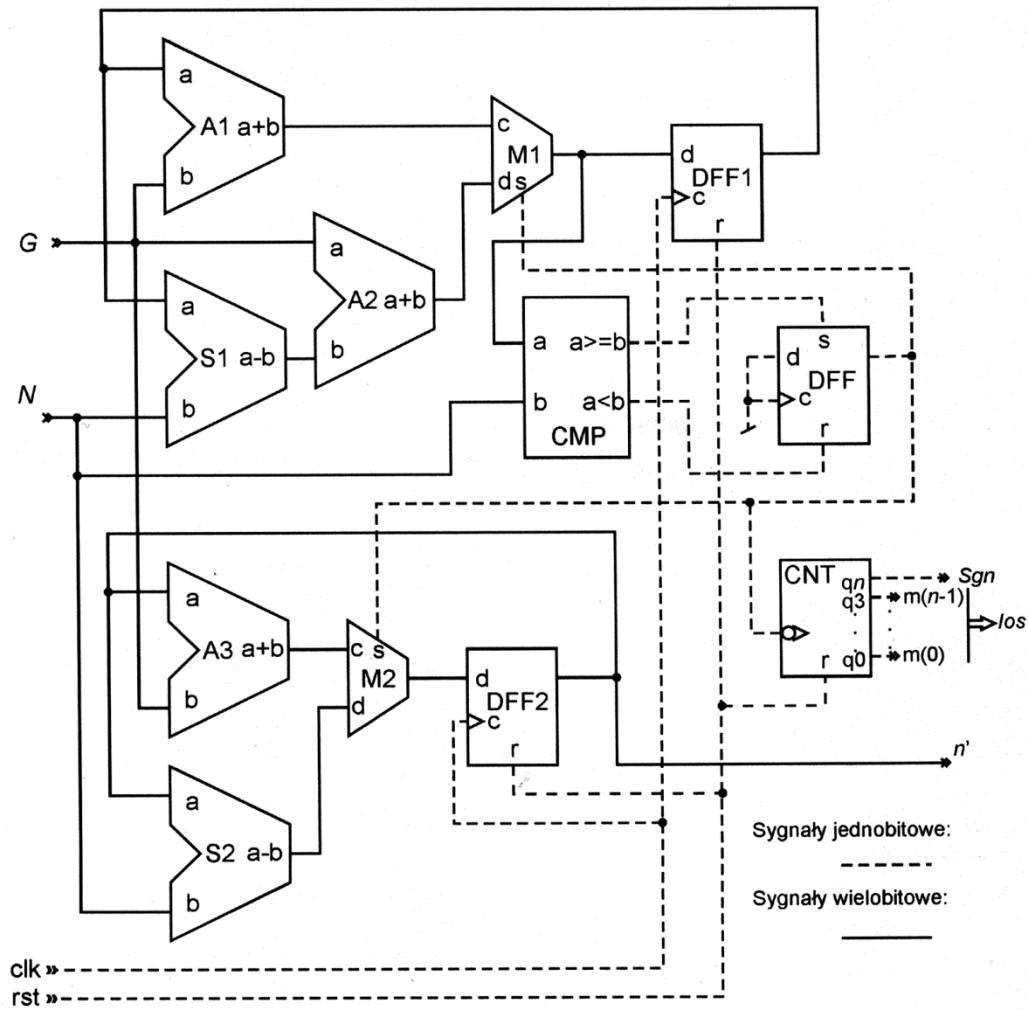


Fig.2