

Stanisław FRANIEL

Instytut Aparatury i Automatyki Medycznej
Politechniki Śląskiej w Gliwicach

LOGARYTMUJĄCY KONWERTER ANALOGOWO-CYFROWY

Streszczenie. W pracy przedstawiono sposoby realizacji logarytmujących konwerterów analogowo-cyfrowych działających na zasadzie porównania napięcia mierzonego z wzorcową krzywą eksponencjalną. Pokazano przykładowe rozwiązania układów wytwarzających przebiegi wykładnicze, omawiając ich wady i zalety. Przedstawiono wyniki badań zrealizowanego konwertera log A/C.

WSTĘP

Przy dokonywaniu niektórych pomiarów wielkości fizycznych metodami elektrycznymi zachodzi konieczność przeprowadzenia operacji logarytmowania sygnałów wejściowych lub pośrednich. Dotychczasowe metody przetwarzania takich sygnałów polegały na analogowym logarytmowaniu elektrycznego sygnału wejściowego i następnie konwersji sygnału zlogarytmowanego na postać cyfrową w przetworniku A/C.

Dwuetapowa obróbka wynikała bądź z potrzeby cyfrowej prezentacji wyniku, bądź z konieczności dalszej obróbki cyfrowej przetworzonego sygnału wejściowego.

Zasada działania analogowych układów logarytmujących oparta jest na nieliniowych przekształceniach sygnału wejściowego przy użyciu metody aproksymacji odcinkowej funkcji logarytmicznej z diodowymi generatorami funkcji nieliniowych lub na wykorzystaniu nieliniowych charakterystyk złącz półprzewodnikowych diod i tranzystorów.

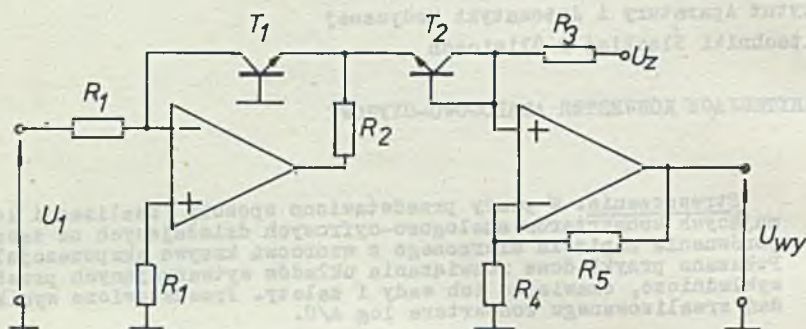
Najczęściej używanym analogowym układem logarytmującym jest układ, w którym zastosowano różnicową parę planarnych tranzystorów krzemowych w celu kompensacji zmian termicznych prądu w złączu p-n. Układ ten przedstawia rysunek 1 [1].

Napięcie wyjściowe z układu określone jest następującą zależnością:

$$U_{wy} = -\frac{kT}{q} \left(1 + \frac{R_5}{R_4} \right) \ln \frac{U_1 R_3}{R_1 U_2} + C, \quad (1)$$

gdzie:

- k - stała Boltzmanna,
- q - ładunek elektronu,
- T - temperatura bezwzględna.



rys. 1. Analogowy układ logarytmujący

Fig. 1. Analog logarithmic system

Stała C można wyeliminować wówczas, gdy obydwa tranzystory posiadają identyczne parametry. Uzyskuje się to przez zastosowanie specjalnych tranzystorów podwójnych wykonanych na wspólnym podłożu w czasie jednego procesu technologicznego. Niestety, jak wynika z zależności (1), napięcie wyjściowe uzależnione jest od temperatury złącza p-n i szacunkowy błąd wynikający ze zmian temperatury otoczenia w zakresie $15-40^{\circ}\text{C}$ będzie wynosił około 9%. Istnieje możliwość pewnej kompensacji błędu temperaturowego poprzez uzależnienie wzmacnienia wzmacniacza końcowego od temperatury. Uzyskuje się to przez dołączenie w szereg z rezystorem R_4 termistora o odpowiednim współczynniku temperaturowym, jednakże ten zabieg pozwala na eliminację wpływu temperatury w dość wąskim zakresie temperatur otoczenia.

Znacznie lepsze rezultaty osiąga się przez zastosowanie specjalnych układów elektronicznych pozwalających na termostatyzację pary tranzystorów użytych w układzie logarytmującym, np. przez zastosowanie układu scalonego typu $\mu\text{A} 726$, zawierającego różnicową parę tranzystorów i termostat, wykonane na jednym podłożu lub układu scalonego UL 1111N z dodatkowym obwodem elektronicznym.

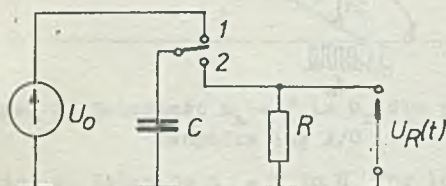
Zabiegi te powodują znaczną komplikację i podrożenie układu logarytmującego. Dodatkowym czynnikiem podnoszącym koszt układu jest konieczność zastosowania konwertera A/C do cyfrowej prezentacji wyniku pomiaru.

Podobne dokładności i właściwości układu można uzyskać znacznie niższym kosztem, stosując bezpośrednią logarytmującą konwersję analogowo-cyfrową sygnału wejściowego.

LOGARYTMUJĄCY KONWERTER ANALOGOWO-CYFROWY

Zasada pracy logarytmującego konwertera analogowo-cyfrowego

Zasadę pracy takiego układu, składającego się ze źródła napięcia U_0 , rezystora R i pojemności C , przylączanej do napięcia U_0 lub rezystora, przedstawia rys. 2.



Rys. 2. Zasada pracy przetwornika
Fig. 2. Principle of operation of the converter

Gdy klucz znajduje się w położeniu "1", kondensator C ładuje się do napięcia U_0 . Po naładowaniu kondensatora następuje przełączenie klucza w położenie "2". Napięcie na pojemności C i rezystancji R , malejące eksponencjalnie od U_0 w chwili $t=0$, do $U_R=0$ w $t=\infty$, jest określone równaniem:

$$U_R(t) = U_0 \exp\left(-\frac{t}{\tau}\right); \quad \tau = RC \quad (2)$$

Podajmy napięcie $U_R(t)$ na jedno z wejść komparatora, a na drugie jego wejście napięcie mierzone U_x (rys. 3a). Po czasie t_x nastąpi zrównanie obydwu napięć i zmiana stanu na wyjściu komparatora (rys. 3b). Opisując powyższe zdarzenie równaniem uzyskujemy:

$$U_x = U_R(t_x) = U_0 \exp\left(-\frac{t_x}{\tau}\right) \quad (3)$$

Logarytmując równanie (3) otrzymamy czas, po którym nastąpiła zmiana stanu komparatora;

$$t_x = -\tau \ln \frac{U_x}{U_0} \quad (4)$$

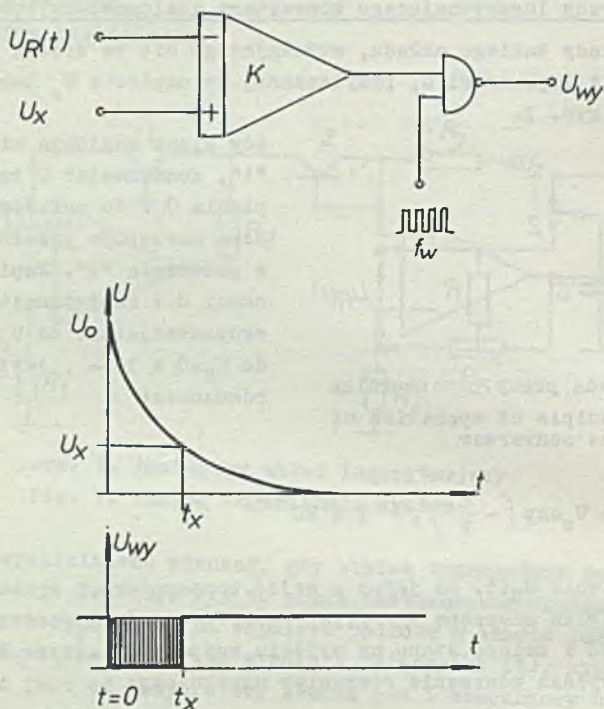
Jeśli komparator będzie sterował otwarciem bramki, to na jej wyjściu w czasie t_x pojawi się n_x impulsów

$$n_x = f_w t_x \quad (5)$$

gdzie:

f_w - częstotliwość generatora wzorcowego,
czyli

$$n_x = -f_w \tau \ln U_x + f_w \tau \ln U_0 = -f_w \tau \ln U_x + B, \quad (6)$$



Rys. 3

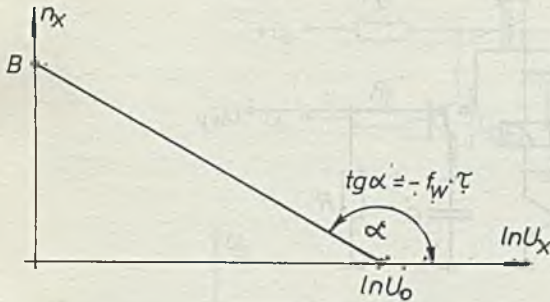
a. Komparator z bramką, b. Przebiegi czasowe w układzie

Fig. 3

a. Comparator with a gate, b. Transients in the system

tzn., że ilość impulsów na wyjściu bramki jest proporcjonalna do logarytmu naturalnego z napięcia mierzonego U_x . Czynniki $f_w \tau \ln U_0 = B$ ma wartość stałą niezależną od U_x . Zależność $n_x = f(\ln U_x)$ przedstawia prosta o nachyleniu $\operatorname{tg} \alpha = -f_w RC$ i przesunięciu B (rys. 4).

Oporając się na powyższej zasadzie można zbudować logarytmujący konwerter analogowo-cyfrowy. Schemat blokowy prostego konwertera $\log A/C$ przedstawiono na rys. 5. Składa się on z generatora napięciowych przebiegów wykładniczych, sterowanego z układu sterującego, który jednocześnie w czasie ładowania kondensatora blokuje bramkę B, komparatora porównującego napięcie mierzone U_x z napięciem eksponencjalnym i licznika, który w czasie t_x zlicza impulsy z generatora impulsów wzorcowych.

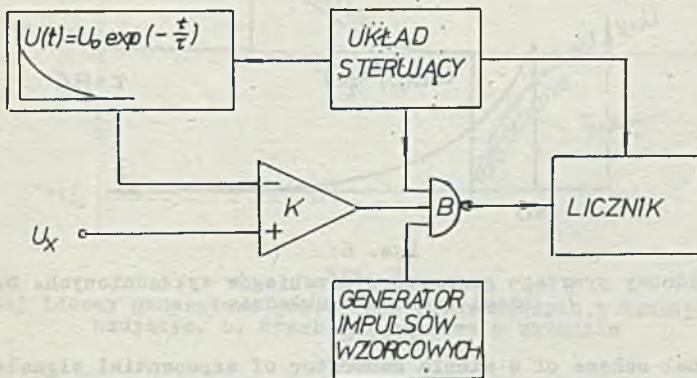


Rys. 4. Zależność $n_x = f \ln U_x$ dla przetwornika log A/C

Fig. 4. Relation $n_x = f \ln U_x$ for log A/D converter

Sposoby realizacji generatorów przebiegów wykładniczych

Najprostszym układem generującym funkcję wykładniczą jest nieco zmodyfikowany układ z rysunku 2, w którym klucze "1" i "2" zostają zastąpione stykami zwierzno-rozwiernymi kontaktronu przełączającego. Schemat ideowy układu przedstawiono na rys. 6a. Zadaniem rezystora R_0 jest ograniczenie maksymalnego prądu przepływającego

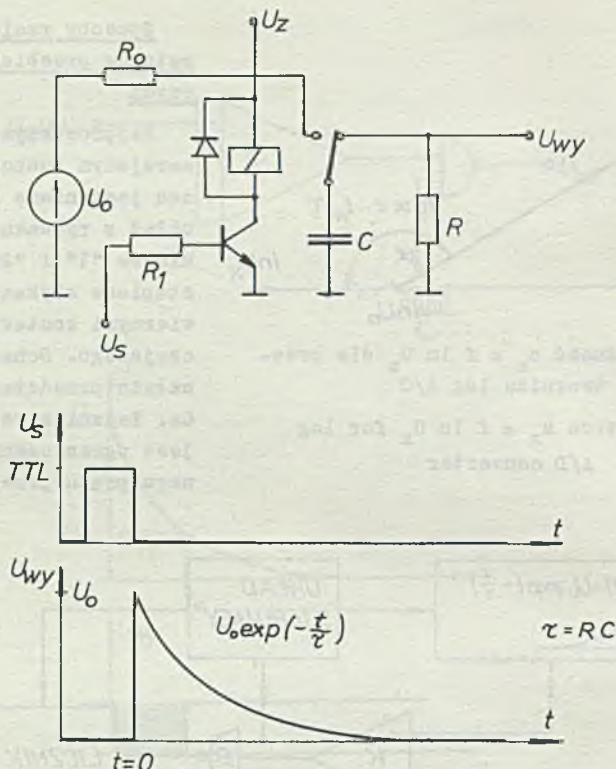


Rys. 5. Schemat blokowy prostego konwertera log A/C

Fig. 5. Block scheme of a simple log A/D converter

przez zestyki kontaktronu w czasie ładowania kondensatora. Ma to na celu wyeliminowanie możliwości sklemania się zestyków w przypadku przepływu zbyt dużego prądu. Rezystor R , decydujący o stałej czasowej obwodu RC , można zastąpić odpowiednim potencjometrem lub dzielnikiem rezystancyjnym, tak by maksymalna wartość napięcia wyjściowego nie przekraczała dopuszczalnego napięcia wejściowego zastosowanego komparatora. Przebiegi czasowe w omawianym układzie pokazano na rys. 6b.

Prezentowany układ teoretycznie nie posiada żadnych wad, w praktyce jednak mogą wystąpić drgania zestyków w chwili przełączania. Może to spowodować powstawanie fałszywych stanów na wyjściu komparatora, a tym samym wprowadzić dodatkowe błędy przetwarzania.



Rys. 6

a. Schemat ideowy prostego generatora przebiegów wykładniczych. b. Przebiegi czasowe w układzie

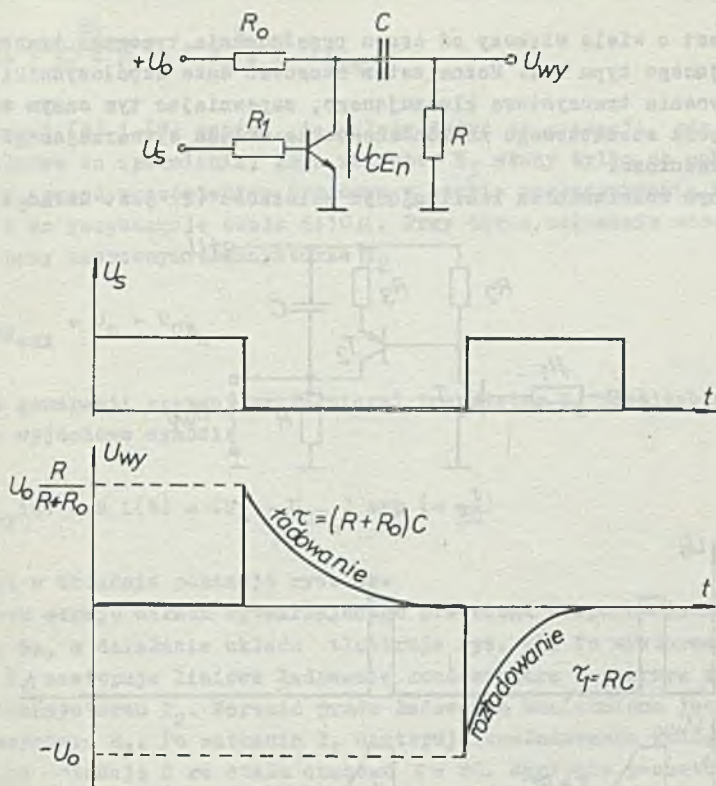
Fig. 6

a. Conceptual scheme of a simple generator of exponential signals. b. Transients in the system

Inną realizację układu generatora przebiegów wykładniczych przedstawiono na rys. 7a. W układzie tym rolę przełącznika spełnia element bezstykowy - tranzystor. Po przejściu klucza tranzystorowego w stan zatkania następuje ładowanie kondensatora i napięcie wyjściowe z układu określone jest zależnością:

$$U_{wy}(t) = U_0 \frac{R}{R + R_0} \exp\left(-\frac{t}{\tau}\right); \quad \tau = (R + R_0)C \quad (7)$$

Po przejściu klucza tranzystorowego w stan nasycenia nastąpi rozładowywanie kondensatora naładowanego do napięcia U_0 przez rezystancję R . Przebieg napięcia wyjściowego w zależności od napięcia sterującego U_s jest przedstawiony na rys. 7b. Rysunek ten ilustruje sytuację, gdy $U_{ONas} = 0$.



Rys. 7

a. Schemat ideowy generatora przebiegów wykładniczych z tranzystorem klu-
czującym. b. Przebiegi czasowe w układzie

Fig. 7

a. Conceptual scheme of a generator of exponential signals with a swit-
ching transistor. b. Transients in the system

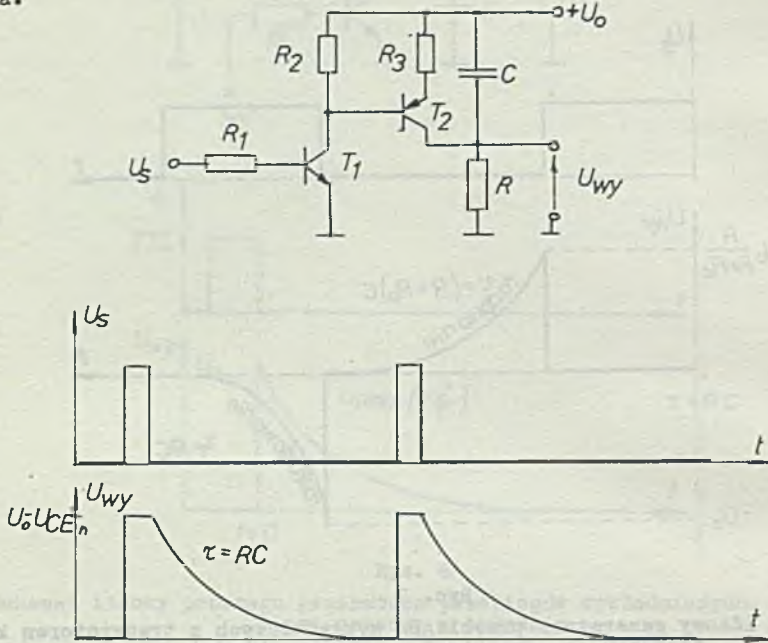
Jednak w układzie rzeczywistym $U_{CE\text{nas}} \neq 0$ i w zależności od współczynni-
ka głębokości nasycenia k [2]

$$k = \frac{\beta_0 I_{BF}}{I_{C\text{max}}}$$

(gdzie β_0 - zwarciový współczynnik wzmocnienia prądowego w układzie WE
dla małych częstotliwości) może wahać się od kilku mV dla k dużego do ok.
0,2V dla $k \approx 1$ (dla tranzystorów krzemowych). Czas przełączania tranzys-
tora od stanu nasycenia do stanu zatkania i odwrotnie jest proporcjonalny
do współczynnika głębokości nasycenia. Jednak nie stanowi to istotnego
problemu, gdyż czas odpowiedzi typowego komparatora, wynoszący od 40 do

200 ns, jest o wiele większy od czasu przełączania typowego tranzystora przełączającego typu BSX. Można zatem stosować duże współczynniki głębokości nasycenia tranzystora kluczującego, zapewniając tym samym małą wartość napięcia szczytkowego na kondensatorze układu wytwarzającego przebiegi wykładnicze.

Następnym rozwiązaniem realizującym zależność (2) jest układ z rysunku 8a.



Rys. 8

- a. Generator przebiegów wykładniczych ze zwieraną pojemnością.
b. Przebiegi czasowe w układzie

Fig. 8

- a. Generator of exponential signals with a short-circuited capacity.
b. Transients in the system

W układzie tym, w przypadku gdy tranzystor T_1 znajduje się w stanie nasycenia, również tranzystor T_2 jest nasycony i na wyjściu pojawia się napięcie:

$$U_{wy} = \frac{R}{R_3 + R} U_o - \frac{R}{R_3 + R} U_{CE2n}, \quad (8)$$

natomiast napięcie szczytkowe na kondensatorze C określone jest zależnością:

$$U_{Cs} = \frac{R_3}{R_3 + R} U_0 + \frac{R}{R_3 + R} U_{CE_{2n}} \quad (9)$$

Z zależności (8) i (9) wynika, że należy dążyć do sytuacji, gdy $R \gg R_3$, co jest łatwe do spełnienia, gdyż rezystor R_3 służy tylko do ochrony tranzystora T_2 przed przetężeniem prądowym w czasie rozładowywania kondensatora C i ma rezystancję około $5 \div 10 \Omega$. Przy takim założeniu możemy napisać, że przy nasyconym tranzystorze T_2

$$U_{wy_{max}} = U_0 - U_{CE_{2n}} \quad (10)$$

W czasie generacji krzywej wykładniczej tranzystor T_2 jest zablokowany i napięcie wyjściowe wynosi:

$$U_{wy}(t) = R i(t) = (U_0 - U_{CE_{2n}}) \exp\left(-\frac{t}{RC}\right) \quad (11)$$

Przebiegi w układzie pokazuje rys. 8b.

Czwartą wersję układu wytwarzającego przebiegi eksponencjalne przedstawia rys. 9a, a działanie układu ilustruje rys. 9b. Po wysterowaniu tranzystora T_1 następuje liniowe ładowanie kondensatora C poprzez źródło prądowe z tranzystorem T_2 . Wartość prądu ładowania uzależniona jest od oporności rezystora R_3 . Po zatknięciu T_1 następuje rozładowanie kondensatora C poprzez rezystancję R ze stałą czasową $\tau = RC$. Napięcie początkowe na pojemności C określone jest zależnością:

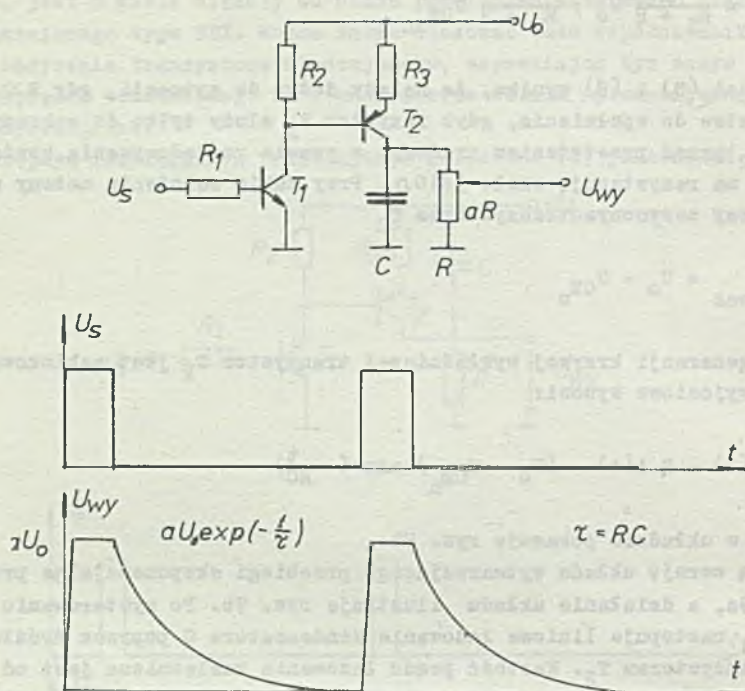
$$U_{C_0} = U_0 - U_{CE_{2n}} \quad (12)$$

Uwzględniając, że tranzystor T_2 pracuje w stanie głębokiego nasycenia, można przyjąć, że $U_{CE_{2n}} \approx 0$, czyli $U_{C_0} \approx U_0$, tym samym napięcie wyjściowe określone jest zależnością (2).

Zastosowanie któregoś z czterech omówionych generatorów przebiegów wykładniczych w układzie konwertera log A/C wg rys. 5 nie zapewni wystarczającej dokładności przetwarzania. Aby zwiększyć dokładność konwersji, należy zastosować dyskryminator oklenkowy z komparatorami. Zostało to uwidocznione na rys. 10a.

Działanie układu jest następujące (rys. 10b):

w stanie początkowym przy rozładowanym kondensatorze C ($U_C = 0$), na wyjściu komparatora K_1 panuje stan wysoki - "H" ($U_{we} > U_G$), natomiast na wyjściu K_2 stan niski - "L" ($U_1 > U_G$). W rezultacie bramka B jest zablokowana niskim potencjałem na jej wejściu. Po naładowaniu kondensatora C do $U_{G_{max}} = U_0$ sytuacja ulegnie zmianie i



Rys. 9

a. Generator przebiegów wykładniczych ze źródłem prądowym. b. Przebiegi czasowe w układzie

Fig. 9

a. Generator of exponential signals with a current force. b. Transients in the system

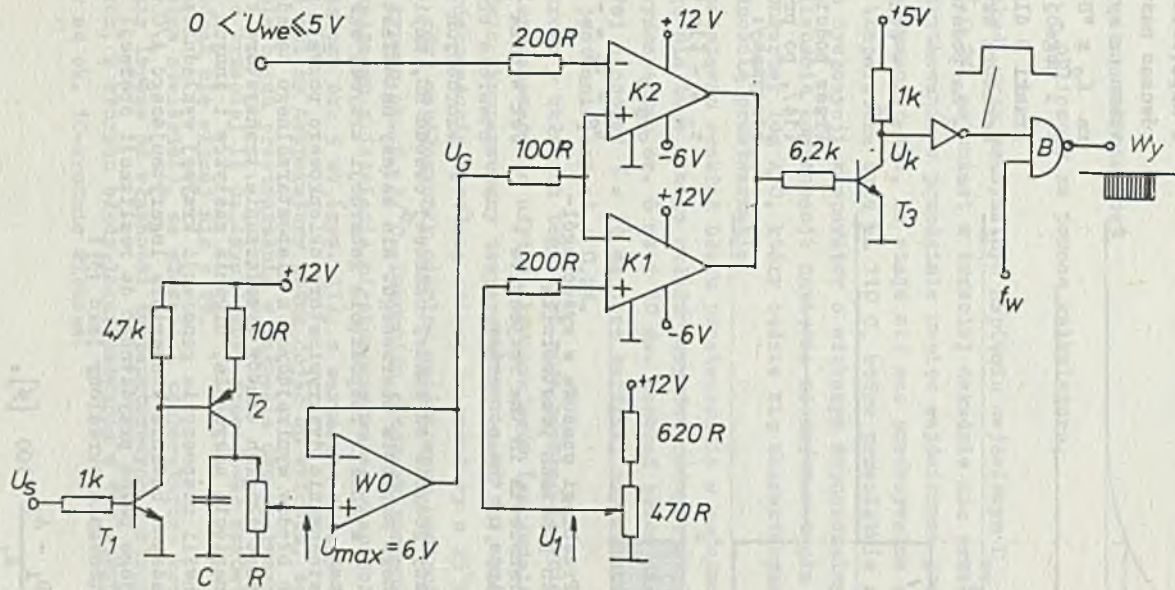
komparatory zmieniają swoje stany na przeciwne; K_1 z "H" na "L" a K_2 z "L" na "H", gdyż teraz $U_{we} < U_G$ i $U_1 < U_G$, jednak bramka B pozostaje w dalszym ciągu zablokowana. Po przejściu T_1 w stan odcięcia następuje rozładowanie kondensatora C ze stałą czasową $\tau = RC$. Gdy napięcie eksponencjalnie spadnie do wartości napięcia podparcia U_1 , następuje zmiana stanu na wyjściu komparatora K_1 z "L" na "H", a tym samym otwarcie bramki B dla impulsów z generatora wzorcowego.

Przez analogię do (3) możemy napisać, że:

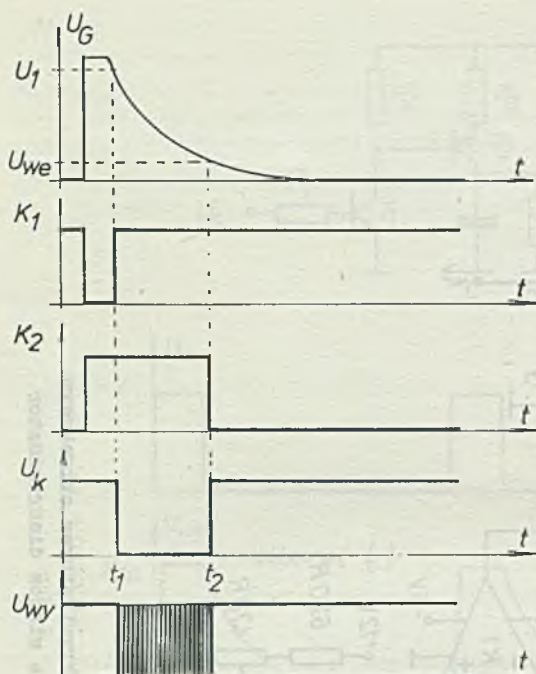
$$U_1 = U_0 \exp\left(-\frac{t_1}{\tau}\right),$$

czyli

$$U_0 = U_1 \exp\left(\frac{t_1}{\tau}\right) \quad (13)$$



Rys. 10a. Konwerter log A/C z dyskryminatorem okienkowym
 Fig. 10a. Log A/D converter with a window discriminator



Rys. 10.b. Przebiegi czasowe w wyszczególnionych punktach przetwornika

Fig. 10b. Transients in the respective points of the converter

licznik zależy jedynie od stałej czasowej obwodu RC, napięcia podparcia U_1 i aktualnego napięcia mierzonego. Nie zależy natomiast od początkowego napięcia $U_{G_{max}}$ w chwili rozpoczęcia generacji krzywej eksponencjalnej.

Zatem zastosowanie dyskryminatora okienkowego pozwala na uniknięcie ewentualnych błędów wynikających z niepowtarzalnego naładowania się kondensatora, zbyt długich czasów przełączania tranzystora kluczującego, zmian jego napięcia nasycenia, drgania zestyków i innych procesów przejściowych w chwili rozpoczęcia generacji krzywej wykładniczej.

Przeprowadzone badania konwertera logarytmującego A/C wg rys. 10 potwierdziły jego pełną przydatność do realizacji operacji logarytmowania. Błąd logarytmowania określony jako [3]:

$$\delta_{1\%} = \frac{B_1 - A_1}{A_1} 100 [\%],$$

gdzie:

$$B_1 = \log \frac{U_{we0}}{U_{we1}} = k(n_1 - n_0)$$

Bramka pozostaje otwarta do czasu zrównania się napięcia eksponencjalnie malejącego z napięciem wejściowym, gdyż wówczas następuje zmiana stanu na wyjściu komparatora K_2 z "H" na "L" i poprzez T_3 i negację zablokowanie bramki B dla impulsów z generatora wzorcowego. Czas t_2 na podstawie (4) wynosi:

$$t_2 = -\tau \ln \frac{U_{we}}{U_0} \quad (14)$$

Przez podstawienie (13) do (14), po przekształceniu otrzymamy:

$$t_2 = -\tau \ln U_{we} + \tau \ln U_1 + t_1,$$

czyli

$$t_2 - t_1 = -\tau \ln U_{we} + \tau \ln U_1 \quad (15)$$

Jak wynika z (15), czas otwarcia bramki dla impulsów wzorcowych zliczanych przez

n_0 - ilość zmierzonych impulsów odpowiadająca konwersji log A/C dla
 $U_{we_0} = 4,5V,$

n_1 - ilość zmierzonych impulsów odpowiadająca konwersji log A/C dla
 U_{we_1}

k - współczynnik przeliczeniowy

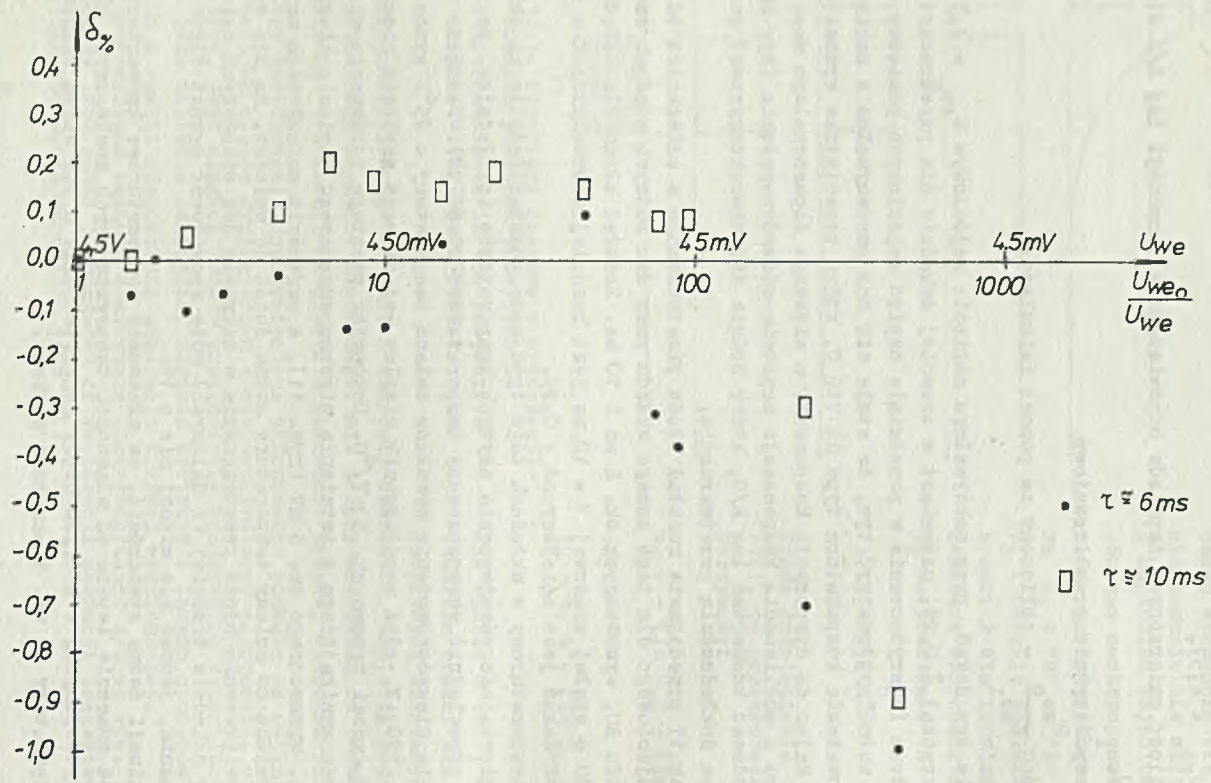
$A_1 = \log \frac{U_{we_0}}{U_{we_1}}$ - obliczony za pomocą kalkulatora,

w zakresie dwu dekad, przy maksymalnym napięciu wejściowym $U_{we_0} = 4,5 V$, nie przekraczał $\pm 0,2\%$, natomiast w trzeciej dekadzie nie przekroczył -1% . Wzrost błędu logarytmowania w przedziale napięć wejściowych pomiędzy $45 mV$ a $4,5 mV$ można wytłumaczyć tym, że staje się ono porównywalne z napięciem niezrównoważenia komparatora typu $\mu A 710 C$, które przeciętnie wynosi około $5 mV$. Mając do dyspozycji komparator o większym dopuszczalnym napięciu wejściowym z możliwością kompensacji napięcia niezrównoważenia (np. LM 111), można zbudować konwerter log A/C, który będzie się charakteryzował znacznie lepszą dokładnością przetwarzania.

Rysunek 11 przedstawia rozkład błędu przetwarzania w zależności od napięcia wejściowego dla tego samego układu przy dwu różnych stałych czasowych obwodu RC, wynoszących ok. $6 ms$ i $10 ms$. Rozkład błędu dla układu z obwodem RC o stałej czasowej $\tau = 10 ms$ jest bardziej równomierny i w zakresie dwu dekad jest mniejszy od $+ 0,2\%$.

Błąd temperaturowy w układach tego typu może powstać jedynie na skutek zmian napięcia niezrównoważenia użytych komparatorów (zakładając, że zastosowano odpowiednio skompensowany temperaturowo obwód RC). Jednakże zmiana napięcia niezrównoważenia wywołana zmianą temperatury o $25^{\circ}C$ wynosi jedynie ok. $120 \mu V$, gdyż współczynnik cieplny wejściowego napięcia niezrównoważenia wynosi typowo ok. $5 \mu V/^{\circ}C$. Dokonując prostego porównania wielkości błędu wynikającego z istnienia nieskompensowanego napięcia niezrównoważenia, wynoszącego ok. $5 mV$ (rys. 11), z wartością zmiany tego napięcia wynikającą ze zmiany temperatury można dojść do wniosku, że nie spowoduje to zwiększenie błędu przetwarzania w zakresie dwu pierwszych dekad, jedynie w dekadzie trzeciej (i dalszych) może spowodować wzrost błędu przetwarzania, jednak nie więcej niż o 1% .

W konkluzji można stwierdzić, że własności temperaturowe konwertera log A/C są znacznie lepsze od własności temperaturowych analogowych układów logarytmujących, w których błędy logarytmowania w tym samym zakresie zmian temperatury są ok. 10-krotnie większe.



Rys. 11. Rozkład błędów konwersji w układzie z rys. 10
 Fig. 11. Distribution of conversion errors in the system of the fig. 10

LITERATURA

- [1] Nadachowski M.; Kulka Z.: Analogowe układy scalone. WKiŁ, Warszawa 1978.
- [2] Filipkowski A.: Układy elektroniczne analogowe i cyfrowe. WNT, Warszawa 1978.
- [3] Piotrowski J.: Podstawy metrologii. Skrypt uczelniany Politechniki Śląskiej nr 293, Gliwice 1971.

Recenzent: Doc. mgr inż. Adam Stryk

Wpłynęło do Redakcji 9.01.1984 r.

АНАЛОГОВО-ЦИФРОВОЙ ЛОГАРИФМИРУЮЩИЙ КОНВЕРТЕР

Р е з ю м е

В работе представлен способ реализации аналогово-цифровых логарифмирующих конвертеров, действующих по принципу сравнения измеряемого напряжения с показательной эталонной кривой. Показаны примерные решения устройств реализующие показательные процессы. Оговорены их преимущества и недостатки. Представлены результаты исследований построенного конвертера А/С.

LOG A/D CONVERTER

S u m m a r y

Ways of logarithmic analog-to-digital converter realizations are presented. All of them use a comparison of a measured voltage with a model exponential curve. Exemplary solutions of generators of exponential signals are presented and their advantages and disadvantages are described. Results of experiments with the loc A/D converter made by the author are presented.