

Marek MENCEL

Instytut Elektroniki
Politechniki Śląskiej w Gliwicach

ZASTOSOWANIE DZIESIĘTYCH PROGRAMOWANYCH DZIELNIKÓW CZĘSTOTLIWOŚCI DO BUDOWY GENERATORÓW DRGAŃ SINUSOIDALNYCH NISKIEJ CZĘSTOTLIWOŚCI

Streszczenie: W artykule omówiono dwa podstawowe typy programowanych dzielników częstotliwości zbudowanych w oparciu o licznik i sumator. Przeprowadzono analizę pracy generatora drgań sinusoidalnych niskiej częstotliwości, wykorzystującego te dzielniki. Na podstawie otrzymanych wyników porównano przydatność obu typów programowanych dzielników częstotliwości do budowy tego typu generatorów.

1. PROGRAMOWANE DZIELNIKI CZĘSTOTLIWOŚCI (PDCz)

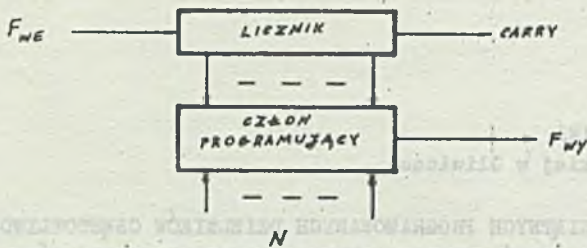
1.1. Programowane dzielniki częstotliwości zbudowane w oparciu o licznik

Najczęściej spotykany układ programowanego dzielnika częstotliwości składa się z licznika (dwójkowego lub dziesiętnego) i członu programującego [2] (rys. 1.). Zadaniem członu programującego jest programowanie liczby impulsów N pojawiających się na wyjściu układu w trakcie zliczania impulsów wejściowych w liczniku. W dwójkowych PDCz liczba N jest nastawiana w kodzie dwójkowym, a licznik jest licznikiem binarnym, natomiast w dziesiętnych PDCz liczba programująca jest podawana w kodzie dwójkowo-dziesiętnym BCD 8421, a licznik liczy w kodzie BCD 5421.

Zajmijmy się bliżej dziesiętnymi PDCz. Przy ich projektowaniu należy uwzględnić następujące wymagania:

- rozkład impulsów wyjściowych w czasie powinien być jak najbardziej równomierny,
- w chwili zmiany stanu $9 \rightarrow 0$ nie powinien być generowany impuls wyjściowy,
- rozwiązanie poszczególnych dekad powinno zapewniać możliwość łączenia kaskadowego,
- człon programujący powinien być programowany w kodzie BCD 8421.

Wybór kodu dekady liczącej jest bardzo istotny ze względu na dążenie do uzyskania równomiernego rozkładu impulsów wyjściowych. Warunki te najlepiej spełnia dekada programowana w kodzie BCD 8421, a licząca w kodzie BCD 5421 [2].



Rys. 1. Schemat blokowy programowanego dzielnika częstotliwości (PDCz) zbudowanego w oparciu o licznik

Fig. 1. Block scheme of a rate multiplier built basing on a counter

Zasada działania dziesiętnego PDCz jest następująca (rys. 2.): jeżeli $x_4=1$, wówczas na wyjściu F_4 otrzymuje się w jednym cyklu zliczania 8 impulsów; podobnie dla $x_3=1$ na wyjściu F_3 otrzymuje się 4 impulsy, dla $x_2=1$ na wyjściu F_2 otrzymuje się 2 impulsy, a dla $x_1=1$ na wyjściu F_1 otrzymuje się 1 impuls.

Jeżeli częstotliwość impulsów wejściowych wynosi F_{we} , wówczas częstotliwość impulsów wyjściowych jest równa [1]:

$$F_{wy} = x_4 \cdot \frac{8}{10} F_{we} + x_3 \cdot \frac{4}{10} F_{we} + x_2 \cdot \frac{2}{10} F_{we} + x_1 \cdot \frac{1}{10} F_{we} \quad (1)$$

Zależność ta jest dokładna jedynie wtedy, gdy liczba impulsów zliczonych przez PDCz jest wielokrotnością cyklu jego licznika. W powyższym wzorze "8" jest wagą bitu x_4 , "4" wagą bitu x_3 , "2" wagą bitu x_2 , a "1" wagą bitu x_1 , można więc napisać:

$$F_{wy} = F_{we} \cdot \frac{N}{10}, \quad (2)$$

gdzie:

$$N = x_4 \cdot 2^3 + x_3 \cdot 2^2 + x_2 \cdot 2^1 + x_1 \cdot 2^0$$

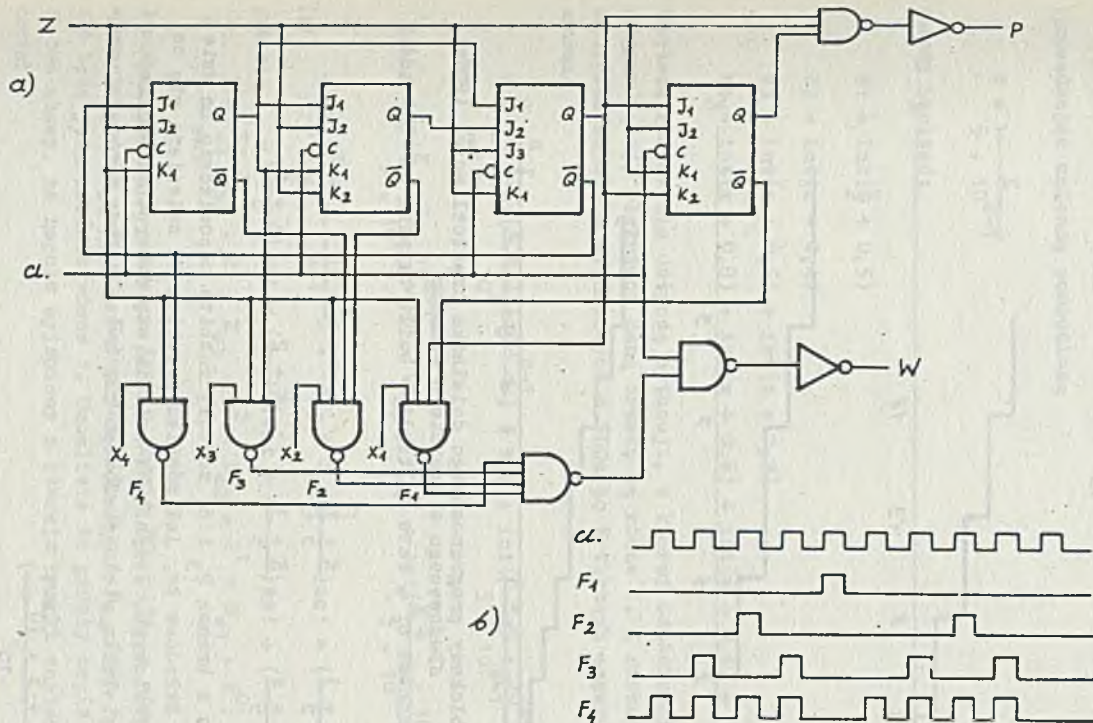
Dla m dekad połączonych kaskadowo wzór ten przyjmie postać:

$$F_{wy} = F_{we} \cdot \frac{N}{10^m}, \quad N=0,1,\dots,10^m-1 \quad (3)$$

Przyjrzyjmy się rozkładowi w czasie impulsów wyjściowych z poszczególnych bramek $B_1 \dots B_4$ (rys. 3.). Zauważmy, że liczbę impulsów wyjściowych z danej bramki po K impulsach wejściowych można określić z następującej zależności:

$$W_1 = \text{int}\left(\frac{K+5}{10}\right)$$

$$W_2 = \text{int}\left(\frac{K+5}{5}\right)$$

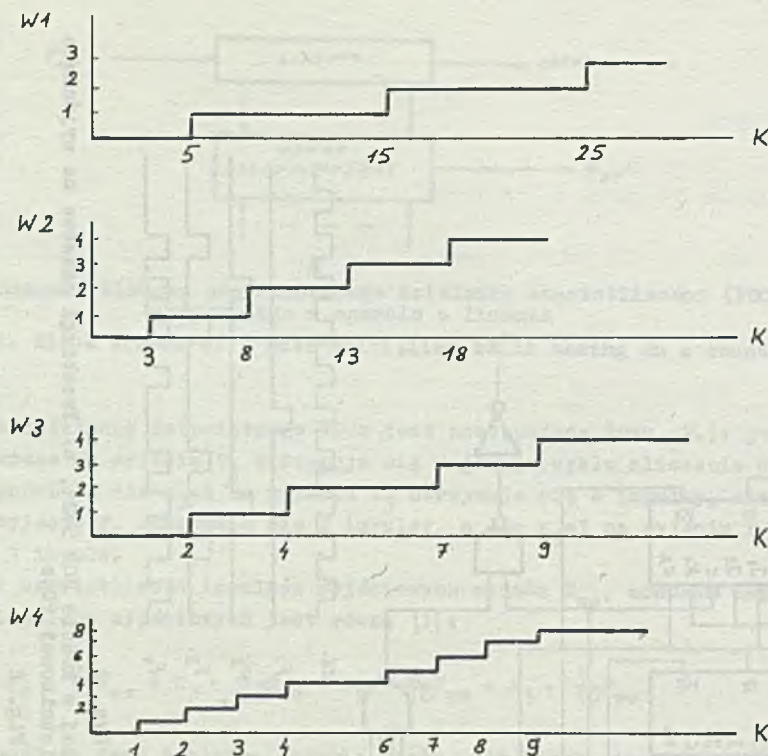


Rys. 2

a) Schemat blokowy dekady dziesiętnego PDCz liczącej w kodzie BCD 5421, b) Przebiegi czasowe na wyjściach części licznikowej PDCz

Fig. 2

a) Block scheme of a decade rate multiplier counting in the BGD 5421 code, b) Transients in output part of the counter



Rys. 3. Schemat blokowy programowanego dzielnika częstotliwości (PDCz) zbudowanego w oparciu o sumator

Fig. 3. Block scheme of a rate multiplier built basing on an adder

$$W_3 = \text{int}\left(\frac{K+3}{5}\right) + \text{int}\left(\frac{K+1}{5}\right) \quad (4)$$

$$W_4 = \text{int}\left(\frac{K+4}{5}\right) + \text{int}\left(\frac{K+3}{5}\right) + \text{int}\left(\frac{K+2}{5}\right) + \text{int}\left(\frac{K+1}{5}\right)$$

Sygnaly wyjściowe z bramek \$B_3\$ i \$B_4\$ zostały rozbite odpowiednio na dwie i cztery składowe. Składowe te, jak również przebieg \$W_2\$ zmieniają się co pięć impulsów wejściowych. Jedynie \$W_1\$ zmienia się dwukrotnie wolniej.

W przypadku dzielnika wielodekadowego dla \$s\$-tej dekady wzory te przyjmą postać:

$$W_1 = \text{int}\left(\frac{K + 5 \cdot 10^{s-1}}{10^s}\right)$$

$$W_2 = \text{int}\left(\frac{K + 2 \cdot 10^{s-1}}{5 \cdot 10^{s-1}}\right)$$

$$W_3 = \text{int}\left(\frac{K + 3 \cdot 10^{s-1}}{5 \cdot 10^{s-1}}\right) + \text{int}\left(\frac{K + 10^{s-1}}{5 \cdot 10^{s-1}}\right) \quad (5)$$

$$W4 = \text{int}\left(\frac{K + 4 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) + \text{int}\left(\frac{K + 3 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) + \\ + \text{int}\left(\frac{K + 2 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) + \text{int}\left(\frac{K + 10^{B-1}}{5 \cdot 10^{B-1}}\right)$$

Wprowadzając zmienną pomocniczą

$$x = \frac{K}{5 \cdot 10^{B-1}} \quad (6)$$

możemy napisać:

$$\begin{aligned} W1 &= \text{int}\left(\frac{x}{2} + 0,5\right) \\ W2 &= \text{int}(x + 0,4) \\ W3 &= \text{int}(x + 0,6) + \text{int}(x + 0,2) \\ W4 &= \text{int}(x + 0,8) + \text{int}(x + 0,6) + \text{int}(x + 0,4) + \text{int}(x + 0,2) \end{aligned} \quad (7)$$

Powyższe rozważania dotyczą sytuacji, w której odpowiednie bity liczby programującej, blokujące daną bramkę są równe 1. Z rozważań tych wynika, że liczba impulsów wyjściowych z PDCz po K taktach zegarowych wyraża się wzorem:

$$W = \sum_{B=1}^n \left[\text{int}\left(\frac{K + 5 \cdot 10^{B-1}}{10^B}\right) \cdot N_{B1} + \text{int}\left(\frac{K + 4 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) \cdot N_{B4} + \right. \\ \left. + \text{int}\left(\frac{K + 3 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) \cdot (N_{B3} + N_{B4}) + \text{int}\left(\frac{K + 2 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) \cdot (N_{B2} + N_{B4}) + \right. \\ \left. + \text{int}\left(\frac{K + 1 \cdot 10^{B-1}}{5 \cdot 10^{B-1}}\right) \cdot (N_{B3} + N_{B4}) \right], \quad (8)$$

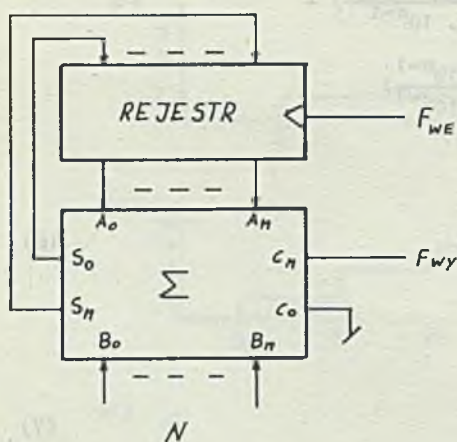
gdzie:

$$N = \sum_{B=1}^n (N_{B4} \cdot 2^3 + N_{B3} \cdot 2^2 + N_{B2} \cdot 2^1 + N_{B1} \cdot 2^0) \cdot 10^{B-1}$$

Ponieważ liczba N podawana jest w kodzie BCD 8421, a więc co najwyżej wystąpić może $N_{B1} = N_{B4} = 1$. Natomiast bity N_{B2} i N_{B4} oraz N_{B3} i N_{B4} nigdy nie będą jednocześnie równe 1. Umożliwia to prosty zapis powyższego wzoru bez obawy, że impuls wyjściowy z którejś bramki zostanie zliczony dwukrotnie.

1.2. Programowane dzielniki częstotliwości zbudowane w oparciu o sumator

Innym typem programowanego dzielnika częstotliwości jest dzielnik zbudowany w oparciu o rejestr i sumator [3] (rys. 4). W stanie początkowym



Rys. 4

Fig. 4

rejestr dzielnika jest wyzerowany. Jego wyjścia podawane są na wejścia $A_0 - A_n$ sumatora dziesiętnej, podczas gdy na wejścia $B_0 - B_n$ tego sumatora podawana jest liczba programująca N . Po K impulsach zegarowych na wyjściu jednej dekady dzielnika pojawi się:

$$W = \text{int}\left(\frac{K \cdot N}{10}\right) \quad (9)$$

impulsów. Jeżeli K jest wielokrotnością 10, wtedy możemy napisać:

$$F_{wy} = F_{we} \cdot \frac{N}{10} \quad (10)$$

Podobnie dla m -dekadowego sumatora:

$$F_{wy} = F_{we} \cdot \frac{N}{10^m} \quad (11)$$

Jeżeli po $(K - 1)$ -szym takcie zegarowym zawartość rejestru wynosiła S_{K-1} , to po K -tym takcie bit przeniesienia C_n sumatora będzie miał wartość:

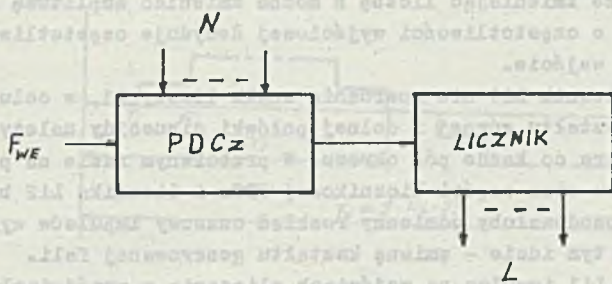
$$C_n^K = \text{int}\left(\frac{S_{K-1} + N}{10^m}\right), \quad (12)$$

a zawartość rejestru wyniesie:

$$S_K = S_{K-1} + N - C_n^K \cdot 10^m \quad (13)$$

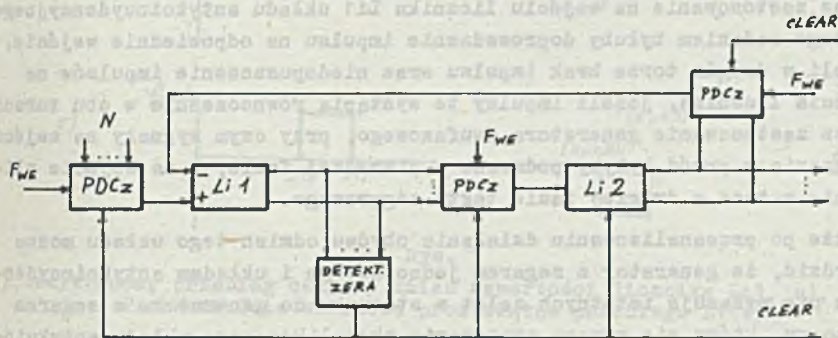
2. ZASTOSOWANIE PDCz DO BUDOWY GENERATORÓW SINUSOIDALNYCH

Programowane dzielniki częstotliwości znajdują zastosowanie między innymi do budowy generatorów sinusoidalnych małych częstotliwości, wchodząc w skład tzw. integratorów cyfrowych [1] (rys. 5). Integratorem cyfrowym nazywamy układ składający się z PDCz i licznika zliczającego impulsy wyjściowe dzielnika. Do zbudowania generatora sinusoidalnego konieczne jest zastosowanie dwóch takich integratorów. Oznaczając przez L pojemność licznika i przyjmując, że jest ona duża, można proces sumowania realizowany w rzeczywistości przez licznik zastąpić symbolem całkowania w równaniach opisujących działanie integratora cyfrowego. Prowadzi to do przybliżonych zależności opisujących zachowanie podanego generatora [1] (rys. 6):



Rys. 5. Schemat blokowy integratora cyfrowego

Fig. 5. Block scheme of digital integrator



Rys. 6. Schemat blokowy generatora drgań sinusoidalnych zbudowanego w oparciu o programowane dzielniki częstotliwości

Fig. 6. Block scheme of a sinusoidal generator built basing on rate multipliers

$$\left(\frac{N}{10^m} \cdot P_{we} - \frac{L2}{10^m} \cdot P_{we} \right) \cdot \frac{1}{p} = L1 \quad (14)$$

$$\frac{L1}{10^m} \cdot P_{we} \cdot \frac{1}{p} = L2,$$

gdzie:

p - operator Laplace'a.

Z rozwiązania tego układu równań otrzymujemy:

$$L1 = N \cdot \sin(\omega t), \quad \omega = \frac{P_{we}}{10^m} \quad (15)$$

$$L2 = N \cdot (1 - \cos \omega t), \quad P_{wy} = \frac{P_{we}}{10^m} \cdot \frac{1}{24}$$

Wynika stąd, że zmieniając liczbę N można zmieniać amplitudę generowanych przebiegów, a o częstotliwości wyjściowej decyduje częstotliwość impulsów podawanych na wejście.

Ponieważ licznik Li1 nie rozróżnia znaku liczby L_1 , w celu uzyskania jednakowego kształtu górnej i dolnej połówki sinusoidy należy zerować układ generatora co każde pół okresu. W przeciwnym razie na początku drugiego półokresu stan części licznikowej PDCz i licznika Li2 byłyby różny od zera, co powodowałoby odmienny rozkład czasowy impulsów wyjściowych PDCz, a co za tym idzie - zmianę kształtu generowanej fali.

W liczniku Li1 impulsy na wejściach zliczania w przód i zliczania wstecz nie mogą pojawiać się jednocześnie, gdyż spowodować to może niepoprawne działanie układu. Problem ten można rozwiązać dwiema metodami:

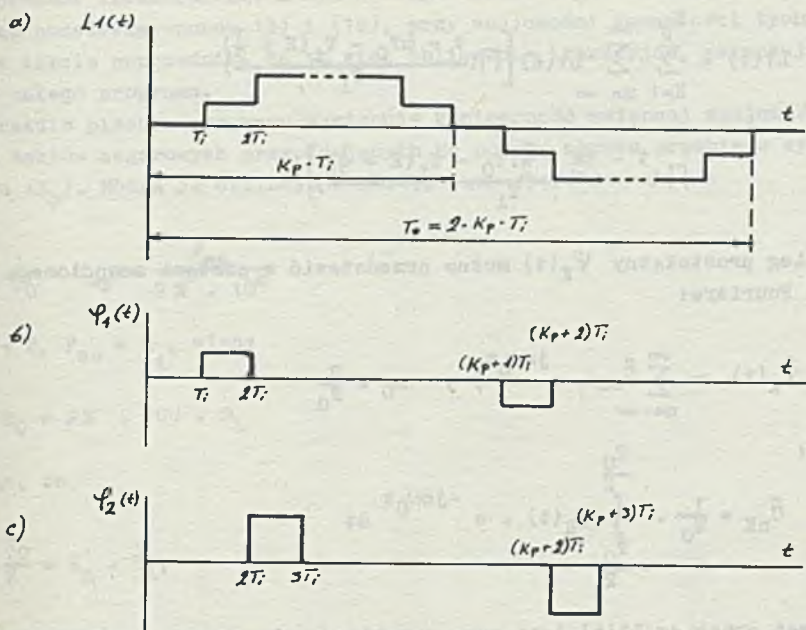
- przez zastosowanie na wejściu licznika Li1 układu antykoincydencyjnego, którego zadaniem byłoby doprowadzenie impulsu na odpowiednie wejście, jeżeli w drugim torze brak impulsu oraz niedopuszczenie impulsów na wejście licznika, jeżeli impulsy te wystąpią równocześnie w obu torach,
- przez zastosowanie generatora dwufazowego, przy czym sygnały na wejście zliczania w przód byłyby podawane w pierwszej fazie, a na wejście zliczania wstecz w drugiej fazie taktu zegarowego.

Jednakże po przeanalizowaniu działania obydwu odmian tego układu można stwierdzić, że generator z zegarem jednofazowym i układem antykoincydencyjnym nie wykazuje istotnych zalet w stosunku do generatora z zegarem dwufazowym, który nie wymaga stosowania skomplikowanego układu antykoincydencyjnego [1].

3. ANALIZA WIDMOWA SYGNAŁU WYJŚCIOWEGO

Rysunek 7 przedstawia przykładowy przebieg sygnału wyjściowego $L_1(t)$. Ma on taki sam kształt w obydwu półokresach, różni się jedynie znakiem. Wynika to bezpośrednio z budowy generatora, gdzie liczniki i PDCz są zerowane co pół okresu, a cykl pracy jest powtarzany. Przedstawiony przebieg można traktować jako sumę przebiegów prostokątnych, z których dwa pokazane są na rysunkach 7b) i c). Są one przebiegami przemiennymi o amplitudzie równej $L_1(K)$ i czasie trwania impulsu równym T_1 . Jeżeli przez K_p oznaczymy liczbę impulsów generatora zegarowego potrzebną do uformowania jednej połówki generowanego przebiegu, to:

$$L_1(t) = \sum_{K=1}^{K_p} \psi_K(t) \quad (16)$$



Rys. 7

a) Przykładowy przebieg czasowy zmian zawartości licznika $L1$, b), c) Pierwsze dwie składowe prostokątne przebiegu $L1(t)$

Fig. 7

a) Exemplary transient of changes of the counter contents, b), c) First two rectangular components of the transient $L1$

Korzystając z funkcji prostokątnej:

$$\Pi(x) = \begin{cases} 1 & \text{dla } -\frac{1}{2} < x \leq \frac{1}{2} \\ 0 & \text{dla } x < -\frac{1}{2} \text{ lub } x \geq \frac{1}{2} \end{cases} \quad (17)$$

można przebieg $\varphi_1(t)$ zapisać następująco [1]:

$$\varphi_1(t) = \sum_{m=-\infty}^{\infty} L1(1) \left[\Pi\left(\frac{t - mT_0 - T_1\left(\tau + \frac{1}{2}\right)}{T_1}\right) - \Pi\left(\frac{t - (m + \frac{1}{2})T_0 - T_1\left(1 + \frac{1}{2}\right)}{T_1}\right) \right] \quad (18)$$

oraz ogólnie dla $\varphi_K(t)$:

$$\varphi_K(t) = \sum_{m=-\infty}^{\infty} L1(K) \left[\Pi\left(\frac{t - mT_0 - T_1\left(K + \frac{1}{2}\right)}{T_1}\right) - \Pi\left(\frac{t - (m + \frac{1}{2})T_0 - T_1\left(K + \frac{1}{2}\right)}{T_1}\right) \right] \quad (19)$$

zatem:

$$L_1(t) = \sum_{K=1}^{K_p} \sum_{m=-\infty}^{\infty} L_1(K) \left[\prod \left(\frac{t - mT_0 - T_1(K + \frac{1}{2})}{T_1} \right) - \prod \left(\frac{t - (m + \frac{1}{2})T_0 - T_1(K + \frac{1}{2})}{T_1} \right) \right] \quad (20)$$

Przebieg prostokątny $\varphi_K(t)$ można przedstawić w postaci zespolonego przebiegu Fouriera:

$$\hat{\varphi}_K(t) = \sum_{n=-\infty}^{\infty} \hat{c}_{nK} \cdot e^{jn\omega_0 t}, \quad \omega_0 = \frac{2}{T_0} \quad (21)$$

gdzie:

$$\hat{c}_{nK} = \frac{1}{T_0} \cdot \int_{-\frac{T_0}{2}}^{\frac{T_0}{2}} \varphi_K(t) \cdot e^{-jn\omega_0 t} dt$$

Ponieważ przebieg $L_1(t)$ jest sumą przebiegów okresowych, amplituda m -tej harmonicznnej tego przebiegu będzie wynosiła:

$$\hat{c}_n = \sum_{K=1}^{K_p} \hat{c}_{nK} \quad (22)$$

Korzystając z powyższych zależności możemy napisać:

$$C_n = \frac{2}{K_p} \left| \operatorname{sinc} \frac{n\pi}{2K_p} \right| \cdot \left| \sum_{K=1}^{K_p} L_1(K) \cdot e^{-jn\omega_0 K/K_p} \right| \quad (23)$$

dla n - nieparzystych oraz

$C_n = 0$ dla n - parzystych

Współczynnik zniekształceń nieliniowych przebiegu $L_1(t)$ obliczamy wg wzoru:

$$H = \frac{\sqrt{C_2^2 + C_3^2 + C_4^2 + \dots + C_n^2}}{C_1}$$

Ze względu na znaczny stopień skomplikowania powyższych wzorów obliczenia te wykonuje się przy użyciu maszyny cyfrowej.

Do rozważań szczegółowych przyjęto model generatora z zegarem dwufazowym zbudowanego w oparciu o dwudekadowe ($m=2$) dziesiętne programowane dzielniki częstotliwości.

Zawartości liczników Li1 i Li2 w danym takcie zegarowym mogą być obliczone na podstawie wzorów (8) i (12), przy znajomości zawartości tych liczników w takcie poprzednim. Są to więc obliczenia iteracyjne, warunkujące budowę całego programu.

W trakcie pisania programu występuje konieczność wstępnej znajomości ilości taktów zegarowych przypadających na połowę okresu przebiegu wyjściowego (K_p). Można ją obliczyć w następujący sposób:

$$\frac{1}{T_0} = F_{wy} = \frac{F_{we}}{2\pi \cdot 10^m} \quad (25)$$

ale $m = 2$, $F_{we} = \frac{1}{T_1}$, więc:

$$T_0 = 2\pi \cdot 100 \cdot T_1$$

Wiedząc, że

$$\frac{T_0}{2} = K'_p \cdot T_1,$$

możemy napisać:

$$K'_p = 100 \cdot \pi$$

Jednakże rozpatrując generator z zegarem dwufazowym, w każdym takcie zegarowym otrzymamy po dwie wartości zawartości każdego licznika (w fazie A i w fazie B). Dlatego też rzeczywista ilość składowych $\varphi_K(t)$ przebiegu $L1(t)$ wyniesie:

$$K_p = 2 \cdot K'_p = 200 \cdot \pi \quad (26)$$

W trakcie obliczania współczynnika zniekształceń nieliniowych ilość uwzględnionych harmonicznych musi zapewnić odtworzenie mocy sygnału z zadaną dokładnością, np. 99, 99%.

Schemat blokowy programu obliczającego współczynnik zniekształceń nieliniowych przebiegu $L1(t)$ przedstawiono na rys. 10.

4. PODSUMOWANIE

Wyniki obliczeń w przypadku zastosowania dzielników częstotliwości zbudowanych w oparciu o licznik przedstawiono w tabeli 1, a zbudowanych w oparciu o sumator w tabeli 2. Można zauważyć, że w pierwszym przypadku w szerokim zakresie wartości liczby programującej N (30÷49) współczynnik

Tablica 1

Wyniki obliczeń dla generatora z PDCz zbudowanymi w oparciu o licznik

Liczba programująca N	Współczynnik zniekształceń nieliniowych H [%]	Amplitudy przebiegów		Ilość taktów zegarowych K_p
		$L1_{max}$	$L2_{max}$	
49	1,7	50	97	642
48	3,0	49	98	652
47	1,8	48	93	636
46	3,0	43	87	632
45	3,5	43	84	636
44	3,6	43	82	636
43	2,9	41	80	632
42	2,1	42	82	646
41	5,7	41	81	732
40	4,6	41	82	722
38	2,3	39	79	618
36	3,3	37	74	624
34	1,9	37	72	618
32	2,9	33	65	640
30	3,0	31	59	654
28	3,1	31	58	614
25	4,2	25	49	614
20	4,6	20	42	634
15	5,0	17	32	606
10	8,4	10	19	580
5	13,7	6	10	610

zniekształceń nieliniowych H zmienia się nieregularnie w dość szerokim zakresie (1,7%-5,7% (rys. 9)). Pozostaje to w sprzeczności z intuicyjnym przypuszczeniem, że w miarę wzrostu wartości liczby programującej N powinna wzrastać równomierność rozłożenia impulsów na wyjściu PDCz, a więc zawartość harmonicznych w przebiegu wyjściowym powinna maleć. Zależność ta potwierdza się dopiero w przypadku mniejszych wartości liczby programującej N (5÷30). Nie zawsze zatem ustawienie maksymalnej wartości liczby programującej prowadzi do otrzymania przebiegu o najmniejszym współczynniku zniekształceń nieliniowych.

W przypadku zastosowania dzielników częstotliwości zbudowanych w oparciu o sumator zależność między liczbą programującą a współczynnikiem zniekształceń nieliniowych jest znacznie bardziej wyraźna, choć i tutaj występują pewne nieregularności. Jest to spowodowane faktem, że rozkład impulsów wyjściowych przy danej liczbie programującej jest w tym przypadku bardziej równomierny niż w poprzednim. Zastosowanie tego typu generatorów

Tablica 2

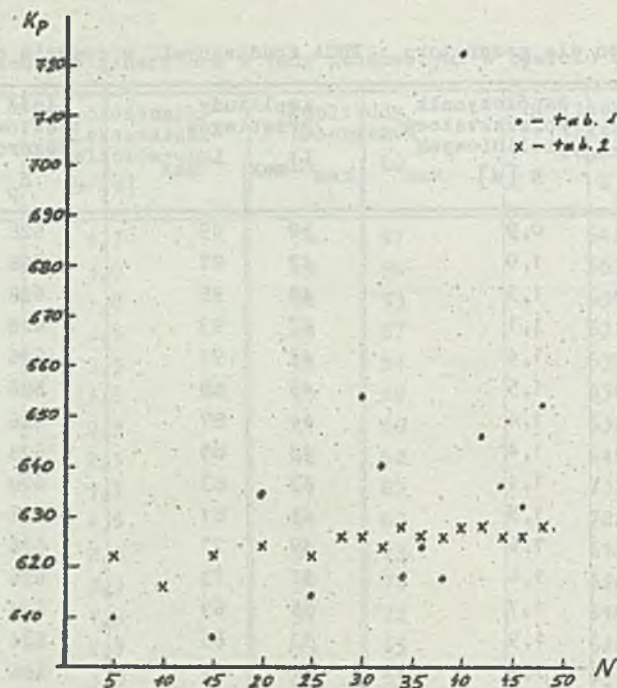
Wyniki obliczeń dla generatora z PDCz zbudowanymi w oparciu o sumator

Liczba programująca N	Współczynnik zniekształceń nieliniowych H [%]	Amplitudy przebiegów		Ilość taktów zegarowych K_p
		$L1_{max}$	$L2_{max}$	
49	0,9	50	99	628
48	1,0	49	97	628
47	1,3	48	95	628
46	1,1	47	93	626
45	1,4	47	91	626
44	1,5	45	89	626
43	1,4	44	87	626
42	1,4	43	85	628
41	1,4	43	83	628
40	1,5	41	81	628
38	1,6	39	77	626
36	1,6	37	73	626
34	1,7	35	69	628
32	1,9	33	65	624
30	1,9	31	61	626
28	2,0	29	57	626
25	2,4	26	51	622
20	2,7	21	41	624
15	3,6	16	31	622
10	5,0	11	21	616
5	9,5	6	11	622

proceedzi dla każdej wartości N do otrzymania przebiegu o mniejszych zniekształceniach nieliniowych.

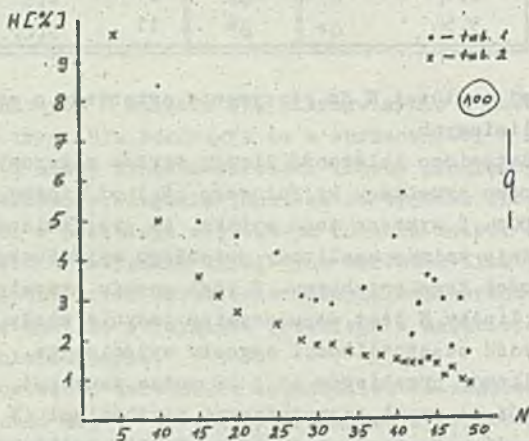
Na rys. 8 przedstawiono zależność liczby taktów zegarowych przypadających na połowę okresu przebiegu wyjściowego (K_p) od liczby programującej N dla obu typów PDCz. Z wykresu tego wynika, że przy zmianach wartości liczby N (co powoduje zmianę amplitudy przebiegu wyjściowego) występuje zmiana częstotliwości tego przebiegu. Z tego powodu przestrajanie amplitudy przez zmianę liczby N jest dopuszczalne jedynie wtedy, gdy nie jest wymagana duża stałość częstotliwości sygnału wyjściowego.

Analizując amplitudy przebiegów $L1$ i $L2$ można zauważyć, że nie pokrywają się one na ogół ze swymi teoretycznymi wartościami (N i $2N$). Pociąga to za sobą niemożność ustawienia żądanej wartości amplitudy, np. $L1_{max}=46$ lub $L2_{max}=94$.



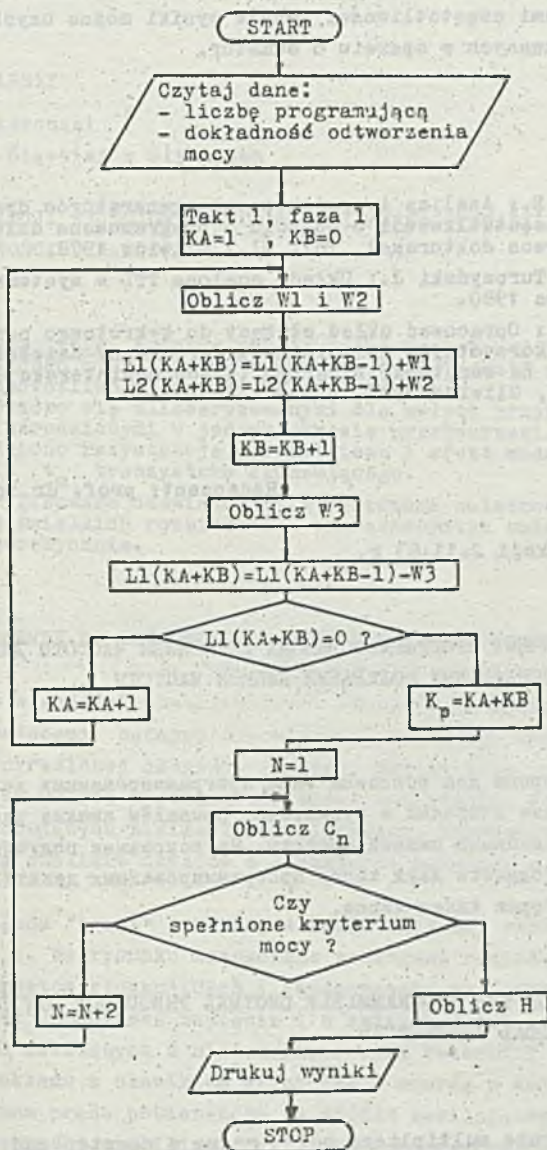
Rys. 8. Zależność liczby taktów zegarowych przypadających na połowę okresu przebiegu wyjściowego (K_p) od liczby programującej N

Fig. 8. Relation between a number of clock cycles in the half of the output transient (K_p) and the programming number N



Rys. 9. Zależność współczynnika zniekształceń nieliniowych H od liczby programującej N

Fig. 9. Relation between nonlinear distortion coefficient H and the programming number N



Rys. 10. Schemat blokowy programu obliczającego współczynnik zniekształceń nieliniowych przebiegu $L_1(t)$

Fig. 10. Block scheme of a program calculating the nonlinear distortions coefficient of the transient $L_1(t)$

Te mankamenty ograniczają poważnie możliwość zastosowania tego typów generatorów. Decydując się jednak na zastosowanie generatorów z programowanymi dzielnikami częstotliwości lepsze wyniki można uzyskać w przypadku dzielników zbudowanych w oparciu o sumator.

LITERATURA

- [1] Hrynkiewicz E.; Analiza i projektowanie generatorów drgań sinusoidalnych małej częstotliwości w oparciu o programowane dzielniki częstotliwości (praca doktorska), Pol. Sl., Gliwice 1978.
- [2] Pleńkos J., Turczyński J.: Układy scalone TTL w systemach cyfrowych: WKŁ, Warszawa 1980.
- [3] Czarnecki S.: Opracować układ służący do k-krotnego powielania częstotliwości, wykorzystując dziesiętny programowany dzielnik częstotliwości zbudowany na sumatorze binarnym (praca magisterska - niepublikowana) Pol. Sl., Gliwice 1982.

Recenzent: prof. dr inż. Antoni Pach

Wpłynęło do Redakcji 2.11.83 r.

ПРИМЕНЕНИЕ ДЕСЯТИЧНЫХ ПРОГРАММИРОВАННЫХ ДЕЛИТЕЛЕЙ ЧАСТОТЫ ДЛЯ ПОСТРОЙКИ ГЕНЕРАТОРОВ СИНУСОИДАЛЬНЫХ КОЛЕБАНИЙ НИЗКОЙ ЧАСТОТЫ

Р е з ю м е

В статье оговорены два основные типы программированных делителей частоты, построенных на базе счётчика и сумматора. Приведён анализ работы генератора синусоидальных колебаний низкой частоты. На основании полученных результатов сравнена пригодность двух типов программированных делителей частоты для постройки генераторов таких типов.

THE APPLICATION OF THE PROGRAMMABLE DECIMAL FREQUENCY DIVIDERS IN LOW FREQUENCY SINUSOIDAL GENERATORS

S u m m a r y

Two types of rate multipliers built using a counter and an adder are described. An analysis of the sinusoidal generator of low frequency oscillations based on these dividers is presented. The usability of the two types of the dividers is compared on the base of the results.