



(54) **Sposób i układ do bieżącego wykrywania zwarcć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI**

(43) Zgłoszenie ogłoszono:
09.04.2001 BUP 08/01

(45) O udzieleniu patentu ogłoszono:
30.06.2006 WUP 06/06

(73) Uprawniony z patentu:
Politechnika Śląska, Gliwice, PL

(72) Twórca(y) wynalazku:
Adam Kristof, Rydułtowy, PL

(74) Pełnomocnik:
Urszula Ziółkowska, Politechnika Śląska

(57) 1. Sposób bieżącego wykrywania zwarcć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI, polegający na ciągłym monitorowaniu napięć, a pośrednio stanów logicznych, na tych wyjściach, **znamienny tym**, że dla każdego portu wyjściowego w układzie scalonym, występujące na jego wyjściu (I/O) napięcie przekształcane jest na stan logiczny (Dout), który z kolei porównywany jest ze stanem logicznym (Din) podawanym na wejście bufora wyjściowego (bufora mocy) (1) danego portu, przy czym porównania.....

2. Układ do bieżącego wykrywania zwarcć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI, monitorujący sygnał logiczny podawany na wejście bufora mocy portu wyjściowego oraz sygnał logiczny reprezentujący stan występujący na wyjściu tego bufora mocy, **znamienny tym**, że monitorowane sygnały (Din) i (Dout) podane są na wejścia (A) i (B) komparatora poziomów logicznych (I1), wyjście komparatora poziomów logicznych (I1) podłączone jest do wejścia informacyjnego (D) przerzutnika zatraskowego (I2), zaś do wejścia zegarowego (C) przerzutnika (I2) doprowadzony jest sygnał sterujący (SEn), natomiast wyjście (Q) przerzutnika zatraskowego (I2) jest również wyjściem układu detektora zwarcć i przeciążeń.

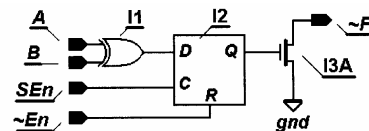


Fig. 3.

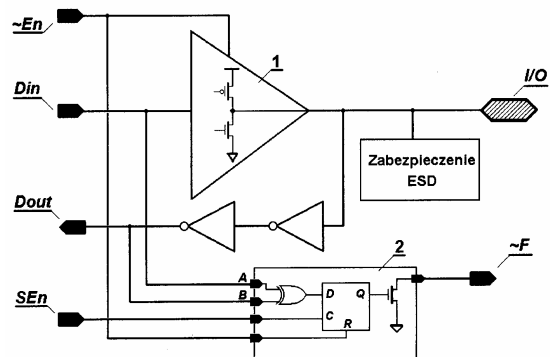


Fig. 5.

Opis wynalazku

Przedmiotem wynalazku jest sposób i układ do bieżącego wykrywania zwarć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI.

Sygnal o zwarcu lub przeciążeniu dowolnego z portów wyjściowych układu scalonego powstaje w chwili wystąpienia uszkodzenia i może być wykorzystany, w zależności od wymogów bezpieczeństwa, do powiadomienia o uszkodzeniu, przełączenia urządzenia w tryb awaryjny, lub zatrzymania pracy i wyłączenia uszkodzonego urządzenia.

Z opisu patentowego US 5736849 (Int. Cl. G01R 31/28) znane jest rozwiązanie, w którym zwykłe bufony wyjściowe stosowane w portach wyjściowych cyfrowych układów scalonych zastępuje się zmodyfikowanymi buforami wyjściowymi o przełączanej wartości prądu wyjściowego, przez co możliwe staje się wykrywanie szerszej niż uprzednio klasy uszkodzeń połączeń zewnętrznych, w tym zwłaszcza wykrywanie tzw. „słabych” zwarć, oraz ogranicza się niekorzystne skutki, jakie mogą powstać podczas testowania uszkodzonego urządzenia, przy czym istotne jest, że rozwiązanie to przeznaczone jest do stosowania w układach z architekturą ułatwiającą testowanie, zdefiniowaną międzynarodowym standardem IEEE Std. 1149.1 (JTAG).

Sposób bieżącego wykrywania zwarć i przeciążeń według wynalazku polega na tym, że dla każdego portu wyjściowego w układzie scalonym, występujące na jego wyjściu napięcie przekształca się w stan logiczny, który z kolei porównuje się ze stanem logicznym podawanym na wejście bufora wyjściowego (bufora mocy) danego portu, przy czym porównania tego dokonuje się poprzez wbudowane detektory zwarć i przeciążeń, ponadto wykorzystuje się dodatkowy sygnał sterujący, oznaczony jako SEn, który zablokuje działanie detektora zwarć i przeciążeń na czas ustalania się sygnału wyjściowego, gdyż chwilowa niezgodność stanu logicznego podanego na wejście bufora mocy ze stanem logicznym występującym na jego wyjściu jest normalnym zjawiskiem w czasie każdej zmiany sygnału wyjściowego i nie może być interpretowana jako stan przeciążenia.

Układ według wynalazku, monitorujący sygnał logiczny podawany na wejście bufora mocy portu wyjściowego oraz sygnał logiczny reprezentujący stan występujący na wyjściu tego bufora mocy, charakteryzuje się tym, że monitorowane sygnały podane są na wejścia komparatora poziomów logicznych, wyjście tego komparatora podłączone jest do wejścia informacyjnego przerzutnika zatraskowego, zaś do wejścia zegarowego przerzutnika zatraskowego doprowadzony jest sygnał sterujący SEn, natomiast wyjście przerzutnika zatraskowego jest jednocześnie wyjściem układu detektora zwarć i przeciążeń. W przypadku, gdy układ według wynalazku przeznaczony jest dla portu 3-stanowego, lub dwukierunkowego, sygnał uaktywniający dany port jako wyjście dodatkowo doprowadza się do wejścia zerującego przerzutnika zatraskowego.

W korzystnym rozwiązaniu układ według wynalazku posiada wyjście typu „pull down”. Układ ten charakteryzuje się tym, że wyjście przerzutnika zatraskowego połączone jest z bramką tranzystora nMOS stanowiącego stopień wyjściowy typu „pull down”, natomiast wyjście stopnia typu „pull down” (dren tranzystora nMOS) jest wyjściem układu detektora zwarć i przeciążeń. Wyjście to przystosowane jest do bezpośredniego podłączenia do szyny zbiorczej łączącej wyjścia wszystkich detektorów zwarć i przeciążeń występujących w układzie, bez konieczności stosowania dodatkowych bramek sumujących.

W innym korzystnym rozwiązaniu zamiast stopnia wyjściowego typu „pull down” (tranzystor nMOS), w detektorze zwarć i przeciążeń zastosowany jest stopień wyjściowy typu „pull up” (tranzystor pMOS). Układ ten charakteryzuje się tym, że wyjście przerzutnika zatraskowego połączone jest z bramką tranzystora pMOS stanowiącego stopień wyjściowy typu „pull up”, natomiast wyjście stopnia typu „pull up” (dren tranzystora pMOS) jest wyjściem układu detektora zwarć i przeciążeń. Wyjście to przystosowane jest do bezpośredniego podłączenia do szyny zbiorczej łączącej wyjścia wszystkich detektorów zwarć i przeciążeń występujących w układzie, bez konieczności stosowania dodatkowych bramek sumujących.

Sposób i układ według wynalazku mogą być stosowane niezależnie od implementacji (lub braku) architektury ułatwiającej testowanie IEEE 1149.1 (JTAG). Sposób według wynalazku umożliwia wykrywanie zwarć wyjścia układu scalonego z masą, z zasilaniem, z innymi wyjściami tego samego lub innego układu oraz wykrywanie przeciążeń powodujących różnicę pomiędzy faktycznym (zewnętrznym) stanem logicznym na wyjściu układu a stanem zadany (wewnętrzny), która trwa dłużej niż czas potrzebny do ustalenia się stabilnego stanu na tym wyjściu. Czas przez który dane wyjściowe mogą się stabilizować bez wzbudzenia fałszywych alarmów można programować kształtem i parametrami czasowymi sygnału SEn. Ze względu na konieczność stosowania wbudowanych detektorów zwarć i przeciążeń, proponowany sposób

może być implementowany tylko w nowo projektowanych układach scalonych. Przykładowa realizacja w technologii CMOS 0.8 μ m (VLSI) pokazała, że dodatkowa powierzchnia krzemu zajmowana przez pojedynczy detektor zwarć i przeciążeń w tej technologii może stanowić zaledwie około 2% powierzchni portów wyjściowych, standardowo dostępnych w ramach tej technologii. Wynika stąd, że koszt implementacji wbudowanych detektorów zwarć i przeciążeń w układach cyfrowych wytwarzanych w technologiach LSI, VLSI, oraz ULSI jest bardzo niewielki.

Przedmiot wynalazku przedstawiono na rysunku, na którym fig. 1a ilustruje niezgodność sygnałów na wejściu i na wyjściu bufora wyjściowego w czasie zmian sygnału, fig. 1b pracę układu detektora zwarć i przeciążeń z poprawnym sygnałem SEn, fig. 2 ilustruje proces wykrywania przeciążenia (na przykładzie niewielkiej rezystancji włączonej pomiędzy masę a wyjście układu), fig. 3 strukturę logiczną detektora zwarć i przeciążeń z wyjściem typu „pull down”, fig. 4 strukturę logiczną detektora zwarć i przeciążeń z wyjściem typu „pull up”, fig. 5 strukturę portu wyjściowego (dwukierunkowego) z wbudowanym detektorem zwarć i przeciążeń, fig. 6 korzystny sposób wytwarzania sygnału SEn, fig. 7 przykładową strukturę detektora zwarć i przeciążeń na poziomie tranzystorów.

Sposób bieżącego wykrywania zwarć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy polega na ciągłym monitorowaniu napięć, a pośrednio stanów logicznych, na tych wyjściach. Dla każdego z wyjść I/O występujące na nim napięcie przekształcane jest na stan logiczny Dout, który z kolei porównywany jest ze stanem logicznym Din podanym na wejście bufora wyjściowego (bufora mocy) 1. Porównania dokonują wbudowane detektory zwarć i przeciążeń 2. Ponieważ chwilowa niezgodność stanu logicznego Din podanego na wejście bufora mocy 1 ze stanem logicznym występującym na jego wyjściu I/O jest normalnym zjawiskiem w czasie każdej zmiany sygnału wyjściowego, dlatego w metodzie tej wykorzystuje się dodatkowy sygnał sterujący, oznaczony jako SEn, który pozwala zablokować działanie detektora zwarć i przeciążeń 2 na czas ustalania się sygnału wyjściowego.

Wbudowany detektor zwarć i przeciążeń 2 dokonuje ciągłego porównania sygnału logicznego Din, który podawany jest na wejście bufora 1 mocy portu wyjściowego, z aktualnym stanem logicznym Dout reprezentującym stan występujący na wyjściu bufora mocy 1. Sygnały Din i Dout doprowadzone są do wejść A i B komparatora poziomów logicznych I1, natomiast wynik porównania przekazywany jest na wejście informacyjne D przerzutnika zatraskowego I2, który działa tu jak układ próbkująco-pamiętający sterowany sygnałem SEn. Aktywny stan SEn otwiera ciągle przepływ informacji z wejścia informacyjnego D na wyjście Q przerzutnika I2, zaś nieaktywny stan sygnału SEn zamyka ten przepływ informacji, przy czym na wyjściu Q przerzutnika I2 zostaje wtedy zapamiętany ostatni stan z chwili przejścia sygnału SEn w stan nieaktywny. Korzystnym rozwiązaniem jest układ, w którym wyjście Q przerzutnika zatraskowego I2 steruje stopniem wyjściowym typu „pull down” I3A, (tranzystor nMOS). Nie wyklucza się wykorzystania w tym miejscu stopnia wyjściowego typu „pull up” I3B, (tranzystor pMOS), przy czym tranzystor pMOS powinien być wtedy sterowany z wyjścia \sim Q przerzutnika zatraskowego I2, na którym stan przeciążenia sygnalizowany jest stanem niskim. Wyjście typu „pull down” lub „pull up” (dren tranzystora MOS) jest wyjściem układu detektora zwarć i przeciążeń, odpowiednio \sim F, lub F. Wyjście to jest przystosowane do bezpośredniego podłączenia do szyny zbiorczej łączącej wyjścia wszystkich lub wybranej grupy detektorów zwarć i przeciążeń występujących w układzie, bez konieczności stosowania dodatkowych bramek sumujących. W przypadku, gdy detektor zwarć i przeciążeń 2 współpracuje z portem 3-stanowym, lub dwukierunkowym, nieaktywny poziom sygnału \sim SEn uaktywniającego dany port jako wyjście równocześnie zeruje przerzutnik zatraskowy I2 i blokuje pracę detektora, po to by uniemożliwić powstawanie fałszywych alarmów o przeciążeniu.

Sposób bieżącego wykrywania zwarć i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy oraz układ wbudowanego detektora zwarć i przeciążeń, według wynalazku, wymagają dodatkowego sygnału SEn, który nie jest stosowany w tradycyjnych układach.

Przykładowy najprostszy sposób pozyskania tego sygnału w układach cyfrowych synchronicznych pokazano na fig. 6, gdzie jako sygnał SEn wykorzystano sygnał zegarowy Clk, nadzorujący zmianę danych wyjściowych. Zakładając, że dane wyjściowe zmieniają się na opadającym zboczku zegara Clk, następujący zaraz po tym zdarzeniu niski poziom sygnału Clk można wykorzystać do zablokowania pracy detektorów zwarć i przeciążeń na czas ustalania się danych na wyjściach I/O układu. Dla poprawnej pracy detektora wymaga się, aby niski poziom sygnału Clk trwał nie krócej niż czas niezbędny na ustalenie się danych wyjściowych. Różne grupy portów wyjściowych w tym samym układzie mogą posiadać niezależne źródła sygnału SEn.

Zastrzeżenia patentowe

1. Sposób bieżącego wykrywania zwarc i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI, polegający na ciągłym monitorowaniu napięć, a pośrednio stanów logicznych, na tych wyjściach, **znamienny tym**, że dla każdego portu wyjściowego w układzie scalonym, występujące na jego wyjściu (I/O) napięcie przekształcane jest na stan logiczny (Dout), który z kolei porównywany jest ze stanem logicznym (Din) podawanym na wejście bufora wyjściowego (bufora mocy) (1) danego portu, przy czym porównania tego dokonuje się poprzez wbudowane detektory zwarc i przeciążeń (2), ponadto wykorzystuje się dodatkowy sygnał sterujący, oznaczony jako (SEn), który zablokuje działanie detektora zwarc i przeciążeń (2) na czas ustalania się sygnału wyjściowego, gdyż chwilowa niezgodność stanu logicznego podanego na wejście bufora mocy ze stanem logicznym występującym na jego wyjściu jest normalnym zjawiskiem w czasie każdej zmiany sygnału wyjściowego i nie może być interpretowana jako stan przeciążenia.

2. Układ do bieżącego wykrywania zwarc i przeciążeń na wyjściach układów cyfrowych w czasie ich normalnej pracy, zwłaszcza w układach CMOS LSI/VLSI/ULSI, monitorujący sygnał logiczny podawany na wejście bufora mocy portu wyjściowego oraz sygnał logiczny reprezentujący stan występujący na wyjściu tego bufora mocy, **znamienny tym**, że monitorowane sygnały (Din) i (Dout) podane są na wejścia (A) i (B) komparatora poziomów logicznych (I1), wyjście komparatora poziomów logicznych (I1) podłączone jest do wejścia informacyjnego (D) przerzutnika zatraskowego (I2), zaś do wejścia zegarowego (C) przerzutnika (I2) doprowadzony jest sygnał sterujący (SEn), natomiast wyjście (Q) przerzutnika zatraskowego (I2) jest również wyjściem układu detektora zwarc i przeciążeń.

Rysunki

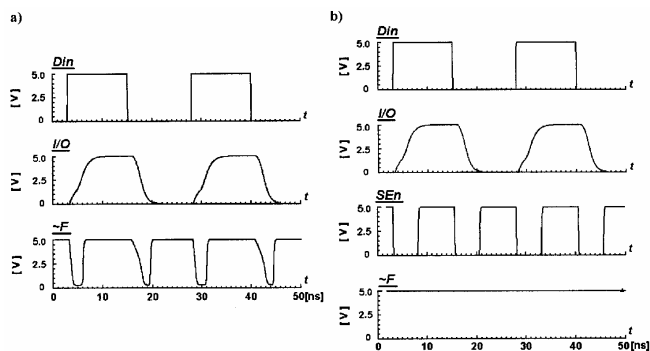


Fig. 1.

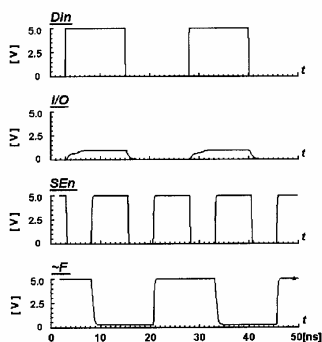


Fig. 2.

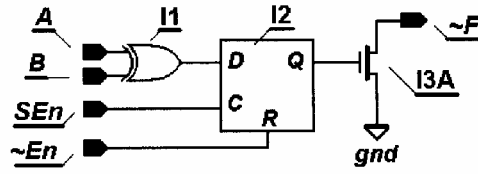


Fig. 3.

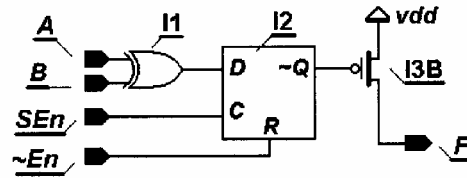


Fig. 4.

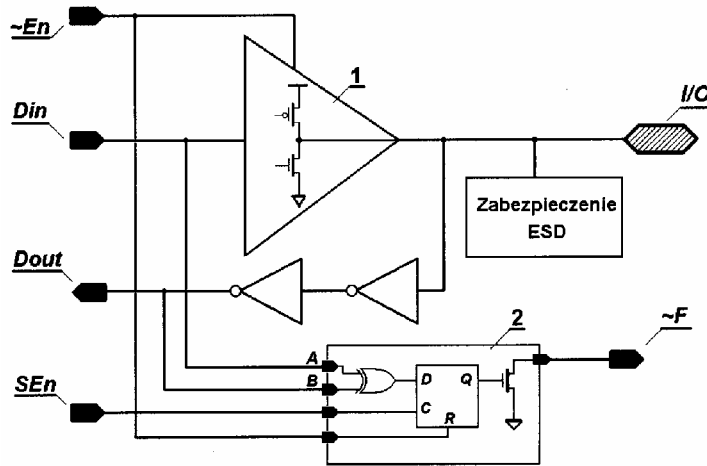


Fig. 5.

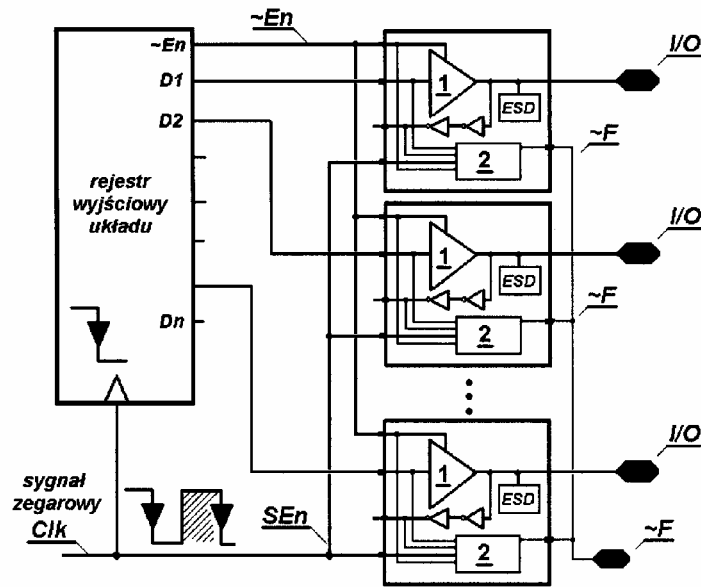


Fig. 6.

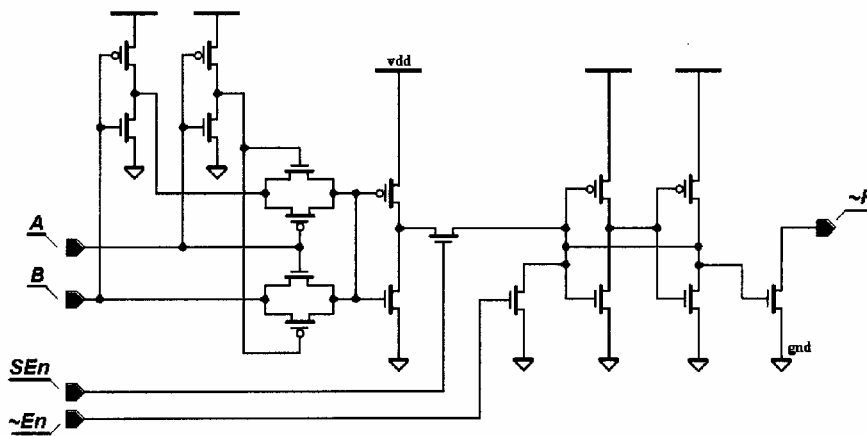


Fig. 7.