

**ZESZYTY
NAUKOWE
POLITECHNIKI
ŚLĄSKIEJ**

EDWARD HRYNKIEWICZ

**CYFROWE POWIELACZE CZĘSTOTLIWOŚCI
PRZEBIEGÓW PROSTOKĄTNYCH**



AUTOMATYKA

**Z. 106
GLIWICE
1992**

SPIS TREŚCI

	Str.
Od Autora	13
WYKAZ OZNACZEŃ	15
1. WSTĘP	19
1.1. Tematyka pracy	19
1.2. Postawienie problemu	20
1.3. Przegląd problematyki dotyczącej cyfrowych metod powielania częstotliwości przebiegów prostokątnych	21
1.4. Stosowana terminologia	22
2. WŁAŚCIWOŚCI I PARAMETRY CYFROWYCH UKŁADÓW POWIELANIA CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH	24
2.1. Przedstawianie ciągu impulsów prostokątnych przy opisie cyfro- wych układów powielających	24
2.2. Sposoby analitycznego opisu procesu powielania częstotliwości w układach cyfrowych	27
2.3. Parametry cyfrowych powielaczy częstotliwości przebiegów pro- stokątnych	33
3. POWIELANIE CZĘSTOTLIWOŚCI W UKŁADACH Z ELEMENTAMI OPÓŹNIAJĄCYMI ...	36
3.1. Szeregowe powielacze częstotliwości przebiegów prostokątnych .	36
3.1.1. Wprowadzenie	36
3.1.2. Szeregowy powielacz częstotliwości o całkowitym współ- czynniku powielania	37
3.1.3. Pomniejszanie częstotliwości	39
3.1.4. Powielanie częstotliwości przy niecałkowitym współczyn- niku powielania	42
3.1.5. Błędy powielania w układzie szeregowego powielacza czę- stotliwości	43

3.1.6. Powielacz szeregowy, w którym wykorzystuje się czasy propagacji bramek logicznych	49
3.2. Równoległe powielacze częstotliwości przebiegów prostokątnych	51
4. CYFROWE POWIELACZE CZĘSTOTLIWOŚCI ZE SPRZĘŻENIEM ZWROTNYM	56
4.1. Wstęp	56
4.2. Powielacz częstotliwości z PDCz jako przetwornikiem liczba/częstotliwość	58
4.2.1. Programowane dzielniki częstotliwości (PDCz)	58
4.2.2. Dokładność powielania częstotliwości w układzie z PDCz.....	68
4.2.3. Zakres powielanych częstotliwości	76
4.2.4. Własności dynamiczne powielaczy z programowanymi dzielnikami częstotliwości	77
4.3. Powielacz częstotliwości z dzielnikiem 1/N w roli przetwornika liczba/częstotliwość	77
4.3.1. Dokładność powielania i zakres powielanych częstotliwości	79
4.3.2. Własności dynamiczne powielacza przy niewielkich zmianach częstotliwości przebiegu wejściowego	80
4.4. Powielacz częstotliwości z przetwornikiem liczby na częstotliwość zbudowanym z przetworników C/A i U/f	80
4.4.1. Dokładność powielania w układzie z przetwornikami C/A i U/f	80
4.4.2. Własności dynamiczne i zakres powielanych częstotliwości	82
4.4.3. Wpływ dokładności przetworników C/A i U/f na parametry powielacza	82
4.5. Porównanie powielaczy ze sprzężeniem zwrotnym	83
4.6. Wyposażenie dodatkowe układów powielaczy ze sprzężeniem zwrotnym	86
5. LICZNIKOWE POWIELACZE CZĘSTOTLIWOŚCI	88
5.1. Powielacz licznikowy bez korekcji	88
5.2. Powielacz licznikowy z korekcją	92
5.3. Współpraca powielacza licznikowego z powielaczem ze sprzężeniem zwrotnym zawierającym dzielnik 1/N	94

6. PODSUMOWANIE	103
DODATEK A	107
DODATEK B	113
LITERATURA	115
STRESZCZENIA	120

CONTENTS

	Page
Acknowledgments	13
LIST OF SYMBOLS	15
1. INTRODUCTION	19
1.1. Subject matter of the work	19
1.2. Formulation of the problem	20
1.3. Survey of the problems connected with the digital method of frequency multiplying of square wave	21
1.4. Applied terminology	22
2. PROPERTIES AND PARAMETERS OF DIGITAL FREQUENCY MULTIPLIER OF SQUARE WAVE	24
2.1. Representation of square pulse train at the description of digital frequency multiplier	24
2.2. Methods of analytical description of frequency multiplying process in digital circuits	27
2.3. Parameters of digital frequency multipliers of square waves ..	33
3. FREQUENCY MULTIPLYING WITH DELAY ELEMENTS	36
3.1. Cascade frequency multipliers of square wave	36
3.1.1. Introduction	36
3.1.2. Cascade frequency multiplier with an integer multi- plying factor	37
3.1.3. Frequency decreasing	39
3.1.4. Frequency multiplying upon non-integer multiplying fac- tor	42
3.1.5. Multiplying errors in cascade frequency multiplier	43
3.1.6. Cascade frequency multiplier in which the propagation delay of logic gates is used	49
3.2. Parallel frequency multiplier of square wave	51

4. DIGITAL FREQUENCY MULTIPLIER WITH FEEDBACK LOOP	56
4.1. Introduction	56
4.2. Frequency multiplier based on a rate multiplier working as a number-to-frequency converter	58
4.2.1. Rate multipliers (RM)	58
4.2.2. Accuracy of frequency multiplying in the circuit with RM	68
4.2.3. Multiplied frequency range	76
4.2.4. Dynamic properties of frequency multiplier which conta- ins RM as a number-to-frequency converter	77
4.3. Frequency multiplier with 1/N divider as a number-to-frequency converter	77
4.3.1. Accuracy of frequency multiplying and range of multi- plying frequency	79
4.3.2. Dynamic properties with small changes of input wave frequency	80
4.4. Frequency multiplier with D/A and V/f converters as a number- to-frequency converter	80
4.4.1. Accuracy of frequency multiplying if a number-to-frequ- ency converter consists of D/A and V/f converters	80
4.4.2. Dynamic properties and range of multiplied frequency ..	82
4.4.3. Influence of accuracy of D/A and V/f converters on range of multiplied frequency	82
4.5. Comparison between the frequency multipliers with feedback loop	83
4.6. Additional equipment for frequency multipliers	86
5. COUNTER FREQUENCY MULTIPLIERS	88
5.1. Counter frequency multiplier without correction	88
5.2. Counter frequency multiplier with correction	92
5.3. Co-operation of counter frequency multiplier with frequency multiplier containing a divider 1/N in feedback loop	94
6. CONCLUSION	103
APPENDIX A	107
APPENDIX B	113
BIBLIOGRAPHY	115
SUMMARIES	120

СОДЕРЖАНИЕ

От Автора	13
ОБОЗНАЧЕНИЯ	15
1. ВВЕДЕНИЕ	19
1.1. Тематика работы	19
1.2. Постановка вопроса	20
1.3. Обзор проблематики умножения частоты прямоугольных сигналов	21
1.4. Применяемая терминология	22
2. СВОЙСТВА И ПАРАМЕТРЫ ЦИФРОВЫХ СХЕМ УМНОЖЕНИЯ ЧАСТОТЫ ПРЯМОУГОЛЬНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ	24
2.1. Отображение последовательности прямоугольных импульсов для описания цифровых умножителей частоты,	24
2.2. Способы аналитического описания процесса умножения частоты для цифровых схем,	27
2.3. Параметры цифровых умножителей частоты прямоугольных последовательностей,	33
3. УМНОЖЕНИЕ ЧАСТОТЫ С ПОМОЩЬЮ СХЕМ С ЭЛЕМЕНТАМИ ЗАДЕРЖКИ	36
3.1. Каскадные умножители частоты прямоугольных сигналов	36
3.1.1. Введение	36
3.1.2. Каскадный умножитель частоты с целочисленным коэффициентом умножения	37
3.1.3. Понижение частоты	39
3.1.4. Умножение частоты при нецелочисленном коэффициенте умножения	42
3.1.5. Погрешность умножения каскадного умножителя частоты	43
3.1.6. Каскадный умножитель частоты с применением времени задержки логических вентилях	49

3.2. Параллельные умножители частоты прямоугольных сигналов	51
4. ЦИФРОВЫЕ УМНОЖИТЕЛИ ЧАСТОТЫ С ОБРАТНОЙ СВЯЗЬЮ	56
4.1. Введение	56
4.2. Умножитель частоты с двоичным умножителем в качестве преобразователя число-частота	58
4.2.1. Двоичные умножители (ДУ)	58
4.2.2. Точность умножения частоты в схемах с ДУ	68
4.2.3. Диапазон умножаемых частот	76
4.2.4. Динамика умножителей частоты с ДУ в качестве преобразователя число-частота	77
4.3. Умножитель частоты с делителем $1/N$ в качестве преобразователя число-частота	77
4.3.1. Точность умножения и диапазон умножаемых частот	79
4.3.2. Динамика умножения при небольших изменениях частоты входного сигнала	80
4.4. Умножитель частоты с преобразователем число-частота построенным с применением преобразователей ЦА и напряжение - частота	80
4.4.1. Точность умножения частоты	80
4.4.2. Динамические свойства и диапазон умножаемых частот	82
4.4.3. Влияние точности преобразователей ЦА и напряжение-частота на параметры умножения	82
4.5. Сравнение умножителей с обратной связью	83
4.6. Дополнительные цепи для схем умножителей с обратной связью	86
5. УМНОЖИТЕЛИ ЧАСТОТЫ НА СЧЕТЧИКАХ	88
5.1. Умножитель на счетчике без коррекции	88
5.2. Умножитель на счетчике с коррекцией	92

5.3. Содействие умножителя на счётчике с умножителем

с обратной связью содержащим делитель $1/N$ 94

6. ПОДВЕДЕНИЕ ИТОГОВ 103

АППЕНДИКС А 107

АППЕНДИКС В 113

ЛИТЕРАТУРА 115

СОДЕРЖАНИЯ 120

OD AUTORA

Praca stanowi podsumowanie i znaczne rozszerzenie zadania "Analiza i projektowanie cyfrowych powielaczy częstotliwości i liczby impulsów" wykonywanego w ramach Centralnego Planu Badań Podstawowych 02.14.

Ostateczny obraz poruszanych w niej zagadnień jest efektem sugestii i cennych uwag recenzentów w osobach Prof. dr hab. inż. Jana Zabrodzkiego i Prof. dr hab. inż. Andrzeja Grzywaka, za co składam im gorące podziękowania.

Prof. dr hab. inż. Adamowi Macurze, Prof. dr hab. inż. Janowi Chojcanowi i Doc. dr inż. Zdzisławowi Pogodzie, dziękuję za słowa zachęty i stworzenie możliwości realizacji tej pracy.

Żonie Elżbiecie oraz dzieciom Bożenie i Krzysztofowi dziękuję za wyrozumiałość.

Edward Hrynkiewicz

Gliwice, sierpień 1991 r.

WYKAZ OZNACZEŃ

- f_g - częstotliwość przebiegu taktującego
- f'_g - częstotliwość przebiegu wyjściowego z powielacza korekcyjnego,
- f_1 - częstotliwość przebiegu wejściowego
- $f_{1 \text{ min}}$ - minimalna częstotliwość przebiegu wejściowego powielacza
- $f_{1 \text{ max}}$ - maksymalna częstotliwość przebiegu wejściowego powielacza
- $f_{1 \text{ max } N_0}$ - maksymalna częstotliwość przebiegu wejściowego powielacza z dzielnikiem $1/N$ i powielaczem korekcyjnym, przy której stan licznika rewersyjnego nie zmieni się więcej niż o 1
- f_{sz} - częstotliwość przebiegu w torze sprzężenia zwrotnego
- f_o - częstotliwość przebiegu wyjściowego
- Δf_{CA} - odchyłka częstotliwości wyjściowej z powielacza zależna od dokładności przetwornika C/A
- Δf_{Uf} - odchyłka częstotliwości wyjściowej z powielacza zależna od dokładności przetwornika U/f
- $\text{int}(a)$ - część całkowita liczby a
- k - rząd funkcji Walsha
- k_p - początkowa liczba impulsów doprowadzonych do licznikowego PDCz
- k'_p - liczba impulsów wejściowych do licznikowego PDCz potrzebna do pojawienia się P impulsów wyjściowych
- K - współczynnik powielania
- K_f - współczynnik przetwarzania przetwornika napięcie/częstotliwość
- K_{Nf} - współczynnik przetwarzania przetwornika liczba/częstotliwość
- K_{pk} - współczynnik powielania powielacza korekcyjnego
- L - liczba impulsów
- L_o - liczba impulsów przebiegu idealnego (przebiegu o równomiernym rozkładzie impulsów) w przedziale obserwacji
- L_w - liczba impulsów rzeczywistego przebiegu wyjściowego z powielacza szeregowego w przedziale obserwacji
- L_z - liczba zboczy w przebiegu wyjściowym z powielacza szeregowego w przedziale obserwacji

- M - liczba impulsów dochodzących do licznika powielacza licznikowego przy założeniu, że dzielnik $1/K$ jest idealny
- M' - część całkowita liczby N
- N - liczba programująca PDCz lub miara okresu
- N_0 - liczba, jaka powinna ustalać się w liczniku rewersyjnym powielacza ze sprzężeniem zwrotnym
- N_1 - liczba faktycznie występująca w liczniku rewersyjnym powielacza ze sprzężeniem zwrotnym
- $\Delta(N_{11})$ - odstęp czasu między impulsami wyjściowymi z licznikowego dziesiętnego PDCz w zależności od N_{11} (najstarszej niezerowej pozycji w zapisie dziesiętnym liczby N_1)
- P - współczynnik podziału częstotliwości w dzielniku $1/P$
- q - podstawa systemu liczenia
- Q_k - stan k-tego przerzutnika
- R - reszta w dzieleniu
- $R_m(x)$ - oznaczenie funkcji Rademachera rzędu m
- $S(t)$ - oznaczenie przebiegu prostokątnego
- Δt - czas opóźnienia
- t_{pp} - czas propagacji przerzutnika
- t_{pEX-OR} - czas propagacji bramki EX-OR
- t_u - czas ustalania się przebiegu wyjściowego z powielacza
- $t_{w \max}$ - maksymalna szerokość impulsu generowanego przez uniwibrator
- $t_{w \min}$ - minimalna szerokość impulsu generowanego przez uniwibrator
- T - stała czasowa lub szerokość przedziału czasu
- T_1 - okres przebiegu wejściowego
- T_{\min} - minimalny przedział czasu między impulsami wyjściowymi z PDCz lub z powielacza
- T_{\max} - maksymalny przedział czasu między impulsami wyjściowymi z PDCz lub z powielacza
- T_0 - teoretyczny okres przebiegu wyjściowego z powielacza
- T_{r1} - 1-ta wartość okresu rzeczywistego przebiegu wyjściowego z powielacza
- τ - szerokość impulsu
- $\Delta T'_0$ - bezwzględna wartość błędu powielania
- $\Delta T''_0$ - bezwzględna wartość błędu nierównomierności
- ΔT_0 - $\Delta T'_0 + \Delta T''_0$
- δ'_T - względny błąd powielania
- δ''_T - względny błąd nierównomierności
- δ_T - $\delta'_T + \delta''_T$

- δ_{CA} - dokładność przetwornika C/A
- δ_{Uf} - dokładność przetwornika U/f
- δ_z - zadana dokładność powielana
- δ_{Tpk} - błąd (dokładność) powielania powielacza korekcyjnego
- U_{LSB} - rozdzielczość przetwornika C/A
- $W(k, x)$ - oznaczenie funkcji Walsha rzędu k
- $\square(x)$ - oznaczenie funkcji prostokątnej
- \oplus - skrócony zapis sumowania modulo 2
- $\max(\delta_T^{\prime, 1}, \delta_T^{\prime, 2})$ - operacja wyznaczania wartości maksymalnej w dwóch wartościach $\delta_T^{\prime, 1}, \delta_T^{\prime, 2}$

1. WSTĘP

1.1. TEMATYKA PRACY

Powielanie częstotliwości przebiegu prostokątnego występuje dość często w urządzeniach elektronicznych. Na przykład jednym ze sposobów pomiaru wartości średniej lub skutecznej przebiegów przemiennych jest przetwarzanie impulsowo-kodowe przebiegu mierzonego, a następnie cyfrowa obróbka wyników przetwarzania w celu otrzymania wyniku pomiaru. W układach, pracujących według powyższej zasady, częstotliwość próbkowania stanowi często wielokrotność częstotliwości przebiegu mierzonego i uzyskiwana jest z układu powielającego. Innym przykładem występowania procesu powielania częstotliwości może być bezpośrednia synteza częstotliwości. Przy tej metodzie syntezy stosuje się dwa podstawowe układy: układ powielacza częstotliwości i układ dzielnika częstotliwości. Dobierając współczynnik powielania i współczynnik podziału częstotliwości, uzyskuje się zadaną wartość częstotliwości na wyjściu syntezy. Dodatkowo należy wymienić takie zastosowania jak pomiar małych częstotliwości, generatory programowane (laboratoryjne lub w instrumentach muzycznych), generatory serii impulsów (w miernictwie lub sterowaniu), filtracja cyfrowa itp.

Powielacze częstotliwości, dla których w każdym punkcie układu sygnały są nieciągłe (dwu- lub wielostanowe), będziemy nazywać cyfrowymi powielaczami częstotliwości.

Powielanie częstotliwości realizuje się albo w układzie otwartym, na przykład:

- powielacze częstotliwości z elementami opóźniającymi,
- licznikowe powielacze częstotliwości,
- waristorowe i warikapowe powielacze częstotliwości,

albo w układzie zamkniętym, na przykład:

- cyfrowe powielacze częstotliwości ze sprzężeniem zwrotnym,
- powielacze częstotliwości z pętlą fazową (PLL).

Z układów wymienionych powyżej do grupy cyfrowych powielaczy częstotliwości można zaliczyć powielacze częstotliwości z elementami opóźniającymi, licznikowe powielacze częstotliwości oraz cyfrowe powielacze częstotliwości ze sprzężeniem zwrotnym. Właśnie tego typu urządzenia stanowią przedmiot zainteresowania niniejszej pracy.

1.2. POSTAWIENIE PROBLEMU

Niektórym z powyższych układów, np. układom z fazową pętlą sprzężenia zwrotnego, poświęcona jest bogata literatura, a większość problemów teoretycznych odnoszących się do tych układów jest w niej rozwiązana. Tego samego nie można powiedzieć o cyfrowych układach powielania częstotliwości przebiegu prostokątnego, stąd praca ta stanowi próbę poszerzenia wiedzy z tej dziedziny.

Celem pracy jest przedstawienie i wyjaśnienie problemów występujących przy projektowaniu cyfrowych powielaczy częstotliwości pracujących w układzie otwartym oraz w układzie ze sprzężeniem zwrotnym. Wiąże się to z odpowiedzią na następujące pytania:

- jak zbudować powielacz częstotliwości o zadanym współczynniku powielania?
- jak zapewnić, by dokładność powielania była lepsza od zadanej?
- jakie własności dynamiczne będzie miał skonstruowany powielacz i jak można na nie wpływać?
- jaki będzie zakres częstotliwości wejściowych?

Przedstawiona w pracy analiza pozwala, w znacznej mierze, odpowiedzieć na powyższe pytania, a dzięki temu, że zebrano w jednym miejscu różne cyfrowe układy powielaczy częstotliwości, możliwe jest porównanie i wybór odpowiedniego rozwiązania. Niejako przy okazji zostały opracowane nowe sposoby opisu matematycznego programowanych dzielników częstotliwości oraz pokazana możliwość użycia analizowanych układów do powielania liczby impulsów.

Podstawowe problemy dotyczące tematu pracy rozważane są w rozdziałach 2, 3, 4 i 5. W rozdziale 2 rozpatrywane są ogólne zagadnienia procesu powielania. W rozdziale 3 analizowano powielacze częstotliwości zawierające elementy opóźniające. W rozdziale 4 opisano struktury oraz zbadano własności powielaczy ze sprzężeniem zwrotnym, a w rozdziale 5 przedstawiono powielacze licznikowe opisujące ich właściwości w analogiczny sposób jak układów poprzednich. W rozdziale tym zaproponowano strukturę powielacza składającego się z dwóch powielaczy: powielacza ze sprzężeniem zwrotnym, w którym przetwornikiem licz-

by na częstotliwość jest dzielnik $1/N$, i powielacza licznikowego. Układ ten łączy dobrą dokładność powielania z krótkim czasem ustalania.

1.3. PRZEGLĄD PROBLEMATYKI DOTYCZĄCEJ CYFROWYCH METOD POWIELANIA CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

Mimo upływu kilkunastu lat od ukazania się pracy [72] można za jej autorem nadal twierdzić, że podział częstotliwości przebiegów prostokątnych opracowany jest wyczerpująco, natomiast powielaniu częstotliwości takich przebiegów poświęcona jest, jak dotąd, mniejsza liczba prac, chociaż w ostatnich latach pojawia się ich coraz więcej [3, 18, 19, 20, 21, 22, 51, 58, 59, 64, 65, 70, 71].

W takich pozycjach jak [27, 50, 51, 60, 63] przedstawione są zagadnienia dotyczące podwajania częstotliwości; w [27, 50, 51, 60] prezentowane są struktury podwajaczy złożone z bramek i elementów opóźniających, a w [63] podany jest układ podwajacza zawierający uniwibrator wyzwalany obydwoma zboczami prostokątnego przebiegu wejściowego. Jednak w żadnej z tych pozycji nie dokonano analizy teoretycznej funkcjonowania tych układów, pozostając jedynie przy opisie ich struktury.

W pracach [72, 73, 74, 75] zauważono, że od strony teoretycznej działanie powielacza częstotliwości może być opisywane za pomocą funkcji Walsha. W pracach tych analizowane są szeregowe i równoległe układy powielania działające na zasadzie mnożenia funkcji Walsha oraz problem stabilizacji współczynnika wypełnienia przebiegu wyjściowego. Ponieważ autor wspomnianych prac skupił się na teoretycznej analizie samego procesu powielania, nie ma w nich zawartego ilościowego opisu błędów powstających w procesie powielania, a także brak ogólnych zasad syntezy powielacza, w szczególności powielacza szeregowego.

Ta sytuacja zainspirowała autora niniejszej pracy do poszukiwania struktury powielacza, szeregowego lub równoległego, charakteryzującego się K -krotnym, nastawialnym współczynnikiem powielania [22].

W przypadku powielacza działającego na zasadzie mnożenia funkcji Walsha utrzymanie na stałym poziomie współczynnika wypełnienia przebiegu wyjściowego z powielacza, przy zmianach częstotliwości przebiegu wejściowego, jest trudne ze względu na to, że w układzie takiego powielacza zawarte są elementy opóźniające dobrane dla przebiegu o zadanej częstotliwości. Niedogodność ta nie występuje w zaproponowanych przez autora tej pracy powielaczach częstotliwości przebiegu prostokątnego posiadających sprzężenie zwrotne [18, 19, 20].

W układach tych występuje przetwornik liczby na częstotliwość, którym może być dzielnik $1/N$, zestaw złożony z przetworników C/A i U/f, a także programowany dzielnik częstotliwości, który w istotny sposób wpływa na dokładność powielania [18, 19, 20, 42]. Problem matematycznego opisu działania oraz rozkładu impulsów wyjściowych z programowanego dzielnika częstotliwości analizowany jest w pracach [1, 2, 7, 10, 15, 17, 19, 20, 24, 29, 30, 31, 38, 41, 42, 43, 44, 47, 54, 69, 70] i mimo ich znacznej liczby nie jest jeszcze do końca rozwiązany, w szczególności dla układów dekadowych. Nierównomierny rozkład impulsów wyjściowych z tych układów jest przyczyną powstawania błędu zliczania, który chyba najlepiej został wyznaczony w niedawno opublikowanej pracy [42]. W powielaczach częstotliwości zjawisko to wywołuje niestałość okresu przebiegu wyjściowego. Sprawa ta, poruszana w pracach [19, 20], a także zależność parametrów cyfrowych powielaczy częstotliwości ze sprzężeniem zwrotnym od rodzaju przetwornika liczba/częstotliwość wymagają jeszcze dokładnego rozpatrzenia.

Tak zwane licznikowe powielacze częstotliwości opisywane są w [3, 23, 26, 37, 51, 52, 56, 60, 65]. W takich pracach jak [23, 26, 51, 58, 65] przedstawiony jest w zasadzie jedynie opis struktur takich powielaczy, natomiast w [3, 37, 52, 56] dla prezentowanych tam układów powielaczy obliczona jest dokładność powielania, a w pracach [3, 37] także błąd położenia kolejnego impulsu w ciągu impulsów wyjściowych. Wątpliwości jednak budzi sposób obliczania dokładności powielania dla powielaczy licznikowych z korekcją [37, 52, 56], gdyż nie uwzględnia się w tych obliczeniach nierównomierności spowodowanej działaniem obwodu korekcyjnego.

Na podstawie przeglądu literatury można stwierdzić, że ukazujące się prace nt. cyfrowych metod powielania częstotliwości dotyczyły różnych technik realizacji tego zagadnienia i zwykle stanowiły propozycję i analizę konkretnego rozwiązania. W odróżnieniu od np. układów z pętlą fazową, do momentu ogłoszenia prac [72-75] brak było głębszych rozważań teoretycznych poświęconych temu problemowi.

1.4. STOSOWANA TERMINOLOGIA

Stosowana w pracy terminologia i symbolika w zasadzie zgodna jest z większością prac poświęconych technice cyfrowej, teorii obwodów i sygnałów, a także elektronice i matematyce, np. [1, 7, 15, 17, 19, 24, 25, 30, 31, 34, 35, 36, 40, 42, 43, 47, 50, 51, 52, 55, 61, 67, 68, 72, 75].

Do najistotniejszych nowych pojęć należy pojęcie błędu powielania $\Delta T'_0/T_0$ i błędu nierównomierności $\Delta T''_0/T_0$ jako składników dokładności powielania $\Delta T_0/T_0$ częstotliwości przebiegu prostokątnego. Wprowadzono także podział cyfrowych powielaczy częstotliwości przebiegu prostokątnego na powielacze licznikowe, powielacze z elementami opóźniającymi i cyfrowe powielacze ze sprzężeniem zwrotnym.

Wszystkie nowe oznaczenia i pojęcia, wprowadzone przez autora, zostały omównione w tekście pracy. Dodatkowo stosowane w pracy oznaczenia zawarto w indeksie oznaczeń.

Praca składa się z sześciu rozdziałów. Numeracja zależności i rysunków jest dwuczłonowa i składa się z numeru rozdziału oraz kolejnego numeru w danym rozdziale. Twierdzenia i tablice zamieszczone w pracy numerowane są kolejno.



2. WŁAŚCIWOŚCI I PARAMETRY CYFROWYCH UKŁADÓW POWIELANIA CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

2.1. PRZEDSTAWIANIE CIĄGU IMPULSÓW PROSTOKĄTNYCH PRZY OPISIE CYFROWYCH UKŁADÓW POWIELAJĄCYCH

Jednym ze sposobów analitycznego przedstawiania przebiegu prostokątnego, jaki wykorzystywany jest przy analizie procesu powielania częstotliwości, jest przedstawianie tego przebiegu za pomocą funkcji Walsha.

Funkcje Walsha [6, 9, 12, 13, 14, 34, 67, 68, 74] są funkcjami prostokątnymi przybierającymi wartości +1, -1. Będziemy je rozważać w przedziale $\langle 0, 1 \rangle$, ale te same rozważania są prawdziwe dla przedziału $\langle -1/2, +1/2 \rangle$. Tworzą one ortonormalną rodzinę zupełną [34, 36, 67] i wykazują wiele analogii z funkcjami trygonometrycznymi sinus i cosinus. Funkcje Walsha oznacza się dość często symbolem $W(k, x)$, przy czym k - jest rzędem (numerem) funkcji, a zmienną x można traktować jako czas odniesiony do szerokości przedziału T , w którym funkcje są rozważane ($x = t/T$). Funkcje te charakteryzują się dość nieregularnym przebiegiem, a tworzy się je np. jako iloczyny funkcji Rademachera [12, 68] zgodnie ze wzorem:

$$W(0, x) = R_0(x)$$

$$W(k, x) = R_m^k(x) \cdot R_{m-1}^{k_{m-1}}(x) \cdot \dots \cdot R_1^{k_1}(x) \quad \text{dla } k = 1.2\dots \quad (2.1)$$

gdzie:

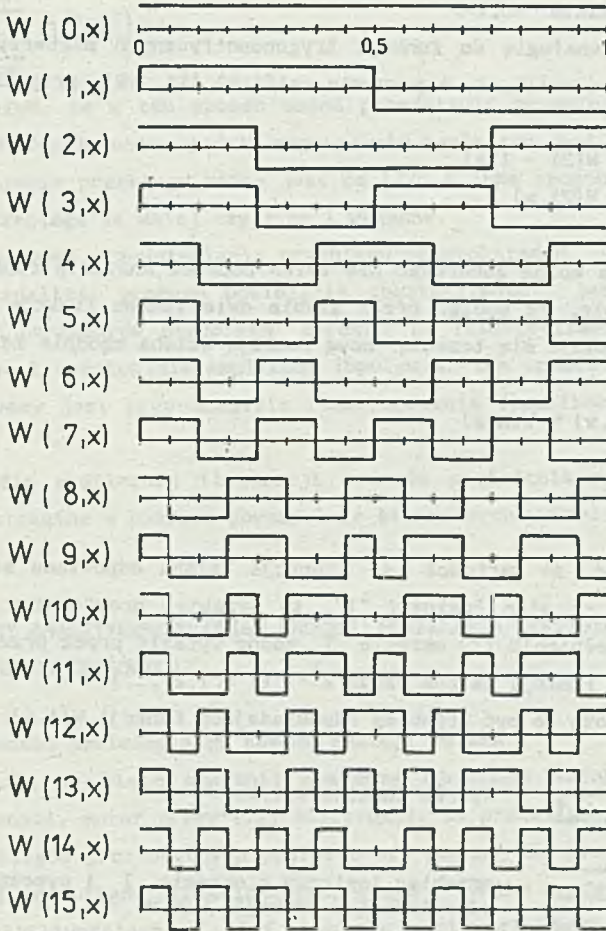
$R_1(x)$ - funkcja Rademachera rzędu 1;

$R_0(x) = 1$; $R_1(x) = \text{sgn}(\sin(2^1 \pi(x)))$,

$k_m k_{m-1} \dots k_1$ - reprezentacja dwójkowa liczby k (rzędu funkcji Walsh).

Jeżeli liczbę k będziemy przedstawiać w naturalnym kodzie dwójkowym, to uzyskiwane ze wzoru (2.1) funkcje Walsha będą w tzw. uporządkowaniu naturalnym, a jeżeli w zapisie naturalnym odwrócić kolejność bitów, to uzyskujemy

funkcje Walsha w tzw. uporządkowaniu diadycznym. Wyrażając liczbę k w kodzie Gray'a uzyskuje się, korzystając z powyższego wzoru, funkcje Walsha w tzw. uporządkowaniu sekwencyjnościowym. Ten rodzaj uporządkowania stosowany jest najczęściej, gdyż wtedy rząd funkcji Walsha wskazuje jednocześnie liczbę zmian znaku funkcji w przedziale zmienności $\langle 0,1 \rangle$. Pierwszych szesnaście funkcji Walsha w uporządkowaniu sekwencyjnościowym przedstawionych jest na rys. 2.1.



Rys. 2.1. Funkcje Walsha w uporządkowaniu sekwencyjnościowym

Fig. 2.1. Walsh functions in sequential order

Ważną własnością funkcji Walsha (Rademachera także) jest to, że liczba podprzedziałów w zakresie zmienności ograniczona jest do całkowitej potęgi dwójki.

Wskaźnik k nazywany jest często sekwencyjnością unormowaną (lub po prostu sekwencyjnością) i w literaturze [14, 67] traktowany jest jako analog częstotliwości. Jeżeli za pomocą wskaźnika k wyrazić liczbę impulsów reprezentowanych przez funkcję Walsha rzędu k , to uzyskuje się:

$$L = \text{int} \left(\frac{k+1}{2} \right) \quad (2.2)$$

impulsów w przedziale $\langle 0,1 \rangle$.

Często przez analogię do funkcji trygonometrycznych nieparzyste funkcje Walsha nazywane są $\text{sal}(i,x)$, a parzyste $\text{cal}(i,x)$ [14, 68], przy czym:

$$\begin{aligned} \text{sal}(i,x) &= W(2i-1,x) \\ \text{cal}(i,x) &= W(2i,x) \end{aligned} \quad (2.3)$$

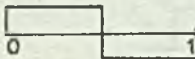
Funkcje Walsha można generować nie tylko poprzez mnożenie funkcji Rademachera. Okazuje się, że mnożąc przez siebie dwie zadane funkcje Walsha [12, 28, 67, 68], uzyskuje się trzecią, nową funkcję Walsha zgodnie ze wzorem:

$$W(k,x) \cdot W(m,x) = W(n,x) \quad (2.4)$$

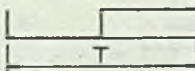
gdzie: $n = k \oplus m$.

Jeżeli przyjąć, że wartości $+1$ funkcji Walsha odpowiada stan logiczny "0", a wartości -1 stan logiczny "1", to przebieg prostokątny o dodatniej polaryzacji, wypełnieniu $1/2$ okresie T można wyrazić przez przebieg logiczny odpowiadający funkcji Walsha rzędu 2^i-1 ($i = 1, 2, \dots$).

Na przykład może to być przebieg odpowiadający funkcji $W(1,x)$:



wykres funkcji $W(1,x)$,



przebieg logiczny o okresie T i wypełnieniu $1/2$ odpowiadający funkcji $W(1,x)$.

Rys. 2.2. Wykres funkcji Walsha i odpowiadający jej przebieg logiczny

Fig. 2.2 Plot of Walsh function and corresponding logic waveform

Inny sposób przedstawiania przebiegu prostokątnego polega na wykorzystaniu funkcji prostokątnej $\Pi(x)$ [57] zdefiniowanej następująco:

$$\Pi(x) = \begin{cases} 1 & \text{dla } 0 \leq x \leq 1 \\ 0 & \text{dla } x < 0 \text{ i } x > 1 \end{cases} \quad (2.5)$$

Przebieg prostokątny $s(t)$ złożony z impulsów o szerokości τ powtarzanych co okres T można, korzystając z takiej funkcji, wyrazić przez:

$$s(t) = \sum_{m=0}^{\infty} \Pi\left(\frac{t-mT}{\tau}\right) \quad (2.6)$$

Warto zauważyć, że w ten sposób można przedstawić przebiegi o dowolnych współczynnikach wypełnienia, jednak szczególnie zapis ten jest przydatny wtedy, gdy wypełnienie przebiegu różne jest od $1/2$, a inne sposoby przedstawiania takiego przebiegu są mniej czytelne i wygodne.

Kolejnym sposobem przedstawiania przebiegu prostokątnego, jaki bywa wykorzystywany w analizie procesu powielania częstotliwości, jest podanie, po prostu, trzech parametrów przebiegu: okresu T (częstotliwości f), czasu trwania impulsu i ewentualnie amplitudy impulsu A . Ten sposób przedstawiania przebiegu używany jest przy analizie funkcjonowania licznikowych powielaczy częstotliwości.

Dodatkowo dla graficznej ilustracji procesu powielania przedstawia się przebiegi prostokątne w postaci powszechnie stosowanych wykresów czasowych.

2.2. SPOSOBY ANALITYCZNEGO OPISU PROCESU POWIELANIA CZĘSTOTLIWOŚCI W UKŁADACH CYFROWYCH

A. Opis procesu powielania za pomocą funkcji Walsha

Powołując się na wiele analogii pomiędzy funkcjami Walsha a funkcjami trygonometrycznymi, autor pracy [72] stwierdził, że proces powielania częstotliwości przebiegów prostokątnych powinien być podobny do procesu powielania częstotliwości przebiegów sinusoidalnych, gdzie w wyniku mnożenia dwóch przebiegów o częstotliwościach f_1 i f_2 uzyskuje się przebiegi sinusoidalne o częstotliwościach $f_1 + f_2$ i $f_1 - f_2$. Mnożąc dwie funkcje Walsha rzędu k i m , uzyskuje się trzecią funkcję, której rząd wynosi $k \oplus m$. Niestety liczba impulsów, w przedziale $\langle 0,1 \rangle$, przebiegu logicznego odpowiadającego funkcji wynikowej nie zawsze równa jest sumie lub różnicy liczb impulsów odpowiadających każdej z mnożonych funkcji. Taka sytuacja ma miejsce wtedy, gdy obydwie mnożone funkcje zmieniają swoją wartość jednocześnie, co w efekcie pozostawia

wynik iloczynu niezmienny. Zjawisko to zostało w pracy [72] nazwane *sklejanie* iloczynu funkcji Walsh'a i jeżeli wystąpi, prowadzi zawsze do mniejszej liczby impulsów przebiegu logicznego odpowiadającego funkcji wynikowej.

W tabeli 1, zaczerpniętej z pracy [72], podana jest liczba impulsów w przedziale $\langle 0,1 \rangle$, odpowiadająca iloczynowi dwóch funkcji Walsh'a rzędu k i m . Wraz z rzędem mnożonych funkcji podano także liczbę impulsów $(L1, L2)$ przebiegów logicznych związanych z tymi funkcjami.

Tabela 1

L1		1	1	2	2	3	3	4	4	5	5	
m		1	2	3	4	5	6	7	8	9	10	
L2	k											
1	1	0										
1	2	②	0									
2	3	1	1	0								
2	4	③	③	④	0							
3	5	2	4	<u>3</u>	1	0						
3	6	④	2	<u>3</u>	1	<u>2</u>	0					
4	7	3	3	2	2	1	1	0				
4	8	⑤	⑤	⑥	⑥	⑦	⑦	⑧	0			
5	9	4	⑥	<u>5</u>	⑦	6	⑧	<u>7</u>	1	0		
5	10	⑥	4	<u>5</u>	⑦	⑧	<u>6</u>	<u>7</u>	1	2	0	

W tabeli podkreślono u dołu te liczby impulsów, które nie odpowiadają sumie lub różnicy liczb impulsów związanych z mnożonymi funkcjami oraz obwiedziono kółkiem te liczby impulsów, które uzyskuje się bez *sklejeri*. Analizując tę tabelę, łatwo można zauważyć, że gdy rzędy mnożonych funkcji zapisać dwójkowo, to przebieg wyjściowy bez *sklejeri* uzyskuje się wtedy, gdy jedynki w tych zapisach nie maskują się wzajemnie. Na przykład dla $W(8,x) \cdot W(3,x)$:

$$\begin{array}{rcl}
 8 & = & 1\ 0\ 0\ 0 \quad 4 \text{ impulsy} \\
 3 & = & \textcircled{+} 0\ 0\ 1\ 1 \quad 2 \text{ impulsy} \\
 \hline
 11 & = & 1\ 0\ 1\ 1 \quad 6 \text{ impulsów}
 \end{array}$$

Jeżeli natomiast odpowiednie bity maskują się wzajemnie, to liczba impulsów funkcji wynikowej w przedziale $\langle 0,1 \rangle$ równa jest różnicy liczb impulsów mnożonych funkcji. Na przykład dla $W(13,x) \cdot W(4,x)$:

13	=	1 1 0 1	7 impulsów
4	=	\oplus 0 1 0 0	2 impulsy
<hr/>			
9	=	1 0 0 1	5 impulsów

Możliwa jest też taka sytuacja, w której w zapisie dwójkowym rzędów mnożonych funkcji, rząd o niższej wartości posiada jedynki zarówno na pozycjach odpowiadających zerom, jak i jedynkom rzędu o wyższej wartości. Na przykład $W(11,x) \cdot W(6,x)$:

11	=	1 0 1 1	6 impulsów
6	=	\oplus 0 1 1 0	3 impulsy
<hr/>			
13	=	1 1 0 1	7 impulsów

Otrzymywana wtedy, w przedziale $\langle 0,1 \rangle$, liczba impulsów przebiegu logicznego odpowiadającego funkcji wynikowej nie jest ani sumą, ani różnicą liczb impulsów przebiegów logicznych odpowiadających mnożonym funkcjom.

W przypadku powielania interesuje nas oczywiście zwiększenie liczby impulsów przebiegu logicznego odpowiadającego funkcji wynikowej w stosunku do liczby impulsów przebiegów logicznych odpowiadających obydwu mnożonym funkcjom oraz to, by funkcja wynikowa nie zawierała *sklejeń*. *Sklejenia*, występujące wtedy, gdy następuje jednoczesna zmiana znaku obydwu mnożonych funkcji, stwarzają niebezpieczeństwo hazardu (przy praktycznej realizacji mnożenia za pomocą elementów logicznych) i z tego względu należy takich sytuacji unikać.

Korzystając z podanych wyżej zasad, łatwo już zbudować tabelę (tabela 2), w której zawarte są liczby impulsów odpowiadające funkcji wynikowej nie zawierającej *sklejeń*. Wartości te obliczono korzystając z faktu, iż przebieg logiczny reprezentujący iloczyn bez *sklejeń* dwóch funkcji rzędu k i m składa się z $\text{int}((k+1)/2) + \text{int}((m+1)/2)$ impulsów. Przebieg prostokątny o wypełnieniu $1/2$ otrzymuje się na wyjściu z powielacza wtedy, gdy liczba impulsów odpowiadająca funkcji wynikowej równa jest całkowitej potędze dwójki. Jeśli przyjąć, że częstotliwość przebiegu funkcji Walsha $W(1,x)$ i $W(2,x)$ wynosi 1, to liczby zawarte w tabeli 2 reprezentują zwielokrotnienie częstotliwości w stosunku do częstotliwości tych przebiegów.

Tabela 2

L2	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	
m	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
L1 k																	
1 1																	
1 2																	2
2 3																	
2 4																	3 3 4
3 5																	4
3 6																	4
4 7																	
4 8																	5 5 6 6 7 7 8
5 9																	6 7 8
5 10																	6 7 8
6 11																	8
6 12																	7 7 8
7 13																	8
7 14																	8
8 15																	
8 16	9 9 10 10 11 11 12 12 13 13 14 14 15 15 16																

B. Opis procesu powielania za pomocą funkcji prostokątnej $\Pi(x)$

Przebieg wejściowy $S(t)$ o okresie T i wypełnieniu $1/2$ można za pomocą funkcji prostokątnej $\Pi(x)$ zapisać jako:

$$S(t) = \sum_{m=0}^{\infty} \Pi\left(\frac{t-mT}{T/2}\right) \quad (2.7)$$

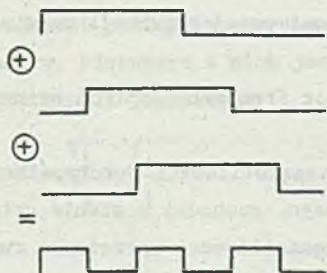
Powielanie takiego przebiegu, z punktu widzenia analitycznego opisu, może być traktowane jako zmiana skali czasu, co wyraża się następująco:

$$S(Kt) = \sum_{m=0}^{\infty} \Pi\left(\frac{Kt-mT}{T/2}\right) \quad (2.8)$$

Dzieląc licznik i mianownik wyrażenia w nawiasie przez K , otrzymuje się wzór:

$$S(Kt) = \sum_{m=0}^{\infty} \prod \left(\frac{t - m \frac{T}{K}}{\frac{T}{2K}} \right) \quad (2.9)$$

który przedstawia analityczny zapis przebiegu o okresie T/K i wypełnieniu $1/2$. Otrzymuje się więc przebieg prostokątny, którego częstotliwość jest K razy większa od częstotliwości przebiegu pierwotnego. Przy praktycznej realizacji takiego procesu powielania można skorzystać z własności funkcji sumy modulo dwa, która przyjmuje wartość jedynki logicznej tylko wtedy, gdy w stanie jedynki logicznej jest nieparzysta liczba jej argumentów. Aby uzyskać K -krotne powielenie częstotliwości przebiegu prostokątnego o okresie T i wypełnieniu $1/2$, należy dokonać sumowania modulo dwa K takich przebiegów przesuniętych o $T/2K$ względem siebie. Dla $K = 3$ ilustruje to rys. 2.3.



Rys. 2.3. Ilustracja procesu powielania częstotliwości metodą sumowania modulo dwa przesuniętych przebiegów

Fig. 2.3. Illustration of frequency multiplication by EX-OR adding of a shifting waveforms

C. Opis procesu powielania częstotliwości za pomocą parametrów przebiegu prostokątnego

Jeżeli w czasie trwania jednego okresu przebiegu wejściowego będziemy zliczać impulsy wyjściowe z dzielnika dzielącego przez liczbę K częstotliwość f_g generatora zegarowego, to otrzymamy:

$$M = T_1 \cdot \frac{f_g}{K} \quad (2.10)$$

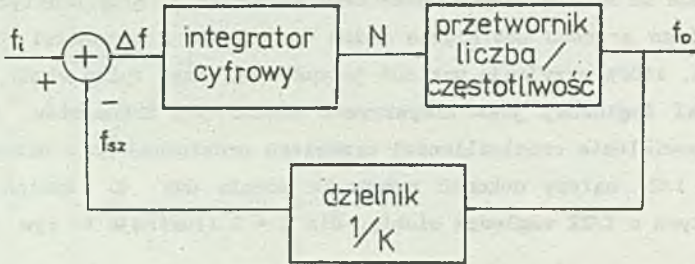
impulsów.

Jeżeli teraz tę samą częstotliwość f_g podzielimy przez liczbę M , to częstotliwość na wyjściu z dzielnika wyniesie:

$$f_o = \frac{f_g}{M} = \frac{f_g}{T_1 \cdot \frac{f_g}{K}} = K \cdot f_1 \quad (2.11)$$

a to znaczy, że następuje tu K -krotne powielenie częstotliwości wejściowej. Ponieważ zarówno zliczanie impulsów, jak i podział częstotliwości realizowany jest przez układy licznikowe, powielacze działające według powyższej zasady nazwano powielaczami licznikowymi.

Innym typem układu, którego działanie opisywane jest za pomocą parametrów sygnału, jest układ przedstawiony na rys. 2.4. W układzie tym, który jest



Rys. 2.4. Powielacz działający na zasadzie automatycznej regulacji częstotliwości

Fig. 2.4. Frequency multiplier based on automatic frequency control principle

cyfrową wersją układu automatycznej regulacji częstotliwości wykorzystaną do powielania częstotliwości przebiegu prostokątnego, zachodzi w stanie ustalonym równość częstotliwości wejściowej f_1 i częstotliwości sprzężenia zwrotnego f_{sz} :

$$f_1 = f_{sz} = \frac{f_o}{K} \quad (2.12)$$

stąd:

$$f_o = K \cdot f_1$$

Wynika stąd, że układ ten jest powielaczem częstotliwości o współczynniku powielania K , który można nastawiać zmieniając stopień podziału częstotliwości w dzielniku $1/K$. Ponieważ częstotliwość wyjściowa z powielacza może być także wyrażona wzorem:

$$f_o = k_{Nf} \cdot N \quad (2.13)$$

gdzie:

k_{Nf} - współczynnik przetwarzania przetwornika liczba/częstotliwość,

to podstawiając za f_0 wyrażenie $K \cdot f_1$ można obliczyć liczbę jaka w stanie ustalonym wystąpi na wyjściu integratora cyfrowego:

$$N_0 = \frac{K}{k_{NF}} f_1 \quad (2.14)$$

co pozwala na dobranie przetwornika liczba/częstotliwość.

Ponieważ w układach powielania działających według powyższej zasady występuje częstotliwościowe sprzężenie zwrotne, w dalszej części pracy takie powielacze będą nazywane cyfrowymi powielaczami częstotliwości ze sprzężeniem zwrotnym.

2.3. PARAMETRY CYFROWYCH POWIELACZY CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

Własności powielaczy częstotliwości można opisać podając cztery podstawowe parametry. Pierwszym z nich jest

- współczynnik powielania:

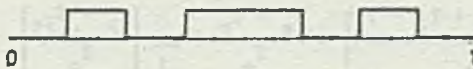
$$K = \frac{T_1}{T_0} = \frac{f_0}{f_1} \quad (2.15)$$

gdzie:

T_1 - okres przebiegu wejściowego ($T_1 = \frac{1}{f_1}$),

T_0 - teoretyczny okres przebiegu wyjściowego ($T_0 = \frac{1}{f_0}$).

Przebieg wyjściowy z powielacza, w zależności od rodzaju tego powielacza, może mieć różną postać. Dla powielaczy szeregowych, działających na zasadzie mnożenia funkcji Walsha, przebieg wyjściowy odpowiada pewnej funkcji Walsha, której rząd zależy od współczynnika powielania. Przebieg taki może charakteryzować się nierównomiernym rozkładem impulsów wyjściowych, co dla funkcji $W(6, x)$ przedstawione jest na rys. 2.5.



Rys. 2.5. Przebieg logiczny odpowiadający funkcji $W(6, x)$

Fig. 2.5. Logic waveform corresponding to $W(6, x)$

W innych rodzajach powielaczy, np. powielaczach licznikowych przebieg wyjściowy jest okresowy, ale okres ten może różnić się (rys. 2.6) od okresu

teoretycznego obliczonego z zależności $T_o = T_1/K$. Natomiast w powielaczach ze sprzężeniem zwrotnym występują dwa zjawiska wpływające na dokładność powielania. Pierwsze z nich spowodowane jest tym, że liczba na wyjściu integratora cyfrowego wyliczona ze wzoru (2.14) nie musi być liczbą całkowitą. Oznacza to, że w praktyce liczba zmienia się pomiędzy dwoma wartościami:



Rys. 2.6. Przebieg wyjściowy z powielacza licznikowego

a) teoretyczny, b) rzeczywisty

Fig. 2.6. Timing diagram of output signal from counter frequency multiplier

a) theoretical, b) real

$$\text{int}\left(\frac{K}{k_{Nf}} f_1\right) \quad \text{oraz} \quad \text{int}\left(\frac{K}{k_{Nf}} f_1\right) + 1 \quad (2.16)$$

powodując zmianę częstotliwości wyjściowej. Drugim zjawiskiem jest to, że przetwornik liczby na częstotliwość może charakteryzować się nierównomiernością rozkładu impulsów w przebiegu wyjściowym, podobnie jak to jest w powielaczach szeregowych działających na zasadzie mnożenia funkcji Walsha.

Mając to wszystko na uwadze, można zdefiniować drugi parametr powielaczy, którym jest

- dokładność powielania:

$$\delta_T = \frac{\Delta T_o}{T_o} = \max_i \frac{(T_o - T_{r1})}{T_o}, \quad (2.17)$$

gdzie:

T_{r1} - 1-ta wartość okresu rzeczywistego przebiegu wyjściowego.

Jeżeli przez T_r oznaczymy średni okres rzeczywistego przebiegu wyjściowego z powielacza, to wzór powyższy można przekształcić następująco:

$$\frac{\Delta T_o}{T_o} = \max_i \left(\frac{T_o - T_{r1} + T_r - T_r}{T_o} \right) = \frac{T_o - T_r}{T_o} + \max_i \left(\frac{T_r - T_{r1}}{T_o} \right) \quad (2.18)$$

Wyrażenie

$$\frac{T_o - T_r}{T_o} = \frac{\Delta T'_o}{T_o} = \delta'_T$$

reprezentuje błąd pomiędzy teoretycznym okresem przebiegu wyjściowego wyliczonym jako $k \cdot f_1$ a średnim okresem przebiegu, jaki rzeczywiście występuje na wyjściu powielacza. Ten składnik dokładności powielania można nazwać błędem powielania.

Wyrażenie

$$\max_1 \left(\frac{T_r - T_{r1}}{T_o} \right) = \frac{\Delta T_o''}{T_o} = \delta_T''$$

reprezentuje maksymalną odchyłkę okresu rzeczywistego przebiegu wyjściowego od okresu średniego. Ten składnik dokładności powielania będziemy nazywać błędem nierównomierności.

Kolejnymi parametrami powielaczy są:

- czas ustalania reprezentowany przez:
 - stałą czasową (dla układów ze sprzężeniem zwrotnym),
 - czas opóźnienia (dla układów otwartych),
- zakres częstotliwości przebiegu wejściowego: f_{1min}, f_{1max} .

Jak już wspomniano wyżej, przebieg wyjściowy z powielacza szeregowego, działającego na zasadzie mnożenia funkcji Walsha, charakteryzuje się nierównomiernym w czasie rozkładem impulsów. Jeżeli taki powielacz pracuje w urządzeniu, w którym ma miejsce zliczanie impulsów wyjściowych z powielacza (może to być np. miernik infraniskich częstotliwości), to zamiast podawać zdefiniowaną wyżej dokładność powielania, lepiej jest podać błąd zliczania, który definiuje się następująco:

$$\Delta L = L_w - L_o \quad (2.19)$$

gdzie:

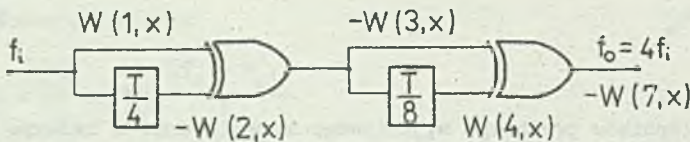
- L_w - liczba impulsów przebiegu wyjściowego z powielacza w zadanym przedziale czasu,
- L_o - liczba impulsów wyjściowych otrzymywanych z powielacza o równomiernym rozkładzie impulsów wyjściowych w tym samym przedziale czasu.

3. POWIELANIE CZĘSTOTLIWOŚCI W UKŁADACH Z ELEMENTAMI OPÓZNIAJĄCYMI

3.1. SZEREGOWE POWIELACZE CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

3.1.1. Wprowadzenie

Korzystając z przeprowadzonych w rozdziale 2 rozważań na temat opisu procesu powielania częstotliwości za pomocą funkcji Walsh'a oraz zamieszczonej tam tabeli 2, dochodzi się do wniosku, że np. 4-krotne powielanie częstotliwości uzyskuje się mnożąc $W(1,x) \cdot W(2,x) = W(3,x)$, a następnie $W(3,x) \cdot W(4,x) = W(7,x)$. Wykres funkcji $W(7,x)$ odpowiada fali prostokątnej o wypełnieniu $1/2$, przy czym liczba impulsów w przedziale $\langle 0,1 \rangle$ jest czterokrotnie większa od liczby impulsów funkcji $W(1,x)$ lub $W(2,x)$. Należy w tym miejscu zauważyć, że przebieg logiczny odpowiadający funkcji rzędu $2^n - 1$ uzyskuje się z przebiegu reprezentującego funkcję rzędu 2^n przez opóźnienie go o $T/4$ (T - okres przebiegu reprezentującego funkcję rzędu 2^n). W efekcie uzyskuje się proste szeregowe układy powielające [72], co dla podanego wyżej przykładu pokazane jest na rys. 3.1.



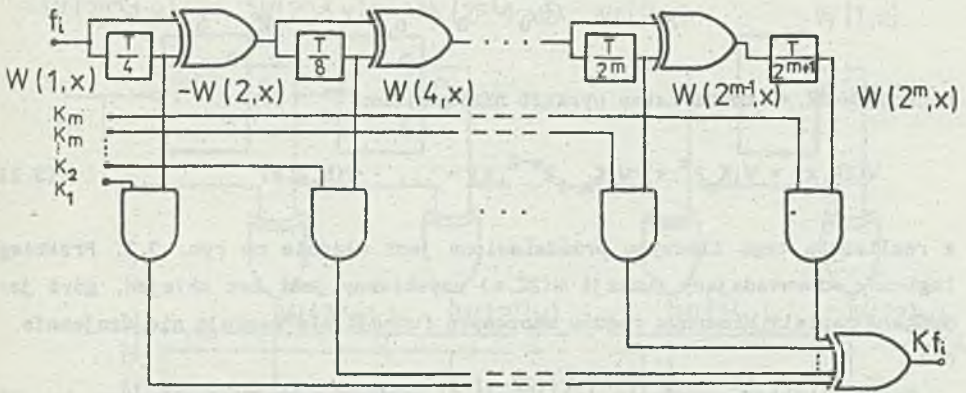
Rys. 3.1. Szeregowy powielacz częstotliwości

Fig. 3.1. Cascade frequency multiplier

Powielacze budowane według zasady przedstawionej na rys. 3.1 charakteryzują się przebiegiem wyjściowym o wypełnieniu $1/2$ i współczynnikiem powielania będącym całkowitą potęgą dwójki. Z tabeli 2 wynika, że można też budować układy o innym współczynniku powielania, co przedstawione jest w następnych rozdziałach.

3.1.2. Szeregowy powielacz częstotliwości o całkowitym współczynniku powielania

Twierdzenie 1: Jeżeli przyjąć, że przebieg wejściowy powielacza odpowiada funkcji Walsha $W(1,x)$, to układ służący do K -krotnego powielania częstotliwości w odniesieniu do średniej częstotliwości przebiegu wyjściowego można zrealizować według schematu przedstawionego na rys. 3.2.



Rys. 3.2. Powielacz częstotliwości o całkowitym współczynniku powielania

Fig. 3.2. Frequency multiplier with an integer multiplication factor

Dowód:

Przedstawmy współczynnik powielania K w zapisie binarnym:

$$K = K_m K_{m-1} K_{m-2} \dots K_1$$

Rząd funkcji Walsha, która ma odpowiadać sygnałowi wyjściowemu, powinien wynosić $2K$, gdyż liczba impulsów, w przedziale $\langle 0,1 \rangle$, przebiegu logicznego odpowiadającego tej funkcji wynosi:

$$\text{int} \left(\frac{2K + 1}{2} \right) = K.$$

Stąd:

$$\begin{aligned}
 2K = K_m K_{m-1} \dots K_1 0 = & \begin{pmatrix} K_m & 0 & 0 & \dots & 0 & 0 \\ \oplus & 0 & K_{m-1} & 0 & \dots & 0 & 0 \\ \oplus & 0 & 0 & K_{m-2} & \dots & 0 & 0 \\ \oplus & . & . & . & . & . & . \\ . & . & . & . & . & . & . \\ . & . & . & . & . & . & . \\ \oplus & 0 & 0 & 0 & \dots & K_1 & 0 \end{pmatrix} \quad (3.1)
 \end{aligned}$$

Funkcję $W(2K, x)$ można zatem wyrazić następująco:

$$W(2K, x) = W(K_m 2^m, x) \cdot W(K_{m-1} 2^{m-2}, x) \cdot \dots \cdot W(K_1 2, x) \quad (3.2)$$

a realizacja tego iloczynu przedstawiona jest właśnie na rys. 3.2. Przebieg logiczny odpowiadający funkcji $W(2K, x)$ uzyskiwany jest bez *sklejeń*, gdyż jedynki w zapisie binarnym rzędów mnożonych funkcji nie maskują się wzajemnie. cbdo.

Ponieważ także wyrażenie $\text{int}\left(\frac{(2K-1)+1}{2}\right)$ równe jest K , to oznacza to, iż we wzorze (3.2) można zamienić czynnik $W(K_1 2, x)$ czynnikiem $W(K_1, x)$. Uzyskuje się wtedy funkcję $W(2K-1, x)$, a liczba impulsów w przedziale $\langle 0, 1 \rangle$ nie ulega zmianie. Otrzymywany przebieg wyjściowy może być nieregularny, zatem powielanie odnosi się właściwie do częstotliwości średniej lub liczby impulsów.

Uwzględniając wpływ opóźnień wnoszonych przez bramki logiczne na pracę powielacza, należy sprawdzić, kiedy może dojść do pokrycia się zboczy funkcji $W(2^m, x)$ i funkcji $W(2, x)$. Oczywiście do takiej sytuacji dopuścić nie można, gdyż dochodzi wtedy do sklejanja się impulsów i powielacz nie zachowuje zadanego współczynnika powielania. Spełnienie warunku

$$(m-1)t_{pEX-OR} < \frac{T_1}{2^{m+2}} \quad (3.3)$$

gdzie:

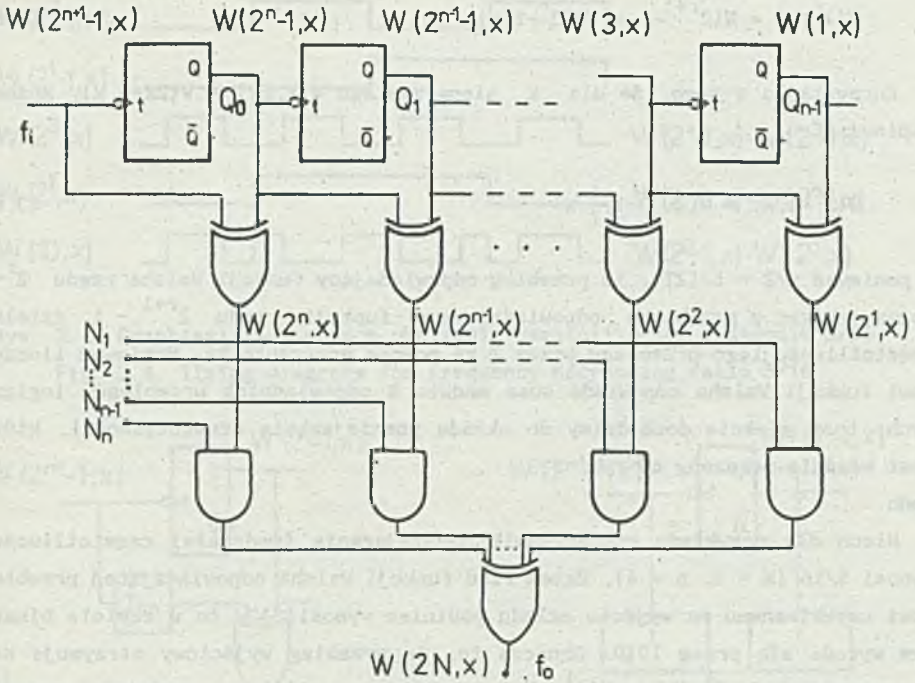
- T_1 - okres przebiegu wejściowego,
- t_{pEX-OR} - czas propagacji bramki EX-OR,

radykałnie zabezpiecza przed wystąpieniem takiego zjawiska.

3.1.3. Pomniejszanie częstotliwości

Podobnie jak przy powielaniu częstotliwości można postąpić przy pomniejszaniu (dzieleniu) częstotliwości lub liczby impulsów.

Twierdzenie 2: Jeżeli przebiegiem wejściowym jest przebieg prostokątny o wypełnieniu 1/2, to pomniejszenie częstotliwości w stosunku $N/2^n$ (n - liczba naturalna; $N < 2^n$), odnoszące się do średniej częstotliwości przebiegu wyjściowego, można uzyskać w układzie pokazanym na rys. 3.3.



Rys. 3.3. Układ do pomniejszania częstotliwości

Fig. 3.3. Circuit for frequency decreasing

Dowód:

Jeżeli na 2^n impulsów wejściowych uzyskamy na wyjściu układu N impulsów wyjściowych, to współczynnik pomniejszenia częstotliwości średniej (liczby impulsów) można przedstawić jako $N/2^n$. Funkcja Walsha odpowiadająca przebiegowi logicznemu posiadającemu, w przedziale $\langle 0,1 \rangle$, N impulsów powinna mieć rząd równy $2N$ (ewentualnie $2N-1$). Wyrażając $2N$ w zapisie binarnym uzyskuje się:

$$2N = N_n N_{n-1} \dots N_1 0 \quad \text{or} \quad W(2N, x) = W(N_n 2^n, x) \cdot W(N_{n-1} 2^{n-1}, x) \dots \cdot W(N_1 2, x).$$

Przebieg prostokątny o wypełnieniu $1/2$ zawiera w przedziale $\langle 0,1 \rangle$ 2^n impulsów, gdy odpowiada funkcji Walsh'a rzędu $2^{n+1} - 1$. Funkcję tego rzędu można przedstawić w postaci iloczynu:

$$W(2^{n+1}-1, x) = W(2^n, x) \cdot W(2^{n-1}, x) \cdot \dots \cdot W(1, x) \quad (3.4)$$

a poszczególne czynniki tego iloczynu uzyskiwać w następujący sposób:

$$W(2^r, x) = W(2^{r+1}-1, x) \cdot W(2^r-1, x) \quad (3.5)$$

Korzystając z tego, że dla k nieparzystego $W(k, 2x) = W(2k+1, x)$, możemy napisać:

$$W(2^r-1, x) = W(2^{r+1}-1, \frac{1}{2} x) \quad (3.6)$$

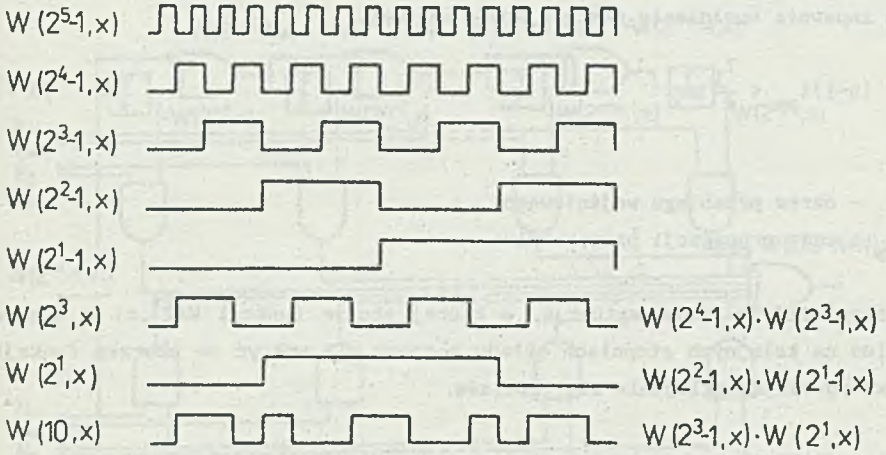
a ponieważ $x/2 = t/(2T)$, to przebieg odpowiadający funkcji Walsh'a rzędu 2^r-1 można uzyskać z przebiegu odpowiadającego funkcji rzędu $2^{r+1} - 1$ dzieląc częstotliwość tego przebiegu przez 2 za pomocą przerzutnika. Ponieważ iloczynowi funkcji Walsh'a odpowiada suma modulo 2 odpowiednich przebiegów logicznych, to w efekcie dochodzimy do układu pomniejszania częstotliwości, który jest właśnie pokazany na rys. 3.3.

cbdo.

Niech dla przykładu współczynnik pomniejszania (podziału) częstotliwości wynosi $5/16$ ($N = 5$, $n = 4$). Zatem rząd funkcji Walsh'a odpowiadającej przebiegowi uzyskiwanemu na wyjściu układu powinien wynosić 10, co w zapisie binarnym wyraża się przez 1010. Oznacza to, że przebieg wyjściowy otrzymuje się z wymnożenia $W(2^3, x)$ i $W(2^1, x)$, a przebieg wejściowy odpowiada funkcji $W(2^5-1, x)$. Ilustruje to rys. 3.4.

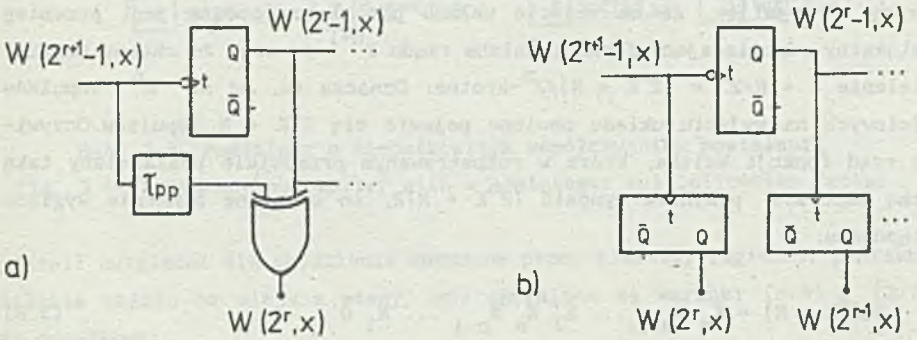
Wadą układu z rys. 3.3 jest to, że przebieg odpowiadający funkcji $W(2^r, x)$, wytwarzany na podstawie iloczynu funkcji $W(2^{r+1}-1, x)$ oraz funkcji $W(2^r-1, x)$, zawiera 2^{r-1} skłajeń, które stwarzają sytuacje hazardowe mogące objawić się krótkotrwałym impulsem zakłócającym występującym w momencie skłajenia. W konkretnym układzie efektów tych można uniknąć wyrównując opóźnienia w sposób pokazany na rys. 3.5a. Można też skorzystać z ogólniejszego rozwiązania tego problemu, które pokazane jest na rys. 3.5b. W rozwiązaniu tym przebieg związany z funkcją Walsh'a rzędu 2^r otrzymuje się z wyjścia przerzutnika wyzwalanego narastającymi zboczami przebiegu odpowiadającego funkcji rzędu $2^{r+1}-1$. Postępowanie to wynika stąd, że przebieg odpowiadający funkcji rzędu 2^r po-

siada dwa razy mniejszą częstotliwość niż przebieg odpowiadający funkcji rzędu $2^{r+1}-1$ i przesunięty jest o 1/2 okresu.



Rys. 3.4. Przebiegi ilustrujące obniżanie częstotliwości w stopniu 5/16

Fig. 3.4. Timing diagrams for frequency decreasing ratio 5/16



Rys. 3.5. Poprawne wytwarzanie przebiegów odpowiadających funkcjom Walsh, których rzędy są potęgami dwójki

a) poprzez wyrównywanie opóźnień, b) poprzez wykorzystanie przerzutników wyzwalanych narastającym zboczem impulsu

Fig. 3.5. Proper generation of the waveforms corresponding to Walsh functions which ranks are the real powers of two

a) by delay equalization, b) by applying a flip-flops triggered at the rising edge of a pulse

W układzie, w którym wyrównano opóźnienia na wejściach bramek EX-OR generujących przebiegi odpowiadające funkcjom $W(2^r, x)$ - gdzie $r = 1, 2, 3, \dots, n$ - a także w układzie z generacją tych przebiegów na przerzutnikach - poprawną pracę zapewnia spełnienie następującego warunku:

$$(n-1)t_{pp} < \frac{T_1}{4} \quad (3.7)$$

gdzie:

- T_1 - okres przebiegu wejściowego,
- t_{pp} - czas propagacji przerzutnika.

Zabezpiecza to przed sytuacją, w której zbocze funkcji $W(2^1, x)$ w wyniku opóźnień na kolejnych stopniach układu mogłoby się pokryć ze zboczem funkcji $W(2^n, x)$ powodując sklejanie się impulsów.

3.1.4. Powielanie częstotliwości przy niecałkowitym współczynniku powielania

Opierając się na rozwiązaniach układowych przedstawionych w poprzednich rozdziałach można teraz rozważyć powielanie częstotliwości niecałkowitą liczbę razy. Przyjmijmy, że na wejście układu powielacza podany jest przebieg prostokątny odpowiadający funkcji Walsha rzędu $2^{n+1}-1$ oraz że chcemy uzyskać powielenie $K + N/2^n = (2^n K + N)/2^n$ -krotne. Oznacza to, że na 2^n impulsów wejściowych na wyjściu układu powinno pojawić się $2^n K + N$ impulsów. Oczywiście rząd funkcji Walsha, która w rozpatrywanym przedziale posiadałaby taką liczbę impulsów, powinien wynosić $(2^n K + N)2$, co zapisane binarnie wygląda następująco:

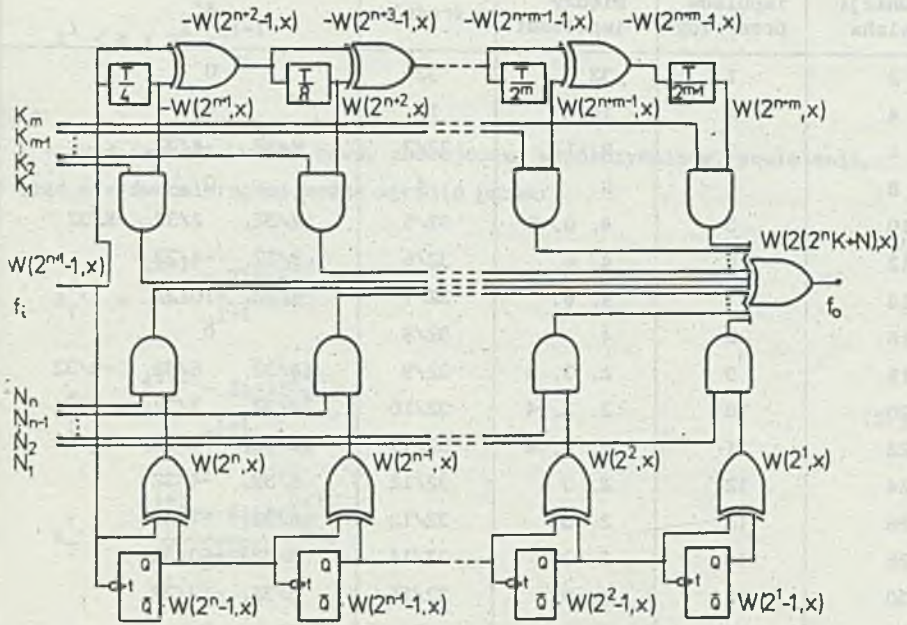
$$2(2^n K + N) = K_m K_{m-1} \dots K_1 N_n N_{n-1} \dots N_1 0 \quad (3.8)$$

gdzie: $K = K_m K_{m-1} \dots K_1$; $N = N_n N_{n-1} \dots N_1$.

Stąd funkcję Walsha rzędu $(2^n K + N)2$ można wyrazić tak:

$$W((2^n K + N)2, x) = W(K_m 2^{n+m}, x) \cdot W(K_{m-1} 2^{n+m-1}, x) \cdot \dots \cdot W(K_1 2^{n+1}, x) \cdot W(N_n 2^n, x) \cdot W(N_{n-1} 2^{n-1}, x) \cdot \dots \cdot W(N_1 2, x) \quad (3.9)$$

Korzystając z opisanych poprzednio (rozd. 3.1.2 i 3.1.3) sposobów generacji przebiegów odpowiadających funkcjom Walsha rzędu 2^r (dla $r > n$ i $r < n$), uzyskuje się następujący schemat powielacza (rys. 3.6).



Rys. 3.6. Powielacz o niecałkowitym współczynniku powielania

Fig. 3.6. Frequency multiplier with a noninteger multiplication factor

Jeżeli uwzględnimy opóźnienia wnoszone przez elementy logiczne, poprawne działanie układu ma miejsce wtedy, gdy spełnione są warunki (3.3) i (3.7) oraz dodatkowo:

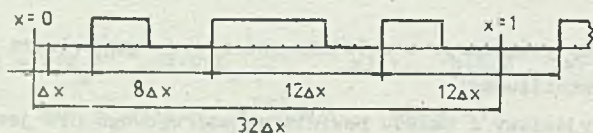
$$\left| nt_{pp} - (m-2)t_{pEX-OR} \right| < \frac{T_1}{2^{m+2}} \quad (3.10)$$

3.1.5. Błędy powielania w układzie szeregowego powielacza częstotliwości

Przebieg wyjściowy z układu powielacza szeregowego nie jest obciążony błędem powielania $\delta'_T \approx \Delta T'_0 / T_0$, ale ze względu na to, że odpowiada on funkcji Walsh, której impulsy w przedziale $\langle 0, 1 \rangle$ mogą być rozłożone nierównomiernie, pojawia się błąd nierównomierności $\Delta T''_0 / T_0 = \delta''_T$. Błąd ten można obliczyć na podstawie następującego rozumowania:

Rząd funkcji Walsha	Liczba impulsów przeb. log.	Odstęp między impulsami	Odstęp średni	Błąd nierównomierności δ''_T
2	1	32	32	0
4	2	16	16	0
6	3	8, 12	32/3	8/32, -4/32,
8	4	8	4	0
10	5	4, 6, 8	32/5	12/32, 2/32, -8/32
12	6	4, 6	32/6	8/32, -4/32
14	7	4, 6	32/7	4/32, -10/32
16	8	4	32/8	0
18	9	2, 3, 4	32/9	14/32, 5/32, -4/32
20	10	2, 3, 4	32/10	12/32, 2/32, -8/32
22	11	2, 3, 4	32/11	10/32, -1/32, -12/32
24	12	2, 3	32/12	8/32, -4/32
26	13	2, 3	32/13	6/32, -7/32
28	14	2, 3	32/14	4/32, -10/32
30	15	2, 3	32/15	2/32, -13/32
32	16	2	2	0

Posługując się wykresami funkcji Walsha (np. podanymi na rys. 2.1), wyznaczamy błąd nierównomierności dla przebiegów odpowiadających pierwszym 16 parzystym funkcjom (parzystym dlatego, że rząd funkcji, której odpowiada przebieg wyjściowy z powielacza, równy jest podwojonemu współczynnikowi powielania). Przedział określoności funkcji Walsha został podzielony na 2^5 podprzedziałów, co wynika z tego, że ostatnią rozpatrywaną tu funkcją jest funkcja rzędu 2^5 , a dla funkcji których rząd nie przekracza wartości 2^5 , najkrótszym podprzedziałem stałości funkcji jest podprzedział o szerokości $1/2^5$.



Rys. 3.7. Przebieg logiczny odpowiadający funkcji $W(6,x)$ z zaznaczonymi odstępami między impulsami

Fig. 3.7. Timing diagram for $W(6,x)$ with marked intervals between pulses

Odstępy między impulsami (rys. 3.7) mierzone liczbą podprzedziałów oraz obliczony błąd nierównomierności podane są w tabeli 3. Jeżeli rząd funkcji Walsha odpowiadającej przebiegowi wyjściowemu z powielacza zawarty jest w zakresie

$$2^i < k < 2^i + 2^{i-1},$$

gdzie:

k - rząd funkcji Walsha równy podwojonemu współczynnikowi powielania, to błąd nierównomierności można wyrazić przez:

$$\begin{aligned} \delta_T^{\prime\prime,1} &= \frac{2^{i+1} - 2 \ln t \left(\frac{k+1}{2} \right)}{2^{i+1}} \\ \delta_T^{\prime\prime,2} &= \frac{2^{i+1} - 3 \ln t \left(\frac{k+1}{2} \right)}{2^{i+1}} \\ \delta_T^{\prime\prime,3} &= \frac{2^{i+1} - 4 \ln t \left(\frac{k+1}{2} \right)}{2^{i+1}} \end{aligned} \quad (3.11)$$

Dla

$$2^i + 2^{i-1} \leq k < 2^{i+1} - 1$$

niezerową wartość posiadają błędy $\delta_T^{\prime\prime,1}$ i $\delta_T^{\prime\prime,2}$.

Zatem dla pierwszego z powyższych zakresów zmienności k można napisać:

$$\delta_T^{\prime\prime} \leq \max(\delta_T^{\prime\prime,1}, \delta_T^{\prime\prime,2}, \delta_T^{\prime\prime,3}) \quad (3.12)$$

a dla drugiego zakresu:

$$\delta_T^{\prime\prime} \leq \max(\delta_T^{\prime\prime,1}, \delta_T^{\prime\prime,2}) \quad (3.13)$$

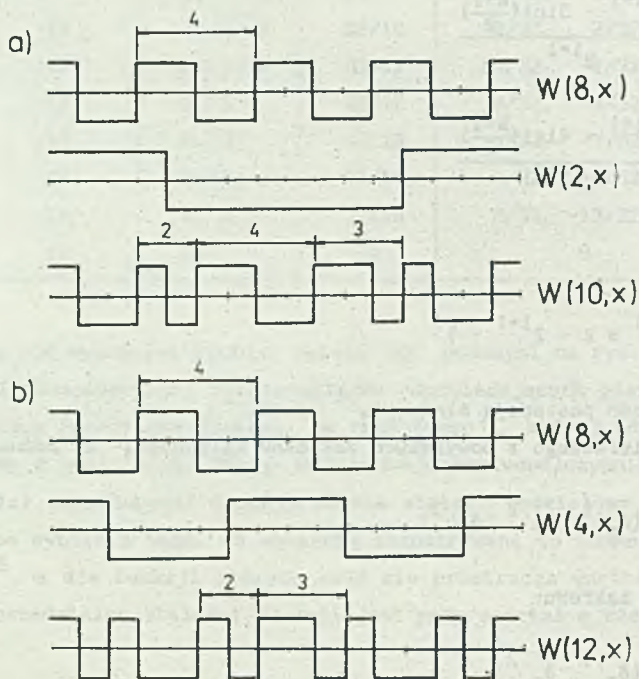
Oczywiście dla $k = 2^i$ błąd nierównomierności równy jest zero, gdyż przebieg logiczny odpowiadający funkcji rzędu 2^i jest przebiegiem okresowym o wypełnieniu $1/2$.

Mając na uwadze fakt, że maksymalny rząd funkcji odpowiadającej przebiegowi wyjściowemu, np. z powielacza o całkowitym współczynniku powielania, wynosi $2^{m+1} - 1$, można łatwo wykazać, że wzory (3.11) mają charakter ogólny.

Odstępy między impulsami przebiegu logicznego odpowiadającego funkcji Walsha rzędu 2^1 ($1 < m+1$) wynoszą 2^{m-1+2} . Funkcje Walsha, których rząd jest zawarty w przedziale

$$2^1 < k < 2^1 + 2^{1-1},$$

otrzymuje się mnożąc funkcję rzędu 2^1 z funkcjami rzędu $2^{1-2}, 2^{1-3}, \dots, 2^1$. Ponieważ zmiana znaku funkcji rzędu $2^{1-2}, 2^{1-3}, \dots, 2^1$ następuje dokładnie w połowie podprzedziału, w którym wartość funkcji rzędu 2^1 jest stała, to w wyniku mnożenia powstają dodatkowo odstępy o wartości 2^{m-1+1} oraz 2^{m-1} (patrz rys. 3.8a). Natomiast począwszy od funkcji rzędu $2^1 + 2^{1-1}$, która powstaje z wymnożenia funkcji rzędu 2^1 i funkcji rzędu 2^{1-1} , znikają całkowicie odstępy 2^{m-1+2} , ponieważ w każdym co drugim podprzedziale stałości



Rys. 3.8. Wybrane funkcje Walsha z podanymi odstępami między impulsami
 a) funkcja $W(10,x)$ i tworzące ją funkcje $W(8,x)$ i $W(2,x)$; b) funkcja $W(12,x)$
 i funkcje $W(8,x)$ i $W(4,x)$

Fig. 3.8. Chosen Walsh functions with marked intervals between pulses
 a) function $W(10,x)$ and composing functions $W(8,x)$ and $W(2,x)$; b) function
 $W(12,x)$ and composing functions $W(8,x)$ and $W(4,x)$

funkcji rzędu 2^i zawarte jest zbocze funkcji rzędu 2^{i-1} . Dla $m+1=4$ oraz $i=3$ ilustruje to rys. 3.8b.

Ponieważ liczba impulsów, w przedziale $\langle 0, 1 \rangle$, reprezentowana przez funkcję rzędu k wynosi $\text{int}((k+1)/2)$, to przy podziale tego przedziału na 2^{m+1} podprzedziałów średni odstęp między impulsami (mierzony liczbą podprzedziałów) wynosi $2^{m+1}/\text{int}((k+1)/2)$. Nierównomierność takiego przebiegu dla

$$2^i < k < 2^i + 2^{i-1}$$

można zatem wyrazić następującymi wzorami:

$$\delta_T''_{,1} = \frac{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})} - 2^{m-1+1}}{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})}}$$

$$\delta_T''_{,2} = \frac{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})} - 2^{m-1+1} + 2^{m-1}}{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})}}$$

$$\delta_T''_{,3} = \frac{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})} - 2^{m-1+2}}{\frac{2^{m+1}}{\text{int}(\frac{k+1}{2})}}$$

z których po przekształceniu uzyskuje się właśnie wzory (3.11).

Dla

$$2^i + 2^{i-1} \leq k < 2^{i+1} - 1,$$

zgodnie z powyższymi rozważaniami wartość niezerową zachowują jedynie błędy $\delta_T''_{,1}$ i $\delta_T''_{,2}$.

Identyczne wzory opisują błąd nierównomierności, gdy funkcja odpowiadająca przebiegowi wyjściowemu jest nieparzysta.

Innym problemem jest błąd popełniany podczas zliczania impulsów wyjściowych z powielacza, który definiuje wzór (2.19):

$$\Delta L = L_W - L_O' \quad (3.14)$$

gdzie:

- L_W - liczba impulsów przebiegu wyjściowego z powielacza rzeczywistego,
- L_O' - liczba impulsów wyjściowych z takiego powielacza, który posiada równomierny rozkład impulsów wyjściowych.

Liczbę impulsów przebiegu wyjściowego z powielacza obliczyć można wyznaczając liczbę zbczozy funkcji Walsha zawartych w przedziale $\langle 0, p \rangle$, gdzie p oznacza numer podprzedziału, na jakie podzielony jest przedział określoności funkcji Walsha $\langle 0, 1 \rangle$.

Twierdzenie 3: Jeżeli przyjmiemy, że proces zliczania rozpoczynamy na początku przedziału określoności funkcji Walsha reprezentującej przebieg wyjściowy z powielacza, to błąd zliczania można wyrazić następującą nierównością:

$$\Delta L \leq \text{int} \left[\frac{1}{12} \left(m-1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right] + 1 \quad (3.15)$$

gdzie: m - liczba bitów w zapisie binarnym współczynnika powielania.

Dowód zamieszczono w dodatku A.

Jeżeli proces zliczania rozpoczniemy od pewnego podprzedziału p_0 , to błąd zliczania można wyrazić zależnością (3.16):

$$\Delta L = [L_W(p_0 + p) - L_W(p_0)] - [L_O(p_0 + p) - L_O(p_0)], \quad (3.16)$$

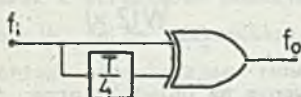
w której $L_W(p_0)$ oznacza liczbę impulsów wyjściowych w przedziale $\langle 0, p_0 \rangle$, a $L_O(p_0)$ liczbę impulsów wyjściowych w przedziale $\langle 0, p_0 \rangle$, ale z powielacza o równomiernym rozkładzie impulsów. $L_W(p_0 + p)$ oznacza liczbę impulsów wyjściowych w przedziale $\langle 0, p_0 + p \rangle$, a $L_O(p_0 + p)$ liczbę impulsów wyjściowych w tym samym przedziale, z powielacza, którego impulsy wyjściowe rozłożone są równomiernie. W dodatku B pokazano, że zależność (3.16) można przekształcić do następującej postaci:

$$\Delta L < 2 \text{int} \left[\frac{1}{12} \left(m - 1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right] + 1 \quad (3.17)$$

Nietrudno zauważyć, że dla $m < 10$ wartości otrzymywane zarówno ze wzoru (3.15), jak i (3.17) nie przekraczają jedności, zatem, niezależnie od momentu rozpoczęcia zliczania, błąd zliczania dla współczynnika powielania $2 \leq K \leq 1023$ nie przekroczy tej wartości.

3.1.6. Powielacz szeregowy, w którym wykorzystuje się czasy propagacji bramek logicznych

W szeregowym powielaczu częstotliwości, takim jak pokazany jest na rys. 3.2 przy zmianach częstotliwości przebiegu wejściowego zmienia się wypełnienie przebiegu wyjściowego. Na przykład dla podwajacza pokazanego na rys. 3.9,

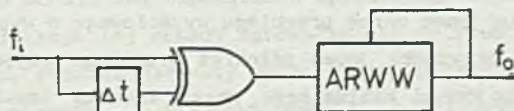


Rys. 3.9 Podwajacz częstotliwości

Fig. 3.9. Frequency doubler

przy wzroście częstotliwości przebiegu wejściowego powyżej wartości, dla której dobrano opóźnienie, współczynnik wypełnienia przebiegu wyjściowego rośnie, a gdy częstotliwość maleje, współczynnik wypełnienia także maleje. Można temu zaradzić, stosując układ zmieniający czas opóźnienia, tak by utrzymać wypełnienie przebiegu wyjściowego równe 1/2 lub włączając na wyjściu podwajacza układ automatycznej regulacji współczynnika wypełnienia (ARWW) [63]

(rys. 3.10).

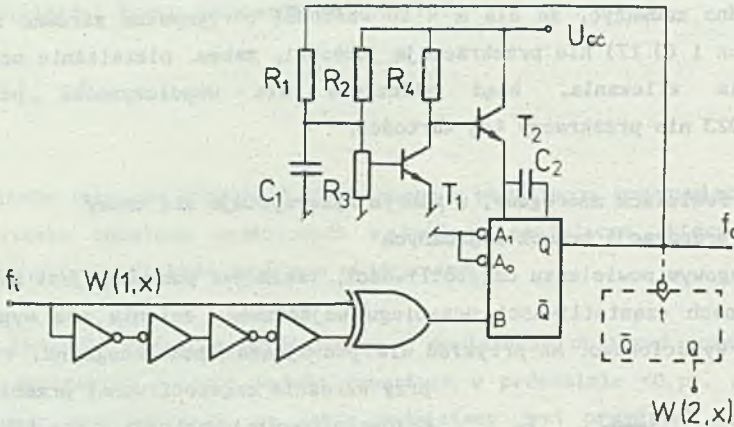


Rys. 3.10. Podwajacz częstotliwości z automatyczną regulacją współczynnika wypełnienia

Fig. 3.10. Frequency doubler with automatic control of duty factor

Przy takim włączeniu układu regulacji wypełnienia jak na rys. 3.10, można zrezygnować z opóźnienia $T/4$ zastępując je niewielkim opóźnieniem wnoszonym przez pewną liczbę elementów negacji. Natomiast układ regulacji wypełnienia można zbudować np. tak, jak pokazano na rys. 3.11.

Działanie tego układu polega na uśrednianiu prostokątnego przebiegu napięcia uzyskiwanego na wyjściu uniwibratora i odpowiedniej zmianie napięcia wyjściowego z dzielnika $R_2 R_3$, na którym zadawane jest wypełnienie przebiegu. Wypełnienie większe niż 1/2 powoduje wzrost napięcia powyżej wartości zada-



Rys. 3.11. Podwajacz częstotliwości z ARWW zbudowanym na uniwbatorze Fig. 3.11. Frequency doubler with automatic control of duty factor containing a monostable multivibrator

nej, a tym samym lepsze wystereowanie tranzystora T2, co na wyjściu objawia się zmniejszeniem szerokości impulsu, a wypełnienie mniejsze od 1/2 - reakcją odwrotną.

Maksymalną częstotliwość pracy takiego podwajacza częstotliwości można ocenić stąd, że w jednym półokresie przebiegu wejściowego (o wypełnieniu 1/2) powinien zmieścić się jeden okres przebiegu wyjściowego o wypełnieniu 1/2. To znaczy w granicznym przypadku jeden półokres przebiegu wejściowego nie może być krótszy od podwojonego minimalnego czasu trwania impulsu generowanego przez ten uniwbator:

$$\frac{T_{1 \min}}{2} \geq 2t_{w \min} \quad (3.18)$$

gdzie:

$t_{w \min}$ - minimalny czas trwania impulsu generowanego przez uniwbator.

Zatem:

$$f_{1 \max} \leq \frac{1}{4t_{w \min}} \quad (3.19)$$

Dla układu z uniwbiatorem 74121 $f_{1 \max}$ wynosi 6,25 MHz.

Minimalna wartość częstotliwości wejściowej wynika z maksymalnej długości generowanego przez uniwbibrator impulsu i wynosi:

$$f_{i \min} \geq \frac{1}{4t_{w \max}} \quad (3.20)$$

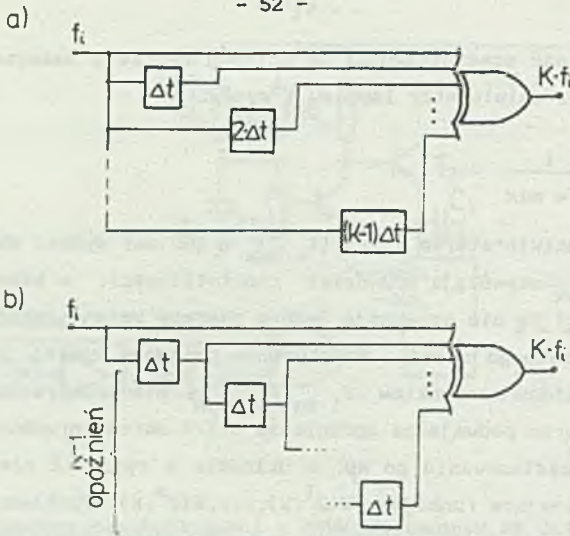
co dla układu z uniwbizatorem 74121 ($t_{w \max} \approx 250$ ms) wynosi około 1 Hz. Wartości $f_{i \min}$, $f_{i \max}$ określają przedział częstotliwości, w którym układ może pracować. Wartości te nie oznaczają jednak zakresu zmiany częstotliwości wejściowej dla konkretnego układu. Praktycznie osiągnany zakres zmiany tej częstotliwości, wyrażony stosunkiem $f_{i \max}/f_{i \min}$, nie przekracza 1000:1.

Brak w strukturze podwajacza opóźnienia o $1/4$ okresu przebiegu wejściowego powoduje, że po zastosowaniu go np. w układzie z rys. 3.2 nie występują tam przebiegi odpowiadające funkcjom $W(2^1, x), \dots, W(2^m, x)$. Problem ten rozwiązuje umieszczenie na wyjściach podwajaczy przerzutników wyzwanych opadającym zboczem sygnału, co na rys. 3.11 pokazano linią kreskowaną. Powyższe funkcje otrzymuje się z wyjść tych przerzutników.

3.2. RÓWNOLEGŁE POWIELACZE CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

Przedstawiona w rozdziale 2.2 punkt B zasada powielania częstotliwości polega na sumowaniu modulo dwa odpowiednio opóźnianego wejściowego przebiegu prostokątnego. Realizacja tej zasady sprowadza się do równoległego podawania sygnału wejściowego, poprzez elementy opóźniające, na wielowejsciowy funktor EX-OR. Od sposobu wprowadzania do układu sygnału wejściowego powielacze takie nazwano powielaczami równoległymi, w odróżnieniu od omówionych poprzednio powielaczy szeregowych, w których sygnał wejściowy przechodzi kolejno przez wszystkie stopnie powielania. Podstawową strukturę powielacza równoległego pokazano na rys. 3.12a, korzystając z umownego symbolu wielowejsciowej sumy modulo dwa. Odmiana tej struktury, zawierająca elementy opóźniające o tę samą wartość czasu, przedstawiona jest na rys. 3.12b.

W pracy [72] dla przebiegu wejściowego o wypełnieniu $1/2$ układ taki analizowany jest za pomocą zmodyfikowanych funkcji Walsha, jednak gdy przebieg wejściowy posiada inne wypełnienie, ten sposób opisu działania układu staje się nieprzydatny. Z tego względu wygodniej jest wykorzystać do analizy powielacza funkcję prostokątną $\prod(x)$ [57].



Rys. 3.12. Równoległy powielacz częstotliwości

a) struktura podstawowa, b) struktura z identycznymi elementami opóźniającymi

Fig. 3.12. Parallel frequency multiplier

a) based structure, b) structure with identical delay elements

Jeżeli przebieg wejściowy powielacza równoległego jest falą prostokątną o wypełnieniu 1/2 ($\tau = T/2$), a $\Delta t = T/(2K)$, to przebieg na wyjściu wyraża się zależnością:

$$S(t) = \sum_{r=0}^{K-1} \oplus \sum_{m=0}^{\infty} \Pi \left(\frac{t - (mK + \frac{r}{2}) \frac{T}{r}}{\frac{T}{2}} \right) \quad (3.21)$$

Wyrażenie (3.21), zgodnie z właściwością sumy modulo dwa, przyjmuje wartość 1 w przedziale o szerokości $T/(2K)$ dla parzystych wartości $r = 2s$ ($s = 0, 1, \dots, K-1$). Wynikiem sumowania modulo dwa jest więc wyrażenie:

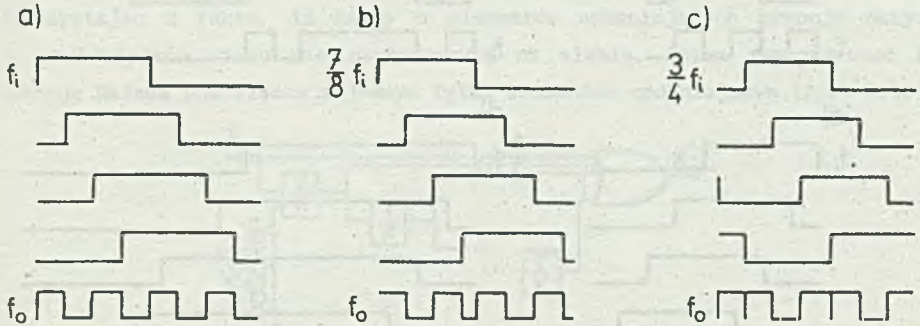
$$S(t) = \sum_{s=0}^{K-1} \sum_{m=0}^{\infty} \Pi \left(\frac{t - (mK + s) \frac{T}{K}}{\frac{T}{2 \cdot K}} \right) \quad (3.22)$$

Podstawiając za $mK+s$ wskaźnik p , można opuścić jeden symbol sumowania, dzięki czemu uzyskuje się ($mK+s \rightarrow \infty$ to $p \rightarrow \infty$):

$$S(t) = \sum_{p=0}^{\infty} \Pi \left(\frac{t - p \frac{T}{K}}{\frac{T}{2 \cdot K}} \right) \quad (3.23)$$

co oznacza, że na wyjściu układu pojawia się przebieg prostokątny o częstotliwości K/T i wypełnieniu $1/2$.

Należy zwrócić tu uwagę na wpływ zmian częstotliwości wejściowej na pracę takiego powielacza. Jeżeli przyjmiemy, że elementy opóźniające zostały poprawnie dobrane dla pewnej częstotliwości f_1 , to przy wzroście tej częstotliwości należy liczyć się z takimi efektami jak pokazane na rys. 3.13.



Rys. 3.13. Przebiegi wyjściowe z powielacza równoległego występujące przy wzroście częstotliwości wejściowej

Fig. 3.13. Output timing diagrams from parallel frequency multiplier appearing while increasing input frequency

Przy zmniejszaniu się częstotliwości f_1 charakter przebiegu wyjściowego zależeć będzie od tego, czy współczynnik powielania jest parzysty czy nieparzysty. Przykładowe przebiegi wyjściowe dla $K = 3$ i $K = 4$ przedstawione są na rys. 3.14.

Ogólnie dla przebiegu złożonego z impulsów o szerokości τ można powiedzieć, że układ z rys. 3.12 będzie pracował poprawnie jako powielacz (częstotliwości lub liczby impulsów), gdy:

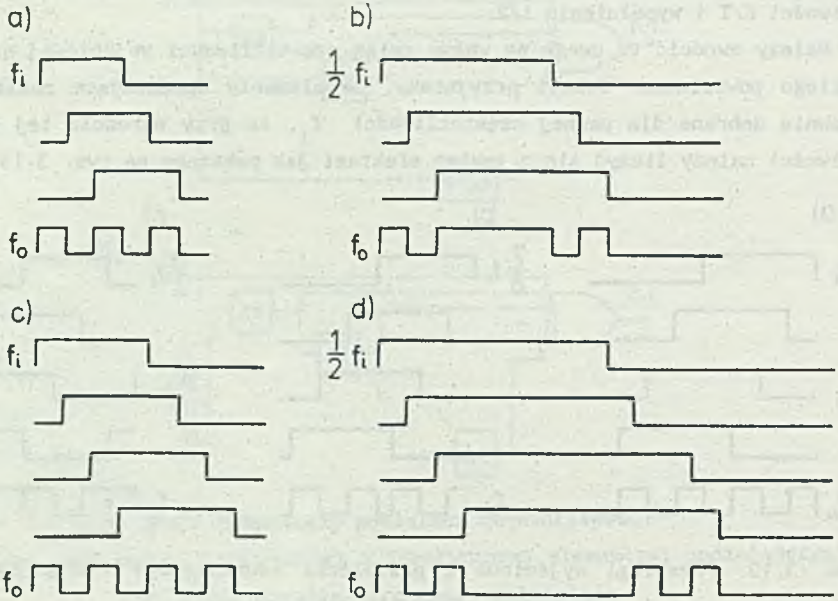
$$(K - 1) \Delta t + \tau < T \quad (3.24)$$

oraz dodatkowo

$$K\Delta t \neq \tau \quad (3.25)$$

ponieważ zapobiega to sytuacji takiej jak na rys. 3.13c.

Oczywiście o powielaniu częstotliwości, w zwykłym rozumieniu, możemy mówić jedynie wtedy, gdy opóźnienia dobrane są odpowiednio do okresu przebiegu



Rys. 3.14. Przebiegi wyjściowe z powielacza równoległego występujące przy zmniejszaniu się częstotliwości wejściowej

Fig. 3.14. Output timing diagrams from parallel frequency multiplier appearing while decreasing input frequency

wejściowego (rys.3.13a). W sytuacji takiej jak przedstawiona na rys.3.14b i d można mówić o powielaniu częstotliwości średniej lub liczby impulsów.

Jeżeli przebieg o okresie T spełnia warunek, że szerokość impulsów jest mniejsza od T/K , to K -krotne powielenie częstotliwości uzyskuje się sumując ciągi impulsów opóźnione w odniesieniu do ciągu wejściowego o rT/K ($r = 0, 1, \dots, K-1$). Wynika to wprost z przedstawienia przebiegu wyjściowego w postaci:

$$S(t) = \sum_{p=0}^{\infty} \prod \left(\frac{t - p\frac{T}{K}}{\tau} \right) \quad (3.26)$$

Podstawiając:

$$p = mK + r$$

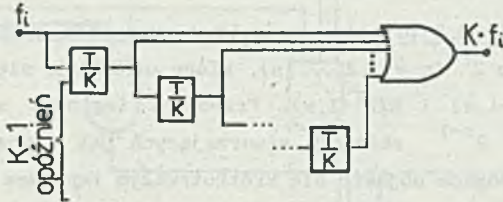
gdzie: $m = 0, 1, \dots, \infty$

$$r = 0, 1, \dots, K-1$$

otrzymuje się wyrażenie:

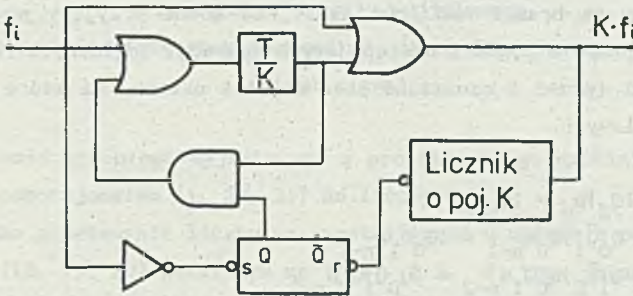
$$S(t) = \sum_{r=0}^{K-1} \sum_{m=0}^{\infty} \prod \left(\frac{t - (mK+r) \frac{T}{K}}{\tau} \right) \quad (3.27)$$

które przedstawia sumę K ciągów impulsów o okresie T przesuniętych względem siebie o T/K . Schemat takiego powielacza przedstawiony jest na rys. 3.15. Korzystając z faktu, iż każdy z elementów opóźniających pracuje aktywnie w przedziałach czasu nie zachodzących na siebie, można zaproponować inną wersję układu powielacza z jednym tylko elementem opóźniającym (rys. 3.16).



Rys. 3.15. Równoległy powielacz częstotliwości przebiegu prostokątnego o małym wypełnieniu

Fig. 3.15. Parallel frequency multiplier of rectangular wave with small duty factor



Rys. 3.16. Równoległy powielacz częstotliwości z jednym elementem opóźniającym

Fig. 3.16. Parallel frequency multiplier with single delay element

Oczywiście występowanie w układzie tylko jednego elementu opóźniającego jest jego ważną zaletą, ale zarówno ten układ, jak i układ pokazany na rys. 3.15 pracują poprawnie jako powielacze częstotliwości dla tej częstotliwości przebiegu wejściowego, dla której dobrano opóźnienie. W innej sytuacji układy te są powielaczami liczby impulsów (częstotliwości średniej).

4. CYFROWE POWIELACZE CZĘSTOTLIWOŚCI ZE SPRZĘŻENIEM ZWROTNYM

4.1. WSTĘP

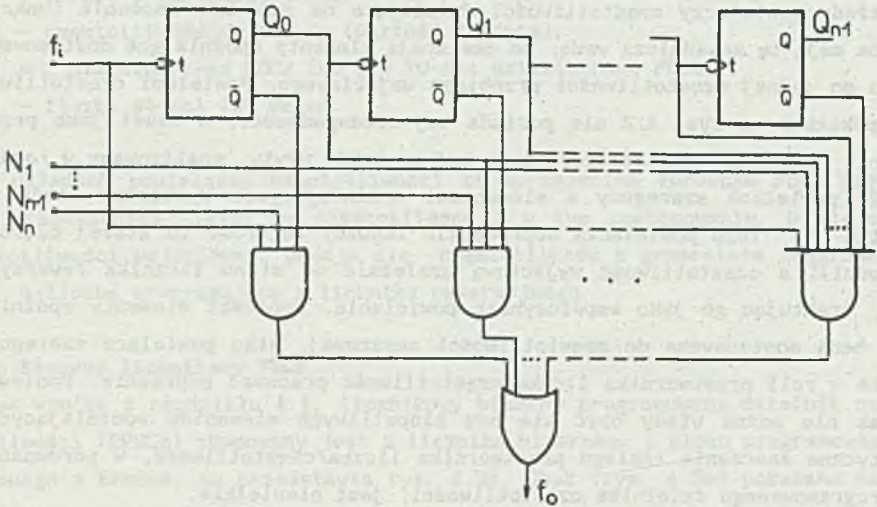
W układzie z rys. 3.3 przebieg wyjściowy odpowiada iloczynowi wybranych funkcji Walsha rzędu 2^r ($r = 1, 2, \dots, n$), które otrzymuje się w wyniku mnożenia funkcji $W(2^{r+1}-1, x)$ i $W(2^r-1, x)$. Przebiegi logiczne odpowiadające tym funkcjom zawierają 2^{r-1} sklejeń, stwarzających jak zaznaczono wcześniej, sytuacje hazardowe mogące objawić się krótkotrwałym impulsem zakłócającym pojawiającym się w momencie sklejenia. Można temu zaradzić w sposób pokazany na rys. 3.5 (rozdz. 3.1.3) lub wprowadzając strobowanie przebiegu odpowiadającego funkcji $W(2^r, x)$ impulsami przebiegu wejściowego. Dążąc do strobowania jak najbliższej środka impulsu, należy wykorzystać impulsy wejściowe występujące bezpośrednio przed sklejeniem. Jeśli impulsy strobuujące (impulsy wejściowe) wprowadzimy na bramki AND (rys. 3.3), to można przyjęty powyżej sposób strobowania zapisać w postaci następujących operacji logicznych realizowanych przez te bramki (przez I oznaczono stan wejścia układu, na które wprowadzamy przebieg wejściowy):

$$\begin{aligned} I(\bar{I}Q_0 + I\bar{Q}_0)N_n &= I\bar{Q}_0N_n \\ I(\bar{Q}_0Q_1 + Q_0\bar{Q}_1)Q_0N_{n-1} &= IQ_0\bar{Q}_1N_{n-1} \\ I(\bar{Q}_1Q_2 + Q_1\bar{Q}_2)Q_0Q_1N_{n-2} &= IQ_0Q_1\bar{Q}_2N_{n-2} \end{aligned} \quad (4.1)$$

$$I(\bar{Q}_{n-2}Q_{n-1} + Q_{n-2}\bar{Q}_{n-1})Q_0Q_1 \dots Q_{n-2}N_1 = IQ_0Q_1 \dots Q_{n-2}\bar{Q}_{n-1}N_1$$

Ze wzorów tych wynika, że w układzie z rys. 3.3 można pominąć dwuwejściowe bramki EX-OR, a ponieważ impulsy wyjściowe z bramek AND nie pokrywają się, wielowejściową bramkę EX-OR można zastąpić zwykłą bramką OR. Cały układ dokonujący pomniejszenia częstotliwości można zatem przedstawić jak na rys. 4.1. Łatwo teraz zauważyć, że struktura, którą otrzymaliśmy odpowiada znanemu

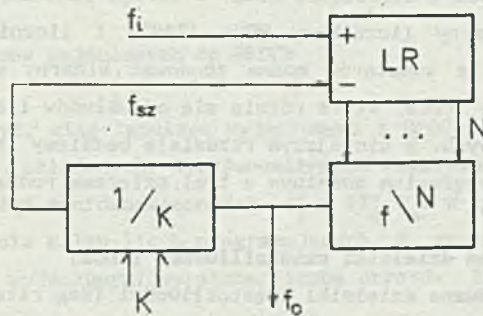
z literatury [1, 7, 17, 35] układowi programowanego dzielnika częstotliwości (PDCz), którego konstrukcja uzyskuje w ten sposób nowe przekonujące uzasadnienie teoretyczne.



Rys. 4.1. Układ do pomniejszania częstotliwości (z rys. 3.3) z zastosowanym strobowaniem sygnału wyjściowego

Fig. 4.1. Circuit for frequency decreasing (from fig. 3.3) with strobing of output signal

Częstotliwość przebiegu wyjściowego z programowanego dzielnika częstotliwości jest proporcjonalna [1, 27, 31] do liczby $N_n N_{n-1} \dots N_1$ i stąd może on być użyty jako przetwornik liczby na częstotliwość w układzie powielacza częstotliwości [18, 19, 20] pokazanym na rys. 4.2. W tym układzie, będącym realizacją koncepcji przedstawionej w rozdziale 2.2, punkt C, następuje,



Rys. 4.2. Cyfrowy powielacz częstotliwości ze sprzężeniem zwrotnym

Fig. 4.2. Digital frequency multiplier with feedback loop

w stanie ustalonym, wyrównanie częstotliwości w torze wejściowym i torze sprzężenia zwrotnego. Zatem $f_1 = f_{sz} = f_0/K$, stąd $f_0 = Kf_1$, a więc ma tu miejsce K-krotne powielanie częstotliwości prostokątnego przebiegu wejściowego.

Układy powielaczy częstotliwości działające na zasadzie mnożenia funkcji Walsha mają tę zasadniczą wadę, że zawierają elementy opóźniające dostosowane tylko do jednej częstotliwości przebiegu wejściowego. Powielacz częstotliwości pokazany na rys. 4.2 nie posiada tej niedogodności, a nawet jako przetwornik liczby na częstotliwość może być tu także użyty, analizowany w rozdz. 3.1.2, powielacz szeregowy z elementami opóźniającymi. Wystarczy wtedy do wejścia f_1 tego powielacza doprowadzić impulsy zegarowe (o stałej częstotliwości), a częstotliwość wyjściową uzależnić od stanu licznika rewersyjnego, traktując go jako współczynnik powielania. Ponieważ elementy opóźniające będą dostosowane do częstotliwości zegarowej, stąd powielacz szeregowy będzie w roli przetwornika liczba/częstotliwość pracować poprawnie. Ponieważ jednak nie można wtedy obyć się bez kłopotliwych elementów opóźniających, praktyczne znaczenie takiego przetwornika liczba/częstotliwość, w porównaniu do programowanego dzielnika częstotliwości, jest niewielkie.

Dodatkowo można zauważyć, że w układzie z rys. 4.2 jako przetwornik N/f można zastosować zwykły dzielnik $1/N$ lub zespół przetworników C/A i U/f , których obecność w tej pracy usprawiedliwia fakt, że w każdym punkcie układu sygnały pozostają sygnałami cyfrowymi.

4.2. POWIELACZ CZĘSTOTLIWOŚCI Z PDCz JAKO PRZETWORNIKIEM LICZBA/CZĘSTOTLIWOŚĆ

Programowany dzielnik częstotliwości (PDCz) występuje w dwóch podstawowych odmianach: binarny PDCz i dziesiętny PDCz. W wersji scalonej produkowany jest sześciostopniowy binarny licznikowy PDCz (7497) i licznikowa dekada PDCz (74167). Korzystając z sumatorów można zbudować binarny sumatorowy PDCz i dziesiętny sumatorowy PDCz, które różnią się od układów licznikowych rozkładem impulsów wyjściowych. W niniejszym rozdziale będziemy analizować własności powielaczy ze sprzężeniem zwrotnym z tymi czterema rodzajami PDCz.

4.2.1. Programowane dzielniki częstotliwości (PDCz)

Wszystkie programowane dzielniki częstotliwości (ang. rate multiplier - RM) realizuje następująca zależność [20, 40, 54]:

$$f_o = \frac{N}{q} \cdot f_1 \quad (4.2)$$

gdzie:

N - liczba programująca PDCz;

f_1 - częstotliwość wyjściowa (wartość średnia);

$q = 2$ dla binarnego PDCz lub $q = 10$ dla dziesiętnego PDCz;

n - liczba stopni lub dekad.

W układach powielaczy częstotliwości ze sprzężeniem zwrotnym PDCz pełni rolę przetwornika liczby na częstotliwość i w tym zastosowaniu, w miejsce częstotliwości wejściowej, podaje się częstotliwość z generatora zegarowego (f_g), a liczbę programującą z licznika rewersyjnego.

A. Binarny licznikowy PDCz

Jak wynika z rozdziału 4.1, licznikowy binarny programowany dzielnik częstotliwości (BPDCz) zbudowany jest z licznika binarnego i bloku programowania złożonego z bramek, co przedstawia rys. 4.3a. Obok (rys. 4.3b) pokazano także ciągi impulsów pojawiających się na wyjściu układu, gdy tylko bit $N_4 = 1$, $N_3 = 1$, $N_2 = 1$ lub $N_1 = 1$. $N_n N_{n-1} \dots N_1$ stanowi reprezentację dwójkową liczby programującej N , natomiast n jest liczbą stopni BPDCz.

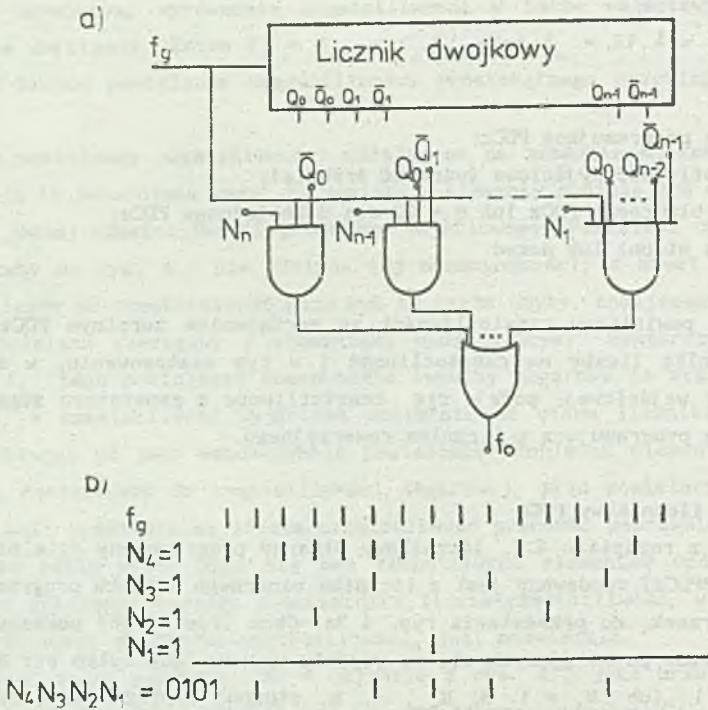
Średnią częstotliwość przebiegu wyjściowego wyraża wzór (4.2), natomiast dokładną liczbę impulsów wyjściowych z układu W można obliczyć z zależności podanej w pracy [29]:

$$W = \sum_{i=1}^r \text{int} \left(\frac{k}{2^{n-1}} + 0,5 \right) N_i \quad (4.3)$$

gdzie:

k - liczba impulsów wejściowych do BPDCz.

Jak łatwo zauważyć, ciąg impulsów wyjściowych z BPDCz składa się z impulsów nierównomiernie rozłożonych. Nierównomierność rozkładu, zgodnie z rozdz. 1 określa się przez błąd nierównomierności $\delta_T^* = \Delta T_o^* / T_o$. W tabeli 4 dla cztero-stopniowego BPDCz, dla kilku liczb programujących N zawarto przedziały czasu między impulsami wyjściowymi wyrażone liczbą okresów T_g ($T_g = 1/f_g$).



Rys. 4.3. a) n-stopniowy BPDCz, b) ciągi impulsów wyjściowych z czterostopniowego BPDCz

Fig. 4.3. a) n-stage BRM, b) output pulse trains from four-stage BRM

Tabela 4

N	T_{r1}							
3	4	4	8					
4	4	4	4	4				
5	4	2	2	4	4			
6	2	2	4	2	2	4		
7	2	2	2	2	2	2	4	
8	2	2	2	2	2	2	2	2
9	2	2	2	1	1	2	2	2

W cyklu pracy PDCz między impulsami wyjściowymi występuje N przedziałów o dwóch różnych szerokościach. Występowanie dwóch różnych szerokości przedziałów wynika stąd, że przy wzroście liczby programującej od 2^1 do 2^{i+1}

($i = 0, 1, \dots, n-1$) do przebiegu wyjściowego odpowiadającego liczbie $N = 2^i$ wprowadzane są dodatkowe impulsy dokładnie w połowie odstępów między impulsami. W efekcie w przebiegu wyjściowym oprócz przedziałów o szerokości 2^{n-1} , właściwych dla liczby $N = 2^i$, pojawiają się przedziały o szerokości 2^{n-1-i} . Dla $N = 2^{i+1}$ pozostają już tylko przedziały o szerokości 2^{n-1-i} i sytuacja zaczyna się powtarzać.

Dla

$$2^i < N < 2^{i+1}$$

wyrażenie

$$2(N - 2^i)$$

określa liczbę przedziałów krótkich, a liczbę przedziałów długich otrzymuje się z wyrażenia

$$N - 2(N - 2^i) = 2^{i+1} - N.$$

Różnica długości pomiędzy przedziałem długim a krótkim (mierzona liczbą okresów T_g) wynosi 2^{n-1-i} . Oznaczając krótki przedział czasu przez T_{\min} , a długi przez T_{\max} , można napisać:

$$2(N - 2^i)T_{\min} + (2^{i+1} - N)T_{\max} = N \cdot T_o \quad (4.4)$$

$$T_{\max} - T_{\min} = 2^{n-1-i}T_g$$

przy czym $T_o = 1/f_o$ oznacza średni przedział czasu pomiędzy impulsami (tzn. przedział czasu między impulsami, jeżeli w cyklu pracy BPDCz N impulsów rozmieścić równomiernie).

Obliczając z (4.4) T_{\max} i T_{\min} , uzyskuje się:

$$T_{\min} = T_o - 2^{n-1-i} \left(\frac{2^{i+1} - N}{N} \right) T_g \quad (4.5)$$

$$T_{\max} = T_o + 2^{n-1-i} \left(\frac{2N - 2^{i+1}}{N} \right) T_g \quad (4.6)$$

Błąd nierównomierności dla przebiegu wyjściowego z BPDCz można zatem przedstawić następująco:

$$\delta_T^{n,1} = \frac{T_o - T_{\min}}{T_o} = \frac{2^{n-1} - 1 \left(\frac{2^{1+1} - N}{N} \right) T_g}{\frac{2^n T_g}{N}} = \frac{2^{1+1} - N}{2^{1+1}} \quad (4.7)$$

$$\delta_T^{n,2} = \frac{T_o - T_{\max}}{T_o} = \frac{2^{n-1} - 1 \left(\frac{2N - 2^{1+1}}{N} \right) T_g}{\frac{2^n T_g}{N}} = \frac{2^1 - N}{2^1} \quad (4.8)$$

B. Binary sumatorowy PDCz

Układ sumatorowego BPDCz przedstawia rys. 4.4 [39, 69], a opisać go można następującymi równaniami:

$$C_{ni} = \text{int} \left(\frac{S_{i-1} + N}{2^n} \right) \quad (4.9)$$

$$S_i = S_{i-1} + N - C_{ni} 2^n$$

gdzie:

C_{ni} i S_i - przeniesienie i zawartość rejestru po i -tym impulsie wejściowym;

n - liczba bitów sumatora;

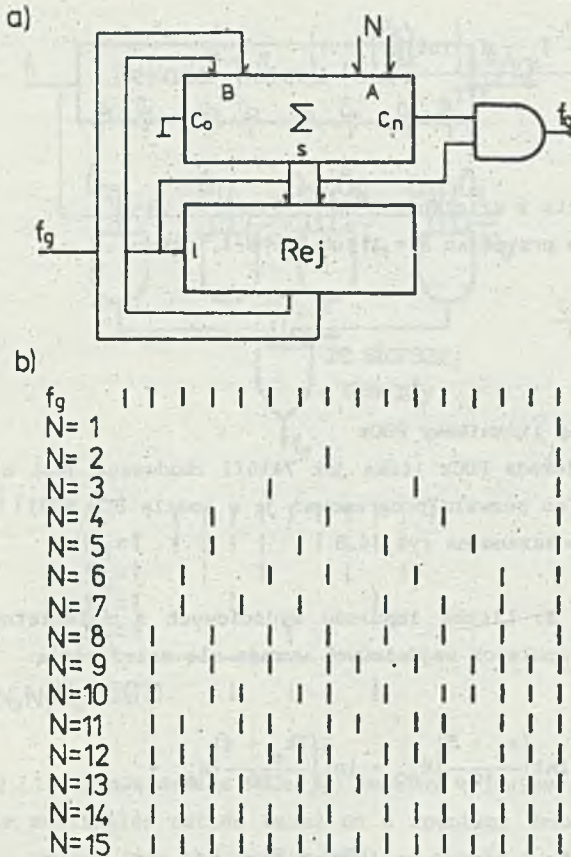
N - liczba programująca.

Twierdzenie 4: Liczba impulsów wyjściowych z binarnego sumatorowego PDCz przy k impulsach wejściowych wyraża się zależnością:

$$W = \text{int} \left(\frac{N \cdot k}{2^n} \right) \quad (4.10)$$

Dowód

Twierdzenie powyższe wynika wprost z zasady działania układu wyrażonej wzorami (4.9). cbdo



Rys. 4.4. a) sumatorowy BPDCz; b) impulsy wyjściowe z układu 4-stopniowego
 Fig. 4.4. a) BRM with an adder; b) output pulses from 4-stage device

Z analizy przedstawionych na rys. 4.4b przebiegów wyjściowych, a także z (4.9) wynika, że odstęp czasu między impulsami wyjściowymi wynosi:

$$T_g \cdot \text{int}\left(\frac{2^n}{N}\right) \quad \text{lub} \quad T_g \left(\text{int}\left(\frac{2^n}{N}\right) + 1 \right).$$

Ponieważ średnia częstotliwość przebiegu wyjściowego $f_o = N \cdot f_g / 2^n$, to:

$$\delta_T^{-1} = \frac{\frac{2^n}{N} T_g - T_g \cdot \text{int}\left(\frac{2^n}{N}\right)}{\frac{2^n T_g}{N}} = \frac{R}{2^n} \quad (4.11)$$

$$\delta_T^{n,1} = \frac{\frac{2^n}{N} T_g - T_g \left(\text{int} \left(\frac{2^n}{N} \right) + 1 \right)}{\frac{2^n T_g}{N}} = \frac{R - N}{2^n} \quad (4.12)$$

gdzie: R - reszta z dzielenia $2^n/N$; $R = 1, 2, \dots, N-1$.

W najgorszym przypadku $R = 1$ lub $R = N-1$, zatem:

$$\delta_T^{n,1} \leq \frac{N-1}{2^n} \quad (4.13)$$

C. Dziesiętny licznikowy PDCz

Licznikowa dekada PDCz (taka jak 74167) zbudowana jest z dekady liczącej w kodzie 5421 (co pozwala programować ją w kodzie BCD 8421) i układu programującego, jak pokazano na rys. 4.5.

Twierdzenie 5: Liczba impulsów wyjściowych z dziesiętnego licznikowego PDCz przy k impulsach wejściowych wyraża się zależnością:

$$W = \sum_{s=0}^{m-1} \left[\text{int} \left(\frac{k_s + 5}{10} \right) N_{s0} + \text{int} \left(\frac{2k_s + 4}{10} \right) N_{s1} + \right. \\ \left. + \text{int} \left(\frac{4k_s + 4}{10} \right) N_{s2} + \text{int} \left(\frac{8k_s + 8}{10} \right) N_{s3} \right] \quad (4.14)$$

gdzie:

$N_{s3} N_{s2} N_{s1} N_{s0}$ - postać binarna liczby programującej s-tą dekadę;

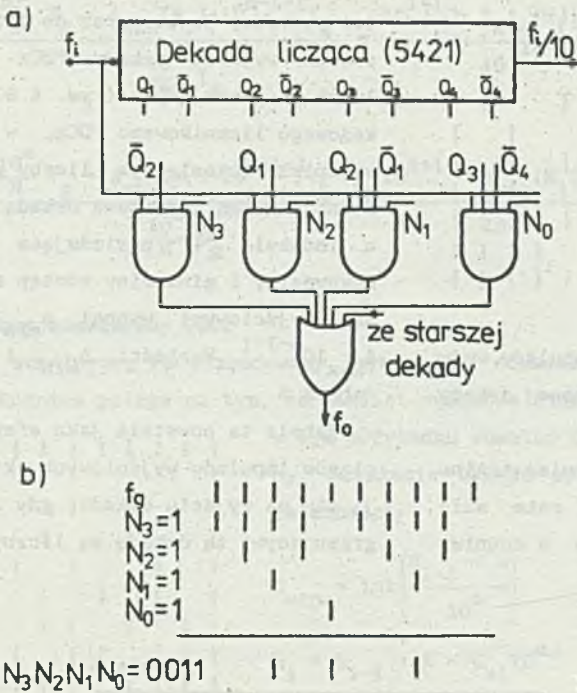
m - liczba dekad;

$k_s = \text{int}(k/10^s)$.

Dowód

Na podstawie rys. 4.5b można liczby impulsów zawartych w ciągach kluczowanych bitami N_0 , N_1 , N_2 i N_3 wyrazić poniższymi wzorami:

$$W_0 = \text{int} \left(\frac{k + 5}{10} \right) N_0 \quad W_1 = \text{int} \left(\frac{2k + 4}{10} \right) N_1 \\ W_2 = \text{int} \left(\frac{4k + 4}{10} \right) N_2 \quad W_3 = \text{int} \left(\frac{8k + 8}{10} \right) N_3 \quad (4.15)$$



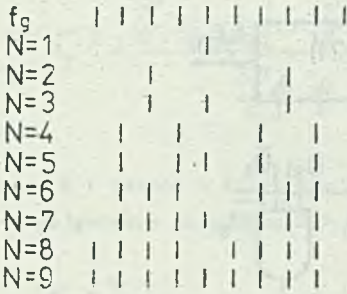
Rys. 4.5. a) Licznikowa dekada PDCz; b) impulsy wyjściowe z dekady
 Fig. 4.5. a) Rate multiplier decade based on a counting decade; b) output pulses from the rate multiplier decade

Dla s -tej dekady wchodzącej w skład m -dekadowego PDCz, do której dochodzi $k_s = \text{int}(k/10^s)$ impulsów wejściowych, powyższe wzory można przedstawić następująco:

$$W_{s0} = \text{int} \left(\frac{k_s + 5}{10} \right) N_{s0} \quad W_{s1} = \text{int} \left(\frac{2k_s + 4}{10} \right) N_{s1} \quad (4.16)$$

$$W_{s2} = \text{int} \left(\frac{4k_s + 4}{10} \right) N_{s2} \quad W_{s3} = \text{int} \left(\frac{8k_s + 8}{10} \right) N_{s3}$$

Ponieważ ciąg impulsów wyjściowych z m -dekadowego dziesiętnego PDCz jest sumą wszystkich wybranych w każdej dekadzie ciągów impulsów, stąd liczba impulsów wyjściowych wyraża się właśnie zależnością (4.14). c.bdo.



Rys. 4.6. Ciągi impulsów wyjściowych z licznikowej dekady

PCDz

Fig. 4.6. Output pulse trains from one decade of rate multiplier based on a counter

W celu obliczenia błędu nierównomierności powróćmy jeszcze raz do rozkładu impulsów na wyjściu dekady PDCz dla różnych liczb programujących (rys. 4.6). Dla m-dekadowego licznikowego PDCz, w sytuacji gdy w zapisie dziesiętnym liczby programującej N najstarszą niezerową dekadą jest dekada o indeksie "1" posiadająca wartość N_1 , maksymalny i minimalny odstęp między impulsami wyjściowymi wynosi $\Delta_{\min} 10^{m-1-i}$ oraz $\Delta_{\max} 10^{m-1-i}$. Wartości Δ_{\min} i Δ_{\max} podaje tabela 5.

Tabela ta powstała jako efekt obserwacji ciągów impulsów wyjściowych, które pojawiają się na wyjściu dekady, gdy liczbami programującymi tę dekadę są liczby od 1 do 9.

Tabela 5

N_1	Δ_{\min}	Δ_{\max}
1	5	10
2	2	5
3	2	5
4	1	3
5	1	3
6	1	3
7	1	3
8	1	2
9	1	2

Względniono też fakt, iż niezerowe wartości dekad o niższych wagach powodują przedostawanie się na wyjście pewnych impulsów wejściowych, które wchodzą pomiędzy paczki impulsów przypadających na jeden cykl pracy dekady programowanej liczbą N_1 i dla $N_1 = 1$ i 2 zmniejszają minimalny odstęp między impulsami w stosunku do tego, jaki występuje wtedy, gdy tylko N_1 jest różne od zera. Korzystając z tabeli 5, można wyrazić błąd nierównomierności jako:

$$\delta_T^{*,1} = \frac{\frac{10^m}{N} T_g - \Delta_{\min}(N_1) \cdot 10^{m-1-1} T_g}{\frac{10^m}{N} T_g} = \frac{10^{1+1} - \Delta_{\min}(N_1) \cdot N}{10^{1+1}} \quad (4.17)$$

$$\delta_T^{*,2} = \frac{\frac{10^m}{N} T_g - \Delta_{\max}(N_1) \cdot 10^{m-1-1} T_g}{\frac{10^m}{N} T_g} = \frac{10^{1+1} - \Delta_{\max}(N_1) \cdot N}{10^{1+1}} \quad (4.18)$$

D. Dziesiętny sumatorowy PDCz

Dziesiętny sumatorowy PDCz zbudowany jest według schematu przedstawionego na rys. 4.4. Różnica polega na tym, że zamiast sumatora binarnego stosuje się



w tym przypadku sumator dwójkowo dziesiętny. Działanie układu opisują następujące zależności:

$$C_{\min} = \text{int} \left(\frac{S_{1-1} + N}{10^m} \right) \quad (4.19)$$

$$S_1 = S_{1-1} + N - C_{\min} \cdot 10^m$$

gdzie:

- C_{\min} i S_1 - przeniesienie i zawartość rejestru po 1-tym impulsie wejściowym;
- m - liczba dekad;
- N - liczba programująca,

Rys. 4.7. Ciągi impulsów wyjściowych z sumatorowej dekady PDCz

Fig. 4.7. Output pulse trains from the one decade of decimal rate multiplier based on an adder

a rozkład impulsów wyjściowych dla jednej dekady dziesiętnego PDCz pokazany jest na rys. 4.7.

Twierdzenie 6: Liczbę impulsów wyjściowych z dziesiętnego sumatorowego PDCz przy k impulsach wejściowych wyraża się zależnością:

$$W = \text{int} \left(\frac{N \cdot k}{10^m} \right) \quad (4.20)$$

Dowód

Twierdzenie powyższe wynika wprost z zasady działania układu wyrażonej zależnościami (4.19).

cbdo.

Podobnie jak dla sumatorowego binarnego PDCz, tak i tutaj, odstępy czasu między impulsami w przebiegu wyjściowym wynoszą:

$$\text{int}\left(\frac{10^m}{N}\right)T_g \quad \text{lub} \quad \left(\text{int}\left(\frac{10^m}{N}\right) + 1\right)T_g$$

a w związku z tym błąd nierównomierności wynosi:

$$\delta_T''_{,1} = \frac{\frac{10^m}{N} T_g - \text{int}\left(\frac{10^m}{N}\right)T_g}{\frac{10^m}{N} T_g} = \frac{R}{10^m} \quad (4.21)$$

$$\delta_T''_{,2} = \frac{\frac{10^m}{N} T_g - \left(\text{int}\left(\frac{10^m}{N}\right) + 1\right)T_g}{\frac{10^m}{N} T_g} = \frac{R - N}{10^m} \quad (4.22)$$

gdzie: R - reszta z dzielenia $10^m/N$; $R = 1, 2, \dots, N-1$.

Ponieważ zarówno $\delta_T''_{,1}$, jak i $\delta_T''_{,2}$ osiągają wartość $(N-1)/10^m$, to można powiedzieć, że dla wszystkich N spełniona jest nierówność:

$$\delta_T'' \leq \frac{N-1}{10^m} \quad (4.23)$$

4.2.2. Dokładność powielania częstotliwości w układzie z PDCz

Korzystając z zależności (2.14), liczbę N_0 , jaka ustala się w liczniku rewersyjnym układu z rys. 4.2, w którym przetwornikiem liczby na częstotliwość jest PDCz, można wyznaczyć następująco:

$$N_0 = q^{n_K} \cdot \frac{f_1}{f_g} \quad (4.24)$$

Jeżeli liczba N_0 jest liczbą całkowitą, to dokładność powielania zależy tylko od nierównomierności rozkładu impulsów wyjściowych z PDCz. Gdy N_0 nie jest liczbą całkowitą, to na dokładność powielania ma też wpływ to, że w stanie ustalonym występują w liczniku resersyjnym dwie liczby:

$$N_1 = \text{int}\left(q^{n_K} \cdot \frac{f_1}{f_g}\right) \quad \text{i} \quad N_2 = \text{int}\left(q^{n_K} \cdot \frac{f_1}{f_g}\right) + 1 = N_1 + 1$$

Wielkość błędu powielania spowodowana fluktuacją liczby zawartej w liczniku dla wszystkich rodzajów PDCz jest taka sama [20] i wynosi:

$$\frac{\Delta T'_0}{T_0} \approx \frac{1}{N_0} \quad (4.25)$$

Drugi składnik dokładności powielania, tzn. błąd nierównomierności, zależy od rozkładu impulsów na wyjściu PDCz, stąd dla każdego z rozważanych PDCz należy całkowitą dokładność powielania obliczyć oddzielnie.

A. Powielacz z licznikowym binarnym PDCz

Błąd nierównomierności w układzie powielacza wyznaczamy podobnie jak dla osobnego binarnego PDCz, z tym że przedziały czasu T_{\min} oraz T_{\max} zależą od liczby N_1 , a okres średni zależy od N_0 . Dla $2^i < N_1 < 2^{i+1}$ ($i = 1, 2, \dots, n-1$) otrzymuje się:

$$\delta_T^{1,1} = \frac{T_r - T_{\min}}{T_0} = \frac{T_r - T_r + 2^{n-1-i} \left(\frac{2^{i+1} + N_1}{N_1} \right) T_g}{\frac{2^n T_g}{N_0}} = \frac{2^{i+1} - N_1}{2^{i+1}} \cdot \frac{N_0}{N_1}$$

$$\delta_T^{1,2} = \frac{T_r - T_{\max}}{T_0} = \frac{T_r - T_r - 2^{n-1-i} \left(\frac{2N_1 - 2^{i+1}}{N_1} \right) T_g}{\frac{2^n T_g}{N_0}} = \frac{2^i - N_1}{2^i} \cdot \frac{N_0}{N_1}$$

Ponieważ $\delta_T = |\delta_T^1| + |\delta_T^2|$, to:

$$\delta_T^1 = \frac{1}{N_0} + \frac{2^{i+1} - N_1}{2^{i+1}} \cdot \frac{N_0}{N_1} \quad (4.26)$$

$$\delta_T^2 = \frac{1}{N_0} + \frac{2^i - N_1}{2^i} \cdot \frac{N_0}{N_1} \quad (4.27)$$

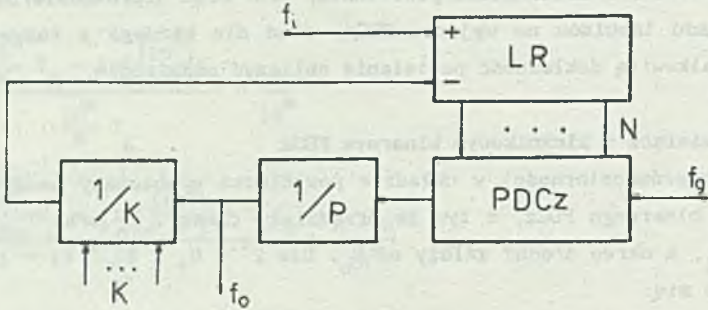
stąd:

$$\delta_T = \max(\delta_T^1, \delta_T^2).$$

Ze wzorów (4.26) i (4.27) wynika, że minimalną wartość błędu nierównomierności można uzyskać wtedy, gdy $|\delta_T^{1,1}| = |\delta_T^{1,2}|$. A więc:

$$\frac{2^{1+1} - N_1}{2^{1+1}} \cdot \frac{N_0}{N_1} = \frac{N_1 - 2^1}{2^1} \cdot \frac{N_0}{N_1}$$

z czego wynika, że najkorzystniej byłoby utrzymywać liczbę N_1 na poziomie zbliżonym do $2^{1+2}/3$, by δ_T było bliskie $3 \cdot 2^{-1-2} + 1/3$. Niestety nie jest to wartość zadowalająca.



Rys. 4.8. Powielacz z dodatkowym dzielnikiem częstotliwości

Fig. 4.8. Frequency multiplier with an additional frequency divider

Poprawę dokładności powielania uzyskuje się przez włączenie na wyjściu z PDCz dodatkowego dzielnika częstotliwości $1/P$, jak na rys. 4.8, uśredniającego częstotliwość wyjściową. Liczbę taktów zegarowych potrzebnych do wygenerowania jednego okresu przebiegu wyjściowego można obliczyć korzystając ze wzoru:

$$P = \sum_{i=0}^{n-1} \text{int} \left(\frac{k}{2^{n-1}} + 0,5 \right) N_{1i} - \sum_{i=0}^{n-1} \text{int} \left(\frac{k_p}{2^{n-1}} + 0,5 \right) N_{1i} \quad (4.28)$$

gdzie:

- k_p - początkowa liczba impulsów doprowadzonych do binarnego PDCz,
- N_{1i} - wartość i -tej pozycji w zapisie binarnym liczby N_1 ,
- $N_1 = \text{int}(2^n P k_f / f_g) = \text{int}(N_0)$.

Oznaczając przez k_p liczbę impulsów zegarowych spełniających równanie (4.28), można obliczyć przedziały czasu pomiędzy impulsami wyjściowymi dla każdej liczby N_1 jako $(k_p - k_p)T_g$. Ze względu na nierównomierność rozkładu impulsów wyjściowych z PDCz w czasie wartości tych przedziałów mogą różnić się w zależności od początkowej wartości k_p . W celu wyznaczenia błędu

nierównomierności dla danej liczby N_1 należy znaleźć $(k_p - k_p)_{\max}$ i $(k_p - k_p)_{\min}$. Wtedy:

$$\delta_T^{\prime,1} = \frac{\frac{2^{n_P}}{N_1} T_g - (k_p - k_p)_{\min} \cdot T_g}{\frac{2^{n_P}}{N_0} T_g} = \frac{N_0}{N_1} - \frac{N_0 (k_p - k_p)_{\min}}{2^{n_P}}$$

$$\delta_T^{\prime,2} = \frac{\frac{2^{n_P}}{N_1} T_g - (k_p - k_p)_{\max} \cdot T_g}{\frac{2^{n_P}}{N_0} T_g} = \frac{N_0}{N_1} - \frac{N_0 (k_p - k_p)_{\max}}{2^{n_P}}$$

Postępując tak dla każdej liczby N_1 , jaka może być zawarta w liczniku rewersyjnym, można w efekcie otrzymać jedną wartość δ_T^{\prime} , która ogranicza od góry błędy nierównomierności powielacza dla wszystkich stanów początkowych licznika i danej liczby podziału P . Ze względu na to, że autorowi nieznanne jest analityczne rozwiązanie równania (4.28), a w zasadzie dla danej liczby P interesujące jest jedynie znalezienie maksymalnej wartości tego błędu, postanowiono oszacować ten błąd od góry.

Obserwując przebiegi wyjściowe z powielacza przy różnych liczbach N_1 i P , zauważymy, że dla $P > 1$ różnica pomiędzy maksymalną i minimalną liczbą tak-tów zegarowych, potrzebnych do pojawienia się na wyjściu binarnego PDCz P impulsów, nie przekracza maksymalnego przedziału czasu między impulsami wyjściowymi z PDCz, który zgodnie z (4.6) dla

$$2^i < N_1 < 2^{i+1}; \quad i = 1, 2, \dots, n-1$$

wynosi:

$$T_{\max} = \frac{2^{n_P} T_g}{N_1} + 2^{n-1-i} \frac{2(N_1 - 2^i)}{N_1} T_g = 2^{n-1} T_g \quad (4.29)$$

Przyjmując, że tylko jeden przedział czasu pomiędzy impulsami jest krótki, a pozostałe długie i równe, można okres średni przedstawić jako:

$$T_r = T_{0 \max} - \frac{T_{\max}}{N_1} \quad (4.30)$$

Ponieważ na podstawie przyjętego założenia $T_{o \min} = T_{o \max} - T_{\max}$, to:

$$\Delta T''_{o \max} = T_r - T_{o \min} = 2^{n-1} \frac{N_1 - 1}{N_1} T_g$$

$$\delta''_T = \frac{\Delta T''_{o \max}}{T_o} = \frac{2^{n-1} \frac{N_1 - 1}{N_1} T_g}{\frac{2^n P}{N_o} T_g} = \frac{N_1 - 1}{N_1} \cdot \frac{N_o}{2^n P} \quad (4.31)$$

Wprowadzenie dzielnika $1/P$ poprawia nierównomierność przebiegu wyjściowego z powielacza, o ile jesteśmy w stanie spowodować, by liczba N_o , a co za tym idzie i N_1 , nie uległa zmianie po wprowadzeniu do układu tego dzielnika. W tym celu, zgodnie ze wzorem $N_o = 2^n PKf_1/f_g$, należy proporcjonalnie do wzrostu liczby P podnosić częstotliwość zegarową f_g .

B. Powielacz z sumatorowym binarnym PDCz

Uwzględniając fakt, że odstępy czasu między impulsami wyjściowymi z takiego powielacza wynoszą $\text{int}(2^n/N_1)T_g$ lub $(\text{int}(2^n/N_1)+1)T_g$, można nierównomierność przebiegu wyjściowego zapisać następująco:

$$\delta''_{T,1} = \frac{\frac{2^n T_g}{N_1} - \text{int}\left(\frac{2^n}{N_1}\right)T_g}{\frac{2^n T_g}{N_o}} = \frac{N_o}{2^n} \cdot \frac{R}{N_1}$$

$$\delta''_{T,2} = \frac{\frac{2^n T_g}{N_1} - \left(\text{int}\left(\frac{2^n}{N_1}\right)+1\right)T_g}{\frac{2^n T_g}{N_o}} = \frac{N_o}{2^n} \cdot \frac{R - N_1}{N_1}$$

gdzie: R - reszta w dzieleniu $2^n/N_1$; $R = 1, 2, \dots, N_1-1$.

Ponieważ maksymalna wartość błędu w obydwu przypadkach równa jest $(N_1-1)N_o/N_1 2^n$, więc:

$$\delta''_T \leq \frac{N_1 - 1}{N_1} \cdot \frac{N_o}{2^n} \quad (4.32)$$

Jeżeli w celu poprawienia równomierności przebiegu z powielacza użyjemy dzielnika $1/P$ jak na rys. 4.8, to odstęp między impulsami wyjściowymi można wyrazić przez $\text{int}(2^{nP}/N_1)T_g$ lub $(\text{int}(2^{nP}/N_1)+1)T_g$. Prowadzi to do błędu nierównomierności:

$$\delta_T'' \approx \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{2^{nP}} \quad (4.33)$$

Z wyrażenia (4.33) wynika, że błąd nierównomierności dla powielacza z binarnym sumatorowym PDCz, przy takich samych liczbach N_0 i N_1 , przyjmuje wyraźnie mniejsze wartości niż dla układu z binarnym licznikowym PDCz. Spowodowane jest to pojawieniem się w mianowniku tego wyrażenia czynnika 2^n zamiast występującego w wyrażeniu (4.31) czynnika 2^1 .

C. Powielacz z dziesiętnym licznikowym PDCz

Błąd nierównomierności, w sytuacji gdy w układzie powielacza występuje dziesiętny licznikowy PDCz, obliczamy na podstawie tabeli 5:

$$\delta_T'' \cdot 1 = \frac{\frac{N_0}{N_1} 10^{i+1} - \Delta_{\min}(N_{1i})N_0}{10^{i+1}} \quad (4.34)$$

$$\delta_T'' \cdot 2 = \frac{\frac{N_0}{N_1} 10^{i+1} - \Delta_{\max}(N_{1i})N_0}{10^{i+1}} \quad (4.35)$$

gdzie: N_{1i} - najstarsza niezerowa pozycja w zapisie binarnym liczby N_1 .

Jeżeli do układu powielacza zostanie wstawiony dzielnik $1/P$, to odstęp czasu między impulsami wyjściowymi można wyznaczyć, obliczając k równe k_p z równania:

$$P = \sum_{s=0}^{m-1} \left[\text{int} \left(\frac{k_s + 5}{10} \right) N_{s0} + \text{int} \left(\frac{2k_s + 4}{10} \right) N_{s1} + \right. \\ \left. + \text{int} \left(\frac{4k_s + 4}{10} \right) N_{s2} + \text{int} \left(\frac{8k_s + 8}{10} \right) N_{s3} \right] +$$

$$\begin{aligned}
 & - \sum_{s=0}^{m-1} \left[\text{int} \frac{k_{ps} + 5}{10} N_{s0} + \text{int} \frac{2k_{ps} + 4}{10} N_{s1} + \right. \\
 & \left. - \text{int} \left(\frac{4k_{ps} + 4}{10} \right) N_{s2} + \text{int} \left(\frac{8k_{ps} + 8}{10} \right) N_{s3} \right].
 \end{aligned}$$

w którym:

$$\begin{aligned}
 k_s &= \text{int}(k/10^s); \\
 k_{ps} &= \text{int}(k_p/10^s);
 \end{aligned}$$

Zmieniając wartość początkową k_p w zakresie jednego cyklu pracy DPDCz można wyznaczyć wartości $(k_p - k_p)_{\max}$ i $(k_p - k_p)_{\min}$, a następnie:

$$\begin{aligned}
 \delta_T''_{,1} &= \frac{N_o}{N_1} - \frac{N_o(k_p - k_p)_{\min}}{10^{mP}}; & \delta_T''_{,2} &= \frac{N_o}{N_1} - \frac{N_o(k_p - k_p)_{\max}}{10^{mP}}
 \end{aligned}$$

Postępując tak dla wszystkich liczb N_1 , można by znaleźć wartość $\delta_T''_{\max}$ ograniczającą od góry błąd nierówności powielacza dla zadanej wartości P . Ponieważ jednak nieznanne jest analityczne rozwiązanie powyższego równania, a w istocie interesuje nas jedynie maksymalna wartość tego błędu, postanowiono, podobnie jak dla układu z licznikowym BPDCz, oszacować jego wartość od góry. Analizując rozkłady impulsów wyjściowych z powielacza, zauważono, że najdłuższy przedział czasu między impulsami wyjściowymi różni się od najkrótszego nie więcej niż o wartość $\Delta_{\max}(N_{11})$ podaną w tabeli 5. Załóżmy, korzystając z zasady najgorszego przypadku, że tylko jeden przedział czasu między impulsami jest krótki, a pozostałe długie i jednakowe. Przy takim założeniu dla $10^1 < N_1 < 10^{i+1}$ otrzymuje się następującą wartość błędu $\Delta T''_{o \max}$

$$\Delta T''_{o \max} \leq \frac{N_1 - 1}{N} \cdot \Delta_{\max}(N_{11}) 10^{m-i-1}$$

a błąd względny

$$\delta_T'' = \frac{\Delta T''_{o \max}}{T_o} \leq \frac{N_1 - 1}{N_1} \cdot \frac{\Delta_{\max}(N_{11}) \cdot N_o}{10^{i+1} P} \quad (4.36)$$

Wartości błędu nierównomierności wyliczane ze wzoru (4.36) silnie zależą od $\Delta_{\max}(N_{11})$ i dla wielu stanów licznika rewersyjnego są większe niż w powielaczu z PDCz licznikowym binarnym.

D. Powielacz z dziesiętnym sumatorowym PDCz

Korzystając z tego, że odstępy czasu pomiędzy impulsami wyjściowymi z dziesiętnego sumatorowego PDCz wynoszą:

$$\text{Int}\left(\frac{10^m}{N_1}\right)T_R \quad \text{lub} \quad \left(\text{Int}\left(\frac{10^m}{N_1}\right) + 1\right)T_g$$

otrzymuje się:

$$\delta_T^{\sim,1} = \frac{N_0}{N_1} \cdot \frac{R}{10^m}; \quad \delta_T^{\sim,2} = \frac{N_0}{N_1} \cdot \frac{R - N_1}{10^m}$$

gdzie: $R = 1, 2, \dots, N_1 - 1$ reszta z dzielenia $10^m/N_1$.

Ponieważ obydwa wyrażenia osiągają wartość maksymalną równą $\frac{N_1 - 1}{N_1} \cdot \frac{N_0}{10^m}$,

zatem

$$\delta_T^{\sim} \leq \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{10^m} \quad (4.37)$$

Umieszczając na wyjściu z dziesiętnego PDCz dzielnik $1/P$, możemy odstępy czasu między impulsami wyjściowymi z powielacza wyrazić wzorami:

$$\text{Int}\left(\frac{10^m P}{N_1}\right)T_g \quad \text{lub} \quad \left(\text{Int}\left(\frac{10^m P}{N_1}\right) + 1\right)T_g$$

a stąd

$$\delta_T^{\sim,1} = \frac{N_0}{N_1} \cdot \frac{R}{10^m P} \quad \text{i} \quad \delta_T^{\sim,2} = \frac{N_0}{N_1} \cdot \frac{R - N_1}{10^m P}$$

gdzie: $R = 1, 2, \dots, N_1 - 1$ reszta z dzielenia $\frac{10^m P}{N_1}$.

Biorąc jako ograniczenie od góry największą błąd nierównomierności, otrzymujemy:

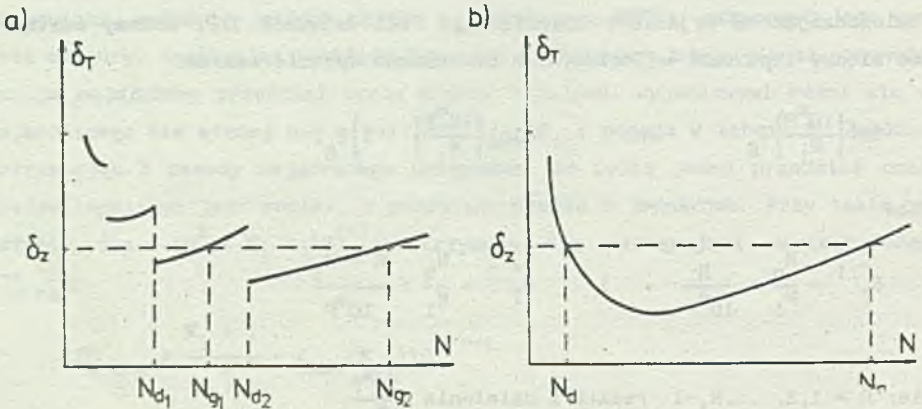
$$\delta_T^{\sim} \leq \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{10^m P} \quad (4.38)$$

Zależność (4.38) jest podobna do zależności (4.33) opisującej błąd nierównomierności dla powielacza z sumatorowym binarnym PDCz. Przy porównywalnych długościach liczników rewersyjnych, binarnego i dekadowego, wartości błędu nierównomierności w obydwu układach są niemal identyczne. Bardziej skomplikowana struktura sumatora dwójkowo-dziesiętnego przemawia za układem z PDCz sumatorowym binarnym. Należy jeszcze zauważyć, że błąd nierównomierności w powielaczach z sumatorowymi PDCz jest mniejszy niż w powielaczach z PDCz licznikowymi. Powodują to czynniki 2^n i 10^m występujące w mianowniku wyrażeń (4.33) i (4.38).

4.2.3. Zakres powielanych częstotliwości

Przeprowadzona powyżej analiza pozwala, dla wszystkich rozpatrywanych dotąd układów powielaczy ze sprzężeniem zwrotnym, wyznaczyć wykresy dokładności powielania w funkcji stanu licznika resersyjnego powielacza. Przykładowe wykresy dla powielaczy z licznikowymi i sumatorowymi powielaczami pokazuje rys. 4.9. Oznaczając przez δ_z zadaną wartość błędu powielania, można wyznaczyć zakres zmian liczby N_o ($N_d \leq N_o \leq N_g$), w którym spełniona jest zależność: $\delta_T \leq \delta_z$. Zakres powielanych częstotliwości wyraża się wtedy następującym wzorem:

$$\frac{N_d f_g}{q^n PK} \leq f_i \leq \frac{N_g f_g}{q^n PK} \quad (4.39)$$



Rys. 4.9. Przykładowe wykresy dokładności powielania

a) dla powielacza z PDCz licznikowym, b) dla powielacza z PDCz sumatorowym

Fig. 4.9. Sample plot of frequency multiplying accuracy for

a) frequency multiplier with RM based on a counter, b) frequency multiplier with RM based on an adder

4.2.4. Własności dynamiczne powielaczy z programowanymi dzielnikami częstotliwości

Przy analizie własności dynamicznych układów z PDCz abstrahuje się zwykle od dyskretnego charakteru występujących w nich wielkości, aproksymując je wielkościami ciągłymi [27, 32, 38, 39, 40, 55]. Postępując podobnie w przypadku powielacza, można zmianę stanu dN licznika rewersyjnego zachodzącą w czasie dt przedstawić następująco:

$$\left(f_1 - f_g \cdot \frac{N}{q^n PK} \right) dt = dN \quad (4.40)$$

Ponieważ

$$f_o = \frac{N \cdot f_g}{q^n P}$$

to po wyznaczeniu N z równania (4.40) otrzymuje się:

$$f_o = K f_1 (1 - e^{-t/T}),$$

gdzie: $T = q^n PKT_g$

Ponieważ q^n i K przyjmują zwykle duże wartości, to T stała czasowa powielacza jest względnie duża. Na przykład dla $q^n = 2^{10}$, $P = 100$, $K = 5$ i $T_g = 10^{-7}$ s stała czasowa wynosi około 0,5 s.

4.3. POWIELACZ CZĘSTOTLIWOŚCI Z DZIELNIKIEM $1/N$ W ROLI PRZETWORNIKA LICZBA/CZĘSTOTLIWOŚĆ

Ze względu na to, że dzielnik częstotliwości zachowuje się w ten sposób, iż przy wzroście liczby podziału N maleje częstotliwość wyjściowa, układ sprzężenia zwrotnego podłączony jest do wejścia zliczania w przód (+) licznika rewersyjnego (patrz rys. 4.10). Postępując podobnie jak w rozdz. 4.2.4, można zmianę liczby N wyrazić następująco:

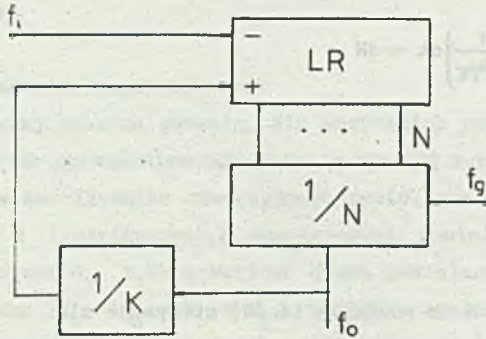
$$dN = \left[\frac{f_g}{kN} - f_1 \right] \cdot dt \quad (4.41)$$

zatem

$$dt = \frac{KN}{f_g - Kf_1 N} dN$$

a stąd [8, 36]:

$$t = \frac{f_g}{Kf_1^2} (1 - \ln|f_g - Kf_1 N|) - \frac{N}{f_1} + C \quad (4.42)$$



Rys. 4.10. Powielacz częstotliwości z dzielnikiem 1/N

Fig. 4.10. Frequency multiplier with a 1/N divider

Na podstawie warunków brzegowych ($t = 0$, to $N = N(0)$, gdzie $N(0)$ stan licznika resersyjnego w chwili $t = 0$) uzyskujemy:

$$C = \frac{1}{f_1} N(0) - \frac{f_g}{Kf_1^2} (1 - \ln|f_g - Kf_1 N(0)|)$$

oraz

$$t = \frac{f_g}{Kf_1^2} \ln \left| \frac{f_g - Kf_1 N(0)}{f_g - Kf_1 N} \right| + \frac{1}{f_1} (N(0) - N)$$

Dodatkowo dla $t \rightarrow \infty$ $\frac{dN}{dt} \rightarrow 0$ i dlatego:

$$\frac{f_g}{KN_c} - f_1 = 0 \quad \text{więc} \quad N_o = \frac{f_g}{Kf_1} \quad (4.43)$$

gdzie: N_o - liczba, która powinna ustalić się w liczniku powielacza.

W rezultacie wzór na wartość czasu, po którym liczba w liczniku osiągnie wartość N , przyjmuje postać:

$$t = \frac{N_0}{f_1} \ln \left| \frac{N_0 - N(0)}{N_0 - N} \right| + \frac{1}{f_1} (N(0) - N) \quad (4.44)$$

Stan ustalony wystąpi w układzie po osiągnięciu przez liczbę N wartości różniącej się od N_0 o 1, dlatego czas ustalania się przebiegu wyjściowego dla $N(0) = 0$ wynosi:

$$t_u = \frac{N_0}{f_1} \ln N_0 - \frac{1}{f_1} N_0 \quad (4.45)$$

4.3.1. Dokładność powielania i zakres powielanych częstotliwości

Ze wzoru (4.43) wynika, że w liczniku resersyjnym z rys. 4.10 w stanie ustalonym powinna pojawić się liczba $f_g / (Kf_1)$, która nie musi być liczbą całkowitą. W takim przypadku liczba w liczniku zmienia się pomiędzy dwoma wartościami $\text{int}(f_g / (Kf_1))$ i $\text{int}(f_g / (Kf_1)) + 1$. Błąd powielania można zatem wyrazić przez:

$$\delta'_1 \leq \frac{1}{N_0} = \frac{Kf_1}{f_g} \quad (4.46)$$

Maksymalna częstotliwość przebiegu wejściowego może być obliczona w następujący sposób:

$$\frac{Kf_1}{f_g} \leq \delta_z$$

stąd

$$f_{1 \max} = \frac{\delta_z f_g}{K}$$

natomiast:

$$f_{1 \min} = \frac{f_g}{(2^n - 1)K} \quad (4.47)$$

4.3.2. Własności dynamiczne powielacza przy niewielkich zmianach częstotliwości przebiegu wejściowego

Jeżeli zmiany częstotliwości wejściowej są małe, można dokonać linearyzacji równania (4.41), uzyskując:

$$\frac{d\Delta N}{dt} = \frac{f_g \Delta N}{KN_o} - \Delta f_i \quad (4.48)$$

gdzie:

ΔN i Δf_i - niewielkie zmiany stanu licznika i częstotliwości wejściowej wokół wartości ustalonej.

Dodatkowo:

$$\Delta f_o = -\frac{f_o}{N_o} \Delta N$$

Zatem:

$$\Delta f_o = K\Delta f_i (1 - e^{-t/T}) \quad (4.49)$$

gdzie: $T = \frac{KN_o^2}{f_g}$

Ponieważ:

$$\frac{f_g}{N_o} = f_o \quad \text{oraz} \quad \frac{f_o}{K} = f_i,$$

to

$$T = T_i N_o \quad (4.50)$$

4.4. POWIELACZ CZĘSTOTLIWOŚCI Z PRZETWORNIKIEM LICZBY NA CZĘSTOTLIWOŚĆ ZBUDOWANYM Z PRZETWORNIKÓW C/A I U/f

4.4.1. Dokładność powielania w układzie z przetwornikami C/A i U/f

Powielacz częstotliwości z przetwornikami C/A i U/f w sprzężeniu zwrotnym przedstawiony jest na rys. 4.11. Liczbę N_o , jaka ustala się w liczniku rewersyjnym, oblicza się na podstawie podanych niżej prostych zależności:

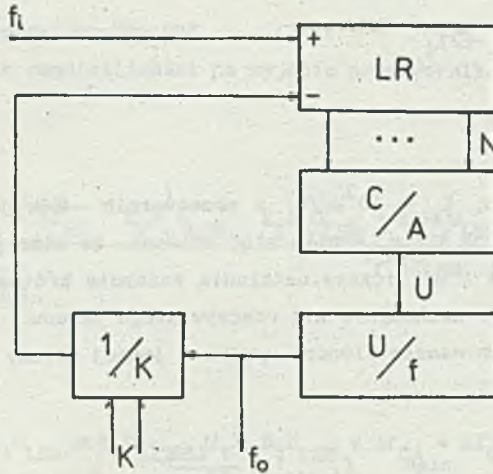
$$U = N_o U_{LSB}$$

$$f_o = K_f U = K_f N_o U_{LSB}$$

gdzie:

U_{LSB} - rozdzielczość przetwornika C/A,

K_f - współczynnik przetwarzania przetwornika U/f.



Rys. 4.11. Powielacz częstotliwości z przetwornikami C/A i U/f

Fig. 4.11. Frequency multiplier with A/D and V/f converters

Z drugiej strony w stanie ustalonym:

$$f_1 = \frac{f_o}{K} = \frac{K_f U_{LSB} N_o}{K}$$

stąd:

$$N_o = \frac{K f_1}{K_f U_{LSB}} \quad (4.51)$$

Praktycznie w stanie ustalonym liczba w liczniku zmienia się pomiędzy:

$$N_1 = \text{int} \left(\frac{K f_1}{K_f U_{LSB}} \right) \quad 1 \quad N_1 + 1.$$

Zatem błąd powielania δ'_T wyraża się zależnością:

$$\delta'_T \leq \frac{1}{N_o} = \frac{K_f U_{LSB}}{K f_1} \quad (4.52)$$

4.4.2. Własności dynamiczne i zakres powielanych częstotliwości

Postępując podobnie jak w rozdziałach 4.2.4 i 4.3, tj. przybliżając występujące w układzie wielkości wielkościami ciągłymi oraz pomijając dynamikę przetworników C/A i U/f, można zmianę stanu licznika wyrazić równaniem:

$$\left(f_i - \frac{K_f U_{\text{LSB}} N}{K} \right) dt = dN.$$

Stąd, przy zerowym stanie początkowym licznika:

$$f_o = K f_i (1 - e^{-t/T}), \quad (4.53)$$

gdzie: $T = \frac{K}{K_f U_{\text{LSB}}}$

Jeżeli np. $K = 5$, $K_f = 10^3 \text{ Hz/V}$, a przetwornik C/A jest 10-bitowy, to stała czasowa wynosi 0,512 s. Wynika stąd wniosek, że mimo pominięcia dynamiki przetworników C/A i U/f (czasy ustalania znacznie krótsze niż 0,5 s) wzór (4.53) dobrze opisuje zachowanie się rzeczywistego układu.

Zakres powielanych częstotliwości wynika z jednej strony z zadanej dokładności powielania:

$$\delta_z \approx \frac{K_f U_{\text{LSB}}}{K f_i}, \quad \text{stąd} \quad f_i \text{ min} = \frac{K_f U_{\text{LSB}}}{K \delta_z} \quad (4.54)$$

a z drugiej strony z pojemności licznika rewersyjnego, gdyż układ pracuje poprawnie dopóty, dopóki liczba zawarta w liczniku nie przekroczy $2^n - 1$ (gdzie n - liczba stopni licznika). Wynika stąd, że:

$$f_i \text{ max} = \frac{K_f U_{\text{LSB}} (2^n - 1)}{K} \quad (4.55)$$

4.4.3. Wpływ dokładności przetworników C/A i U/f na parametry powielacza

Oznaczmy przez Δf_{CA} zmianę częstotliwości wyjściowej zależną od dokładności przetwornika C/A, a przez Δf_{Uf} zmianę częstotliwości wyjściowej spowodowaną dokładnością przetwornika U/f. Dla danej liczby N_1 zawartej w liczniku resersyjnym częstotliwość wyjściowa z powielacza znajduje się pomiędzy dwoma wartościami:

$$K_f N_1 U_{\text{LSB}} - \Delta f_{\text{CA}} - \Delta f_{\text{Uf}} \leq f_o \leq K_f N_1 U_{\text{LSB}} + \Delta f_{\text{CA}} + \Delta f_{\text{Uf}}$$

gdzie:

$$\Delta f_{CA} = \delta_{CA} 2^{N_U} K_{f_{LSB}} K_f;$$

δ_{CA} - dokładność przetwornika C/A,

$$\Delta f_{Uf} = \delta_{Uf} f_{FS};$$

δ_{Uf} - dokładność przetwornika U/f,

f_{FS} - zakres zmian częstotliwości na wyjściu przetwornika U/f.

Stąd:

$$\delta'_T = \frac{\frac{1}{K_{f1} N_U U_{LSB}} - \Delta f_{CA} - \Delta f_{Uf}}{1} - \frac{1}{K_{f0} N_U U_{LSB}} = \frac{K_{f0} N_U U_{LSB} - K_{f1} N_U U_{LSB} + \Delta f_{CA} + \Delta f_{Uf}}{K_{f1} N_U U_{LSB} - \Delta f_{CA} - \Delta f_{Uf}}$$

Ponieważ

$$K_{f0} N_U U_{LSB} - K_{f1} N_U U_{LSB} \approx K_f U_{LSB} \quad \text{i} \quad K_{f1} N_U U_{LSB} \ll \Delta f_{CA} + \Delta f_{Uf},$$

to

$$\delta'_T \approx \frac{1}{N_1} + \frac{\Delta f_{CA} + \Delta f_{Uf}}{K_{f1} N_U U_{LSB}} \approx \frac{1}{N_0} + \frac{\Delta f_{CA} + \Delta f_{Uf}}{K_{f0} N_U U_{LSB}} \quad (4.56)$$

Przetworniki C/A oraz U/f reguluje się tak, by błędy przetwarzania na początku i na końcu zakresu wynosiły zero. W wyniku tego Δf_{CA} i Δf_{Uf} dla maksymalnej liczby w liczniku rewersyjnym spadają do zera, a stąd wniosek, że skończona dokładność przetwarzania obydwu przetworników nie ma wpływu na maksymalną częstotliwość przebiegu wejściowego wyrażoną wzorem (4.55), natomiast oddziałuje na częstotliwość minimalną.

Dla zadanej dokładności powielania δ_z uzyskuje się:

$$\delta_z \approx \frac{1}{N_0} + \frac{\Delta f_{CA} + \Delta f_{Uf}}{K_{f0} N_U U_{LSB}} = \frac{K_{f1} U_{LSB} + \Delta f_{CA} + \Delta f_{Uf}}{K_{f1}}$$

stąd:

$$f_{i \min} \approx \frac{K_{f1} U_{LSB} + \Delta f_{CA} + \Delta f_{Uf}}{K \delta_z} \quad (4.57)$$

Tabela 6

Rodzaj powielacza		Dokładność $\delta_T \approx$	Stała czasowa	Zakres częstotliwości wejściowych	U w a g i
Binarny PDCz n liczba stopni	licznikowy	$\frac{1}{N_0} + \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{2^{1P}}$	2^{nPKT_g}	$\frac{N_d(\delta_z)f_g}{2^{nPK}} \leq f_1 \leq \frac{N_g(\delta_z)T_g^{(1)}}{2^{nPK}}$	$2^1 < N_1 < 2^{1+1}$
	sumatorowy	$\frac{1}{N_0} + \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{2^{nP}}$			
Dziesiętny PDCz n liczba dekad	licznikowy	$\frac{1}{N_0} + \frac{N_1 - 1}{N_1} \cdot \frac{\Delta_{\max}(N_{1i})N_0}{10^{1+1P}}$	10^{mPKT_g}	$\frac{N_d(\delta_z)f_g}{10^{mPK}} \leq f_1 \leq \frac{N_g(\delta_z)f_g^{(1)}}{10^{mPK}}$	$10^1 < N_1 < 10^{1+1}$
	sumatorowy	$\frac{1}{N_0} + \frac{N_1 - 1}{N_1} \cdot \frac{N_0}{10^{mP}}$			
Powielacz z dzielnikiem 1/N		$\frac{1}{N_0}$	$N_0 T_1$	$\frac{f_g}{(2^n - 1)K} \leq f_1 \leq \frac{\delta_z \cdot f_g}{K}$	Dla małych zmian (2) częstości f_1
Powielacz z przetwornikami C/A i U/f		$\frac{1}{N_0}$	$\frac{K}{K_f U_{LSB}}$	$\frac{K_f U_{LSB}}{K \cdot \delta_z} \leq f_1 \leq \frac{K_f U_{LSB} (2^n - 1)}{K}$	

(1 - Patrz rozdz. 3.2.3.

(2 - Dla dużych zmian częstotliwości wejściowej f_1 własności dynamiczne powielacza opisuje czas ustalenia

$$t_u = \frac{N_0}{f_1} \ln N_0 \frac{1}{f_1} N_0$$

4.5. PORÓWNANIE POWIELACZY ZE SPRZEŻENIEM ZWROTNYM

W tabeli 6 dla wszystkich analizowanych powyżej powielaczy częstotliwości ze sprzężeniem zwrotnym zebrano takie parametry, jak dokładność powielania, stała czasowa oraz zakres powielanych częstotliwości wejściowych [20]. W tabeli 7 natomiast dla wybranych parametrów powielacza podano stałą czasową i zakres powielanych częstotliwości. Pozwala to na sformułowanie następujących wniosków:

Tabela 7

$$P = 200; K = 5; T_g = 10^{-7} \text{ s}; k = 10^4 \text{ Hz/V}; U_{\text{LSB}} = 9765 \cdot 10^{-6} \text{ V/bit}; \delta_z = 0,01$$

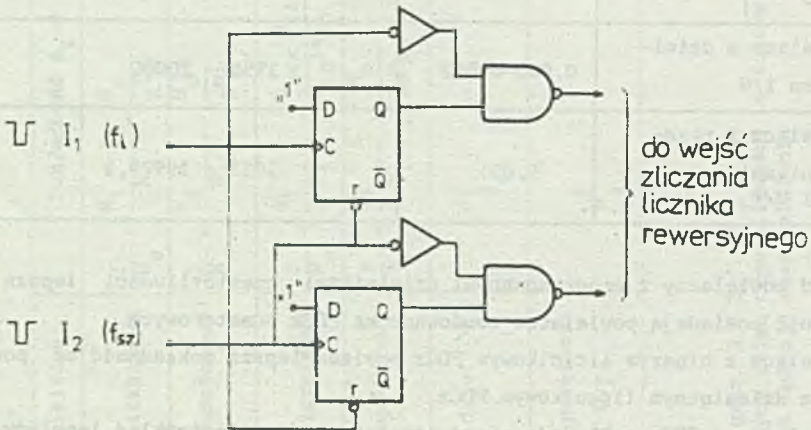
Rodzaj powielacza		Stała czasowa [s]	Zakres częstotliwości wejściowych [Hz]
Binarny PDCz liczba stopni n = 10	licznikowy	0,1024	2500 - 3684,5 5000 - 8914
	sumatorowy		1028,3 - 9990,2
Dziesiętny PDCz liczba dekad m = 3	licznikowy	0,1	2000 - 2147; 4000 - 5456 8000 - 8885
	sumatorowy		1055 - 9990
Powielacz z dzielnikiem 1/N		0,005-0,523	1955 - 20000
Powielacz z przetwornikami C/A i U/f		0,051	1953 - 19979,1

- Wśród powielaczy z programowanymi dzielnikami częstotliwości lepszą dokładność posiadają powielacze zbudowane na PDCz sumatorowych.
- Powielacz z binarnym licznikowym PDCz posiada lepszą dokładność od powielacza z dziesiętnym licznikowym PDCz.
- Powielacze z PDCz posiadają nierównomierny w czasie rozkład impulsów wyjściowych, a poprawianie tej nierównomierności poprzez wprowadzenie dodatkowego dzielnika 1/P pogarsza własności dynamiczne układu i zmniejsza zakres częstotliwości wejściowych.

- Powielacz z przetwornikami C/A i U/f posiada ograniczone możliwości zwiększania liczby bitów licznika, a tym samym dokładności powielenia. Charakteryzuje się niewielką stałą czasową (typowo dziesiąte części sekundy), równomiernym rozkładem impulsów wyjściowych oraz szerszym zakresem częstotliwości wejściowych od odpowiedniego powielacza z PDCz. Tego typu powielacz jest kosztowniejszy od układów z PDCz i dzielnikiem 1/N.
- Układ z dzielnikiem 1/N jest nieliniowy, ale charakteryzuje się znaczną prostotą, dużą dokładnością dla małych częstotliwości wejściowych i przy tym długim czasem ustalania.

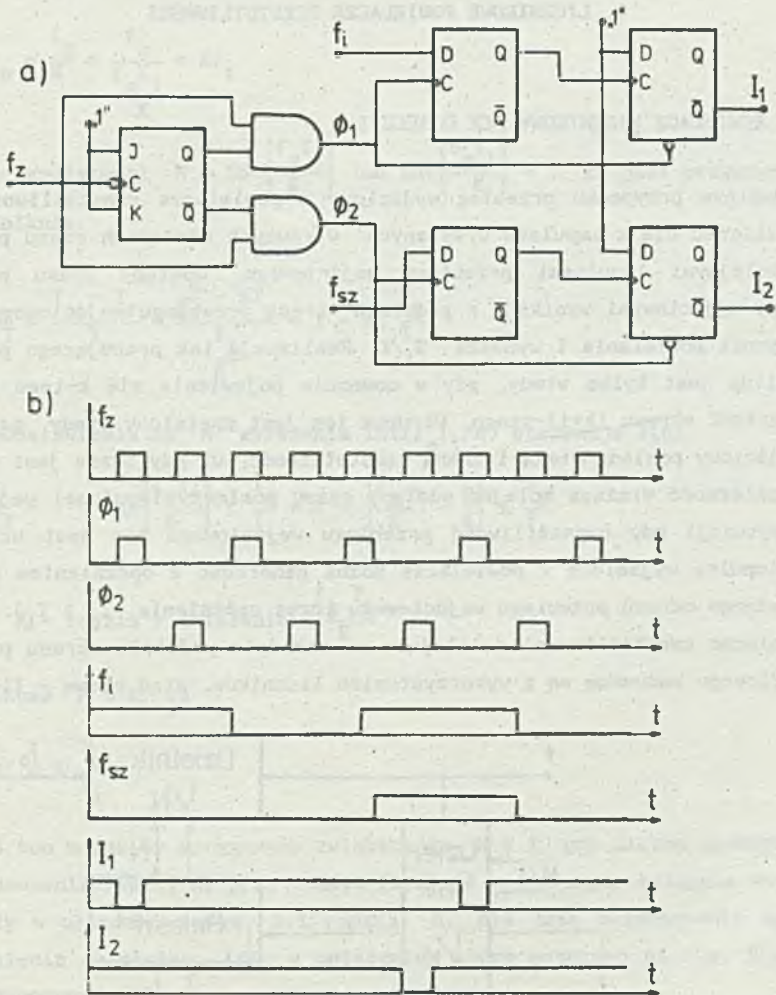
1.6. WYPOSAŻENIE DODATKOWE UKŁADÓW POWIELACZY ZE SPRZĘŻENIEM ZWROTNYM

Aby licznik rewersyjny, stanowiący jakby podstawę powielacza ze sprzężeniem zwrotnym, pracował poprawniej potrzeba, by impulsy zliczane pojawiały się na jego wejściach "+" i "-" niejednocześnie. W przypadku powielacza impulsy wejściowe i impulsy sprzężenia zwrotnego nie są zsynchronizowane, zatem możliwa jest jednoczesna zmiana stanu na obydwu wejściach licznika. W celu uniknięcia takiej sytuacji można umieścić przed licznikiem układ [27], który dokonuje rozdzielania w czasie impulsów pojawiających się jednocześnie (rys. 4.13). Do układu należy doprowadzić przebieg taktujący f_z o częstotliwości znacznie większej od częstotliwości wejściowej.



Rys. 4.12. Filtr likwidujący fluktuację stanu licznika
Fig. 4.12. Filter removing fluctuation of counter state

Po zastosowaniu powyższego układu do wejść zlicznia licznika rewersyjnego impulsy, w stanie ustalonym, będą przychodzić na przemian, co spowoduje fluktuacje stanu licznika o 1. Aby zlikwidować ten efekt, można zastosować filtr, którego schemat przedstawia rys. 4.12 [27].



Rys. 4.13. a) Układ do rozdzielania impulsów wejściowych; b) przebiegi w zaznaczonych punktach układu

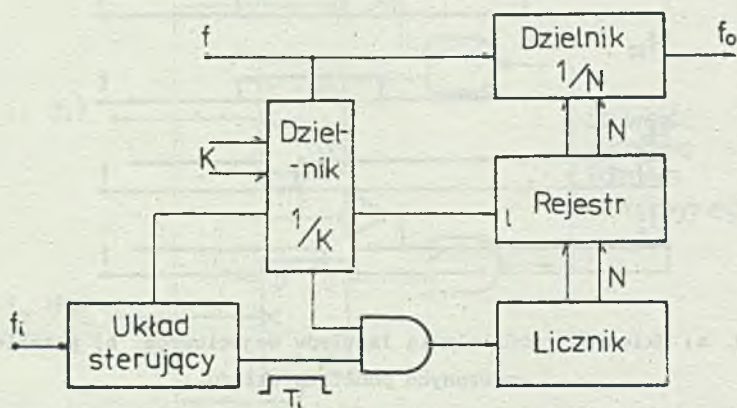
Fig. 4.13. a) Circuit for separation of input pulses; b) waveforms in marked points of the circuit

5. LICZNIKOWE POWIELACZE CZĘSTOTLIWOŚCI

5.1. POWIELACZ LICZNIKOWY BEZ KOREKCJI

W idealnym przypadku przebieg wyjściowy z powielacza częstotliwości powinien składać się z impulsów wysyłanych w równych odstępach czasu pomiędzy dwoma kolejnymi impulsami przebiegu wejściowego. Odstępy czasu pomiędzy impulsami wyjściowymi wynikają z podziału okresu przebiegu wejściowego przez współczynnik powielania i wynoszą T_1/K . Realizacja tak pracującego powielacza możliwa jest tylko wtedy, gdy w momencie pojawienia się k -tego impulsu znany jest wartość okresu $(k+1)$ -szego. Warunek ten jest spełniony wtedy, gdy przebieg wejściowy posiada stałą i znaną częstotliwość lub gdy znana jest matematyczna zależność wiążąca kolejne odstępy czasu pomiędzy impulsami wejściowymi. W sytuacji gdy częstotliwość przebiegu wejściowego nie jest wcześniej znana, impulsy wyjściowe z powielacza można generować z opóźnieniem co najmniej jednego okresu przebiegu wejściowego (czas opóźnienia $T_d > T_1$).

Powielacze częstotliwości działające na zasadzie podziału okresu przebiegu wyjściowego budowane są z wykorzystaniem liczników, stąd nazwa - liczniko-



Rys. 5.1. Licznikowy powielacz częstotliwości

Fig. 5.1. Counter frequency multiplier

we powielacze częstotliwości. Schemat blokowy takiego powielacza częstotliwości prezentowany jest na rys. 5.1. Liczbę N będącą miarą okresu T_1 można obliczyć ze wzoru:

$$N = \frac{f_g}{K} T_1$$

stąd:

$$f_o = \frac{f_g}{N} = \frac{f_g}{\frac{f_g T_1}{K}} = K f_1$$

W rzeczywistości $N = \text{int}\left(\frac{f_g T_1}{K}\right)$ lub $\text{int}\left(\frac{f_g T_1}{K}\right) + 1$, co jest przyczyną błędu powielania:

$$\delta'_T = \frac{T_o - T_r}{T_o} = \frac{\frac{T_1}{K} - NT_g}{\frac{T_1}{K}} = 1 - NK \frac{T_g}{T_1}$$

Po podstawieniu za N wyrażenia $\text{int}(f_g T_1 / K)$ otrzymuje się:

$$\delta'_T = 1 - \text{int}\left(\frac{f_g T_1}{K}\right) K \frac{T_g}{T_1} = 1 - \left(\frac{f_g T_1}{K} - R\right) K \frac{T_g}{T_1}$$

gdzie: R - reszta z dzielenia $\frac{f_g T_1}{K}$.

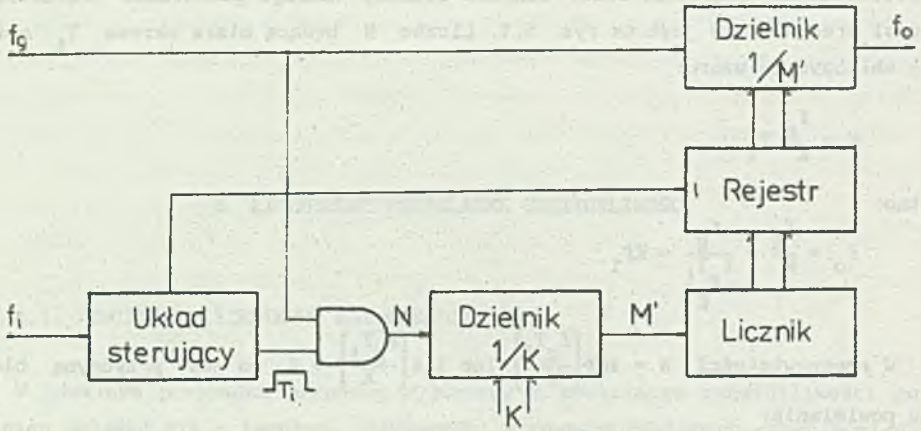
Ponieważ $R \leq K$, to

$$\delta'_T \leq K \frac{T_g}{T_1} \tag{5.1}$$

Błąd ten można by korygować, zwiększając N o 1, gdy liczba uzyskana w wyniku sumowania reszty R , przy każdym impulsie wyjściowym, osiągnie wartość K . Niestety w układzie z rys. 5.1 reszta R nie jest bezpośrednio dostępna. Przesunięcie dzielnika $1/K$ w położenie, które pokazano na rys. 5.2, usuwa tę niedogodność [52].

Gdyby operacja dzielenia w dzielniku $1/K$ była idealna, to po tej zmianie w każdym mierzonym okresie przebiegu wejściowego dochodziłoby do licznika

$$M = \frac{N}{K}$$



Rys. 5.2. Inna wersja licznikowego powielacza częstotliwości
 Fig. 5.2. Another type of counter frequency multiplier

impulsów ($N = f g T_1$). Częstotliwość przebiegu wyjściowego wynosiłaby wtedy:

$$f_o = \frac{f g}{M} = \frac{f g K}{f g T_1} = K f_1$$

W rzeczywistości jednak w liczniku przy końcu okresu T_1 znajdzie się liczba:

$$M' = \text{int}\left(\frac{N}{K}\right) \quad (5.2)$$

Zatem

$$\delta'_T = \frac{T_1}{K} - \frac{T_1 M'}{g} = 1 - \frac{T_1 g}{T_1} K \cdot \text{int}\left(\frac{N}{K}\right)$$

Ponieważ

$$\text{int}\left(\frac{N}{K}\right) = \frac{N}{K} - \frac{R}{K}$$

gdzie: R - reszta z dzielenia $\frac{N}{K}$.

to

$$\delta'_T = \frac{T_1 - T_1 N}{T_1} + \frac{T_1 g}{T_1} R$$

Podstawiając $N = \text{int}(T_1/T_g)$ oraz $R = K-1$, uzyskuje się:

$$\delta'_T \approx \frac{T_g \left(\frac{T_1}{T_g} - \text{int} \left(\frac{T_1}{T_g} \right) \right)}{T_1} + \frac{T_g}{T_1} (K-1) = \frac{T_g}{T_1} + \frac{T_g}{T_1} (K-1)$$

Stąd także w tym układzie:

$$\delta'_T \approx K \frac{T_g}{T_1}$$

a w dzielniku $1/K$ przy końcu mierzonego okresu przebiegu wejściowego dostępna jest reszta R , która może być wykorzystana do korekcji błędu powielania.

Impulsy wyjściowe z licznikowego powielacza częstotliwości rozmieszczone są równomiernie w czasie. Układ wprowadza opóźnienie wynoszące $T_d = T_1 + M' T_g$.

Zakres częstotliwości wejściowych wynika z jednej strony z zadanego błędu powielania δ_z , a z drugiej strony z maksymalnej liczby M' wynoszącej $2^n - 1$ (gdzie n - liczba stopni licznika).

A więc

$$\delta_z \geq K \frac{T_g}{T_1} \quad \text{oraz} \quad \text{int} \left(\frac{T_1}{T_g K} \right) \leq 2^n - 1.$$

Uwzględniając fakt, że $\text{int}(a) < a$, to:

$$\frac{f_g}{(2^n - 1)K} \leq f_1 \leq \frac{f_g \delta_z}{K} \quad (5.3)$$

W obydwu powyższych układach przebieg prostokątny otrzymywany na wyjściu może nie mieć wypełnienia $1/2$. Jeżeli potrzebne jest wypełnienie $1/2$, to można stosunkowo prosto je uzyskać, przepisując z rejestru do dzielnika wyjściowego liczbę podzieloną przez 2 (tzn. przesuniętą w prawo o jedną pozycję), a następnie podzielić częstotliwość wyjściową przez dwa. Zabieg ten, dla nieparzystych liczb w rejestrze, powoduje niestety wzrost błędu powielania o wartość, którą można wyznaczyć na podstawie poniższego rozumowania.

Liczbę nieparzystą M' , zawartą w rejestrze, zapiszmy w postaci: $2M_1 + 1$. Jeżeli przepiszemy ją do dzielnika $1/M'$ z przesunięciem w prawo, to w dzielniku znajdzie się liczba M_1 , a częstotliwość wyjściowa po dodatkowym podzieleniu przez dwa wyniesie $f_g/2M_1$ zamiast $f_g/(2M_1 + 1)$.

Dodatkowy błąd powielania $\Delta T_{od}/T_o$ wynosi zatem:

$$\frac{\Delta T_{od}}{T_o} = \frac{KT_g}{T_1}$$

całkowity błąd powielania:

$$\delta_T < \delta'_T + \frac{\Delta T_{od}}{T_o} = \frac{2KT_g}{T_1} \quad (5.4)$$

5.2. POWIELACZ LICZNIKOWY Z KOREKCJĄ

Jak już zaznaczono wyżej, w układzie z rys. 5.2 można przeprowadzać korekcję błędu powielania spowodowanego niedokładnością dzielenia liczby N przez K [52]. Niedokładność ta może być wyrażona jako:

$$M = \frac{N}{K} - \text{int}\left(\frac{N}{K}\right) = \frac{R}{K}$$

Sprawdza się to do tego, że okres przebiegu wyjściowego jest krótszy od właściwego o wartość:

$$\Delta T_o = \frac{R}{K} T_g$$

Różnica położenia i -tego impulsu wyjściowego w stosunku do położenia bezbłędnego wynosi:

$$\Delta t_{i1} = i \cdot \frac{R}{K} T_g$$

Dla pewnej wartości $i = i_1$

$$T_g \leq i_1 \frac{RT_g}{K} < 2T_g$$

$$\Delta t_{i_1} = T_g + \frac{R_1}{K} T_g$$

gdzie: R_1 - reszta z dzielenia $\frac{i_1 R}{K}$

Jeżeli w takiej sytuacji zablokujemy jeden impuls przychodzący do dzielnika $1/M'$, to różnica Δt_{i_1} spadnie do wartości:

$$\Delta t_{i_1} = T_g \frac{R_1}{K}$$

Kolejna korekcja wykonywana jest, gdy spełniony jest warunek:

$$T_g \leq \frac{R_1 + (i_2 - i_1)R}{K} T_g < 2T_g$$

ltd.

Ponieważ

$$\frac{N}{K} = \text{int}\left(\frac{N}{K}\right) + \frac{R}{K}$$

to

$$NT_g = M'KT_g + RT_g$$

a po dodaniu i odjęciu od prawej strony powyższego równania $M'T_g$:

$$NT_g = M'(K - R)T_g + (M' + 1)RT_g$$

Stąd wniosek, że w czasie odpowiadającym zmierzonemu okresowi przebiegu wejściowego pojawi się na wyjściu powielacza $K-R$ okresów o długości $M'T_g$ i R okresów o długości $(M' + 1)T_g$. Jednocześnie K -ty impuls rzeczywistego przebiegu wyjściowego wypadnie dokładnie przy końcu tego przedziału czasu. Średni okres rzeczywistego przebiegu wyjściowego wynosi zatem:

$$T_r = \frac{NT_g}{K}$$

Błąd powielania wyraża się więc następująco:

$$\delta_T = \frac{T_o - T_r}{T_o} = \frac{\frac{T_1}{K} - \frac{N}{K} T_g}{\frac{T_1}{K}} \leq \frac{T_g}{T_1} \quad (5.5)$$

Zastosowanie korekcji powoduje, że w przebiegu wyjściowym mamy do czynienia z dwoma odstępami czasu między impulsami: $M'T_g$ i $(M' + 1)T_g$. To oznacza, że wraz z błędem powielania występuje błąd nierównomierności, który można wyrazić za pomocą poniższego wzoru $(\text{int}(N/K) \neq N/K)$:

$$\delta_T'' = \frac{(\text{int}(\frac{N}{K})T_g + 1)T_g - \frac{N}{K} T_g}{\frac{T_1}{K}} = \frac{T_g - \frac{R}{K} T_g}{\frac{T_1}{K}}$$

Maksymalna wartość tego błędu występuje wtedy, gdy $R = 1$, zatem:

$$\delta_T^{\prime\prime} \leq (K - 1) \frac{T}{T_1} g \quad (5.6)$$

Stąd całkowity błąd okresu:

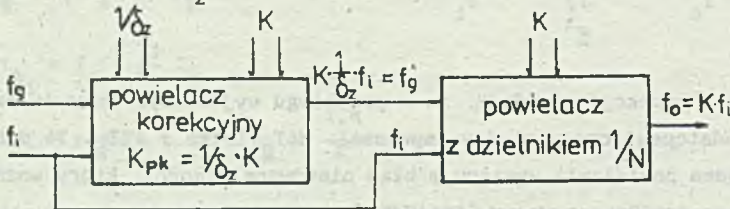
$$\delta_T = \delta_T^{\prime} + \delta_T^{\prime\prime} \leq \frac{T}{T_1} g + (K - 1) \frac{T}{T_1} g$$

$$\delta_T \leq K \frac{T}{T_1} g \quad (5.7)$$

5.3. WSPÓŁPRACA POWIELACZA LICZNIKOWEGO Z POWIELACZEM ZE SPRZĘŻENIEM ZWROTNYM ZAWIERAJĄCYM DZIELNIK 1/N

Na podstawie porównania powielaczy ze sprzężeniem zwrotnym, przedstawionego w rozdz. 4.5, można stwierdzić, że gdyby nie długi czas ustalenia, to wyraźnie korzystne własności charakteryzowałyby układ powielacza z dzielnikiem $1/N$. Dokładność powielania w tym układzie polepsza się wraz ze zmniejszeniem częstotliwości f_1 , ale niestety rośnie wtedy czas ustalania. Zmniejszenie tego czasu, przy zadanej dokładności δ_z , możliwe jest jedynie poprzez przyjęcia $N(0) = N_0$, co uzyskuje się, utrzymując liczbę N_0 na stałym poziomie przez cały czas pracy układu. Zabieg taki można zrobić we wszystkich układach powielaczy ze sprzężeniem zwrotnym, a w powielaczu z dzielnikiem $1/N$, gdzie $N_0 = f_g / (Kf_1)$, pomysł ten można zrealizować przez współbieżną z f_1 zmianę częstotliwości f_g . Stąd wniosek, że należy zastosować dodatkowy powielacz częstotliwości (powielacz korekcyjny na rys. 5.3) o współczynniku powielania:

$$K_{pk} = KN_0 = K \frac{1}{\delta_z} \quad (5.8)$$



Rys. 5.3. Współpraca powielacza zawierającego dzielnik 1/N z powielaczem korekcyjnym

Fig. 5.3. Co-operation of the frequency multiplier containing a 1/N divider with a correction multiplier

W wyniku zastosowania takiego powielacza uzyskuje się:

$$N_o = \frac{f'_g}{Kf_1} = K \cdot \frac{f_1}{\delta_z Kf_1} = \frac{1}{\delta_z}$$

a zatem stałą, tzn. niezależną od częstotliwości przebiegu wejściowego, dokładność powielania. Jako powielacz korekcyjny może być użyty powielacz licznikowy opisany w rozdziale 5.1. Maksymalna częstotliwość wejściowa dla powielacza korekcyjnego wynosi (patrz wzór (5.3)):

$$f_{1pk \max} = f_g \frac{\delta_{Tpk}}{K_{pk}} = f_g \frac{\delta_{Tpk} \delta_z}{K} \quad (5.9)$$

gdzie: δ_{Tpk} - dokładność powielania powielacza korekcyjnego.

Aby stan licznika rewersyjnego w powielaczu z dzielnikiem $1/N$, dla ustalonej częstotliwości f_1 , nie zmieniał się więcej niż o 1, zmiana liczby N_o ($N_o = f'_g / (Kf_1)$) powinna spełniać nierówność:

$$|\Delta N_o| = \frac{T_1}{KT'_{go}} |\Delta T'_g| \leq 1$$

gdzie: $T'_{go} = \frac{T_1}{KN_o}$

i dlatego:

$$\delta_{Tpk} = \frac{|\Delta T'_g|}{T_{go}} \leq \frac{KT'_{go}}{T_1} = \frac{KT'_{go}}{T_1} = \frac{1}{N_o} = \delta_z \quad (5.10)$$

a maksymalna częstotliwość przebiegu wejściowego, przy której jeszcze powyższa nierówność jest prawdziwa (i liczba zawarta w liczniku rewersyjnym zachowuje wartość N_o z dokładnością do jedności), równa jest:

$$f_{1 \max} N_o = f_g \frac{\delta_z^2}{K} \quad (5.11)$$

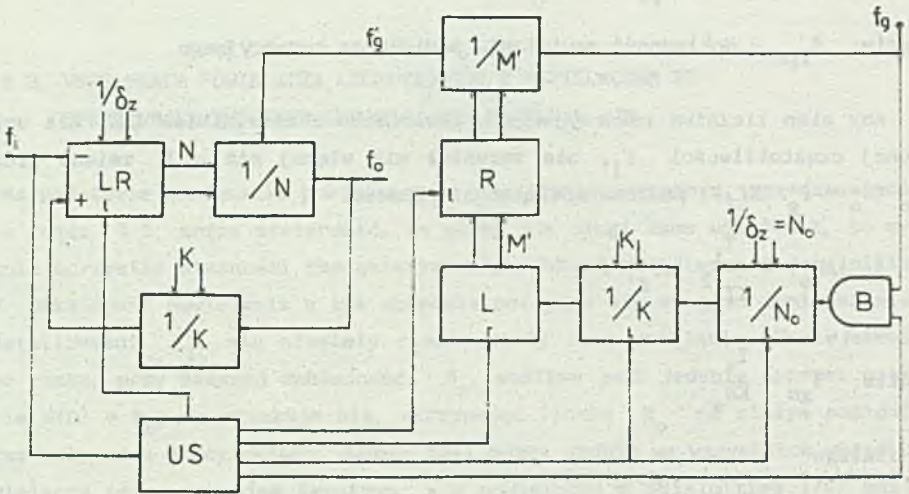
Na podstawie (5.3) minimalna częstotliwość wejściowa może być wyrażona przez:

$$f_{1 \min} = \frac{f_g}{(2^n - 1)K_{pk}} = \frac{f_g \delta_z}{(2^n - 1)K} \quad (5.12)$$

gdzie: n - liczba stopni licznika w układzie powielacza korekcyjnego.

W celu realizacji warunku $N(0) = N_0$ należy w chwili rozpoczęcia procesu powielania dokonać wpisu liczby $N_0 = 1/\delta_z$ do licznika resersyjnego powielacza głównego (powielacza z dzielnikiem $1/N$).

Szczegółowy schemat blokowy powielacza z dzielnikiem $1/N$ współpracującego z licznikowym powielaczem korekcyjnym przedstawia rys. 5.4. Układ sterujący (US) wytwarza sygnał otwierający bramkę B na czas $1/f_1$, wpisujący liczbę $1/\delta_z$ do licznika LR i liczbę M' do rejestru R, a także impuls zerujący licznik L i impuls wpisu do dzielników $1/K$ i $1/N_0$.



Rys. 5.4. Powielacz z dzielnikiem $1/N$ rozbudowany o licznikowy powielacz korekcyjny

Fig. 5.4. Frequency multiplier containing a $1/N$ divider provided with the counter correction multiplier

Z przedstawionych powyżej rozważań wynika, że można wyróżnić trzy zakresy pracy takiego powielacza:

I zakres

$$f_{1 \min} \leq f_1 \leq f_{1 \max} N_0$$

W liczniku resersyjnym LR utrzymywana jest liczba $N_0 = 1/\delta_z$ z dokładnością do jedności.

Dokładność powielania $\delta_T = 1/N_0 = \text{const.}$

Czas ustalania równy jest czasowi opóźnienia powielacza korekcyjnego powiększonemu o jeden okres przebiegu wejściowego (T_1).

II zakres

$$f_1 \max N_0 < f_1 < f_1 (M' = 1) = \frac{f_g}{K_{pk}} = \frac{f_g \delta_z}{K}$$

W liczniku resersyjnym ustala się liczba:

$$N_0 + \Delta N_0 = \frac{1}{\delta_z} + \Delta N_0$$

Zmiana stanu licznika rewersyjnego powielacza z dzielnikiem $1/N$ wyraża się zależnością:

$$\Delta N_0 = - \frac{T_1}{KT'_{go}} \Delta T'_g$$

gdzie: $T'_{go} = \frac{T_1}{K_{pk}}$

a z zasady działania powielacza korekcyjnego (powielacz licznikowy) wynika, że przyrost $\Delta T'_g$ jest ujemny i na podstawie (5.1) wynosi:

$$\Delta T'_g \leq -K_{pk} \frac{T_g}{T_1} T'_{go}$$

Po podstawieniu do wzoru na ΔN_0 wyrażen na $\Delta T'_g$ i T'_{go} otrzymuje się:

$$\Delta N_0 \leq \frac{K_{pk}^2 T_g}{KT_1}$$

Ponieważ $K_{pk} = K \frac{1}{\delta_z}$,

to

$$\Delta N_0 \leq \frac{\left(K \frac{1}{\delta_z}\right)^2 T_g}{KT_1} = \frac{KT_g}{\delta_z^2 T_1}$$

stąd

$$\Delta N_0 \leq \frac{f_1}{f_1 \max N_0}$$

(5.13)

$$\text{Dla } f_1(M' = 1) = \frac{f \delta_z}{K}$$

$$\Delta N_0 = \frac{1}{\delta_z}$$

Własności dynamiczne układu w rozpatrywanym tu zakresie częstotliwości wejściowych można, korzystając ze wzoru (4.44), wyrazić następująco:

$$t_u = \frac{\frac{1}{\delta_z} + \Delta N_0}{f_1} \ln |\Delta N_0| + \frac{1}{f_1} \Delta N_0 \quad (5.14)$$

ale ponieważ w szerokim zakresie częstotliwości wejściowych ΔN_0 jest mniejsze od $1/\delta_z$, można posługiwać się też stałą czasową, która wynosi:

$$T = \frac{1}{\delta_z} T_1 \quad (5.15)$$

III zakres

$$\frac{f}{K_{pk}} = f_1(M' = 1) \leq f_1 \leq f_1(N_0 = 1) = \frac{f}{K}$$

Układ powielacza korekcyjnego nie działa; $f' = f_g$, stąd dla:

$$f_1 = \frac{f}{K_{pk}} = \frac{f \delta_z}{K} \quad N_0 = \frac{1}{\delta_z}$$

Przy wzroście częstotliwości:

$$N_0 = \frac{f}{f_1 K} < \frac{1}{\delta_z}$$

a dokładność powielania:

$$\delta_T = \frac{1}{N_0} = \frac{K f_1}{f} > \delta_z$$

Natomiast korzystając z (4.44) oraz tego, że $N(0) = 1/\delta_z$, czas ustalania można wyrazić następująco:

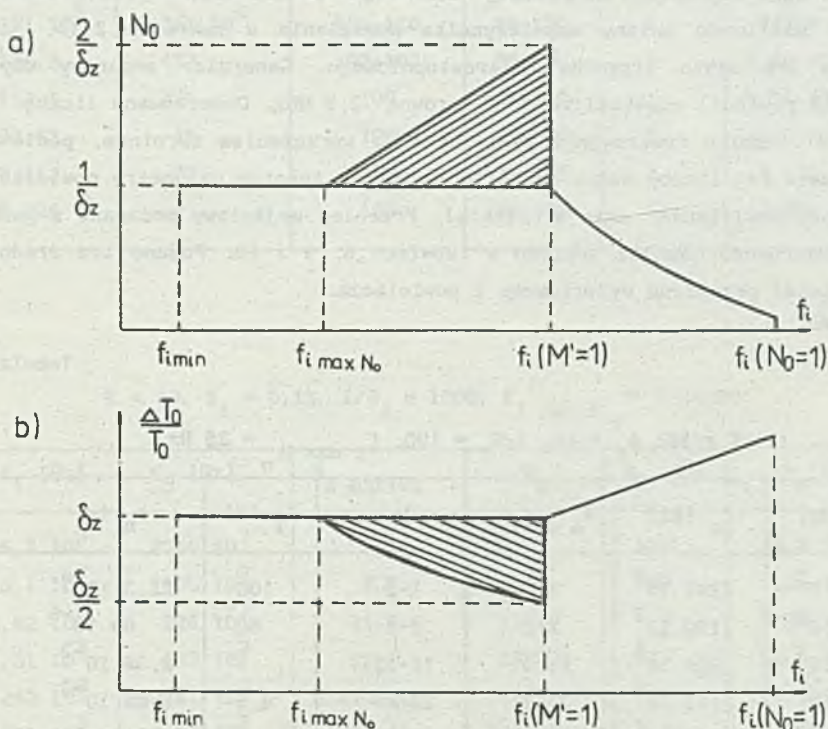
$$t_u = \frac{f}{f_1 K} \ln \left| \frac{f}{f_1 K} - \frac{1}{\delta_z} \right| + \frac{1}{f_1} \left(\frac{1}{\delta_z} - \frac{f}{f_1 K} \right) \quad (5.16)$$

Czas ten jest krótki, gdyż częstotliwość f_1 występująca w mianowniku przyjmuje w trzecim zakresie duże wartości.

Także w tym przypadku można posługiwać się wzorem na stałą czasową (zmiana liczby w liczniku rewersyjnym mniejsza od $1/\delta_z$), która w zakresie trzecim równa jest:

$$T = T_1 N_0 = \frac{T_1^2}{T_1 K} \quad (5.17)$$

W efekcie uzyskujemy następujący przebieg zmienności liczby N_0 zawartej w liczniku rewersyjnym oraz dokładności powielania $\Delta T_0/T_0$ w zależności od częstotliwości wejściowej f_1 .



Rys. 5.5. Wykres zależności liczby N_0 (a) i dokładności powielania (b) od częstotliwości przebiegu wejściowego, w układzie z rys. 5.4

Fig. 5.5. Dependence of N_0 number (a) and accuracy of frequency multiplying (b) upon input pulse frequency in the circuit in fig. 5.4

Obszar zakresowany na rys. 5.5 to obszar reprezentujący wartości N_0 powstałe na skutek niedokładności powielacza korekcyjnego.

Przykład

Dla ilustracji został zbudowany powielacz częstotliwości przebiegu prostokątnego działający według przedstawionej powyżej zasady. Układ składał się z powielacza z dzielnikiem $1/N$ oraz licznikowego powielacza korekcyjnego. Przyjęto, że licznik rewersyjny (LR) w powielaczu ze sprzężeniem zwrotnym jest licznikiem binarnym 12-stopniowym, co pozwala uzyskać maksymalną dokładność równą $1/(2^{12} - 1) = 0,025\%$. Licznik L powielacza korekcyjnego, mierzący okres sygnału wejściowego, przyjęto 16-stopniowy, dzięki czemu stosunek $f_1 (M' = 1)$ do $f_1 \text{ min pk}$ (tzn. stosunek maksymalnej częstotliwości wejściowej powielacza licznikowego pracującego jako powielacz korekcyjny do częstotliwości wejściowej minimalnej dla tego powielacza) wynosił $65 \cdot 10^3$. Aby mieć możliwość zmiany współczynnika powielania w zakresie 2-10, jako dzielnika $1/K$ użyto licznika czterostopniowego. Generator zegarowy użyty w układzie posiadał częstotliwość f_g równą 2,5 MHz. Obserwowano liczbę N_o zawartą w liczniku rewersyjnym powielacza ze sprzężeniem zwrotnym, ponieważ na podstawie tej liczby można określić wszystkie istotne parametry powielacza (dokładność powielania, czas ustalania). Przebieg wejściowy podawano z generatora kwarcowego. Wyniki zebrano w tabelach 8, 9 i 10. Podano też średnią częstotliwość przebiegu wyjściowego z powielacza.

Tabela 8

$$K = 10; \delta_z = 1\%; 1/\delta_z = 100; f_1 \text{ max } N_o = 25 \text{ Hz}$$

f_1 [Hz]	f_o [Hz]	N_o oblicz	N_o	δ_T [%]	t_u [s]
$226,2 \cdot 10^3$	$2240 \cdot 10^3$	1,1	1-2	100	$22,3 \cdot 10^{-6}$
$113,1 \cdot 10^3$	$1120 \cdot 10^3$	2,2	2-3	50	$89 \cdot 10^{-6}$
$22,62 \cdot 10^3$	$226 \cdot 10^3$	11,1	11-12	9	$2,38 \cdot 10^{-3}$
$11,31 \cdot 10^3$	$113 \cdot 10^3$	22,1	22-23	4,5	$8,85 \cdot 10^{-3}$
$2.262 \cdot 10^3$	$22,61 \cdot 10^3$	100-191	109-110	0,9	0,112
$1.131 \cdot 10^3$	$11,30 \cdot 10^3$	100-146	109-110	0,9	0,224
226,2	$2,262 \cdot 10^3$	100-110	99-100	1	$4,42 \cdot 10^{-3}$
113,1	$1,131 \cdot 10^3$	100-105	99-100	1	$8,84 \cdot 10^{-3}$
22,62	225	100	99-100	1	$44,2 \cdot 10^{-3}$
2,262	23	100	99-100	1	0,442
0,226	-	100	99-100	1	4,42

Tabela 9

$K = 2; \delta_z = 1\%; 1/\delta_z = 100; f_1 \max N_o = 125 \text{ Hz}$

f_1 [Hz]	f_o [Hz]	N_o oblicz	N_o	δ_T [%]	t_u [s]
$226,1 \cdot 10^3$	$450 \cdot 10^3$	5,5	5-6	20	$120 \cdot 10^{-6}$
$113,1 \cdot 10^3$	$227 \cdot 10^3$	11,1	11-12	9	$476 \cdot 10^{-6}$
$22,62 \cdot 10^3$	$45,4 \cdot 10^3$	55,3	55-56	1,8	$9,42 \cdot 10^{-3}$
$11,31 \cdot 10^3$	$22,62 \cdot 10^3$	100-191	110-111	0,9	$23,5 \cdot 10^{-3}$
$2,262 \cdot 10^3$	$4,523 \cdot 10^3$	100-119	109-110	0,4	0,112
$1,131 \cdot 10^3$	$2,261 \cdot 10^3$	100-110	99-100	1	0,884
226,2	452	100-102	99-100	1	$4,42 \cdot 10^{-3}$
113,1	226	100	99-100	1	$8,84 \cdot 10^{-3}$
22,62	45	100	99-100	1	$44,2 \cdot 10^{-3}$
2,262	22	100	99-100	1	0,442
0,226	-	100	99-100	1	4,42

Tabela 10

$K = 10; \delta_z = 0,1\%; 1/\delta_z = 1000; f_1 \max N_o = 0,25 \text{ Hz}$

f_1 [Hz]	f_o [Hz]	N_o oblicz	N_o	δ_T [%]	t_u [s]
$226,2 \cdot 10^3$	$2240 \cdot 10^3$	1,1	1-2	100	$33,5 \cdot 10^{-6}$
$113,1 \cdot 10^3$	$1130 \cdot 10^3$	2,2	2-3	50	$133 \cdot 10^{-6}$
$22,62 \cdot 10^3$	$226 \cdot 10^3$	11,1	11-12	9	$3,38 \cdot 10^{-3}$
$11,31 \cdot 10^3$	$113 \cdot 10^3$	22,1	22-23	4,5	$13,4 \cdot 10^{-3}$
$2,262 \cdot 10^3$	$22,61 \cdot 10^3$	110,5	110-111	0,9	0,333
$1,131 \cdot 10^3$	$11,31 \cdot 10^3$	221,1	221-222	0,45	1,29
226,2	$2,262 \cdot 10^3$	1000-1905	1104-1105	0,09	23,2
113,1	$1,131 \cdot 10^3$	1000-1456	1002-1003	0,1	9,8
22,62	226	1000-1091	1001-1002	0,1	31,0
2,262	22	1000-1010	1000-1001	0,1	0,45
0,226	-	1000	999-1000	0,1	4,42

6. PODSUMOWANIE

Praca poświęcona jest powielaniu częstotliwości przebiegów prostokątnych w układach cyfrowych. Układy powielaczy podzielono w pracy na dwie podstawowe grupy: powielacze częstotliwości pracujące w układzie otwartym i powielacze częstotliwości pracujące w układzie zamkniętym.

W ramach każdej z grup wyodrębniono powielacze zbudowane w technice cyfrowej i dokonano dalszego ich podziału. W pierwszej grupie do powielaczy cyfrowych zaliczono powielacze częstotliwości z elementami opóźniającymi (szeregowy i równoległy) oraz powielacze licznikowe, natomiast w drugiej grupie wydzielono tzw. cyfrowe powielacze częstotliwości ze sprzężeniem zwrotnym.

Praca składa się z czterech zasadniczych części. W części pierwszej (rozdz. 2) przedstawione są ogólnie sposoby opisu ciągów impulsów prostokątnych i analiza powielania częstotliwości (liczby impulsów) przebiegu prostokątnego oparta na podanych sposobach przedstawiania przebiegu prostokątnego. Do matematycznego opisu powielaczy szeregowych użyto funkcji Walsha. Iloczyn funkcji Walsha jest także funkcją Walsha, ale posiada w przedziale określoności inną, często większą, sekwencyjność i liczbę impulsów niż funkcje mnożone. Wykorzystuje się to w procesie powielania, a struktura powielaczy szeregowych wynika bezpośrednio z zasady mnożenia tych funkcji.

Analizę funkcjonowania powielaczy równoległych przeprowadzono korzystając z funkcji prostokątnej $\Pi(x)$, a powielacze licznikowe analizowano posługując się po prostu parametrami przebiegu takimi jak okres przebiegu wejściowego T_1 czy częstotliwość f_1 . W tej części pracy zdefiniowano także parametry powielacza, tzn. błąd powielania i błąd nierównomierności, zakres powielanych częstotliwości oraz czas ustalania się przebiegu wyjściowego.

W drugiej części pracy (rozdział 3) zostały przedstawione konkretne struktury (szeregowy i równoległy) powielaczy z elementami opóźniającymi. Dla powielaczy szeregowych podano metodykę postępowania przy poszukiwaniu schematu układu o współczynniku powielania K , obliczono błąd nierównomierności oraz błąd zliczania impulsów wyjściowych z powielacza w sytuacji, gdy początek zliczania odpowiada początkowi przedziału określoności funkcji Walsha lub gdy

zliczanie rozpoczyna się w dowolnym momencie. Analizowano także układ powielacza częstotliwości o niecałkowitym współczynniku powielania.

W odniesieniu do powielaczy równoległych rozpatrywano powielanie częstotliwości zarówno przebiegu o wypełnieniu $1/2$, jak też przebiegu o wypełnieniu bardzo małym. Na podstawie analizy przeprowadzonej za pomocą funkcji prostokątnej $\Pi(x)$ zaproponowano różne wersje układowe równoległych powielaczy częstotliwości.

W kolejnej części pracy (rozdział 4), odnoszącej się do cyfrowych powielaczy częstotliwości ze sprzężeniem zwrotnym złożonym z przetwornika liczba/częstotliwość i dzielnika $1/K$, wykazano na wstępie, że znane z literatury tzw. programowane dzielniki częstotliwości, zwane też podzielnikami (ang. rate multiplier), są szczególnym przypadkiem szeregowego powielacza częstotliwości. Układy te w strukturze powielacza ze sprzężeniem zwrotnym mogą pełnić funkcję przetworników liczby na częstotliwość. Funkcję takiego przetwornika może pełnić także zwykły dzielnik $1/N$ lub przetworniki A/C i U/f . Przeprowadzona analiza powielaczy ze sprzężeniem zwrotnym z różnymi przetwornikami liczba/częstotliwość pozwoliła wyznaczyć takie parametry powielaczy, jak dokładność powielania, zakres powielanych częstotliwości oraz stała czasowa lub czas ustalania. Omawianą tematykę zilustrowano tabelą, w której zawarto wzory opisujące te parametry powielaczy.

Czwarta część pracy (rozdział 5) to odmienne od znanego z literatury podejście do tzw. powielaczy licznikowych, w których pokazano, że dla powielacza licznikowego z korekcją całkowita dokładność powielania, wyrażona przez sumę błędu powielania i błędu nierównomierności, jest niezależna od korekcji. Pokazano tu także, że istnieje możliwość budowy powielacza częstotliwości na drodze łączenia dwóch różnych struktur: powielacza ze sprzężeniem zwrotnym, w którym przetwornikiem liczba/częstotliwość jest zwykły dzielnik $1/N$ oraz powielacza licznikowego pracującego jako powielacz korekcyjny. Ta koncepcja została zilustrowana przykładem.

Uzyskane w pracy rezultaty, poza charakterem poznawczym, posiadają również charakter praktyczny. Wyprowadzone zależności opisujące parametry powielacza mają taką postać, że mogą być bezpośrednio wykorzystywane przez projektanta przy określaniu struktury powielacza o zadanym współczynniku powielania i zadanej dokładności. To znaczy pozwalają wyznaczyć liczbę stopni i wielkości opóźnień dla układów z elementami opóźniającymi, długości liczników i dzielników dla układów ze sprzężeniem zwrotnym i powielaczy licznikowych oraz liczbę bitów przetwornika C/A i parametry przetwornika U/f dla powielacza zawierającego te układy.

W pracy starano się przeprowadzić analizę i wyznaczyć parametry dla wszystkich wspomnianych wyżej układów powielaczy częstotliwości przebiegu prostokątnego. Wprawdzie przydatność konkretnego rozwiązania w ostatecznym rozrachunku zależy w znacznej mierze od jego zastosowania, to jednak można stwierdzić, że w przypadku powielaczy z PDCz nie ma powodów, dla których należałoby stosować w nich PDCz licznikowe. Dokładność powielacza i zakres powielanych częstotliwości lepsze są dla układów z PDCz sumatorowym. Wśród wszystkich powielaczy ze sprzężeniem zwrotnym powielacz z dzielnikiem $1/N$ wydaje się być układem najkorzystniejszym, mimo zmieniającego się wraz z częstotliwością wejściową czasu ustalania. Układ ten posiada najbardziej równomierny rozkład impulsów wyjściowych, szeroki zakres częstotliwości wejściowych oraz prostą i tanią strukturę. Uzupełniony o powielacz licznikowy celem uzyskania współbieżnej z częstotliwością przebiegu wejściowego zmiany częstotliwości zegarowej, powielacz z dzielnikiem $1/N$ charakteryzuje się bardzo krótkim czasem ustalania i stałą dokładnością powielania, a średnia wartość częstotliwości wyjściowej jest dokładnie K razy większa od częstotliwości wejściowej. Ostatniej z tych cech nie posiada powielacz licznikowy bez korekcji, którego częstotliwość wyjściowa zawsze jest mniejsza od Kf_1 , a powielacz licznikowy z korekcją charakteryzuje się wprawdzie średnią częstotliwością wyjściową równą Kf_1 , ale posiada znaczny błąd nierównomierności. Powielacz licznikowy może natomiast pracować w zakresie wyższych częstotliwości przebiegu wejściowego niż powielacze ze sprzężeniem zwrotnym, które nadają się do pracy w zakresie małych i średnich częstotliwości wejściowych.

Powielacze częstotliwości działające na zasadzie mnożenia funkcji Walsha mają w chwili obecnej poważną wadę, która polega na konieczności stosowania w ich strukturach elementów (układów) opóźniających. Realizacja opóźnień jest kłopotliwa przy stałej częstotliwości wejściowej, nie mówiąc już o sytuacji, gdy ta częstotliwość się zmienia. W układach szeregowych równomierny rozkład impulsów wyjściowych otrzymuje się jedynie wtedy, gdy współczynnik powielania K jest całkowitą potęgą dwójki. W układach tych można zrezygnować ze specjalnie projektowanych elementów opóźniających, a skorzystać z naturalnych opóźnień elementów logicznych i układów automatycznej regulacji współczynnika wypełnienia. Niestety częstotliwość wejściowa podwajacza częstotliwości (podstawowej komórki powielacza), w którym układ regulacji współczynnika wypełnienia zbudowany jest na uniwbibratorze 74121, nie przekracza 6,5 MHz. Wydaje się, że dopóki nie zostaną opracowane elementy (układy) opóźniające, w których wartość opóźnienia zależęć będzie od częstotliwości powielanej, powielacze z elementami opóźniającymi nie będą posiadały większego, poza teoretycznym, znaczenia.

Należy jeszcze wspomnieć o zakresie stosowania analizowanych w tej pracy powielaczy, w szczególności na tle scalonych pętli fazowych CMOS/NMOS. Układy scalonych pętli fazowych są bardzo wygodne do stosowania w zakresie średnich i wysokich częstotliwości wejściowych. Dla tych częstotliwości łatwo jest zbudować występujący w pętli filtr dolnoprzepustowy czy sterowany napięciem generator. Układy przedstawione w pracy można natomiast z powodzeniem stosować w zakresie infraniskich i niskich częstotliwości. W szczególności powielacz ze sprzężeniem zwrotnym zawierający dzielnik $1/N$, jako przetwornik liczby na częstotliwość lub powielacz licznikowy, mogą być bardzo wygodne przy takich częstotliwościach wejściowych. Niebagatelnym argumentem za tego typu powielaczami, poza równomiernym rozkładem impulsów, jest krótki czas ustalania się przebiegu wyjściowego w porównaniu z pętlą fazową, a właśnie krótki czas ustalania wymagany jest od powielaczy z niektórymi zastosowaniami [3, 65]. Dla średnich częstotliwości wejściowych (od pojedynczych kHz do dziesiątków kHz) prezentowane w pracy układy powielaczy posiadają także wiele zalet: niski koszt, łatwość uruchamiania ze względu na brak układów analogowych oraz mały wpływ starzenia się elementów na parametry procesu powielania.

Na koniec autor pracy wyraża nadzieję, że zaprezentowane układy, ich analiza oraz uzyskane rezultaty stanowią pewien wkład w rozwój teorii elektronicznych układów cyfrowych.

DODATEK A

W szeregowym powielaczu częstotliwości rząd funkcji Walsha, która odpowiada przebiegowi o częstotliwości K -krotnie większej od częstotliwości przebiegu wejściowego, może być wyrażony jako $K_m K_{m-1} \dots K_1$. Z bitem K_m związana jest funkcja, dla której liczba zbczy zawartych w przedziale $\langle 0, p \rangle$ wynosi:

$$\text{int} \left(\frac{p+1}{2} \right) K_m.$$

Z bitem K_{m-1} związana jest funkcja, dla której liczba zbczy równa jest:

$$\text{int} \left(\frac{p+2}{4} \right) K_{m-1}$$

a w końcu z bitem K_1 funkcja o liczbie zbczy:

$$\text{int} \left(\frac{p+2^{m-1}}{2^m} \right) K_1$$

Całkowita liczba zbczy (L_z) w rozpatrywanym przedziale $\langle 0, p \rangle$ może być wyrażona jako:

$$L_z = \text{int} \left(\frac{p+1}{2} \right) K_m + \text{int} \left(\frac{p+2}{4} \right) K_{m-1} + \text{int} \left(\frac{p+4}{8} \right) K_{m-2} + \dots + \text{int} \left(\frac{p+2^{m-1}}{2^m} \right) K_1 \quad (1)$$

co można wyrazić krócej następująco:

$$L_z = \sum_{i=1}^m \text{int} \left(p 2^{i-m-1} + \frac{1}{2} \right) K_i \quad (2)$$

Jeżeli uwzględnimy fakt, że impulsy liczone są w liczniku reagującym na tylne zbcze impulsu, to interesujące staje się wtedy określenie liczby

skończonych, w przedziale $\langle 0, p \rangle$, impulsów. Liczbę tę można wyrazić następująco:

$$L_w = \text{int} \left(\frac{\sum_{i=1}^m \text{int} \left(p \cdot 2^{i-m-1} + \frac{1}{2} \right) K_1}{2} \right) \quad (3)$$

Z drugiej strony liczbę impulsów przebiegu idealnego (o równomiernym rozkładzie impulsów) można wyrazić przez:

$$L_o = \text{int} \left(\frac{p \sum_{i=1}^m K_1 2^i}{2^{m+1}} \right) = \text{int} \left(\sum_{i=1}^m p \cdot K_1 2^{i-m-2} \right) \quad (4)$$

Przedstawmy teraz liczbę p w zapisie dwójkowym:

$$p = a_m 2^m + a_{m-1} 2^{m-1} + \dots + a_0 2^0 \quad (5)$$

Podstawiając (5) do (3), uzyskuje się:

$$\begin{aligned} L_w = \text{int} \left[\frac{1}{2} \text{int} (a_m 2^0 + a_{m-1} 2^{-1} + a_{m-2} 2^{-2} + \dots + a_1 2^{1-m} + a_0 2^{-m} + \frac{1}{2}) K_1 + \right. \\ \left. + \text{int} (a_m 2^1 + a_{m-1} 2^0 + a_{m-2} 2^{-1} + \dots + a_1 2^{-m+2} + a_0 2^{-m+1} + \frac{1}{2}) K_2 + \right. \\ \left. + \text{int} (a_m 2^{m-1} + a_{m-1} 2^{m-2} + a_{m-2} 2^{m-3} + \dots + a_1 2^0 + a_0 2^{-1} + \frac{1}{2}) K_m \right] \end{aligned}$$

a stąd korzystając z tego, że $\text{int} \left(a_i + \frac{1}{2} \right) = a_i$ i realizując operacje "int" zawarte w powyższym wzorze w nawiasie kwadratowym, otrzymuje się:

$$L_w = \text{int} \frac{1}{2} \left[K_1 (a_m + a_{m-1}) + \right. \\ + K_2 (a_m 2^1 + a_{m-1} + a_{m-2}) + \\ + K_3 (a_m 2^2 + a_{m-1} 2^1 + a_{m-2} + a_{m-3}) + \\ \vdots \\ \left. + K_m (a_m 2^{m-1} + a_{m-1} 2^{m-2} + \dots + a_1 + a_0) \right]$$

Powyższe wyrażenie można przedstawić inaczej:

$$L_w = \left[K_2 (a_m) + \right. \\ + K_3 (a_m 2^1 + a_{m-1}) + \\ + K_4 (a_m 2^2 + a_{m-1} 2^1 + a_{m-2}) + \\ \left. + K_m (a_m 2^{m-2} + a_{m-1} 2^{m-3} + a_2) \right] + \\ + \text{int} \frac{1}{2} \left[K_1 (a_m + a_{m-1}) + \right. \\ + K_2 (a_{m-1} + a_{m-2}) + \\ + K_3 (a_{m-2} + a_{m-3}) + \\ + K_4 (a_{m-3} + a_{m-4}) + \\ \left. + K_m (a_1 + a_0) \right]$$

(6)

Podstawiając teraz wyrażenie (5) do wzoru (4), otrzymujemy:

$$L_o = \text{int} \left[K_1 (a_m 2^{-1} + a_{m-1} 2^{-2} + \dots + a_0 2^{-m-1}) + \right. \\ + K_2 (a_m 2^0 + a_{m-1} 2^{-1} + \dots + a_0 2^{-m}) + \\ + K_3 (a_m 2^1 + a_{m-1} 2^0 + \dots + a_0 2^{1-m}) + \\ \vdots \\ \left. + K_m (a_m 2^{m-2} + a_{m-1} 2^{m-3} + \dots + a_0 2^{-2}) \right]$$

a po przekształceniu:

$$L_o = K_2 (a_m) + \\ + K_3 (a_m 2^1 + a_{m-1}) + \\ + K_4 (a_m 2^2 + a_{m-1} 2^1 + a_{m-2}) + \\ \vdots \\ + K_m (a_m 2^{m-2} + a_{m-1} 2^{m-3} + \dots + a_2) \Big] + \\ + \text{int} \left[K_1 (a_m 2^{-2} + a_{m-1} 2^{-2} + \dots + a_2) \right] + \tag{7} \\ + K_2 (a_{m-1} 2^{-1} + a_{m-2} 2^{-2} + \dots + a_0 2^{-m}) + \\ + K_3 (a_{m-2} 2^{-1} + a_{m-3} 2^{-2} + \dots + a_0 2^{1-m}) + \\ + K_4 (a_{m-3} 2^{-1} + a_{m-4} 2^{-2} + \dots + a_0 2^{2-m}) + \\ \vdots \\ + K_m (a_1 2^{-1} + a_0) \Big]$$

Różnicę

$$\Delta L = L_w - L_o$$

wyraża się zatem następująco:

$$\begin{aligned} \Delta L = \text{int} \frac{1}{2} & \left[K_1 (a_m + a_{m-1}) + \right. \\ & + K_2 (a_{m-1} + a_{m-2}) + \\ & \vdots \\ & \left. + K_m (a_1 + a_0) \right] + \\ & - \text{int} \left[K_1 (a_m 2^{-1} + a_{m-1} 2^{-2} + \dots + a_0 2^{-m-1}) + \right. \\ & + K_2 (a_{m-1} 2^{-1} + a_{m-2} 2^{-2} + \dots + a_0 2^{-m}) + \\ & \left. + K_m (a_1 2^{-1} + a_0 2^{-2}) \right] \end{aligned}$$

lub inaczej:

$$\begin{aligned} \Delta L = \text{int} \frac{1}{2} & \left[K_1 (a_m + a_{m-1}) + \right. \\ & + K_2 (a_{m-1} + a_{m-2}) + \\ & \vdots \\ & \left. + K_m (a_1 + a_0) \right] + \tag{8} \\ & - \text{int} \left\{ \frac{1}{2} \left[K_1 (a_m + a_{m-1}) + \right. \right. \\ & + K_2 (a_{m-1} + a_{m-2}) + \\ & \vdots \\ & \left. + K_m (a_1 + a_0) \right] + \\ & - \left[K_1 (a_{m-1} 2^{-2} - a_{m-2} 2^{-3} - \dots - a_0 2^{-m-1}) + \right. \\ & + K_2 (a_{m-2} 2^{-2} - a_{m-3} 2^{-3} - \dots - a_0 2^{-m}) + \\ & \left. \left. + K_m (a_0 2^{-2}) \right] \right\} \end{aligned}$$

Ponieważ słuszne jest, że dla $a > 0$ i $b > 0$

$$\text{int}(a) - \text{int}(b) < \text{int}(a - b) + 1. \tag{9}$$

zatem:

$$\begin{aligned} \Delta L \leq \text{int} \left\{ 2^{-2} \left[K_1 (a_{m-1} - a_{m-2} 2^{-1} - a_{m-3} 2^{-2} - \dots - a_0 2^{1-m}) + \right. \right. \\ \left. \left. + K_2 (a_{m-2} - a_{m-3} 2^{-1} - a_{m-4} 2^{-2} - \dots - a_0 2^m) + \right. \right. \\ \left. \left. + K_{m-1} (a_0) \right] \right\} + 1 \end{aligned} \tag{10}$$

Maksymalna wartość tego wyrażenia występuje wtedy, gdy $K_1 = a_{m-1}$, a wartość minimalna, gdy $K_1 = \bar{a}_{m-1}$. Dla takich warunków w pracy [24] oraz pośrednio w pracach [1, 10, 38, 41] pokazano, że wartość sumy w nawiasie kwadratowym wynosi:

$$\frac{1}{6} \left[m - 1 + \frac{1}{3} 10 - \frac{(-1)^{m-1}}{2^{m-1}} \right]$$

a więc

$$\Delta L \leq \text{int} \left[\frac{1}{12} \left(m - 1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right] + 1 \tag{11}$$

cbdo.

DODATEK B

W rozdziale 3.1.5 zauważono, że jeżeli proces zliczania impulsów wyjściowych z powielacza szeregowego z elementami opóźniającymi rozpoczynamy od pewnego podprzedziału p_0 , to błąd zliczania może być wyrażony zależnością (3.16) o następującej postaci:

$$\Delta L = [L_w(p_0 + p) - L_w(p_0)] - [L_o(p_0 + p) - L_o(p_0)]$$

Po skorzystaniu ze wzorów (3) i (4) z dodatku A otrzymuje się:

$$\begin{aligned} \Delta L = & \left[\operatorname{int} \left(\frac{\sum_{i=1}^m \operatorname{int} \left((p_0 + p) 2^{i-m-1} + \frac{1}{2} \right) K_1}{2} \right) - \operatorname{int} \left(\frac{\sum_{i=1}^m \operatorname{int} \left(p_0 2^{i-m-1} + \frac{1}{2} \right) K_1}{2} \right) \right] + \\ & - \left[\operatorname{int} \left(\sum_{i=1}^m (p_0 + p) 2^{i-m-2} K_1 \right) - \operatorname{int} \left(\sum_{i=1}^m p_0 2^{i-m-2} K_1 \right) \right] \end{aligned}$$

a po przekształceniu:

$$\begin{aligned} \Delta L = & \left[\operatorname{int} \left(\frac{\sum_{i=1}^m \operatorname{int} \left((p_0 + p) 2^{i-m-1} + \frac{1}{2} \right) K_1}{2} \right) - \operatorname{int} \left(\sum_{i=1}^m (p_0 + p) 2^{i-m-2} K_1 \right) \right] + \\ & - \left[\operatorname{int} \left(\frac{\sum_{i=1}^m \operatorname{int} \left(p_0 2^{i-m-1} + \frac{1}{2} \right) K_1}{2} \right) - \operatorname{int} \left(\sum_{i=1}^m p_0 2^{i-m-2} K_1 \right) \right] \end{aligned}$$

Wartość wyrażenia w pierwszym nawiasie kwadratowym może być, zgodnie ze wzorem (11) z dodatku A, ograniczona od góry przez:

$$\text{int} \left[\frac{1}{12} \left(m - 1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right] + 1$$

Natomiast minimalna wartość wyrażenia w drugim nawiasie kwadratowym powyższego wzoru może być na podstawie [24] przedstawiona jako:

$$\text{int} \left[\frac{1}{12} \left(m - 1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right]$$

Stąd:

$$L \leq 2 \text{int} \left[\frac{1}{12} \left(m - 1 + \frac{10}{3} - \frac{(-1)^{m-1}}{3 \cdot 2^{m-1}} \right) \right] + 1.$$

LITERATURA

- [1] *Arnstein W., Mergler H.W., Singer B.*: Digital linear interpolation and the binary rate multiplier. *Control Engineering*, June 1964.
- [2] *Badźmirowski K., Karkowska H., Karkowski Z.*: *Cyfrowe systemy pomiarowe.* WNT, Warszawa 1979.
- [3] *Boutin N., Boucher A.*: A novel digital frequency multiplier. *IEEE Trans. Instrum. Meas.* Nr 4 1986.
- [4] *Budkowski S., Papliński A., Sosnowski J.*: *Zespoły i urządzenia cyfrowe.* WNT, Warszawa 1979.
- [5] *Brago E.N., Mamikonowa L.K.*: Análogo-cyfrowyj prieobrazowatel s kusoczno-liniejnoj approksimaczej. *Pribory i sistemy uprawlenija*, Nr 2, 1971.
- [6] *Cardot C.*: A new eye on Walsh functions. *Proceedings of the third Symposium on Applications of Walsh functons*, Washington D.C., March 1971.
- [7] *Choraś R.*: Podzielniki częstotliwości - macierzowa postać opisu. *Elektronika* 7, 8, 1978.
- [8] *Cikunow A.E.*: *Sbornik matematycznych formuł.* Izdatielstwo Wszejszaja Szkoła, Mińsk 1968.
- [9] *Drygajło A., Rumatowski K.*: *Analiza sekwencyjnościowa układów liniowych.* PWN, Warszawa 1990.
- [10] *Durworth A., Roche J.I.*: The error characteristics of the binary rate multiplier. *IEEE Trans. Comput.*, August 1969.
- [11] *Elliott A.R.*: A high speed binary rate multiplier. *Proc. IEEE*, August 1971.
- [12] *Frangakis G., Pimenidis T., Tzafestas S.*: Global Walsh function generator. *Electronics Engineering*, November 1976.
- [13] *Geadach Y.A., Corinthios M.J.G.*: Natural, dyadic and sequency order algorithms and processors for the Walsh - Hadamard transform. *IEEE Trans. on comput.*, Nr 5, 1977.
- [14] *Harmuth F.H.*: A generalized concept of frequency and some applications. *IEEE Trans. on Information Theory*. May 1968.

- [15] Hrynkiewicz E.: Metoda projektowania programowanych dzielników częstotliwości zbudowanych z licznika i multipleksera. PAK Nr 1, 1977.
- [16] Hrynkiewicz E.: Układ programowanego cyfrowo zadajnika częstotliwości. Patent PRL Nr 111151, 22.04.1982.
- [17] Hrynkiewicz E.: O macierzowej metodzie opisu binarnych programowanych dzielników częstotliwości. Elektronika 1,2 1983.
- [18] Hrynkiewicz E.: Układ do powielania częstotliwości przebiegu prostokątnego. Patent PRL Nr 130274, 26.05.1986.
- [19] Hrynkiewicz E.: Powielanie częstotliwości przebiegu prostokątnego w układzie z programowanym dzielnikiem częstotliwości. IX KK TO i UE, Wrocław - Szklarska Poręba 1986.
- [20] Hrynkiewicz E.: Cyfrowe powielacze częstotliwości ze sprzężeniem zwrotnym. X KK TO i UE. Gdańsk 1987.
- [21] Hrynkiewicz E.: Frequency multiplier of rectangular wave based on microprocessor. 5 Fachtagung "Anwendung von Mikrorechnern in der Meß- und Automatisierungstechnik", Magdeburg, wrzesień 1989.
- [22] Hrynkiewicz E.: Powielanie częstotliwości przebiegu prostokątnego w układach z elementami opóźniającymi. XII KK TO i UE, Rzeszów-Myczkowce 1989.
- [23] Jan-Hanai Lu, Hao-Jung Lo, Chio-Min Yong: Simple circuit generates selected number of pulses. Electronic Engineering, April 1976.
- [24] Jan Si-Zen: Opriedielenije maksimalnoj pogriesznosti dwocznego umnożitelja. Awtomatika i Telemechanika, Nr 7, 1960 (dostępne w j. ang. w Automation and Remote control, Nr 21, 1961).
- [25] Jeżewski M., Szkudliński W.: Generatory synchronizowane i ich zastosowanie. WNT, Warszawa 1981.
- [26] Jeremotow R.S.: Cifrowyje czastotomiery. Izdatielstwo Energija, Leningrad 1973.
- [27] Kalisz J.: Cyfrowe układy scalone w technice systemowej. Wydawnictwo MON, Warszawa 1977.
- [28] Karpowskij M.G., Moskalew E.S.: Spiektralnyje metody analiza i sintieza diskrelnych ustrojstw. Izdatielstwo Energija, Leningrad 1973.
- [29] Karibskij W.W.: O pogriesznosti liniejnogo intierpolatora dla cifrowoj sistiey programnogo uprawlenija. Awtomatika i Telemechanika, Nr 6 1959.
- [30] Kirianaki N.W., Gajduczok R.M.: Cifrowyje izmierienija czastotno wriemniennych paramietrow signalow, Izdatielstwo Wiszcza Szkoła. Lwów 1978.
- [31] Kroupa V.F.: Spectra of pulse rate frequency synthesizers, Proc. of the IEEE, Nr 12, 1979.

- [32] Klembowski W., Bielski J.: Impulsowo częstotliwościowa technika obliczeniowa i jej zastosowania. Postępy Radiotechniki, Nr 73, 1971.
- [33] Kroupa V.F.: Approximating frequency synthesizers. IEEE Trans. on Instr. and Meas. Nr 4, 1974.
- [34] Kulesza W.: Systemy widmowej analizy danych cyfrowych. WKŁ, Warszawa 1984.
- [35] Lancaster D.J.: Matrix representation of the multiplying properties of binary rate multipliers. IEEE Trans. on IECEI, February 1976.
- [36] Leitner R.: Zarys matematyki wyższej dla inżynierów. Wyd. 7, cz. I. WNT, Warszawa 1981, wyd. 4, cz. III. WNT, Warszawa 1974.
- [37] Mahmud S.M., Ganesan S., Rusek A., Hillis M.L.: A programmable self-adaptive digital frequency multiplier. IEEE Trans. on Instr. and Meas., Nr 2, 1988.
- [38] Martin J.D.: Signal processing and computation using pulse rate technique. Radio and Electronics Engineering, Nr 6, 1969.
- [39] Misiurewicz P., Grzybek M.: Półprzewodnikowe układy logiczne TTL. WNT, Warszawa 1982.
- [40] Misiurewicz P.: Podstawy techniki cyfrowej. WNT, Warszawa 1982.
- [41] Moshos G.J.: Survey of countup - countdown machines. IFAC Symposium, Budapest 1968.
- [42] Nieznański J.: Maximum pulse position and counting errors of binary rate multipliers. IEEE Proc. Comp. Digital Techn., Nr 4, 1989.
- [43] Nightingale J.M., Richards G.A.: Error analysis in binary rate modulation systems. IFAC Symposium, Budapest 1968.
- [44] Oberman R.M.: A flexible rate multiplier circuit with uniform pulse distribution outputs. IEEE Trans. on Comp. Nr 8, 1972.
- [45] Ogubazghi G.: Frequency divider divides by non integer. Electronic Engineering, September 1980.
- [46] Potamariuk G.O., Chołkin I.I.: Cifrowy sglaziwajuszczij czastotomier dla znakopieriemiennych impulsnych signalow. Izmieritielnaja Tiejchnika, Nr 7, 1967.
- [47] Potamariuk G.O., Nikiforow M.B., Nowiczkow W.S.: Analiz wlijanija pogriesznosti dwoicznogo umnožitielija na tocznost zamknutogo czastotomiera. Izmieritielnaja Tiejchnika, Nr 2, 1974.
- [48] Phillips R.: Many digital functions can be generated with a rate multiplier. Electronic Design, Nr 3, 1968.
- [49] Pitat B., Wasilewski M.J.: Tablice całek. WNT, Warszawa 1983.
- [50] Pierkoś J., Turczyński J.: Przetwarzanie i przechowywanie informacji w systemach automatyki. WNT, Warszawa 1974.

- [51] *Pieńkoś J., Turczyński J.:* Układy scalone TTL w systemach cyfrowych. WKŁ, Warszawa 1980.
- [52] Praca zbiorowa (*Beliczyński B. i inni*) - Przetworniki cyfrowe sygnałów elektrycznych. WNT, Warszawa 1978.
- [53] Praca zbiorowa pod redakcją *Barijasza W.:* Analogowe systemy teletransmisyjne. WKŁ, Warszawa 1979.
- [54] *Robrock II R.B.:* A digital integrator employing decimal rate multiplication. IFAC Symposium, Budapest 1968.
- [55] *Sefick W.:* Digital filter design can be simplified if binary rate multipliers are used. *Electronic Design*, December 1971.
- [56] *Smieljakow W.W.:* Cifrowaja izmieritielnaja apparatura infraniskich czastot. Izdatielstwo Energia, Moskwa 1975.
- [57] *Sobkowski J.:* Częstotliwościowa analiza sygnałów. MON, Warszawa 1975.
- [58] *Stofka M.:* Frequency multiplier uses digital technique. *Electronics*, July 14 1982.
- [59] *Stork M.:* Digital frequency multiplier. *Slaboproudy Obzor*, Nr 8, 1988 (Czechoslovakia).
- [60] *Strauss M.G.:* An AF synthesizer for less then 200 \$. *Electronic Desing*, Nr 17, 1971.
- [61] *Traczyk W.:* Układy cyfrowe. Podstawy teoretyczne i metody syntezy. WNT, Warszawa 1982.
- [62] *Turczyński J., Maksymowicz R., Malec B., Ponikiewski J.:* Wybrane układy z techniki cyfrowej. WKŁ, Warszawa 1983.
- [63] *Taylor R.J.:* Frequency doubler produces square-wave output. *Electronics* Nr 15, 1976.
- [64] *Vachala V.:* Frequency multiplication by the CMOS integrated circuit 4046. *Sledovaci Technika* Nr 8, 1987 (Czechoslovakia).
- [65] *Vrba K.:* Digital frequency multiplier. *Sledovaci Technika*, Nr 7, 1988 (Czechoslovakia).
- [66] *Wagner F.:* Projektowanie urządzeń cyfrowych. WNT, Warszawa 1978.
- [67] *Wajs K.:* Funkcje Walsh'a i ich zastosowanie w elektrotechnice. *Przegląd Elektrotechniczny* Nr 11, 1976.
- [68] *Walmsley W.M.:* Walsh functions, transforms and their applications. *Electronic Engineering*, June 1974.
- [69] *Wilcox A.D., Mcvey E.S., White E.J.:* Noise prediction for rate multiplier and binary adder frequency synthesizers. *IEEE Trans. AES* - 14, 1973.
- [70] *Worobiei R.A.:* Niektoryje swojstwa impulsno-rozriadnych umnoziteliej. *Otbor i pieriedacza Informacj.* Nr 69, 1984.

- [71] Zilberberg J.E., Olegowa N.T.: *Approksmacyjny syntez sietki czastot.* Radiotechnika Nr 7, 1986.
- [72] Zagajewski T.: *Analysis of pulse multiplication by means of Walsh functions.* Bull. Acad. Polon. Sci. Ser. Sci. Techn., Nr 8, 1977.
- [73] Zagajewski T.: *Pulse multiplication with the use of multiple products of Walsh functions.* Bull. Acad. Polon. Sci. Ser. Sci. Techn., Nr 8, 1977.
- [74] Zagajewski T.: *Logic operations on Walsh functions and some of their applications.* Bull. Acad. Polon. Sci. Ser. Sci. Techn. Nr 8-9, 1978.
- [75] Zagajewski T., Moll E.: *Pulse multiplications using Walsh functions,* Electronic Engineering Nr 607, 1978.

CYFROWE POWIELACZE CZĘSTOTLIWOŚCI PRZEBIEGÓW PROSTOKĄTNYCH

S t r e s z c z e n i e

Praca poświęcona jest problematyce powielania częstotliwości przebiegu prostokątnego w układach cyfrowych. Dokonano podziału powielaczy na trzy grupy: powielacze z elementami opóźniającymi, powielacze ze sprzężeniem zwrotnym - zawierające w sprzężeniu zwrotnym licznika rewersyjnego przetwornik liczba/częstotliwość - i powielacze licznikowe. Do analizy powielaczy z elementami opóźniającymi wykorzystano funkcje Walsha. Zauważono, że znany układ tzw. programowanego dzielnika częstotliwości uzyskuje się z powielacza częstotliwości o ułamkowym współczynniku powielania, wprowadzając strobowanie przebiegu wyjściowego. Pokazano możliwości realizacji powielacza o współczynniku powielania K oraz dla każdego z analizowanych układów wyprowadzono zależności określające dokładność powielania reprezentowaną przez błąd powielania i błąd nierównomierności, zakres powielanych częstotliwości i stałą czasową lub czas ustalania. Zależności te podane są w takiej formie, by można je bezpośrednio wykorzystać w procesie projektowania powielacza.

W końcowej części pracy została zaprezentowana struktura powielacza składającego się z powielacza ze sprzężeniem zwrotnym, w którym przetwornikiem liczba/częstotliwość jest dzielnik $1/N$ oraz dodatkowo z powielacza licznikowego, zwanego tu korekcyjnym. Zadaniem powielacza korekcyjnego jest zmiana częstotliwości zegarowej powielacza ze sprzężeniem zwrotnym w takt zmian częstotliwości przebiegu wejściowego. Struktura ta odznacza się małymi błędami powielania przy stosunkowo krótkim czasie ustalania. Ten rodzaj powielacza został zilustrowany wynikami badań modelu.

DIGITAL FREQUENCY MULTIPLIERS OF SQUARE WAVE

S u m m a r y

The paper deals with the problems connected with frequency multiplying in digital systems. Frequency multipliers have been divided into three groups: frequency multipliers with delay elements, frequency multipliers with feedback loop, in which a number-to-frequency converter is used as a feedback module for a reversible counter, and counter frequency multipliers. Frequency multipliers with delay elements have been analysed by using Walsh functions. It has been noticed that a frequency multiplier with a fractional multiplying ratio can be converted into a well-known, so called, rate multiplier by introducing strobing of an output signal. Apart from showing the possibility of realization of a frequency multiplier with a multiplying factor (K) the formulae, which determine the multiplying accuracy, represented by multiplying and irregularity errors, the range of multiplied frequency and the setting time or time-constant are also presented. The formulae are given in the form which makes it possible to apply them directly to the process of designing a specified frequency multiplier.

The final part of the paper presents a structure of a multiplier which consists of a frequency multiplier with feedback loop, in which a $1/N$ frequency divider is used as a number-to-frequency converter and of an additional counter frequency multiplier, which is called a corrective multiplier in this use. The corrective multiplier is used to change the clock frequency of the multiplier with feedback loop according to the variation of the input signal frequency. The described structure is characterized by small multiplying errors while the setting time is relatively short. The results of experiments illustrate the features of this type of multiplier.

ЦИФРОВЫЕ УМНОЖИТЕЛИ ЧАСТОТЫ ПОСЛЕДОВАТЕЛЬНОСТЕЙ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ

Резюме

Работа посвящена вопросам умножения частоты прямоугольных импульсов в цифровых схемах. Умножители подразделены на три класса: умножители с элементами задержки, умножители с обратной связью — содержащие в цепи обратной связи реверсивного счетчика преобразователь число/частота — и умножители на счетчиках. Для анализа умножителей с элементами задержки применены функции Уольша. Замечено, что известную схему двоичного умножителя получить можно из схемы умножителя частоты с дробным коэффициентом умножения путем введения стробирования выходной последовательности. Представлены возможности построения умножителя с коэффициентом K , а также, для каждой из рассматриваемых схем, выведены зависимости определяющие точность умножения, отображаемой погрешностью умножения и погрешностью неравномерности, масштаб умножаемых частот и постоянную времени или время релаксации. Зависимости эти приведены в форме удобной для непосредственного применения в процессе проектирования умножителя.

В конечной части работы предложена структурная схема умножителя содержащего умножитель с обратной связью, для которого преобразователем число/частота является делитель $1/N$, а также умножитель на счетчике, называемый здесь корректирующим умножителем. Задачей корректирующего умножителя является изменение тактовой частоты умножителя с обратной связью синхронно с изменением частоты входной последовательности. Такая структура отличается малой погрешностью умножения при относительно небольшом времени релаксации. Этот тип умножителя проиллюстрирован результатами испытаний модели.

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej

P. 3342/92/106