

Bogusław GRZESIK

Jacek JUNAK

Zbigniew KACZMARCZYK

ODCINKOWO-LINIOWY BEZINDUKCYJNY MODEL ZAŁĄCZANIA TRANZYSTORA MOSFET

Streszczenie. W artykule przedstawia się analizę teoretyczną odcinkowo-liniowego bezindukcyjnego modelu tranzystora MOSFET w czasie załączania. Przeprowadzenie obliczeń dla tak dobranego modelu umożliwiło wyjaśnienie podstawowych zjawisk zachodzących podczas załączania tranzystora. Do analizy wybrano układ, w którym obciążenie stanowi źródło prądu objęte diodą zwrotną. Dla każdego wyróżnionego przedziału czasowego przedstawiono zależności analityczne opisujące przebiegi najważniejszych napięć i prądów tranzystora. Wyniki analizy teoretycznej porównano z wynikami badań komputerowych przeprowadzonych za pomocą programu Ispice.

A PIECEWISE-LINEAR NON-INDUCTIVE MODEL OF THE MOSFET DURING TURNING-ON

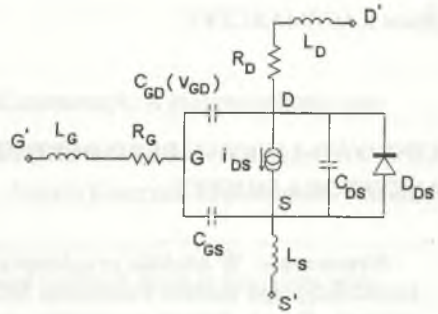
Summary. The theoretical analysis of a piecewise-linear non-inductive MOSFET model of turn-on process is presented in the paper. The chosen model serves a vehicle for obtaining and understanding of basic principles of turn-on of the MOSFET. The analysis of the MOSFET model is carried out in the test circuit which is commonly encountered circuit in power electronics. For each time period analytic solutions describing the most important waveforms of the MOSFET are delivered. For the sake of comparison computer simulations of the tested circuit, obtained by means of Ispice simulator, has been carried out.

1. WPROWADZENIE

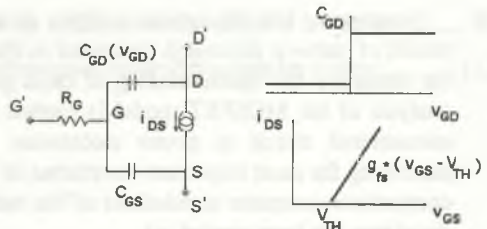
Celem pracy jest przedstawienie odcinkowo-liniowego bezindukcyjnego modelu załączania tranzystora MOSFET. Wyniki analizy teoretycznej porównano z wynikami otrzymanymi na podstawie symulacji komputerowych w programie SPICE.

Najczęściej omawianym i wykorzystywanym w analizie teoretycznej i symulacji komputerowej przekształtników energoelektronicznych modelem tranzystora MOSFET jest model dokładny [1, 2] - przedstawiono go na rys. 1. Model ten pozwala w większości przypadków w zadawalającym stopniu odwzorować zjawiska zachodzące w tranzystorze. Model dokładny znajduje zastosowanie np. w analizie przekształtników rezonansowych z tranzystorami MOSFET pracujących przy częstotliwościach przełączeń w zakresie 1MHz [3, 4]. Do wyjaśnienia pierwszego przybliżenia podstawowych zjawisk w wymienionych układach nie ma potrzeby uwzględniania indukcyjności modelu. Niezależnie od stopnia złożoności modelu wygodnie jest do jego opisu zastosować model odcinkowo-liniowy. Gdy model nie zawiera indukcyjności, to jego opis jest prostszy i umożliwia wyczerpującą interpretację.

Analizowany w pracy model przedstawiono na rys. 2. Model ten nie zawiera wewnętrznego indukcyjności połączeń. Źródło prądu i_{DS} opisane jest trzema równaniami określającymi trzy stany pracy tranzystora MOSFET. Jeśli $v_{GS} < V_{TH}$, to tranzystor nie przewodzi: $i_{DS} = 0$. Dla $v_{GS} > V_{TH}$ tranzystor pracuje w stanie aktywnym, jeśli $v_{DS} > i_{DS} \cdot R_{DS}$. Wówczas: $i_{DS} = g_{fs} \cdot (v_{GS} - V_{TH})$. Gdy $v_{DS} = i_{DS} \cdot R_{DS}$, tranzystor pracuje w obszarze rezystancyjnym - tzn. zamiast źródła i_{DS} staje się rezystancją liniową R_{DS} . C_{GD} przedstawiono jako pojemność złożoną z dwóch przełączanych pojemności liniowych. Rezystancja bramki R_G jest liniowa. W modelu nie uwzględniono wbudowanej diody zwrotnej oraz pojemności C_{DS} uzasadniając to w końcowej części pracy.



Rys. 1. Model dokładny tranzystora MOSFET
Fig. 1. Precise model of the power MOSFET



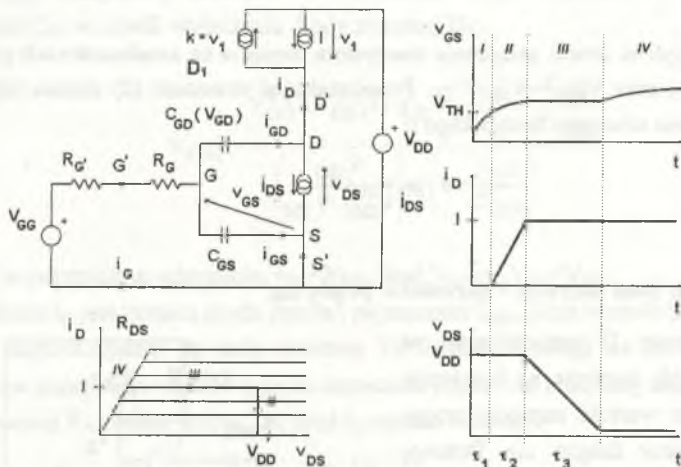
Rys. 2. Schemat zastępczy modelu bezindukcyjnego tranzystora
Fig. 2. Schematic diagram of the non-inductive transistor model

C_{GD} przedstawiono jako pojemność złożoną z dwóch przełączanych pojemności liniowych. Rezystancja bramki R_G jest liniowa. W modelu nie uwzględniono wbudowanej diody zwrotnej oraz pojemności C_{DS} uzasadniając to w końcowej części pracy.

2. ZAŁĄCZANIE W TRANZYSTORZE MOSFET

2.1. Schemat układu

Przedstawiony model analizuje się w układzie jak na rys.3. Obciążenie stanowi źródło prądu I objęte diodą zwrotną D_1 . Jest to jeden z najczęściej stosowanych układów służący do weryfikacji poprawności działania modeli tranzystora MOSFET [5, 6]. Odnośnie do modelu tranzystora przyjęto założenia jak w punkcie 1 oraz ponadto dla układu poza tranzystorem założono, że dioda D_1 : $k \cdot v_1$ oraz źródła V_{GG} , V_{DD} są idealne. Rezystancja R_G jest liniowa.

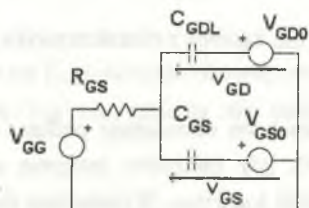


Rys. 3. Schemat oraz podstawowe przebiegi badanego układu
Fig. 3. Schematic diagram and waveforms of the calculated circuit

Model układu zawiera elementy nieliniowe tranzystora i_{DS} i C_{GD} oraz na zewnątrz diodę D_1 . Model tranzystora i układu jest modelem odcinkowo-liniowym, co prowadzi do czterech podstawowych schematów zastępczych w czasie załączania (I, II, III, IV), przedstawionych na rys. 3. Dla każdego ze schematów zastępczych model opisany jest równaniami różniczkowymi liniowymi o stałych współczynnikach, dla których podano rozwiązania analitycznie.

2.2. Schemat I. Czas opóźnienia

Uproszczoną postać schematu zastępczego I pokazano na rys. 4. Załączenie rozpoczyna się z chwilą, gdy napięcie v_{GS} zaczyna narastać. Zakłada się, że do tej chwili w układzie panował stan ustalony: prąd obciążenia zamykał się przez diodę zwrotną D_1 oraz $V_{GG}=0$, $i_G=0$. Stąd wynikają warunki początkowe napięć na kondensatorach: $V_{GS0}=0$ oraz $V_{GD0}=-V_{DD}$. Dla $V_{GD0}<0$ przyjmuje się zgodnie z charakterystyką pokazaną na



Rys. 4. Schemat zastępczy I
Fig. 4. The equivalent circuit I

rys. 2, że $C_{GD}=C_{GDL}$. Uproszczony schemat zastępczy układu obowiązuje do chwili, aż napięcie kondensatora C_{GS} osiągnie wartość napięcia progowego tranzystora - co spowoduje jego załączenie. Przyjmując, że $R_{GS}=R_G+R_G$, stała czasowa T_1 wynosi:

$$T_1 = R_{GS}(C_{GS} + C_{GDL}) \quad (1)$$

Przebieg napięcia na kondensatorze C_{GS} :

$$v_{GS} = V_{GG} \left(1 - \exp\left(-\frac{t}{T_1}\right) \right) \quad (2)$$

Tranzystor nie przewodzi więc $i_{DS}=0$ oraz ponieważ diodę D_1 przyjęto jako idealną, to $v_{DS}=V_{DD}$.

Dla $v_{GS}=V_{TH}$ czyli w chwili załączenia tranzystora napięcia na kondensatorach przyjmują wartości $V_{GS1}=V_{TH}$ oraz $V_{GD1}=-V_{DD}+V_{TH}$. Przekształcając równanie (2) można wyznaczyć czas obowiązywania schematu zastępczego I:

$$\tau_1 = T_1 \cdot \ln\left(\frac{V_{GG}}{V_{GG} - V_{TH}}\right) \quad (3)$$

2.3. Schemat II. Stan aktywny - narastanie prądu i_{DS}

Schemat zastępczy II zamieszczono na rys. 5. Z chwilą gdy napięcie na kondensatorze C_{GS} osiągnie wartość napięcia progowego, V_{TH} tranzystor załączy się. Przewodząca dioda D_1 wymusza spadek napięcia na tranzystorze równy napięciu zasilania V_{DD} , co powoduje, że tranzystor pracuje w obszarze aktywnym i może być przedstawiony jako sterowane źródło prądu. Stała czasowa dla napięć i prądów bramki nie ulega zmianie: $T_2=T_1$. Przebieg napięcia na pojemności C_{GS} wyraża zależność (4):

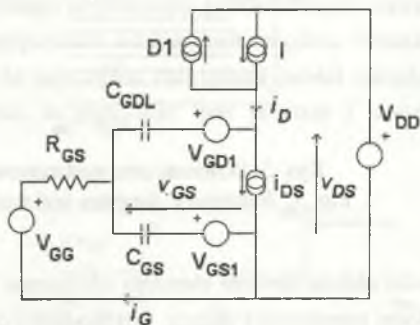
$$v_{GS} = V_{GG} \left(1 - \exp\left(-\frac{t}{T_2}\right) \right) + V_{TH} \exp\left(-\frac{t}{T_2}\right) \quad (4)$$

Prąd i_{DS} , zgodnie z charakterystyką przejścia, zmienia się według zależności:

$$i_{DS} = \beta f_s (v_{GS} - V_{TH}) \quad (5)$$

Schemat ten obowiązuje podczas przewodzenia diody D_1 . Wyłączenie diody następuje w chwili, gdy tranzystor przejmie całkowicie prąd obciążenia, czyli gdy będzie spełniona równość $i_{DS}=I+i_{GD}$. Wyznaczając prąd i_{GD} z zależności (6):

$$i_{GD} = \frac{V_{GG} - V_{TH}}{R_{GS}} \cdot \frac{C_{GDL}}{C_{GS} + C_{GDL}} \cdot \exp\left(-\frac{t}{T_2}\right) \quad (6)$$



Rys. 5. Schemat zastępczy II
Fig. 5. The equivalent circuit II

oraz korzystając z zależności (5) można obliczyć czas obowiązywania rozpatrywanego schematu:

$$\tau_2 = T_2 \cdot \ln \left[\frac{(V_{GG} - V_{TH}) \cdot \left(1 + g_{fs} \cdot R_{GS} \left(1 + \frac{C_{GS}}{C_{GDL}} \right) \right)}{R_{GS} \left[g_{fs} \cdot (V_{GG} - V_{TH}) - I \right] \cdot \left(1 + \frac{C_{GS}}{C_{GDL}} \right)} \right] \quad (7)$$

Podstawiając otrzymaną zależność do wyrażenia (4), otrzymuje się wartość napięcia pojemności C_{GS} w chwili wyłączenia diody zwrotnej D_1 :

$$V_{GS2} = \frac{V_{GG} + R_{GS} \cdot (I + g_{fs} \cdot V_{TH}) \cdot \left(1 + \frac{C_{GS}}{C_{GDL}} \right)}{1 + g_{fs} \cdot R_{GS} \cdot \left(1 + \frac{C_{GS}}{C_{GDL}} \right)} \quad (8)$$

Tak jak i w poprzednim schemacie, $v_{DS} = V_{DD}$. Stąd $V_{GD2} = -V_{DD} + V_{GS2}$.

Prąd drenu i_D jest różnicą prądu źródła i pojemności C_{GD} . Jego wartość zmienia się według krzywej eksponencjalnej ze stałą czasową T_2 . Jednak z uwagi na to, że dla typowych parametrów tranzystora wartość τ_2 czasu narastania prądu jest kilka razy mniejsza od wartości stałej czasowej T_2 , można przyjąć, że prąd i_D narasta liniowo:

$$i_D = I t \quad (9)$$

2.4. Schemat III. Stan aktywny - opadanie napięcia v_{DS}

Schemat zastępczy III przedstawiono na rys. 6, który zaczyna obowiązywać z chwilą, gdy tranzystor przejmuje prąd obciążenia I. Napięcie v_{GS} zmienia się według zależności:

$$v_{GS} = \frac{V_{GG} + R_{GS} \cdot (I + g_{fs} \cdot V_{TH})}{1 + g_{fs} \cdot R_{GS}} + \left[V_{GS2} - \frac{V_{GG} + R_{GS} \cdot (I + g_{fs} \cdot V_{TH})}{1 + g_{fs} \cdot R_{GS}} \right] \cdot \exp \left(-\frac{t}{T_3} \right) \quad (10)$$

gdzie stała czasowa T_3 wynosi:

$$T_3 = \frac{C_{GS} R_{GS}}{1 + g_{fs} \cdot R_G} \quad (11)$$

Wartość stałej czasowej T_3 jest co najmniej o rząd mniejsza od $T_{1,2}$ i od czasu obowiązywania tego schematu τ_3 . Dlatego można przyjąć, że napięcie v_{GS} nie zmienia się podczas obowiązywania III schematu i jest równe:

$$V_{GS3} = \lim_{t \rightarrow \infty} v_{GS} \quad (12)$$

czyli:

$$V_{GS3} = \frac{V_{GG} + R_{GS} \cdot (I + g_{fs} \cdot V_{TH})}{1 + g_{fs} \cdot R_{GS}} \quad (13)$$

Ponieważ napięcie pojemności C_{GS} jest stałe, to prąd i_{DS} zgodnie z charakterystyką przejścia również jest stały. Ponieważ $i_D = I < i_{DS}$, więc prąd i_{GD} ma stałą dodatnią wartość. Powoduje to liniowe narastanie napięcia $v_{GD} = V_{GS} - v_{DS}$. Ponieważ $v_{GS} = \text{const}$, to napięcie dren-źródło maleje liniowo. Szybkość opadania tego napięcia jest odwrotnie proporcjonalna do wartości pojemności C_{GD} . Przebieg napięcia v_{DS} przedstawia wyrażenie:

$$v_{DS} = V_{DD} + \frac{g_{fs} \cdot (V_{GG} - V_{TH}) - I}{(1 + g_{fs} \cdot R_{GS}) \cdot C_{GDL}} \left[T_3 \cdot \left(1 - \exp\left(-\frac{t}{T_3}\right) \right) - t \right] \quad (14)$$

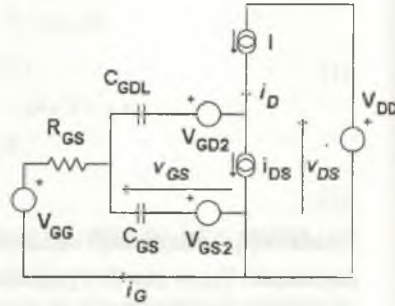
Powyższa zależność została wyznaczona przy uwzględnieniu równania (10). Pomijając czynnik eksponencjalny otrzymuje się zależność liniową od czasu.

Na wartość stałej czasowej T_3 nie ma wpływu pojemność C_{GD} . Ponieważ prąd tej pojemności jest stały i wymuszony, to zastępczo jej gałąź można przedstawić jako szeregowe połączenie C_{GD} oraz źródła prądu. W takim przypadku stosując zasadę superpozycji można wykazać brak wpływu wartości tej pojemności na wielkość T_3 .

Rozpatrywany schemat przestaje obowiązywać z chwilą, gdy tranzystor osiągnie stan pełnego załączenia, czyli gdy $V_{DS}^* = R_{DS} \cdot i_{DS}$. Z zależności (14) i warunku $V_{DS}^* = R_{DS} \cdot i_{DS}$ wyznacza się czas opadania napięcia v_{DS} :

$$\tau_3 = C_{GDL} \cdot \frac{V_{DD} + g_{fs} \cdot [V_{DD} \cdot R_{GS} + R_{DS} \cdot (V_{TH} - V_{GG} - R_{GS} \cdot I)]}{g_{fs} \cdot (V_{GG} - V_{TH}) - I} \quad (15)$$

Pojemność C_{GD} przełącza się, gdy $v_{GD} = 0$, czyli dla rozpatrywanego schematu kiedy $V_{DS}^* = V_{GS3}$. Tranzystor osiąga stan pełnego załączenia w chwili $V_{DS}^* = g_{fs} \cdot R_{DS} \cdot (V_{GS3} - V_{TH})$. Z porównania obydwu równań wynika, że jedynie gdy $V_{TH} = 0$ oraz $g_{fs} \cdot R_{DS} = 1$ zachodzi równość $V_{DS}^* = V_{GS3}$, czyli pojemność przełącza się po czasie $\tau_{GD} = \tau_3$ na granicy schematu III i IV. Jeśli przełączenie nastąpi w aktualnie rozpatrywanym schemacie, to zmiana pojemności (jej zwiększenie) spowoduje zgodnie z zależnościami (14) (15) zmniejszenie szybkości opadania napięcia v_{DS} i tym samym zwiększenie czasu pozostawania tranzystora w stanie aktywnym. Ponieważ dla typowych parametrów układu $V_{GS3} \ll V_{DD}$ to $V_{DS}^* / V_{DD} \approx V_{GS3} / V_{DD}$ i $\tau_{GD} \approx \tau_3$.



Rys. 6. Schemat zastępczy III
Fig. 6. The equivalent circuit III

2.5. Schemat IV. Obszar rezystancyjny - dojście do stanu ustalonego

Schemat zastępczy IV przedstawia rys. 7. W obszarze rezystancyjnym obowiązuje zależność $v_{DS} = R_{DS} \cdot i_{DS}$. Dlatego źródło prądu i_{DS} zastępuje się równoważną rezystancją w stanie załączenia R_{DS} . Ponieważ spadek napięcia na tranzystorze $v_{DS} = I \cdot R_{DS}$ jest pomijalnie mały w stosunku do napięcia zasilania V_{DD} , to obliczenia dla tego przedziału czasu można przeprowadzić przy $R_{DS} \rightarrow 0$. Wartość początkowa napięcia pojemności C_{GS} wynosi V_{GS3} (13). Natomiast pojemność C_{GD} przelacza się przy $V_{GD} = 0$, co następuje, gdy $\tau_{GD} \approx \tau_3$ i stąd wynika, że $V_{GD3} \approx 0$. W stanie pełnego załączenia nie ma ujemnego sprzężenia pomiędzy prądem i_{DS} a napięciem bramki v_{GS} . Dlatego napięcie v_{GS} zaczyna ponownie narastać eksponencjalnie do napięcia V_{GG} :

$$v_{GS} = V_{GG} \left(1 - \exp\left(-\frac{t}{T_4}\right) \right) + V_{GS3} \frac{C_{GS}}{C_{GS} + C_{GDH}} \cdot \exp\left(-\frac{t}{T_4}\right) \quad (16)$$

gdzie stała czasowa T_4 przyjmuje wartość:

$$T_4 = R_{GS} (C_{GS} + C_{GDH}) \quad (17)$$

Ponieważ zwiększyła się wartość pojemności C_{GD} , to również $T_4 > T_1 = T_2$. Napięcie v_{GS} narasta wolniej niż w przypadku schematu I. Po czasie $\tau_4 \approx 5 \cdot T_4$ w układzie panuje stan ustalony $v_{GS} \approx V_{GG}$, $v_{DS} \approx R_{DS} \cdot I$.

Na podstawie przedstawionych wyników można oszacować straty załączania w tranzystorze MOSFET. Dotyczy to schematów II oraz III, gdzie tranzystor pracuje w stanie aktywnym. Straty mocy dla schematu II wynoszą:

$$P_2 = V_{DD} \cdot I_D \quad (18)$$

Opowiednio dla schematu III:

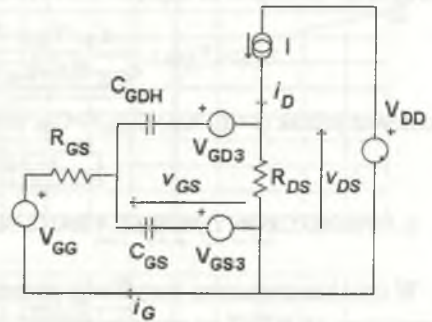
$$P_3 = v_{DS} \cdot i_D \quad (19)$$

Całkowita energia rozpraszana w czasie załączania tranzystora wynosi:

$$E_r = \int_0^{\tau_2} P_2 dt + \int_0^{\tau_3} P_3 dt \quad (20)$$

Korzystając z zależności (9), (14) oraz (18), (19) otrzymuje się:

$$E_r = \frac{1}{2} \cdot V_{DD} \cdot I_D (\tau_2 + \tau_3) \quad (21)$$



Rys. 7. Schemat zastępczy IV

Fig. 7. The equivalent circuit IV

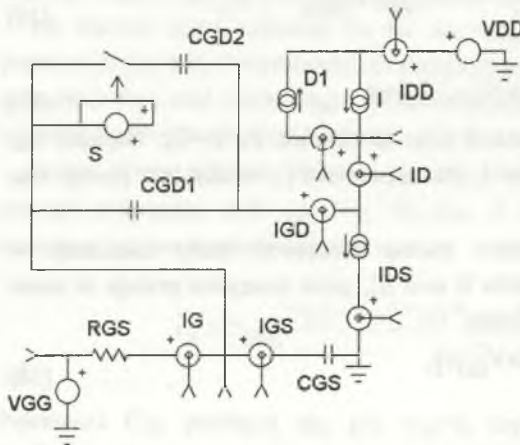
W rozważaniach do tej pory pominięto wpływ pojemności C_{DS} . Dla schematów I, II oraz IV napięcie v_{DS} jest stałe i prąd pojemności jest równy zero. Dla schematu III pojemność ta modyfikuje zależność na napięcie dren-źródło w następujący sposób:

$$v_{DS} = V_{DD} + \frac{g_{fs} \cdot (V_{GG} - V_{TH}) - I}{C_{DS} + (1 + g_{fs} \cdot R_{GS}) \cdot C_{GDL}} \left[T_3 \cdot \left(1 - \exp\left(-\frac{t}{T_3}\right) \right) - t \right] \quad (22)$$

Ponieważ jednak $(1 + g_{fs} \cdot R_{GS}) \cdot C_{GDL} \gg C_{DS}$ to wpływ tej pojemności może zostać pominięty.

3. UPROSZCZONY MODEL TRANZYSTORA MOSFET W PROGRAMIE SPICE

W celu komputerowej weryfikacji otrzymanych wyników opracowano uproszczony model tranzystora MOSFET w programie IsSPICE. Model przebadano w układzie z rys. 8, który utworzono w programie IsPICE. Odpowiada on schematowi układu z rys. 3. Charakterystykę tranzystora oraz diody zamodelowano za pomocą prądowo-napięciowych źródeł sterowanych typu B według założeń z punktu 1. Pojemność C_{GD} jest utworzona z pojemności C_{GD1} oraz C_{GD2} . Pojemność C_{GD2} jest przyłączana do pojemności C_{GD1} za pomocą klucza S, gdy $V_{GD} > 0$. Stąd $C_{GDL} = C_{GD1}$ oraz $C_{GDH} = C_{GD1} + C_{GD2}$.



Rys. 8. Schemat badanego układu oraz dane wejściowe dla programu IsSPICE

Fig. 8. Schematic diagram of the test circuit and input data for the IsSPICE simulator

```

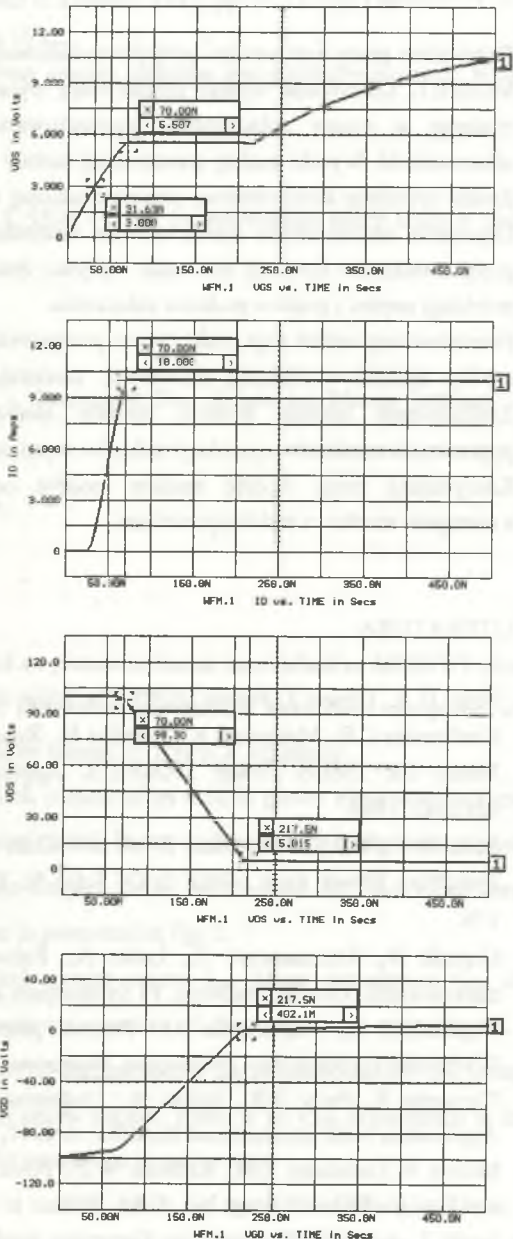
OPTION ITL4=100
.OPTIONS METHOD=GEAR MAXORD=4
.MODEL KLUCZ SW VT=0 RON=1N
.TRAN 5N 500N 0N UIC
.PRINT TRAN I(V1) I(V5) I(V6) V(6)
.PRINT TRAN V(4) V(11) I(V9) I(V10)
.PRINT TRAN I(V11) I(V12) V(13)
V1 6 1 0
V5 4 2 0
I7 4 10
V6 4 5 0
VDD 12 0 100
VGG 11 0 12
RGS 11 10 100
V9 10 6 0
V10 12 7 0
V11 3 0 0
B1 2 3 I= V(1)>3 ? ( V(2)>.5*(V(11) ? 4*(V(1)-3) :
2*V(2)) : 0
B2 5 7 I= V(4,7)>0 ? 100*V(4,7) : 0
V12 8 2 0
E1 9 6 6 8 1
CGD1 14 8 100P IC=0
CGD2 6 8 900P IC=-100
S1 14 6 9 6 KLUCZ
CGS 0 1 1N IC=0
.END

```


4. PORÓWNANIE WYNIKÓW ANALIZY KOMPUTEROWEJ I TEORETYCZNEJ

Symulacje przeprowadzono dla parametrów tranzystora IRF740 ($V_{DS}=400V$, $I_D=10A$): $V_{TH}=3V$, $g_{fs}=4A/V$, $R_{DS}=0.5\Omega$, $C_{GS}=1nF$, $C_{GDL}=100pF$, $C_{GDH}=1nF$. Pozostałe parametry badanego układu wynoszą: $V_{GG}=12V$, $V_{DD}=100V$, $R_{GS}=100\Omega$, $I=1A$. Wyniki badań komputerowych porównano z wynikami obliczeń analitycznych. Otrzymane przebiegi zamodelowanego układu zestawiono na rys. 9.

Zgodnie z zależnościami dla pierwszego schematu napięcie bramki narasta eksponencjalnie do wartości napięcia progowego $V_{TH}=3V$. Czas opóźnienia w układzie zamodelowanym wynosi $\tau_1=32$ ns. Dla podanych parametrów czas opóźnienia obliczony z zależności (3) wynosi $\tau_1=32$ ns. Stała czasowa T_1 wynosi: $T_1=110$ ns. Narastanie prądu drenu trwa przez $\tau_2=38$ ns natomiast zgodnie z (7): $\tau_2=36$ ns. Napięcie bramki dla schematu III obliczone z zależności (8) przyjmuje wartość $V_{GS2}=5.50$ V, natomiast na podstawie (13) $V_{GS3}=5.51$ V. Wartość otrzymana na podstawie symulacji $V_{GS3}=5.51$ V. Czas opadania napięcia wynosi $\tau_3=147$ ns, natomiast wartość obliczona (15): $\tau_3=146$ ns. Pojemność C_{GD} przełącza się po czasie $\tau_{GD}=145$ ns.



Rys. 9. Wyniki symulacji komputerowych układu z rys.8

Fig. 9. The results of simulation for the circuit from Fig.8

5. WNIOSKI

1. Rezultatem pracy jest analiza odcinkowo-liniowego bezindukcyjnego modelu tranzystora MOSFET. Otrzymane wyniki umożliwiają wyjaśnienie zjawisk zachodzących w tranzystorze w czasie załączania. Zaprezentowano działanie sprzężenia zwrotnego w schemacie III. Wyniki analizy teoretycznej zostały porównane z wynikami otrzymanymi na drodze symulacji komputerowej przeprowadzonej z pomocą programu IsSPICE.
2. Uzyskanie analitycznych zależności dla wszystkich schematów zastępczych umożliwia przeprowadzenie dyskusji na temat wpływu zmian parametrów modelu tranzystora na przebiegi napięć i prądów podczas załączania.
3. Przedstawiony model daje podstawę do przeprowadzenia teoretycznej oraz komputerowej analizy modelu o większej złożoności, zawierającego np. indukcyjności doprowadzeń. Zastosowanie takiego modelu poparte analizą teoretyczną zapewnia otrzymanie poprawnych rezultatów symulacji układów wysokiej częstotliwości.
4. Kontynuacją pracy będzie analiza modelu odcinkowo-liniowego przy wyłączeniu, a następnie modelu z indukcyjnościami.

LITERATURA

1. Grant D.A., Gowar J.: Power MOSFETs. Wiley & Sons, Inc., USA 1989.
2. Cordonnier C.E., Maimouni R., Tranduc H., Rossel P., Allain D., Napieralska M.: SPICE Model for TMOS Power MOSFETs. Application Note Motorola Semiconductor, AN1043, 1989.
3. Sokal N.O., Sokal A.D.: Class E - A new Class of High Efficiency Tuned Single-Ended Switching Power Amp., IEEE J. Of Solid St. Cir., Vol.SC-10, No.3, June 1975, pp.168-176.
4. Grzesik B., Kaczmarczyk Z., Latko A.: Falowniki rezonansowe klasy E - geneza, zastosowania, kierunki rozwoju, VI Sympozjum PPEE, Gliwice-Ustroń 1995, s. 387-392.
5. Napieralski A., Napieralska M.: Polowe półprzewodnikowe przyrządy dużej mocy. Wydawnictwa Naukowo-Techniczne, Warszawa 1995.
6. Clemente S., Pelly B.R., Isidori A.: Understanding HEXFET Switching Performance, Application Note International Rectifier, AN947, 1993.
7. Mohan N., Undeland T.M., Robbins W.P.: Power Electronics: Converters, Applications, and Design. Wiley & Sons, Inc., USA 1989.
8. Junak J.: A MOSFET Model for Computer Analysis of HF Power Electronics Inverters. 17 MSN Zielona Góra'95, Elektrotechnika i Elektronika pp.11-15.
9. Malouyans S.: SPICE Computer Model for HEXFET Power MOSFETs, Application Note International Rectifier, AN975B, 1993.

10. Wheatley C.F., Ronan H.R., Dolny G.M.: Spicing-up SPICE II Software for Power MOSFET Modeling. Intelligent Power ICs Harris, 1992, pp. 10.112-10.116.
11. PreSpice user's guide, Intusoft, USA 1992.
12. Izydorczyk J.: PSpice - Komputerowa analiza układów energoelektronicznych. Helion, Gliwice 1993.

Pracę wykonano w ramach projektu nr 8 S502 042 07 finansowanego przez komitet Badań Naukowych.

Recenzent: Doc. dr hab. inż. Marek Hartman

Wpłynęło do Redakcji dnia 29 lipca 95 r.

Abstract:

The aim of this paper is the analysis of an piecewise-linear non-inductive MOSFET model of switching-on process. The results of theoretical calculations have been compared with those obtained from computer simulations by means of IsSPICE simulator.

The model of the power MOSFET which is most often used in power electronics is shown in Fig.1 [1],[2]. It is termed here the precise model. Better understanding of the precise model should be based on the understanding the simpler model which does not have inductances. Such a model being a subject of this paper is presented in Fig.2.

The model contains voltage controlled current source i_{DS} , linear capacitance C_{GS} and resistance R_G . The C_{GD} nonlinear capacitance consists of the two linear capacitances. It changes its value due to the v_{GD} voltage. The current source i_{DS} is controlled by v_{GS} voltage and it is replaced by resistance $R_{DS(ON)}$ in ohmic region. There is no C_{DS} capacitance in this model. Its presence is generally ignored for operations in active state.

The analysis of the MOSFET model is carried out in the test circuit which is shown in Fig.3. It is commonly encountered circuit for verification of the MOSFET models for switching [5],[6]. The transistor operates as it is shown in Fig.2 and other elements are assumed to be ideal. The MOSFET transistor is piecewise-linear model and therefore the turn-on process can be divided into four separate intervals (I, II, III, IV). These intervals are

analysed one by one in the chapter 2. The end-conditions for one interval become the starting conditions for the next.

The first equivalent circuit is given in Fig.4. It is turn-on delay interval where v_{GS} voltage exponentially rises to its V_{GG} value according to formula (2). No drain current flows so long as the gate voltage is less than threshold voltage V_{TH} . For the time τ_1 (3) v_{GS} is equal to V_{TH} and transistor begins turning-on.

Schematic diagram II is shown in Fig. 5. Value of the gate to source voltage during this period is given by (4). The drain to source voltage remains at maximum value as long as I_D achieves I and the diode D_1 is conducting. The i_D current rises linearly (9) since T_3 is greater than duration of this interval τ_2 (7).

During III interval described by schematic diagram presented in Fig. 6 transistor operates also in the active region. Since then the MOSFET is carrying the full load current I . The time constant T_3 (11) is very small in comparison with $T_{1(2)}$ which makes the voltage v_{GS} reaches its maximum value (13) almost instantaneously. The drain to source voltage decreases linearly inversely proportional to the C_{GDL} value (14). The C_{GD} capacitance switches when $v_{GD}=0$. It can be assumed that a high value of this capacitance appears at the end of this interval.

Interval IV. When $v_{DS}=R_{DS}\cdot i_{DS}$ transistor enters the ohmic region and the schematic diagram for the fourth interval looks like in Fig.7. The v_{GS} becomes unclamped and exponentially rises to its maximum value (16). The time constant T_4 is higher than $T_{1(2)}$ due to the higher value of C_{GDH} capacitance. Using voltage and current waveforms it is possible to calculate turn-on loss of the transistor (21).

For the sake of comparison the test circuit has been simulated by means of the IsSPICE program. The IRF740 transistor has been used for simulation. The overall input data for IsSPICE are shown in Fig.8. The results of these simulations are delivered in the chapter 4, Fig.9 (simulated waveforms).

The results of the calculations have been summarized in the chapter 5.