

2 1969

P. 2229 | 69

prace

**Instytutu
Maszyn
Matematycznych**

rok XI

p r a c e

I n s t y t u t u

M a s z y n

M a t e m a t y c z n y c h

Copyright © 1969 - by Instytut Maszyn Matematycznych
Poland
Wszelkie prawa zastrzeżone

Komitet Redakcyjny

Bartłomiej GŁOWACKI, Jerzy GRADOWSKI /redaktor naczelny/, Andrzej
KOJEMSKI, Włodzimierz MARDAL /z-ca redaktora/, Jan RELUGA

Sekretarz redakcji: Romana NITKOWSKA

Adres redakcji: Instytut Maszyn Matematycznych

Działowy Ośrodek INTE

Warszawa, ul. Krzywickiego 34, tel. 28-37-29

W.D.N. - Zam. 617/0/69. Nakład 400+25 egz.

SPIS TREŚCI ZESZYTU 2

СОДЕРЖАНИЕ

CONTENTS

1. Kania B., Kowalewska M.
 Urządzenie do kontroli poprawności działania układów logicznych 5
 Устройство для контроля платов с логическими схемами /Резюме/
 Test control device for modules with logic circuits /Summary/
2. Sinkiewicz T., Świątkowski Z.
 Analiza parametrów dynamicznych układów podstawowych NAND 39
 Анализ динамических параметров основных схем NAND /Резюме/
 Analysis of basic NAND elements dynamic parameters /Summary/
3. Kiesler M.
 Równoległo-równoległe liczniki rewersyjne 85
 Паралельно-паралельные переменные счётчики /Резюме/
 Parallel reversal counters /Summary/
4. Synak R.
 Wpływ struktury bloku ferrytowego na niektóre właściwości techniczno-ekonomiczne pamięci 2,5 D 105
 Влияние структуры ферритового блока на некоторые технико-экономические свойства запоминающего устройства 2,5 /Резюме/
 The influence of ferrite block structure on some technical-economical properties of 2,5 D memory /Summary/
5. Autorzy artykułów zamieszczonych w zeszycie 2 "PRAC IMM" 147

URZĄDZENIE DO KONTROLI POPRAWNOŚCI
DZIAŁANIA UKŁADÓW LOGICZNYCH

Barbara KANIA
Maria KOWALEWSKA

Pracę złożono 20.03.1968

Praca zawiera opis prostej metody kontroli poprawnego funkcjonowania układów logicznych oraz ogólne informacje o przyrządzie służącym do badań krzemowych układów logicznych S50 rozmieszczonych na pakietach.

S P I S T R E Ś C I

1. WSTĘP	6
2. OGÓLNE INFORMACJE O UKŁADACH I PAKIETACH TECHNIKI S50 ..	7
3. ZASADY KONTROLI POPRAWNEJ PRACY PAKIETÓW TECHNIKI S50 ..	11
4. OPIS REALIZACJI PRZYRZĄDU DO KONTROLI PAKIETÓW TECHNIKI S50 ..	21
5. PODSUMOWANIE	31
Literatura	32
Resumé	33
Summary	35

1. WSTĘP

Technika pomiarowa odgrywa bardzo istotną rolę w procesie produkcji i eksploatacji układów logicznych. Konieczność szybkiej oceny przydatności układu lub zespołu układów powoduje, iż urządzenia kontrolne stają się coraz bardziej zautomatyzowane. W produkcji i eksploatacji układów logicznych istnieje zapotrzebowanie zarówno na przyrządy umożliwiające dokładną ocenę właściwości, jak i na urządzenia pozwalające tylko na stwierdzenie poprawności funkcjonowania układów.

W pracy przedstawiono prosty sposób kontroli poprawności funkcjonowania układów logicznych rozmieszczonych na pakietach^{*)}. Podano również krótki opis urządzenia /przyrządu/ do kontroli pakietów.

Można przyjąć, iż pakiet funkcjonuje poprawnie, gdy dla wszystkich układów logicznych zmontowanych na nim spełnione są następujące wymagania:

- istnieje określona zależność między przebiegami wejściowymi a wyjściowymi /realizowana jest funkcja logiczna układu/ przy założonym obciążeniu,
- poziomy napięcia wyjściowego i wejściowego /w przypadku, gdy układy badane są sterowane przez układy tej samej techniki realizacyjnej/ mieszczą się w określonych granicach.

Przyrząd umożliwiający sprawdzenie tych wymagań może służyć:

- do wstępnego sprawdzania pakietów po zakończeniu cyklu produkcyjnego,
- do sprawdzania poprawnej pracy pakietów przy narażeniu na oddziaływania zewnętrzne /mechaniczne i klimatyczne/.

^{*)} Terminem pakiet przyjęto nazywać płytkę montażową, na której rozmieszczone są układy logiczne. Płytkę taką posiada styki umożliwiające dołączenie jej do określonego typu łączówki.

- jako standartowe urządzenie serwisowe przy eksploatacji EMC, lub innych większych bloków cyfrowych budowanych w oparciu o dany zespół pakietów z układami logicznymi.

We wszystkich tych przypadkach wykorzystania przyrządu podane są: prostota obsługi, krótki czas sprawdzania prawidłowości działania pakietu oraz możliwość przybliżonego określenia rodzaju uszkodzenia.

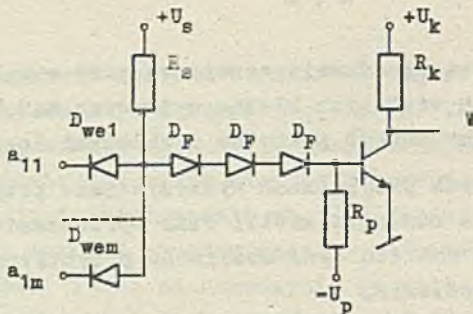
Badania funkcjonowania pakietu w warunkach występowania narażeń mechanicznych, co jest na ogół przewidywane w warunkach technicznych, wymagają od przyrządu zapamiętywania i sygnalizacji chwilowych stanów awaryjnych. Pozwala to na wykrycie nie właściwych kontaktów styków łączówki, tzw. zimnych lutowań itp.

Omawiany przyrząd, którego model laboratoryjny opracowany został w IMM, może być wykorzystany we wszystkich trzech wymienionych powyżej przypadkach. Rozwiązanie układowe przyrządu jest nieskomplikowane, obsługa prosta, istnieje możliwość zapamiętywania chwilowych stanów awaryjnych, a identyfikacja trwałych uszkodzeń nie wymaga od sprawdzającego pakiet dokładnego zaznajomienia się z działaniem układów kontrolowanych. Przyrząd wykonany został w oparciu o układy logiczne S50 i jest przystosowany do kontroli funkcjonowania pakietów zawierających te układy. Z tego względu w pierwszych rozdziałach pracy podano ogólne informacje o zespole układów i pakietów techniki S50 /na podstawie literatury [2] [5] [6]/.

2. OGÓLNE INFORMACJE O UKŁADACH I PAKIETACH TECHNIKI S50.

Jako rozwiązanie bazowe techniki S50 przyjęto układ typu NAND [2], którego schemat ideowy podany został na rys. 1.

W układzie można wyróżnić: diodową brankę iloczynową złożoną z n diod D_{we} oraz opornika R_g dołączonego do źródła napięcia U_g , dwójnik przesuwający poziom napięcia, składający się z trzech diod D_p oraz tranzystor pracujący w układzie WE.

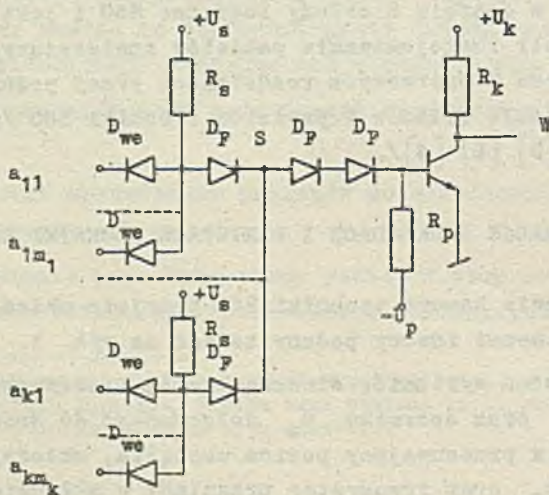


Rys. 1. Schemat układu S50-I

Poziomy napięcia wejściowego i wyjściowego wynoszą $\approx 4,5V$ i $\approx 0V$. Układ S50-I realizuje funkcję negacji iloczynu wartości logicznych sygnałów wejściowych przy konwencji $4,5V \rightarrow "1"$; $0V \rightarrow "0"$.

$$W = \prod_{i=1}^{i=m} a_{i1} \quad /1/$$

Modyfikacją układu S50-I jest układ S50-IB. Schemat ideowy układu S50-IB podano na rys. 2.



Rys. 2. Schemat układu S50-IB

W węźle oznaczonym na rys. 2 literą S realizowana jest suma logiczna k iloczynów m argumentowych. Tranzystor pracujący w układzie WE zapewnia, tak jak w przypadku poprzednim, realizację funkcji negacji. Tak więc, funkcja logiczna realizowana przez układ S50-IB określona jest wyrażeniem:

$$W = \sum_{i=1}^{j=k} \prod_{i=1}^{1=m_j} a_{ji} \quad /2/$$

Pozostałe układy techniki S50 /przerzutnik, układy synchronizacji czasowej, wzmacniacze mocy/ zostały opracowane na podstawie przedstawionego powyżej rozwiązania bazowego.

Symbole logiczne oraz krótki opis kilku często stosowanych układów techniki S50 podano w tabeli 1*).

Ze względu na uniwersalność wykorzystania zespołu układów techniki S50 przyjęto pakietowe rozwiązanie konstrukcyjne, przy czym na poszczególnych pakietach rozmieszczone są układy tego samego rodzaju. Liczba układów na pakiecie wynosi /2-12/. Zależy ona od rodzaju układów i stopnia rozbudowy logiki wejściowej.

Pakiety i układy techniki S50 można podzielić na dwie grupy w zależności od funkcji logicznej realizowanej na wejściu:

- 1/ na wejściu układów realizowana jest funkcja m argumentowego iloczynu logicznego np. S50-I, S50-M, S50-0.
- 2/ na wejściu układów realizowana jest funkcja sumy logicznej k iloczynów m argumentowych np. S50-IB.

Kontrola poprawnej pracy pakietów grupy pierwszej i drugiej odbywa się nieco odmiennie. Zostanie to omówione w dalszych rozdziałach niniejszej pracy.

*) tabelę zestawiono na podstawie [2], [4], [5], pomijając niektóre układy /wzmacniacz mocy z przyspieszającym obwodem w kolektorze, niektóre wersje przerzutnika itp./.

Symbole logiczne układów S50

Tabela 1

Nr poz.	Oznaczenie układu	Symbol logiczny	Opis układu
1.	S50-I		Inwerter z bramką logiczną iloczynu na wejściu.
2.	S50-IB		Inwerter z bramką logiczną sumy iloczynów na wejściu.
3.	S50-M		Inwerter mocy z bramką logiczną iloczynu na wejściu.
4.	S50-P		Przerzutnik z bramkami stałoprądowymi i zmiennoprądowymi.
5.	S50-O		Układ opóźnienia. Szerokość impulsu regulowana w granicach 0,1-0,8 usek. Na wejściu układu realizowana funkcja iloczynu logicznego.
6.	S50-F		Układ formujący impuls standartowy. Na wejściu układu realizowana funkcja iloczynu logicznego.
7.	S50-S		Układ sygnalizujący stany logiczne na wyjściach układów techniki S50. Wykorzystywany jest do sterowania żarówką lub przekaźnika.

3. ZASADY KONTROLI POPRAWNEJ PRACY PAKIETÓW TECHNIKI S50

Badanie poprawności funkcjonowania pakietów polega na obserwacji przebiegów napięciowych na wejściach i wyjściach badanego pakietu oraz na wyjściach układu logicznego nazwanego dodatkowym.

Funkcję logiczną, realizowaną przez układ dodatkowy oraz ciągi impulsowe podawane na wejścia pakietu badanego dobrano w taki sposób, aby na podstawie obserwacji odpowiednich przebiegów można było stwierdzić, czy wszystkie układy na pakiecie badanym realizują funkcje logiczne.

Chwilowe stany nieprawidłowego funkcjonowania dowolnego z układów na pakiecie są wykrywane, rejestrowane i sygnalizowane przez zespół układów zwanych układami kontroli i sygnalizacji /układy te omówiono w opisie realizacji przyrządu/.

3.1. Kontrola poprawności działania pakietów zawierających układy realizujące na wejściu funkcję iloczynu logicznego

Sprawdzanie poprawności funkcjonowania tych pakietów omówiono na przykładzie pakietu złożonego z n układów S50-I, którego sumaryczna liczba wejść logicznych wynosi:

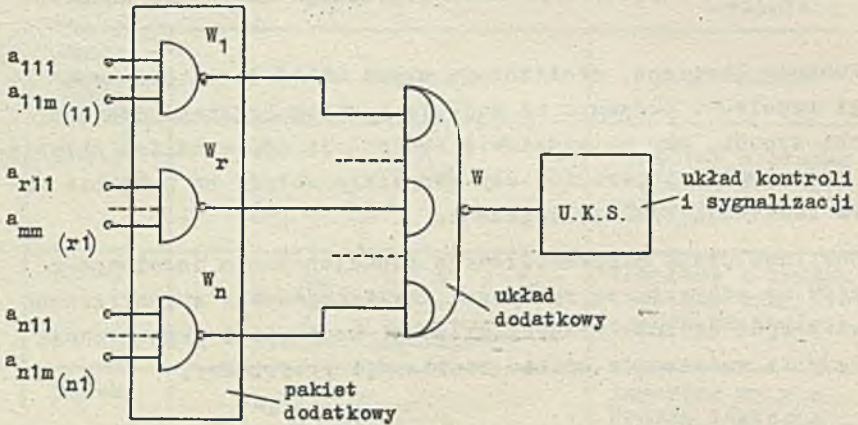
$$p = \sum_{r=1}^{r=n} m(r) \quad /3/$$

gdzie: $m(r)$ - liczba argumentów iloczynu w r układzie na pakiecie.

Kontrola działania pakietu odbywa się w układzie podanym na rys. 3.

Wyjścia n układów pakietu badanego podane są na wejścia dodatkowego układu logicznego realizującego funkcję negacji sumy:

$$W = \overline{\sum_{r=1}^{r=n} W_r} \quad /4/$$



Rys. 3. Kontrola prawidłowości działania pakietu zawierającego układy S50-I

gdzie

$$W_r = \prod_{i=1}^{1=m} (r1) a_{r1i} \quad /5/$$

Po podstawieniu /5/ do /4/ i wykonaniu prostych przekształceń, wyrażenie określające funkcję logiczną realizowaną na wyjściu układu dodatkowego przybiera postać:

$$W = \prod_{r=1}^{r=n} \prod_{i=1}^{i=m} (r1) a_{r1i} \quad /6/$$

Jak zaznaczono poprzednio ciągi sterujące wejścia logiczne pakietu badanego muszą być odpowiednio dobrane. Dla przeprowadzenia badań pakietu złożonego z układów S50-I przyjęto, że każde z p wejść pobudzane jest niezależnym ciągiem impulsów

ujemnych o szerokości τ , przy czym ciągi sterujące kolejne wejścia przesunięte są względem siebie o czas T kilkakrotnie większy od τ . Czas repetycji impulsów wszystkich ciągów wynosi:

$$T_R = p \cdot T \quad /7/$$

Wynikiem takiego sterowania pakietu badanego jest występowanie na wyjściu układu dodatkowego, ciągu impulsów ujemnych o szerokości τ i czasie repetycji T ⁴⁾. Każdemu z impulsów w ciągu na wyjściu układu dodatkowego można przyporządkować określony impuls jednego z ciągów sterujących, a więc i odpowiednie wejście logiczne.

Na rys. 4 przedstawiono przebiegi napięciowe na wejściach i wyjściach prawidłowo funkcjonujących układów pakietu badanego oraz na wyjściu układu dodatkowego. Przykładowo przyjęto, iż pakiet badany składa się z trzech układów S50-I / $n=3$ /, z których każdy realizuje negację iloczynu dwuargumentowego / $m_{11} = m_{21} = m_{31} = 2$ /.

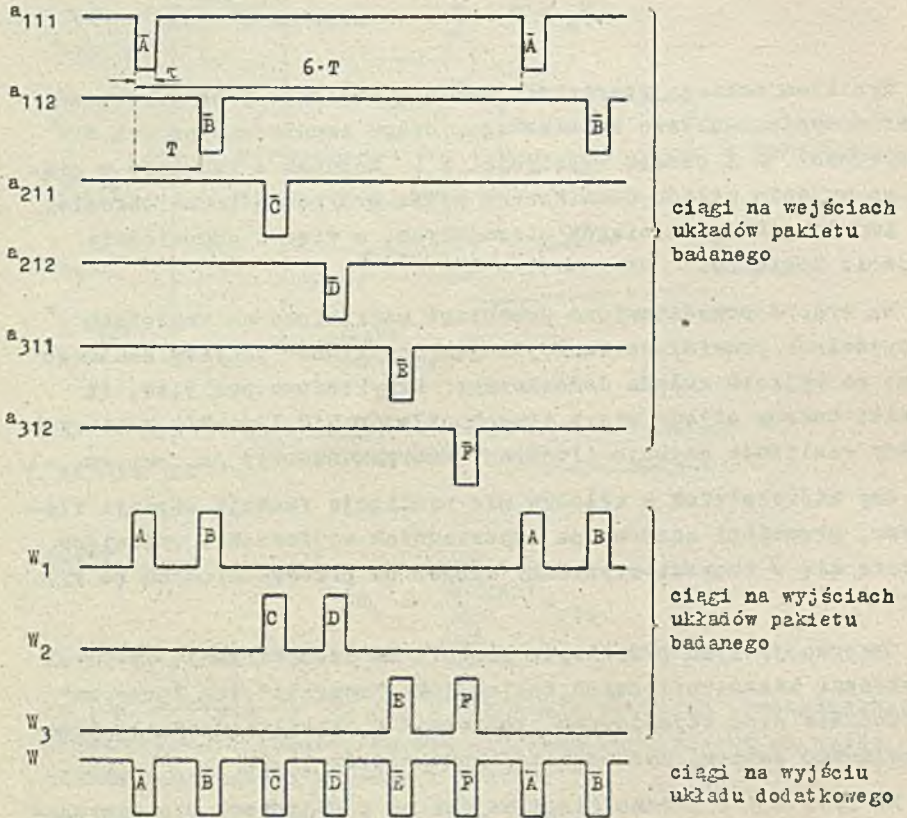
Gdy którykolwiek z układów nie realizuje funkcji negacji iloczynu, przebiegi czasowe na odpowiednich wejściach i wyjściach różnią się w charakterystyczny sposób od przedstawionych na rys. 4.

Obserwacja tych przebiegów pozwala na identyfikację typowych uszkodzeń katastroficznych takich jak: "zwarcie" lub "przerwa" w obwodzie diod wejściowych, "przerwa" w obwodzie dwójnika przesuwającego poziom, uszkodzenia tranzystorów itp.

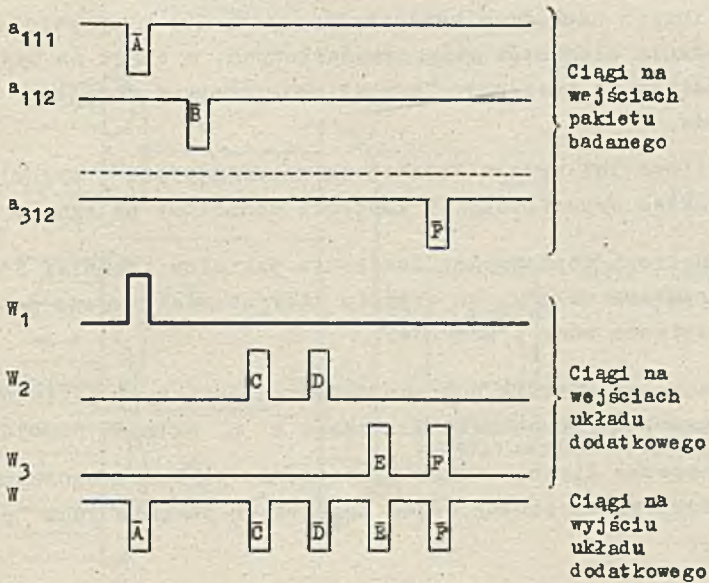
Na rys. 5 i 6 podano ciągi wejściowe i wyjściowe dla przypadku "zwarcia" i "przerwy" w obwodzie diody dołączonej do wejścia a_{112} .

Jak widać, w przypadku uszkodzenia katastroficznego którejkolwiek z diod wejściowych możliwa jest dokładna identyfikacja rodzaju uszkodzenia /"zwarcia" i "przerwy" - równoważnej błędnemu zmontowaniu/ oraz określenie, która z diod pakietu została uszkodzona.

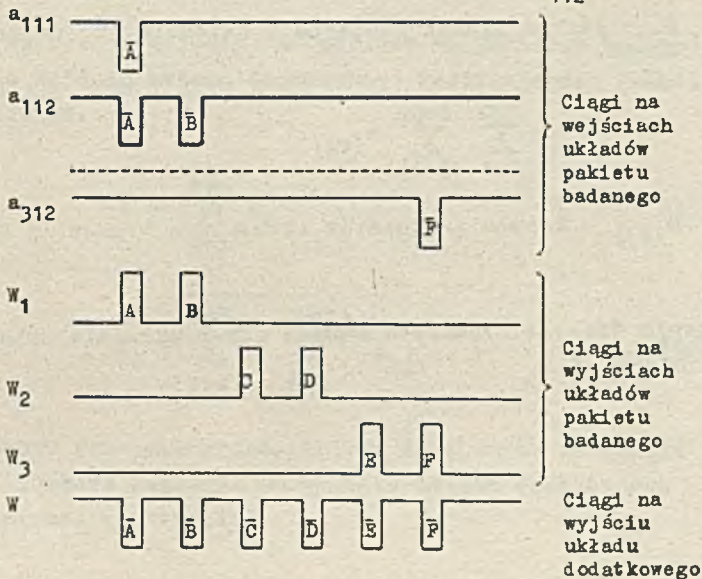
⁴⁾ Przy wyborze τ i T o dostatecznie dużych wartościach można nie uwzględniać czasów propagacji układów.



Rys. 4. Przebiegi obserwowane w układzie do kontroli pakietu zawierającym trzy układy S50-1, z których każdy realizuje funkcję negacji dwuargumentowego iloczynu



Rys. 5. Przebiegi obserwowane w układzie do kontroli pakietu zawierającego układy S50-I w przypadku "przerwy" w obwodzie diody dołączonej do wejścia a_{112}



Rys. 6. Przebiegi obserwowane w układzie do kontroli pakietu zawierającego układy S50-I w przypadku "zwarcia" diody dołączonej do wejścia a_{112}

Ciąg impulsów na wyjściu układu dodatkowego nie zmienia się tylko wtedy, gdy któraś z diod wejściowych jest "zwarta". W przypadku innych uszkodzeń katastroficznych, lub nieprawidłowego zmontowania elementów półprzewodnikowych, w ciągu na wyjściu układu dodatkowego występują "braki" pojedynczych impulsów lub grup impulsów.

Chwilowe lub trwałe "braki" są zapamiętywane i sygnalizowane przez układ sygnalizacji i kontroli oznaczony na rys. 3 jako UKS.

3.2. Kontrola poprawności działania pakietów techniki S50 zawierających układy, na wejściu których realizowana jest funkcja logiczna sumy iloczynów.

Sposób sprawdzania poprawności działania tych pakietów omówiono na przykładzie pakietu złożonego z n układów S50-IB.

Sumaryczną liczbę bramek iloczynu na pakiecie oznaczono jako S , a sumaryczną liczbę wejść logicznych pakietu jako p .
Tak więc

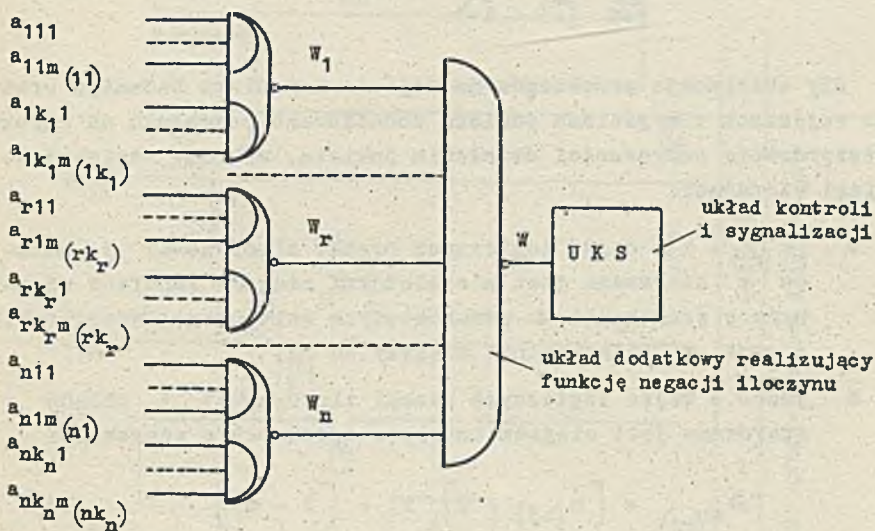
$$S = \sum_{r=1}^{r=n} k_r \quad /8/$$

gdzie: k_r - liczba bramek iloczynu w układzie r na pakiecie,

$$p = \sum_{r=1}^{r=n} \sum_{j=1}^{j=k_r} m(rj) \quad /9/$$

gdzie: $m(rj)$ - liczba argumentów iloczynu w bramce j układu r

Kontrola działania pakietu odbywa się w układzie przedstawionym na rys. 7.



Rys. 7. Kontrola działania pakietu zawierającego układy S50-IB

Jak podano na rys. 7 wyjścia n układów na pakiecie badanym podane są na wejścia układu dodatkowego realizującego funkcję negacji iloczynu.

$$W = \prod_{r=1}^{r=n} W_r \quad /10/$$

gdzie

$$W_r = \sum_{j=1}^{j=k_r} \prod_{i=1}^{i=r} (r_j) a_{rji} \quad /11/$$

Po wykonaniu prostych przekształceń logicznych zależność określająca funkcję logiczną na wyjściu układu dodatkowego może być zapisana w postaci:

$$W = \sum_{r=1}^{r=n} \sum_{j=1}^{j=k_r} \prod_{i=1}^{i=m(r_j)} a_{rj i} \quad /12/$$

Aby obserwacja przebiegów na wejściach pakietu badanego oraz na wyjściach i wyjściach pakietu dodatkowego pozwalała na szybkie stwierdzenie poprawności działania pakietu, wybrano następujące ciągi sterujące:

- $[m(r_j) - 1]$ wejść logicznych bramki iloczynowej j układu r sterowane jest niezależnymi ciągami impulsów ujemnych o szerokości τ przesuniętych kolejno względem siebie o czas T kilkakrotnie większy od τ ,
- jedno z wejść logicznych bramki iloczynowej j układu r sterowane jest ciągiem impulsów dodatnich o szerokości

$$\Theta_{m(r_j)} = [m(r_j) - 1] T + [T - \tau] \quad /13/$$

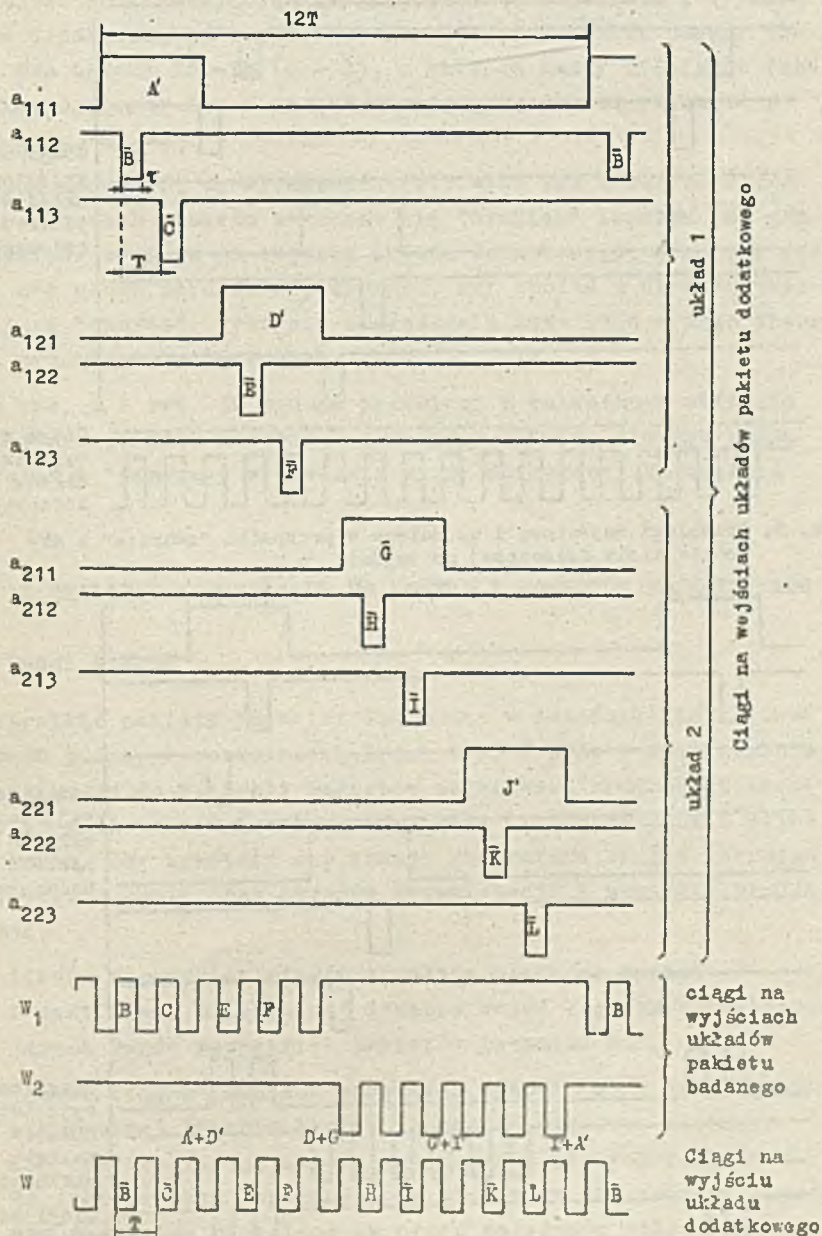
przy czym odstępy czasowe między zboczem dodatnim impulsu dodatniego a zboczami ujemnymi impulsów ujemnych na $(m(r_j) - 1)$ kolejnych wejściach wynoszą

$$(T - \tau) ; T + (T - \tau) ; \dots (m(r_j) - 2) T + (T - \tau)$$

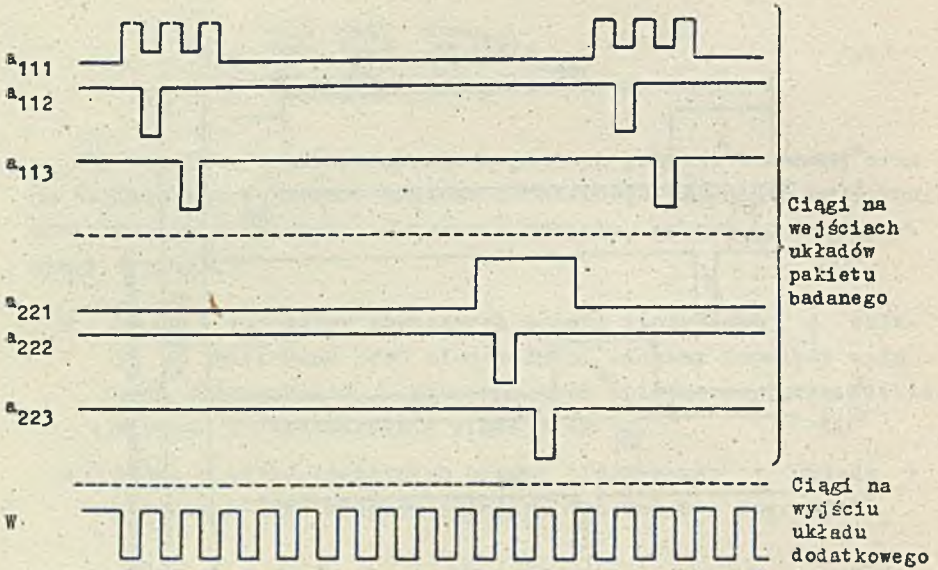
- Zbocza dodatnie kolejnych ciągów impulsów dodatnich są przesunięte względem siebie o czas $[\Theta_{m(r_j)} + \tau]$
- Czas repetycji wszystkich ciągów wynosi

$$T_R = p \cdot T \quad /14/$$

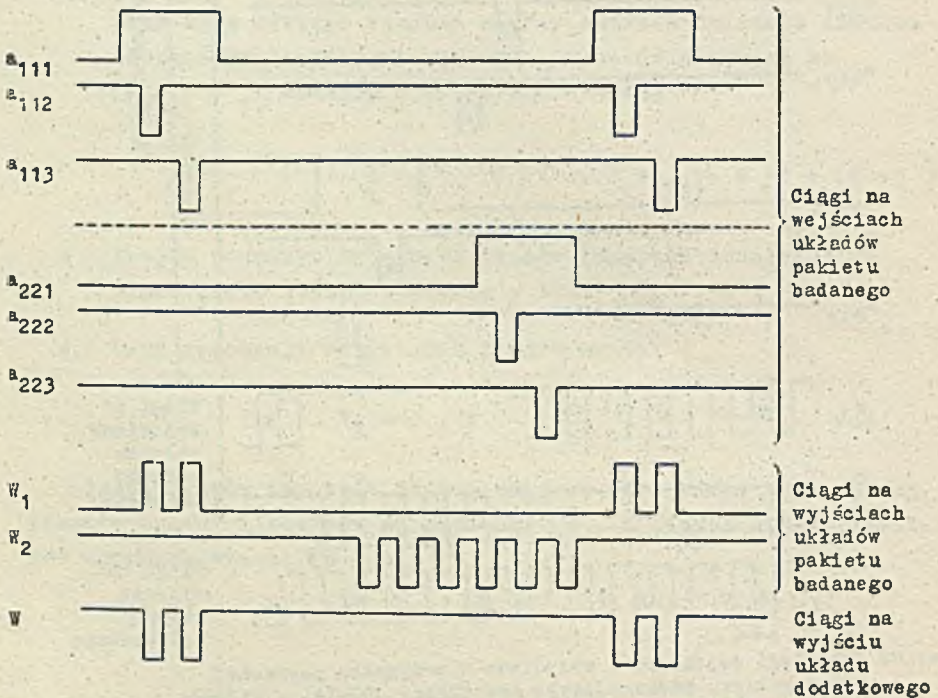
Liczba ciągów impulsów dodatnich jest więc równa sumarycznej liczbie bramek iloczynów na pakiecie s , a liczba ciągów impulsów ujemnych wynosi $(p - s)$.



Rys. 3. Przebiegi wejściowe i wyjściowe w przypadku poprawnej pracy pakietu zawierającego dwa układy S50-IB, z których każdy realizuje funkcję negacji sumy iloczynów trójargumentowych



Rys. 9. Przebiegi wejściowe i wyjściowe w przypadku "zwarcia" w obwodzie diody dołączonej do wejścia a_{111}



Rys. 10. Przebiegi wejściowe i wyjściowe w przypadku "przerwy" w obwodzie diody dołączonej do wejścia a_{111}

Na rys. 8 przedstawiono przebiegi napięciowe na wejściach prawidłowo funkcjonującego pakietu oraz na wejściach i wyjściu układu dodatkowego. Przykładowo przyjęto, iż pakiet badany zawiera dwa układy S50-IB ($n = 2$), z których każdy realizuje funkcję negacji sumy dwu iloczynów trójargumentowych ($k_1 = k_2 = 2$; $m_{11} = m_{12} = m_{21} = m_{22} = 3$)

Można zauważyć, że większość chwilowych lub trwałych uszkodzeń w układach pakietu zaznacza się "brakiem" impulsu lub grupy impulsów w ciągu na wyjściu układu dodatkowego. Ciąg ten jednakże nie ulega zmianie w przypadku, gdy któraś z diod wejściowych jest "zwarta". Wykrycie uszkodzenia tego typu wymaga obserwacji przebiegów wejściowych.

Na rys. 9 i rys. 10 podano przebiegi w rozważanym układzie do kontroli pakietu złożonego z układów S50-IB, dla przypadku "zwarcia" i "przerwy" w obwodzie diody dołączonej do wejścia a_{111} .

4. OPIS REALIZACJI PRYZRZĄDU DO KONTROLI PAKIETÓW TECHNIKI S50

4.1. Uwagi ogólne

Wszystkie pakiety techniki S50 można w zasadzie kontrolować w sposób podany w rozdziałach 3.1., 3.2. W praktycznej realizacji przyrzędu do kontroli pakietów największą trudność stanowi fakt, iż pakiety różnią się między sobą liczbą układów i wejść logicznych. Aby uprościć realizację generatora ciągów sterujących, zegara chwil oraz układów sygnalizacji i kontroli przyjęto, że:

- o liczba wszystkich ciągów impulsów ujemnych wynosi P i jest równa maksymalnej liczbie wejść logicznych występujących wśród wszystkich pakietów techniki S50,
- o liczba ciągów impulsów dodatnich wynosi S i jest równa maksymalnej liczbie bramek iloczynów pakietu techniki S50, zawierającego układy, na wejściu których realizowana jest funkcja logiczna sumy iloczynów. Szerokości impulsów dodatnich określone są przez zależność /13/,

e. czas repetycji wszystkich ciągów wynosi

$$T_R = P \cdot T$$

/14/

W przypadku, gdy pakiet badany ma mniejszą liczbę wejść logicznych ($p < P$) stosuje się układy uzupełniające, realizujące taką sumą funkcję logiczną jak układy na pakiecie badanym i sterowane w taki sam sposób. Liczba ciągów impulsowych użytych do sterowania wejść układów uzupełniających wynosi więc:

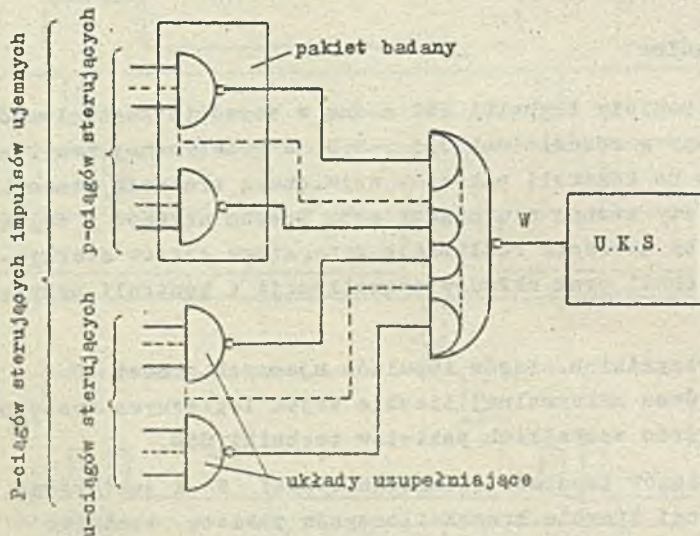
$$u = P - p$$

/15/

Tak więc badanie każdego pakietu wykonywane jest w takim samym układzie logicznym jak pakietu o maksymalnej liczbie wejść logicznych P .

Na rys. 11 i rys. 12 podano układy kontroli pakietów z uwzględnieniem zastosowania układów uzupełniających.

Rys. 11 ilustruje sposób stosowania układów uzupełniających w przypadku, gdy na wejściu układów pakietu badanego realizowany jest iloczyn logiczny.



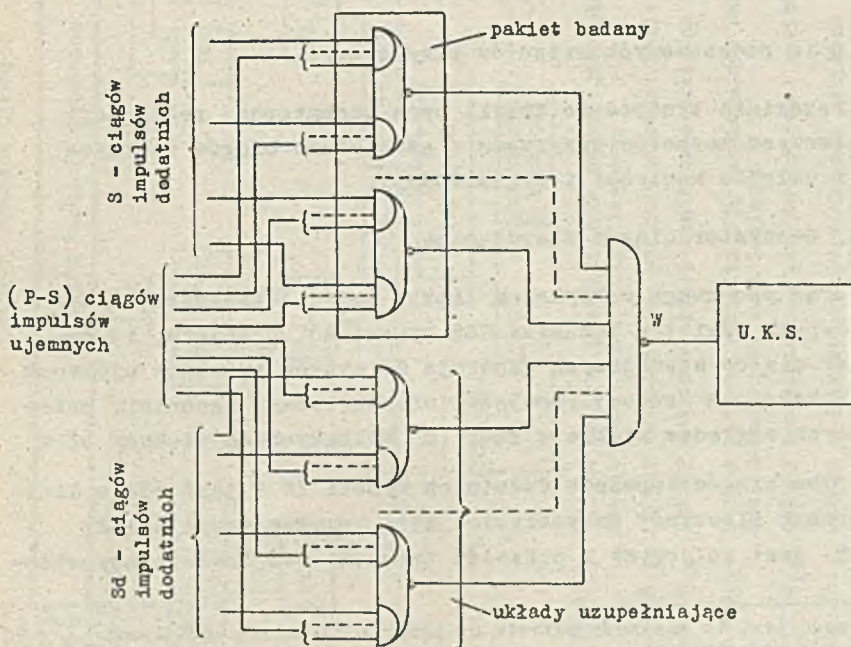
Rys. 11. Przykład kontroli pakietu zawierającego układy, na wejściu których realizowany jest iloczyn logiczny, a liczba wejść logicznych jest mniejsza od P

W przypadku, gdy na pakiecie badanym znajdują się układy, na wejściu których realizowana jest funkcja sumy iloczynów, a ogólna liczba bramek iloczynów $s < S$, należy do odpowiednich wejść układów dodatkowych doprowadzić S_d ciągów impulsów dodatnich oraz U_u ciągów impulsów ujemnych. Liczby odpowiednich ciągów impulsów wynoszą:

$$S_d = S - s \quad /16/$$

$$U_u = (P - S) - (p - s) \quad /17/$$

Przykładowo na rys. 12 podano układ kontroli pakietu zawierającego układy, na wejściu których realizowana jest suma logiczna.



Rys. 12. Przykład kontroli pakietu zawierającego układy, na wejściu których realizowana jest suma iloczynów, liczba wejść logicznych $p < P$, a liczba bramek iloczynów $s < S$

Przyrząd do kontroli pakietów techniki S50, zrealizowany w oparciu o zasady podane w 3.1 i 3.2 oraz omówione powyżej, składa się więc z następujących zespołów:

- generatora ciągów sterujących,
- układów sygnalizacji i kontroli,
- układów uzupełniających i dodatkowych, przyporządkowanych każdemu z badanych pakietów.

Schemat blokowy przyrządu przedstawiono na rys. 13. Wyposażenie przyrządu stanowi oscyloskop i przedłużacze pozwalające na umieszczanie pakietu badanego w środowisku, w którym zostaje on poddany oddziaływaniom zewnętrznym /w przypadku gdy przyrząd używany jest do badań odporności na działanie temperatury wilgotności wibracji itp /^{*)}. Ze względu na ograniczoną obciążalność generatora ciągów sterujących, badanych może być jednocześnie tylko kilka pakietów różnych rodzajów.

4.2. Opis podstawowych zespołów przyrządu

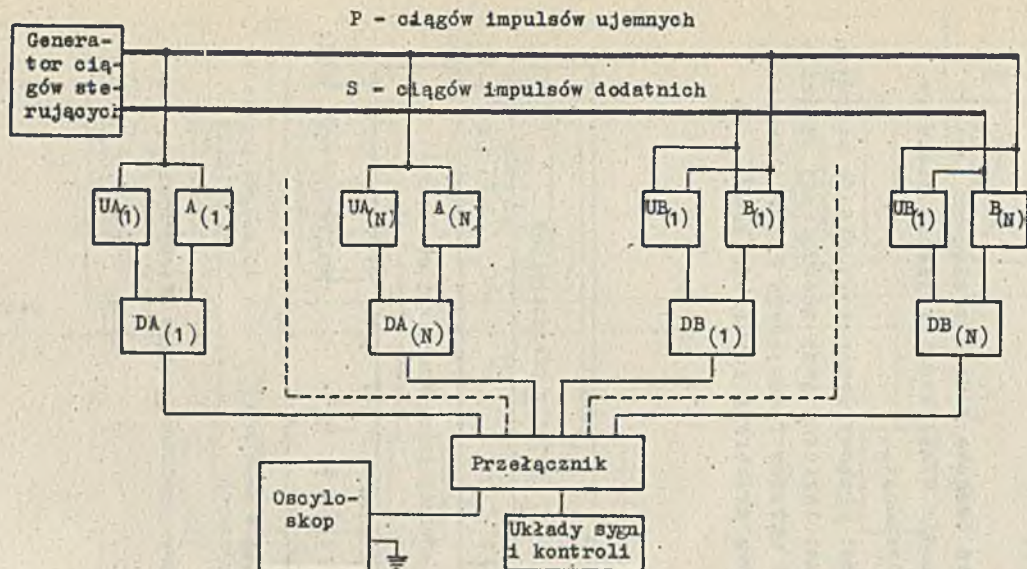
W rozdziale tym podano krótki opis technicznej realizacji podstawowych zespołów przyrządu - generatora ciągów sterujących i układów kontroli i sygnalizacji.

4.2.1. Generator ciągów sterujących

Biorąc pod uwagę maksymalną liczbę wejść logicznych, która dla zespołu pakietów techniki S50 wynosi 20, przyjęto, iż generator ciągów sterujących generuje 20 ciągów impulsów ujemnych o szerokości τ równej impulsowi standardowemu techniki, przesuniętych względem siebie o czas T kilkakrotnie większy od τ .

Liczba ciągów impulsów dodatnich wynosi 10 i jest równa liczbie bramek iloczynów na pakiecie KI21 zawierającym układy S50-IB. Jest to jedyny z pakietów techniki S50 zawierający ukła-

^{*)}Odporność jest to zdolność pakietu do pracy w warunkach działania czynników zewnętrznych.



- $A(1) - A(N)$ badane pakiety techniki S50 zawierające układy, na wejściu których realizowany jest iloczyn logiczny
- $UA(1) - UA(N)$ układy uzupełniające przyporządkowane pakietom $A(1) - A(N)$
- $DA(1) - DA(N)$ układy dodatkowe przyporządkowane pakietom $A(1) - A(N)$
- $B(1) - B(N)$ badane pakiety techniki S50 zawierające układy, na wejściu których realizowana jest suma logiczna
- $UB(1) - UB(N)$ układy uzupełniające przyporządkowane pakietom $B(1) - B(N)$
- $DB(1) - DB(N)$ układy dodatkowe przyporządkowane pakietom $B(1) - B(N)$

Rys. 13. Schemat blokowy przyrządu do badania pakietów

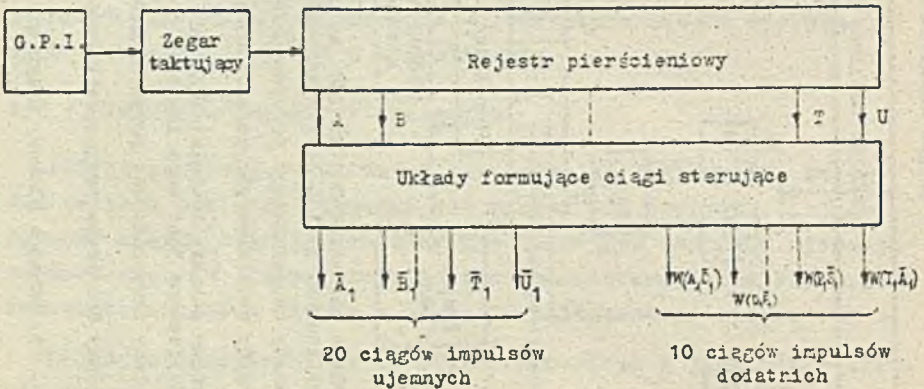
dy, na wejściu których realizowana jest funkcja sumy iloczynów.

Ponieważ bramki iloczynów na tym pakiecie są złożone z dwu diod wejściowych, szerokości impulsów wszystkich ciągów są takie same i zgodnie z zależnością /13/ wynoszą:

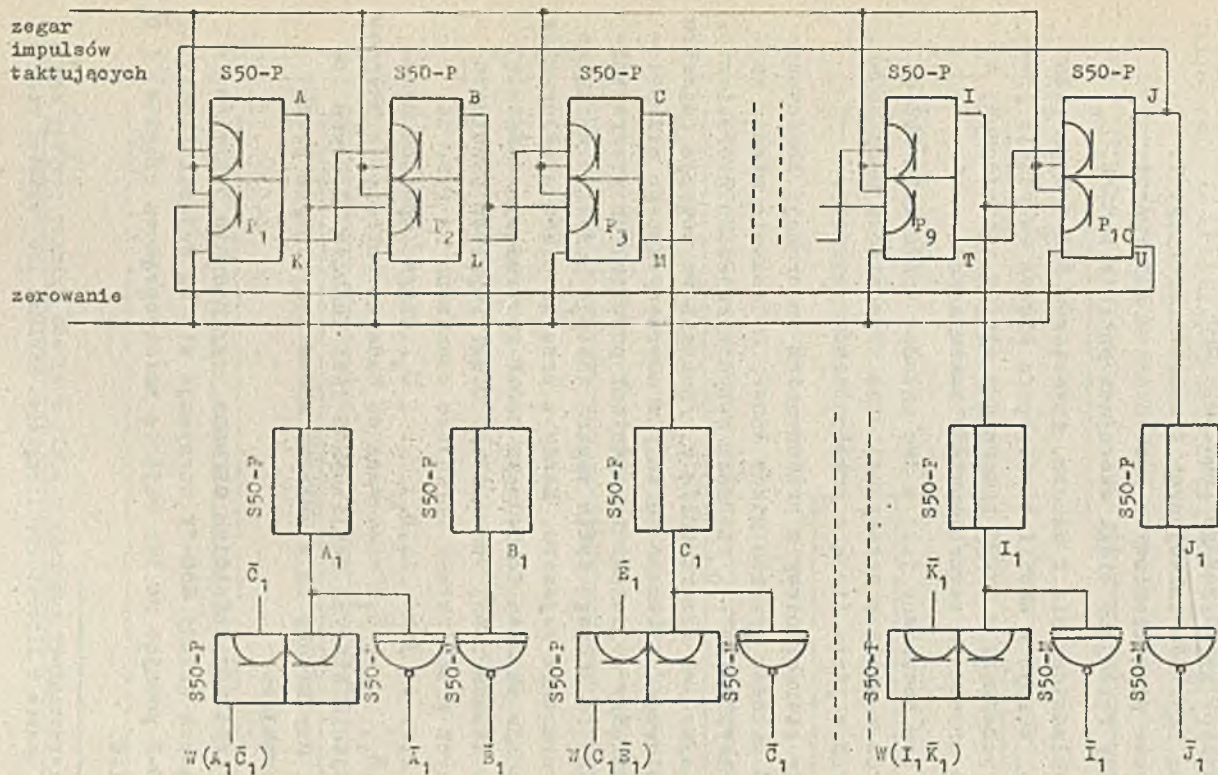
$$\ominus = 2T - \tau$$

Odpowiednie przesunięcia czasowe pomiędzy ciągami zostały osiągnięte przez wykorzystanie właściwości rejestru pierścieniowego z przesuwaniem informacji.

Na rys. 14 podano schemat blokowy generatora ciągów sterujących, zaś na rys. 15 schemat logiczny jego zasadniczej części - rejestru pierścieniowego i układów formujących ciągi sterujące. Na rys. 16 podano podstawowe przebiegi impulsowe generowane przez układy generatora.



Rys. 14. Schemat blokowy generatora ciągów sterujących



Rys. 15. Schemat logiczny rejestru pierścieniowego oraz układów formujących ciągi sterujące

Zgodnie z rys. 14 i rys. 15 w układzie generatora ciągów sterujących można wyróżnić następujące zespoły:

- generator pojedynczego impulsu - GPJ,
- zegar impulsów taktujących o czasie repetycji T ,
- rejestr pierścieniowy z przesuwaniem informacji,
- układy formujące ciągi sterujące pakiety badane.

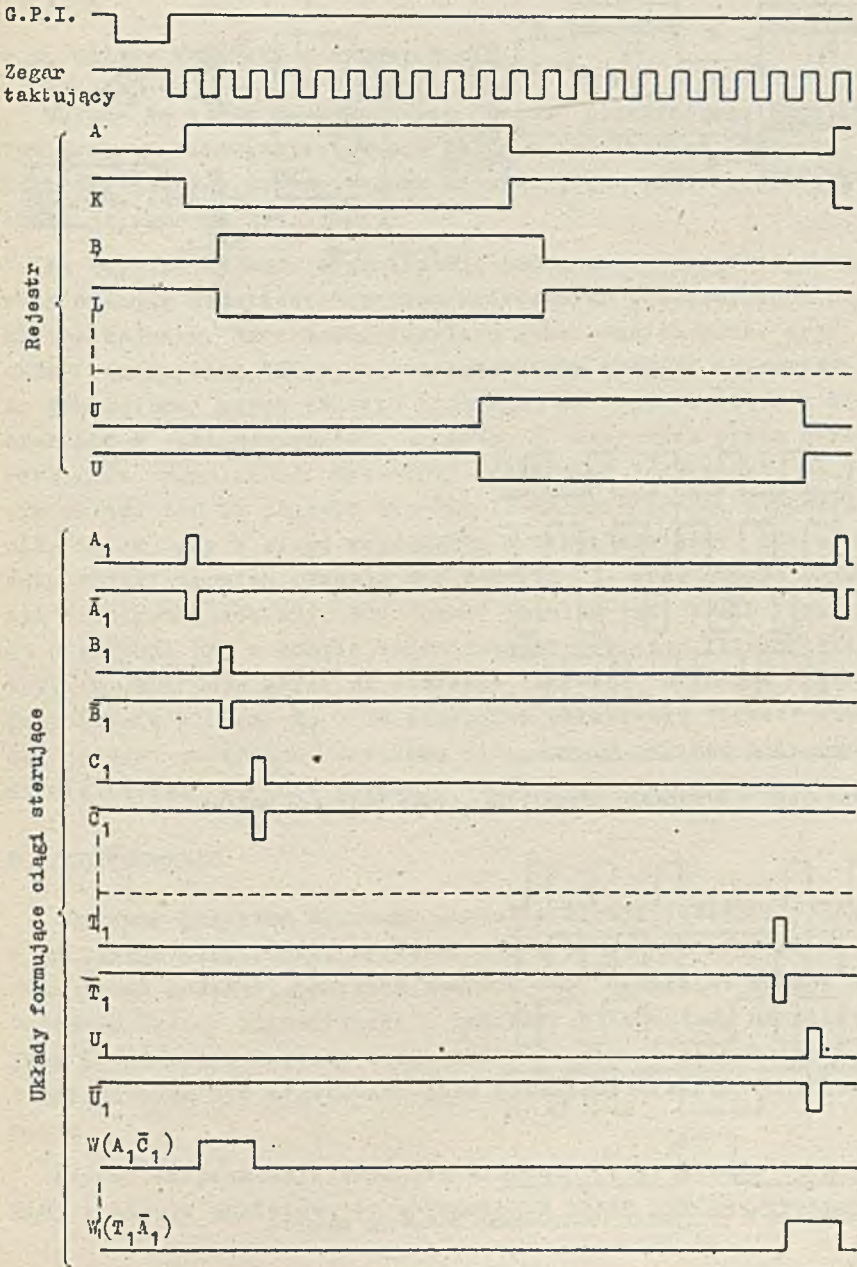
GPJ, składający się z klucza, inwerterów S50-I oraz układów S50-0, zeruje w chwili naciśnięcia klucza wszystkie przerzutniki wchodzące w skład generatora ciągów sterujących, a następnie uruchamia zegar impulsów taktujących.

Zegar ten zbudowany jest z dwu układów opóźnienia S50-0, pracujących w pętli generacyjnej oraz wzmacniaczy mocy S50-M, sterujących wejścia liczące przerzutników rejestru.

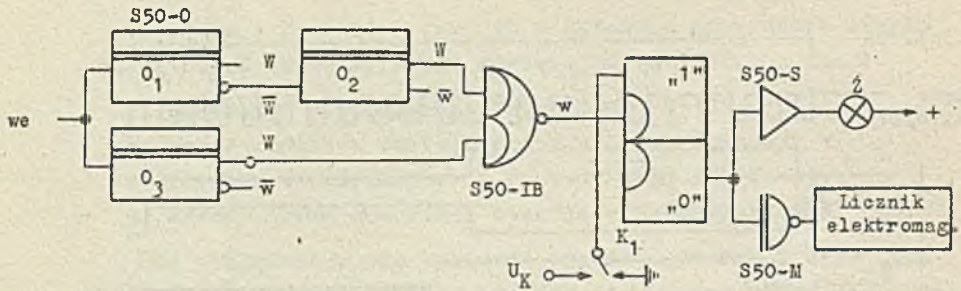
Rejestr pierścieniowy z przesuwaniem informacji zbudowany jest z 10 układów przerzutników S50-P. Połączenia między wyjściami przerzutnika P_{10} /końcowa pozycja rejestru pierścieniowego/ a wejściami przerzutnika P_1 /początkowa pozycja rejestru pierścieniowego/ wykonane zostały w odwrotny sposób niż połączenia pomiędzy wejściami i wyjściami pozostałych przerzutników^{*)}. W czasie jednego taktu zegara zostaje przełączany tylko jeden przerzutnik rejestru. Każdy z przerzutników współpracuje z odpowiednim układem formującym S50-F generującym dodatnie impulsy o standartowej szerokości. Ciągi impulsów dodatnich generowanych przez układy formujące oznaczono na rys. 14, rys. 15, rys. 16 jako A_1, B_1, \dots, U_1 . Ciągi impulsów ujemnych $\bar{A}_1, \bar{B}_1, \dots, \bar{U}_1$, stosowane do badania pakietów z układami, na wejściu których realizowana jest funkcja iloczynu logicznego, uzyskiwane są z układów S50-M sterowanych przez układy formujące.

Ciągi impulsów dodatnich używane przy badaniu pakietów zawierających układy S50-IB otrzymuje się na wyjściu przerzutników S50-P podając na ich wejścia zmiennoprądowe ciągi A_1 i \bar{C}_1 ; C_1 i \bar{E}_1 itd.

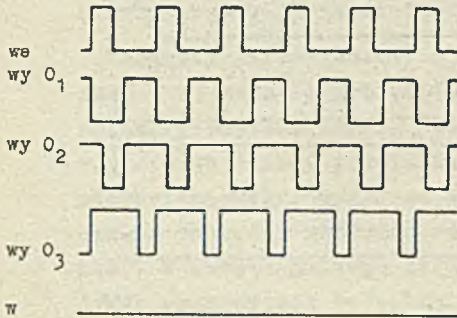
^{*)} Rejestr pierścieniowy zamykany w pętlę w sposób opisany powyżej nazywany jest czasem w literaturze licznikiem Möbiusa lub "twisted ring".



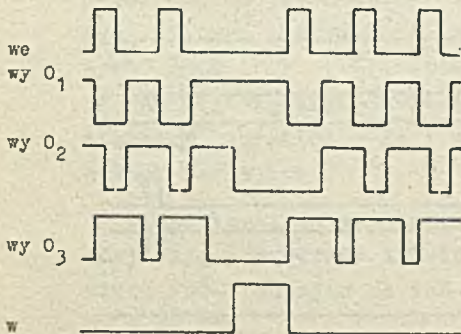
Rys. 16. Przebiegi czasowe w układzie generatora ciągów sterujących



Rys. 17. Schemat logiczny układu kontroli i sygnalizacji - U.K.S.



a/ przebiegi w przypadku prawidłowej pracy badanego pakietu



b/ przebiegi w przypadku uszkodzenia badanego pakietu

Rys. 18. Przebiegi czasowe w układzie U.K.S.

Ciągi te oznaczono na rys. 14, rys. 15, rys. 16 jako:
 $W(A_1 \bar{C}_1)$; ... $W(T_1 \bar{A}_1)$.

4.3. Układy kontroli i sygnalizacji

Układy te służą do wykrywania "braku" pojedynczego impulsu, lub grupy w ciągu wyjściowym z układów dodatkowych. Schemat logiczny układów przedstawiono na rys. 17, a odpowiednie przebiegi czasowe na rys. 18.

Na wejście układów sygnalizacji podawane są ciągi impulsowe z układów dodatkowych przyporządkowanych poszczególnym pakietom badanym. Szerokości impulsów generowanych przez trzy układy opóźnienia S50-0 są dobrane w taki sposób, iż w przypadku prawidłowej pracy pakietu badanego, na wyjściu układów S50-IB oraz S50-P jest poziom "0". Żarówka Z sterowana przez układ wskaźnika sygnalizacji świetlnej S50-S jest "zgaszona". Na wyjściu układu S50-IB pojawia się impuls zmieniający stan przerzutnika S50-P, gdy w ciągu wejściowym wystąpi chwilowy lub okresowy "brak" impulsu. Zapala się żarówka Z oraz działa licznik elektromagnetyczny. Gdy "brak" impulsu jest krótkotrwały, co występuje np. w czasie badań jakości połączeń lutowniczych pakietu lub odporności na wibracje, żarówkę Z można "zgasić" przy użyciu klucza K_1 . W przypadku okresowego "braku" impulsu, co jest równoznaczne trwałemu uszkodzeniu pakietu badanego, użycie klucza K_1 nie powoduje "zgaszenia" żarówki.

5. PODSUMOWANIE

Opisany przyrząd wykonany został w wersji laboratoryjnej w Zakładzie Elektroniki Cyfrowej IMM i przeznaczony jest do badania 12 rodzajów pakietów zespołu S50. Generator ciągów sterujących układy sygnalizacji i kontroli oraz układy uzupełniające i dodatkowe zostały zbudowane z 34 pakietów techniki S50. Przyrząd może być traktowany jako serwisowe urządzenie przenośne.

Próbna eksploatacja wykazała przydatność przyrządu do szybkiej kontroli pakietów, po zakończeniu cyklu produkcyjnego oraz

do badań prawidłowości funkcjonowania w warunkach występowania oddziaływań czynników zewnętrznych.

Zdaniem autorek istnieje możliwość budowania przyrządów do sprawdzania pakietów innych technik w oparciu o przedstawione metody kontroli i sposób generacji ciągów sterujących. Należy zwrócić uwagę, iż dla technik charakteryzujących się dużą jednorodnością układów podstawowych i pakietów, rozwiązanie przyrządu tego typu nie wymaga zastosowania dużej ilości sprzętu.

Najlepsze rezultaty odnośnie zmniejszenia liczby układów w przyrządzie można uzyskać w przypadkach, gdy liczby wejść logicznych na pakietach badanych nie różnią się znacznie /eliminuje to część układów uzupełniających/.

Autorki składają podziękowanie mgr inż. Z. Świątkowskiemu za cenne uwagi w czasie opracowywania przyrządu oraz technikowi P. Daniewskiemu za wykonanie i uruchomienie modelu laboratoryjnego.

Literatura

- [1] KANIA B., KOWALEWSKA M., DANIEWSKI P.: Opis przyrządu TESTER S50. IMM T-OT-394-D, 1967
- [2] KOJEMSKI A., KOWALEWSKA M., ŚWIĄTKOWSKI Z.: Kremnijevye logičeskie schemy S50, Prace IMM, Zeszyt 2, 1968
- [3] KOJEMSKI A., KULIŃSKA E., SINKIEWICZ T., ŚWIĄTKOWSKI Z.: Optymalizacja parametrów dynamicznych układu logicznego typu NAND, referat na krajową Konferencję Naukowo-Techniczną, "Układy logiczne i automatyzacja przemysłu", październik 1967:1.
- [4] Praca zbiorowa: Warunki Techniczne na pakiety techniki S50. IMM, T-WT-751-D 1967
- [5] Praca zbiorowa: Dokumentacja pakietów techniki S50. IMM 1967
- [6] Praca zbiorowa: Katalog techniki S50, /w przygotowaniu do druku/.

УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПЛАТОВ С ЛОГИЧЕСКИМИ СХЕМАМИ

Резюме

В работе описан простой метод контроля правильной работы логических схем, а также приведена обшая информация по устройству для контроля платов комплекса В 60. Метод контроля объясняется на следующих примерах:

- платы со схемами реализующими логическую функцию "НЕ-И"
- платы со схемами реализующими логическую функцию "НЕ-ИЛИ-И".

Контроль правильной работы заключается в наблюдении формы напряжений на входах и выходах проверяемых схем, а также на выходе добавочной логической схемы. (Выходы проверяемых схем соединяются с входами добавочной схемы). Функция добавочной схемы подбирается в зависимости от логической функции схем на проверяемом платке. Кроме того, необходимо управлять входы контролируемых схем соответственно подобранными последовательностями импульсов.

Если все схемы проверяемого платка работают правильно, на выходе добавочной схемы появляется полная последовательность импульсов. В случае катастрофического повреждения одной из схем проверяемого платка, на выходе добавочной схемы некоторые импульсы исчезают из последовательности. Временные или постоянные "отсутствия" импульсов обнаруживаются и запоминаются.

Логическую функцию, реализуемую добавочной схемой подбирается по таблице I.

Последовательности импульсов, управляющие входами проверяемых схем, определяются следующим образом:

- а) случай когда схемы контролируемого платка реализуют функцию "НЕ-И";
- на входы схем подаются независимые друг от друга последовательности отрицательных импульсов шириной τ ,
 - последовательность импульсов, управляющих очередными входами, сдвинута относительно друг к другу на время T , несколько раз больше τ ,
 - период всех последовательностей импульсов равен

$$T_R = \tau \sum_{r=1}^{r=n} n(r_1)$$

- б) случай когда схемы контролируемого платка реализуют функцию "НЕ-ИЛИ-И"
- $[n, (j, i) - 1]$ - входов j -той диодной схемы "И" i -той схемы "НЕ-ИЛИ-И" платки управляются независимыми последовательностями отрицательных импульсов шириной T . Последовательности импульсов сдвинуты относительно друг к другу на время T , несколько раз больше τ

- один из входов j -той входной схемы "И" r -той схемы "НЕ-ИЛИ-И" управляется последовательностью положительных импульсов шириной

$$\theta_{n(rj)} = [n(rj) - 1] \cdot \tau + [\tau - \tau]$$

- временные интервалы между фронтом положительного импульса и срезами отрицательных импульсов равны

$$(\tau - \tau); \tau + (\tau - \tau); \dots [(n(rj) - 2) \tau + (\tau - \tau)]$$

- фронты очередных последовательностей положительных импульсов сдвинуты относительно друг к другу на время

$$[\theta_{n(rj)} + \tau]$$

- период всех последовательностей импульсов равен T_R . Эпюры напряжения для случая контроля платы с 3 схемами "НЕ-И" приведены на Рис. 4 - Рис. 6.

Эпюры на рис. 4 соответствуют правильной работе всех схем, а эпюры на рис. 5 и 6 - катастрофическому повреждению одной схемы.

Аналогичные эпюры напряжения для платы с 2 схемами "НЕ-ИЛИ-И" приведены на рис. 8 - рис. 10.

Рис. 15, 16, 18 и 19 объясняют метод генерирования управляющих импульсных последовательностей к работе схем обнаруживающих "отсутствия" импульсов на выходе добавочной схемы.

Таблица I.

Тип схем	Количество схем на проверяемой плате	Количество аргументов произведения j -той суммы r -той логической схемы	Количество аргументов r -той логической схемы	Логическая функция реализуемая r -той проверяемой схемой	Логическая функция реализуемая добавочной схемой
Схемы реализующие логическую функцию "НЕ-И"	n	$n(rj)$	1	$W_r = \prod_{i=1}^{i=n(rj)} a_{rji}$	$W = \sum_{r=1}^{r=n} W_r$
Схемы реализующие логическую функцию "НЕ-И-ИЛИ"	n	$n(rj)$	k_r	$W_r = \sum_{j=1}^{j=k_r} \prod_{i=1}^{i=n(rj)} a_{rji}$	$W = \prod_{r=1}^{r=n} W_r$

TEST CONTROL DEVICE FOR MODULES WITH LOGIC CIRCUITS

Summary

The paper contains a description of a simple method of checking logic circuits, and general information on a device testing the S50 family modules. The method is presented in the following examples:

- module comprising circuits which realize NOT-AND logic functions
- module comprising circuits which realize NOT-OR-AND logic functions.

Checking the module correct operation consists in input and output voltage waveform observation in the tested circuits, and in the additional circuit output. Output waveforms from the checked circuits are transferred to the additional circuit inputs /see figs. 3 and 7/.

The logic function realized by the additional circuit, and pulse sequences driving the checked circuit inputs is properly chosen.

When all circuits of the checked module operate correctly, a full pulse sequence appears on the output of the additional circuit. In case a checked circuit is catastrophic damaged, "lacks" of pulses would appear in the sequence output of the additional circuit. Temporary or permanent "lacks" of pulses in the sequence are detected and stored.

Interdependence of the logic function, realized by the additional circuit, and of the logic functions realized by the checked circuits is given in Table 1.

Pulse sequences, driving the checked circuit inputs are determined as follows:

- a/ the case when the checked circuits realize the NOT-AND function
- the circuit inputs are driven by independent sequences of negative pulses of the width τ ,
 - the time of shift between sequences driving subsequent inputs, equals T which is several times greater than τ ,
 - the repetition time of all sequences is

$$T_R = \tau \cdot \sum_{r=1}^{r=n} m(r)$$

Table 1

Kinds of circuits	Number of circuits in the checked module	Number of product arguments of the j sum in r logic circuit	Number of arguments of the sum in r logic circuits	Logic function realized by the checked r circuit	Logic function realized by the additional circuit
Circuits realizing NOT-AND logic function	n	$m_{(r1)}$	1	$W_r = \prod_{i=1}^{i=m_{(r1)}} a_{r1i}$	$W = \sum_{r=1}^{r=n} W_r$
Circuits realizing NOT-OR-AND logic function	n	$m_{(rj)}$	k_r	$W_r = \sum_{j=1}^{j=k_r} \prod_{i=1}^{i=m_{(rj)}} a_{rji}$	$W = \prod_{r=1}^{r=n} W_r$

b/ The case when circuits realize the NOT-OR-AND function

- $[m_{(rj)} - 1]$ logic inputs of j AND gate in r circuit are driven by independent sequences of negative pulses of the width τ . These sequences are shifted subsequently by the time T , several times greater than τ
- one of the logic inputs of the j AND gate, the r circuit is driven by a sequence of positive pulses of the width

$$\Theta_{m_{(rj)}} = [m_{(rj)} - 1] \cdot T + [T - \tau]$$

- time intervals between the positive front of the positive pulse and negative fronts of negative pulses are: $(T - \tau)$; $T + (T - \tau)$; $[(m_{(rj)} - 2) T + (T - \tau)]$
- positive fronts of subsequent positive pulse sequences are shifted one to another by the time $[\Theta_{m_{(rj)}} + \tau]$
- repetition time of all sequences is T_R .

The voltage waveforms for the checked module comprising 3 circuits which realize NOT-AND function are given in figs. 4, 5 and 6. In the

case presented in fig. 4 all circuits operate correctly. In figs. 5 and 6 the voltage waveforms for the checked module are presented in cases of catastrophic damages of one of the circuits.

Analogous voltage waveforms for the checked module that comprises 2 circuits realizing NOT-OR-AND function are given in figs. 8, 9 and 10.

The mode of generating the driving sequences, as well as circuit operations detecting pulse "lacks" on the additional circuit outputs are presented in figs. 15, 16, 18 and 19.

ANALIZA PARAMETRÓW DYNAMICZNYCH
UKŁADÓW PODSTAWOWYCH NAND

Tadeusz SINKIEWICZ
Zbigniew ŚWIĄTKOWSKI

Pracę złożono 25.04.1968

Podano definicje i metodę wyznaczania dynamicznych parametrów tranzystorowych układów logicznych NAND. Zależności analityczne wyprowadzono stosując metodę najgorszego przypadku w oparciu o ładunkową teorię przełączania tranzystora. Określono schematy czynnościowe do obliczania wartości parametrów czasowych na maszynie cyfrowej i podano niektóre wyniki obliczeń.

SPIS TREŚCI

Wykaz podstawowych symboli	40
1. WSTĘP	42
2. PRZEKAZYWANIE SYGNAŁÓW W SIECI LOGICZNEJ	43
3. ANALIZA SKŁADOWYCH CZASU PROPAGACJI	48
3.1. Opóźnienie (t_d)	48
3.2. Narastanie (t_r)	56
3.3. Magazynowanie (t_s)	63
4. WYNIKI OBLICZEŃ I POMIARÓW	66
5. WNIOSKI	70
Literatura	71
DODATEK	72
Resumé	79
Summary	81

Wykaz podstawowych symboli

t_d	- opóźnienie układu przy włączaniu
t_r	- czas narastania
t_s	- czas magazynowania
t_{du}	- czas włączania
t_{ud}	- czas wyłączenia
t_p	- średni czas propagacji
D_w	- dioda wejściowa
D_F	- dioda przesuwająca
U_k, U_s, U_p	- oznaczenia napięć zasilających
U_{BES}	- napięcie nasycenia baza-emiter
U_{CES}	- napięcie nasycenia kolektor-emiter
U_{DF}	- całkowity spadek napięcia na diodzie przesuwającej w kierunku przewodzenia
U_{DW}	- całkowity spadek napięcia na diodzie wejściowej w kierunku przewodzenia
U_{DOW}	- napięcie schematu zastępczego diody wejściowej D_w
U_{DOF}	- " " " " przesuwającej D_F
R_{DOW}	- oporność schematu zastępczego diody wejściowej D_w
R_{DOF}	- " " " " przesuwającej D_F
U_β	- napięcie bariery złącza baza-emiter
C_{TC}	- pojemność złącza kolektor-baza
C_{TCef}	- efektywna pojemność złącza kolektor-baza
C_{TE}	- pojemność złącza emiter-baza
C_{BCH}	- pojemność obudowy baza-kolektor
C_{BEH}	- pojemność obudowy baza-emiter
C_{CEH}	- pojemność obudowy kolektor-emiter
C_{ob}	- efektywna pojemność baza-kolektor / $C_{ob} = C_{TCef} + C_{BCH}$
C_o	- zewnętrzna pojemność obciążenia układu
ω_T	- pulsacja graniczna
Q_B	- ładunek gromadzony w bazie tranzystora
Q_{BS}	- ładunek nadmiarowy bazy tranzystora znajdującego się w nasyceniu
τ_B	- stała czasu bazy
τ_s	- stała czasu magazynowania
B	- wzmocnienie stałoprądowe tranzystora na granicy nasycenia
C_1, C_2, C_3	- pojemności schematu zastępczego do wyznaczania opóźnień układu

- k - dopuszczalna ilość bramek wejściowych
- m - dopuszczalna ilość diod wejściowych bramki
- n - obciążalność wyjściowa układu
- p - ilość diod przesuwających napięcie w dwójniku wejściowym układu

1. WSTĘP

Zależności czasowe między sygnałami na wejściu i wyjściu sieci logicznej, zbudowanej z określonego zbioru układów podstawowych, stanowią jeden z zasadniczych parametrów branych pod uwagę przy syntezie bloków cyfrowych EMC. Z tego względu istnieje potrzeba analitycznego wyznaczenia opóźnień sygnałów w oparciu o parametry dynamiczne układów podstawowych i z uwzględnieniem wpływu okablowania.

Problem ten rozpatrzono na przykładzie jednorodnej sieci logicznej, zbudowanej z układów zrealizowanych techniką diodowo-tranzystorową^{*)}.

Na podstawie analizy fizycznej procesu przesyłania sygnałów w sieci przełączającej, zrealizowanej z układów podstawowych NAND, wyprowadzono zależności umożliwiające analityczne wyznaczenie czasu propagacji sygnałów pomiędzy poszczególnymi punktami sieci. Zależności uzyskano w oparciu o ładunkową teorię przełączania tranzystorów. W przeprowadzonej analizie dla uproszczenia rozważań pominięto wpływ indukcyjności przewodów, a pojemności rozproszone montażu zostały zastąpione stałymi skupionymi, dołączonymi do wybranych węzłów układu logicznego. W zależnościach opisujących procesy przejściowe tranzystora wykorzystano typowe parametry dynamiczne podawane w katalogach, uzupełnione dodatkowymi danymi uzyskanymi z pomiarów. W miarę możliwości starano się uwzględnić zależność tych parametrów od prądów i napięć występujących w rzeczywistych układach. Wyznaczenie maksymalnych wartości opóźnień przeprowadzono metodą najgorszego przypadku. Zasada postępowania może być z powodzeniem wykorzystana w przypadku innych realizacji schematowych elementów logicznych, pod warunkiem, że czasy narastania zboczy są znacznie dłuższe od opóźnienia sygnałów w przewodach łączących, co pozwala na zastąpienie wpływu okablowania stałymi skupionymi.

^{*)} Jest to często spotykana realizacja elementów logicznych stosowanych w EMC.

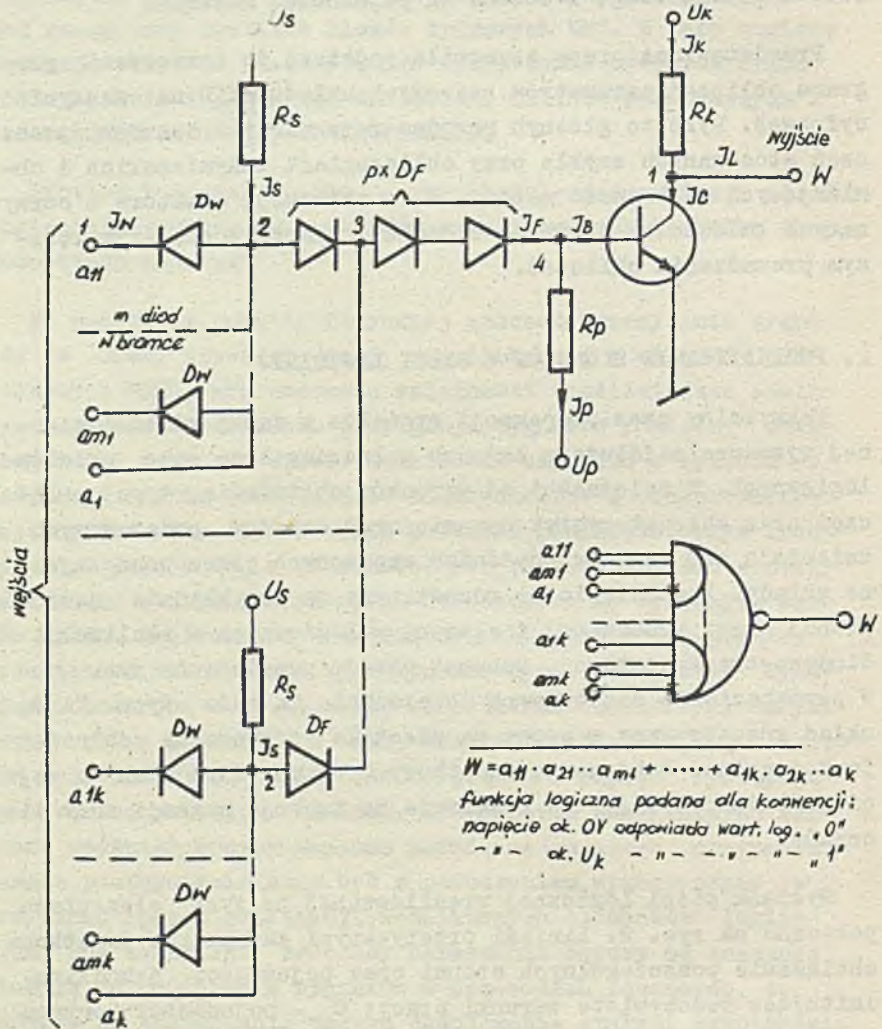
W schematach zastępczych układów podstawowych stosowanych w niniejszej pracy pominięte zostały indukcyjności przewodów, a główną uwagę zwrócono na pojemności montażu.

Przedstawiona praca stanowiła podstawę do opracowania programu obliczeń parametrów czasowych układu NAND na maszynie cyfrowej. Było to głównym powodem rezygnacji z szeregu uproszczeń stosowanych zwykle przy obliczeniach inżynierskich i obniżających dokładność metody. W konsekwencji niektóre z otrzymanych zależności są dosyć złożone i pracochłonne przy ręcznym prowadzeniu obliczeń.

2. PRZEKAZYWANIE SYGNAŁÓW W SIECI LOGICZNEJ

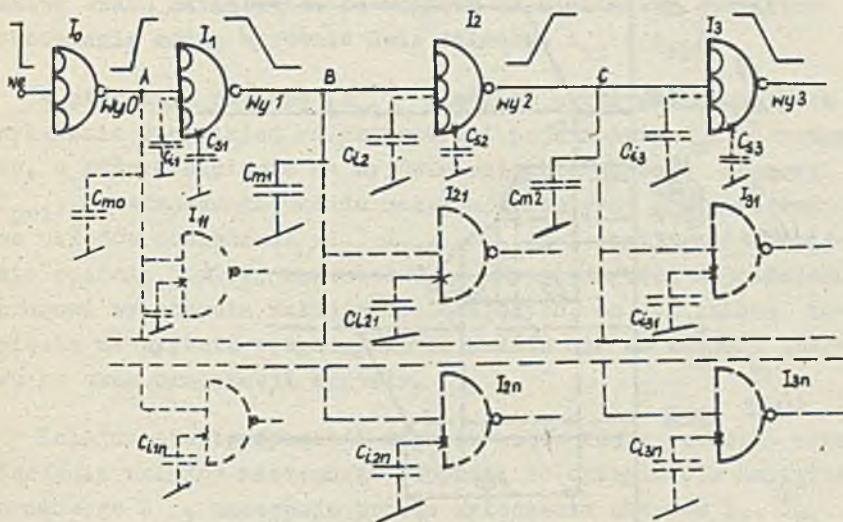
Maksymalny czas propagacji sygnałów w danej sieci logicznej wyznacza najdłuższy łańcuch połączonych ze sobą układów logicznych. W zależności od warunków obciążenia, typu połączeń oraz charakterystyk dynamicznych układów podstawowych zmieniają się wartości opóźnień wnoszonych przez poszczególne układy. Zagadnienie to rozpatrzymy na przykładzie jednorodnej sieci zbudowanej z elementów logicznych w realizacji diodowo-tranzystorowej. Schemat układu przedstawia rys. 1. W porównaniu do stosowanych powszechnie układów typu NAND, układ rozpatrywany w pracy ma znacznie rozszerzone zdolności funkcjonalne. Dołączenie dodatkowych bramek diodowych na wejściu układu powoduje, że realizuje on funkcję negacji sumy iloczynów.

Wycinek sieci logicznej zrealizowanej na tych elementach pokazano na rys. 2. Liniami przerywanymi zaznaczono dodatkowe obciążenie poszczególnych stopni oraz pojemności szkodliwe, imitujące rzeczywiste warunki pracy: C_m - pojemności montażu przewodów łączących poszczególne układy, C_1 - pojemności węzła działającej bramki diodowej, C_g - pojemności węzła sumy bramek diodowych. Podany schemat zastępczy stanowi pewne uproszczenie w stosunku do rzeczywistych warunków pracy układów, gdyż pominięto całkowicie indukcyjności doprowadzeń, na-



Rys. 1. Schemat ideowy układu NAND, jego symbol i realizowana funkcja logiczna

tomiast pojemności rozproszone zastąpiono pojemnościami skupionymi. W przypadku, gdy czasy trwania zboczy impulsów są kilkakrotnie dłuższe od czasu przekazywania sygnału wzdłuż przewodów łączących układy, przyjęta aproksymacja w miarę dokładnie oddaje charakter przebiegów rzeczywistych, a jednocześnie umożliwia stosunkowo prostą analizę matematyczną.

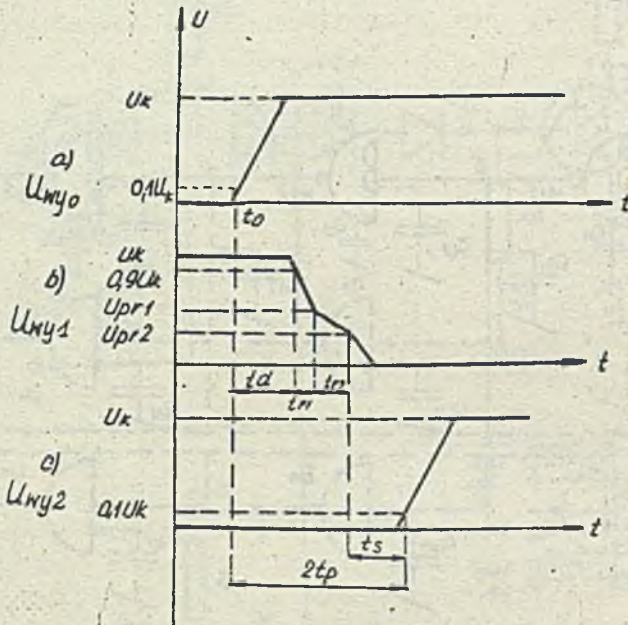


Rys. 2. Rozpatrywany wycinek sieci logicznej

- C_{mn} - pojemności montażu dołączone do wyjść
- C_{ink} - pojemności w węźle bramki iloczynu
- C_{snk} - pojemności w węźle bramki sumy

W pierwszej kolejności rozpatrzmy proces od strony fizycznej. Ze względu na występującą w układach inwersję sygnałów, omówimy procesy zachodzące w dwu bezpośrednio ze sobą współpracujących stopniach wyodrębnionych z łańcucha na rys.2 /węzły A i B/. Uproszczone przebiegi napięciowe oraz odpowiadające im składowe czasu propagacji przedstawiono na rys.3.

Ze względu na nieliniowość charakterystyki przenoszenia, spowodowaną włączeniem w szereg z bazą diodowego przewodzącego napięcie /rys. 1/, proces przełączania układu jest znacznie bardziej skomplikowany od procesu przełączania samego tranzystora obciążonego opornikiem.



Rys. 3. Przebiegi napięć przy propagacji sygnału w sieci logicznej /rys. 2/

- a/ Sygnał na wyjściu układu J_0
- b/ Sygnał na wyjściu układu J_1
- c/ Sygnał na wyjściu układu J_2

Przechodząc do analizy kolejnych faz przełączania układów założymy, że na wejściu łańcucha pojawił się ujemny skok napięcia, który po przejściu przez układ I_0 daje w węzle A skok dodatni. Proces włączania układu I_1 rozpoczyna się od ładowania pojemności wyjściowej odciętego tranzystora układu I_0 , pojemności wejściowej tranzystora układu I_1 znajdująca-

cego się w stanie odcięcia oraz pojemności szkodliwych C_{m0} , C_{11} i C_{B1} . Do chwili, gdy napięcie na bazie tranzystora nie osiągnie wartości równej potencjałowi bariery złącza, tranzystor nie przewodzi i napięcie na wyjściu układu nie ulega zmianie. Ten przedział czasu nazywany jest czasem opóźnienia i oznaczany dalej symbolem t_d /rys. 3/. Po przekroczeniu potencjału bariery złącza w obwodzie bazy zaczyna płynąć prąd wytwarzający gradient nośników mniejszościowych w obszarze bazy. Związany z tym prąd kolektora wywołuje w obwodzie wyjściowym spadek napięcia na oporności obciążenia. Faza ta nosi nazwę czasu narastania. Ze względu na nieliniowy charakter obciążenia można wyróżnić dwie składowe t_{r1} i t_{r2} .

W pierwszym okresie (t_{r1}) włączany układ obciążony jest wyłącznie opornikiem kolektorowym i pojemnością C_m . Od momentu, w którym napięcie na wyjściu osiągnie wartość progową U_{pr1} , do włączanego układu zaczynają dopływać prądy wejściowe układów obciążenia $I_2, I_{21} \dots I_{2n}$ /. Z chwilą, gdy napięcie opadnie poniżej wartości U_{pr2} odpowiadającej najniższemu progowi wyłączania układów obciążających, dalsza zmiana napięcia na wyjściu rozpatrywanego układu nie ma żadnego wpływu na czas propagacji sygnału.

Kolejny etap propagacji sygnału wiąże się z procesem przełączania układów następnego stopnia. Po osiągnięciu napięcia progowego U_{pr2} następuje proces wyłączania układów $I_2, I_{21} \dots I_{2n}$ /rys. 2/. W pierwszej fazie wyłączania, napięcie na wyjściu układu nie ulega zmianie ze względu na ładunek nadmiarowy zgromadzony w bazie tranzystora. Opóźnienie z tym związane nazwiemy czasem magazynowania /na rys. 3 odcinek oznaczony symbolem t_g /. Jest to podstawowy składnik opóźnienia, związany z wyłączeniem układu. Dalszy proces wyłączania określony jest głównie przez procesy ładowania pojemności obciążającej C_m . Ponieważ czas wyłączania tranzystora można pominąć w odniesieniu do czasów ładowania maksymalnych pojemności zewnętrznych /zgodnie z zasadą najgorszego przypadku/, nie będziemy uwzględniać jego wpływu na propagację sygnałów w sie-

ci. /Opóźnienia wynikające z ładowania pojemności C_m rozpatrywane są przy analizie czasu opóźnienia t_d /.

Suma omówionych opóźnień określa całkowity czas propagacji sygnału przez dwa układy podstawowe.

Wprowadzimy następujące definicje:

1. Czas włączania układu $t_{du} = t_d + t_{r1} + t_{r2}$ /1/
2. Czas wyłączania układu $t_{ud} = t_s$ /2/
3. Średni czas propagacji $t_p = \frac{t_{ud} + t_{du}}{2}$ /3/

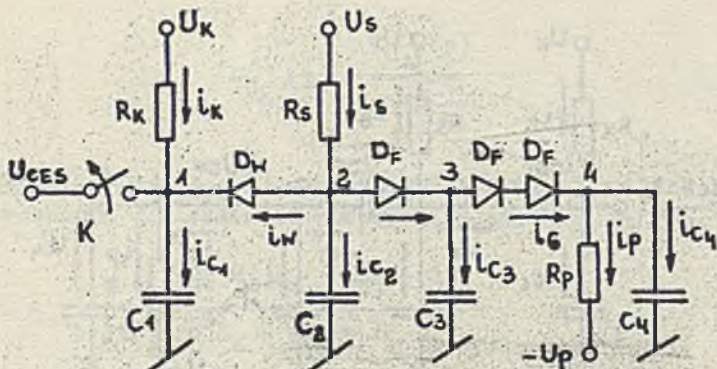
Wartość t_p jest miarą szybkości działania elementów logicznych w określonych warunkach pracy. Wprowadzony sposób definiowania czasu t_p odbiega od stosowanej powszechnie metody wyznaczania średniego czasu propagacji jako przesunięcia zbocza sygnału /w połowie jego amplitudy/ po przejściu przez dwa układy podstawowe. Celem empirycznego wyznaczenia t_p , zgodnie z podaną definicją, należy zmierzyć wartości opóźnień układów / t_{ud} i t_{du} / przy sterowaniu wejścia układu ujemnym i dodatnim skokiem napięcia /praktycznie sygnałem o bardzo stromym zboczu/. Opierając się na przyjętej definicji można /jak to wykazemy dalej/ wyznaczyć wartość t_p na drodze analitycznej.

3. ANALIZA SKŁADOWYCH CZASU PROPAGACJI

3.1. Opóźnienie (t_d)

Schemat zastępczy obwodu wejściowego włączanego układu^{*)} z uwzględnieniem pojemności szkodliwych przedstawiono na rys. 4.

^{*)} Włączanie i wyłączanie układu będziemy utożsamiać z włączaniem i wyłączaniem tranzystora.



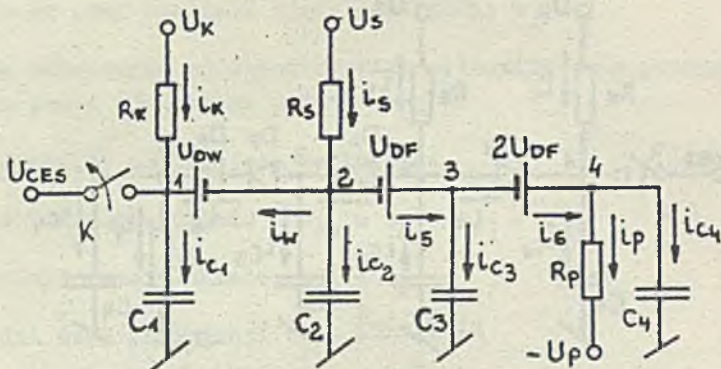
Rys. 4. Schemat zastępczy obwodu wejściowego układu NAND

Pojemność C_1 odzwierciedla pojemność montażu oraz zastępczą pojemność wyjściową wyłączanego tranzystora sterującego omawianym układem. Pojemności złącz diod wejściowych układu oraz pojemności montażu tych diod przedstawione są w postaci pojemności zastępczej C_2 . Podobnie pojemności diod przesuwających oraz przewodów łączących je z węzłem 3 /rys. 1/ zastąpione są pojemnością C_3 . Pojemność C_4 ma wartość odpowiadającą sumie zastępczych pojemności złącz emiter-baza $/C_{TEB}^*$ i kolektor-baza $/C_{TCB}^*$ wraz z pojemnościami doprowadzeń tranzystora $/C_{BCH}, C_{BEH}/$.

Diody schematu zastępczego z wystarczającą dokładnością można aproksymować za pomocą źródeł napięcia odpowiadających całkowitym spadkom napięć na diodach U_{DF}, U_{DW} , przy zadanym prądzie przewodzenia.

W rezultacie schemat zastępczy przyjmuje postać przedstawioną na rys. 5.

* Sposób określania pojemności schematu zastępczego podano w Dodatku 1.



Rys. 5. Schemat zastępczy 1 do obliczeń opóźnienia t_d w przypadku, gdy $i_w(0) > 0$.

Wartość czasu t_d wyznaczamy z wyrażenia określającego przebieg napięcia na pojemności C_4 zgodnie z przyjętą wcześniej definicją. W trakcie obliczeń należy badać znak prądu $i_w(t)$. Jeżeli prąd $i_w(t)$ przyjmuje wartość ujemną, oznacza to, że zaistniały warunki, przy których dioda wejściowa D_w zostaje zatkana, w związku z czym przedstawiony na rys. 5 schemat zastępczy może być uproszczony^{*)}.

Zależności określające opóźnienie t_d otrzymujemy w rezultacie rozwiązania układu równań opisujących procesy przejściowe w schemacie przedstawionym na rys. 5. Interesować nas będą przebiegi po rozwarciu klucza K, który w stanie zwarcia utrzymuje w węzle 1 napięcie U_{GES} .

Napięcie na pojemności C_4 w postaci operatorowej określa zależność

^{*)} Zagadnienie to omówimy bardziej szczegółowo po uzyskaniu zależności analitycznej dla prądu $i_w(t)$.

$$U_{C_4}(p) = \frac{i_{C_4}(p)}{pC} \quad /4/$$

Wyrażenie dla $i_{C_4}(p)$ znajdujemy rozwiązując układ równań Kirchoffa dla schematu zastępczego podanego na rys. 5.

$$i_{C_4}(p) = \frac{W}{p + Z} + \frac{C_4 R_s R_p (pB_1 - Q_1)}{p^2 E_2 + pF_2 + G_2} \quad /5/$$

gdzie:

$$W = \frac{(U_s - U_{CES} - U_{Dw})(R_p + R_s) - (U_s - 3U_{DF} + U_p) R_s}{R_s R_p l_1} \quad /6/$$

$$Z = \frac{R_p + R_s}{C_4 R_s R_p l_1} \quad /7/$$

$$B_1 = C_1 R_k \left[(U_{CES} + U_{DF}) \left(1 + \frac{R_p}{R_s} \right) - U_s \frac{R_p}{R_s} - 3U_{DF} + U_p \right] + 1 C_2 R_p U_k - U_{CES} \quad /8/$$

$$Q_1 = U_s \frac{R_p}{R_s} + 3U_{DF} - (U_k + U_{Dw}) \left(1 + \frac{R_p}{R_s} \right) - U_p \quad /9/$$

$$E_2 = C_4 R_s R_p^2 R_k l_1 (1 C_2 + C_1) \quad /10/$$

$$F_2 = C_4 R_s R_p l_1 \left[R_p + R_k \left(1 + \frac{R_p}{R_s} \right) \right] + (R_p + R_s) (1 C_2 + C_1) R_p R_k \quad /11/$$

$$G_2 = (R_p + R_s) \left[R_p + R_k \left(1 + \frac{R_p}{R_s} \right) \right] \quad /12/$$

$$1 = 1 + \frac{C_3}{C_2} + \frac{C_4}{C_2} \quad /13/$$

$$1_1 = 1 + \frac{C_2}{C_4} + \frac{C_3}{C_4} \quad /14/$$

Zależność /14/ możemy zapisać również w postaci

$$i_{C_4}(p) = \frac{W}{p + Z} + \frac{C_4 R_s R_D B_2}{E_3} \cdot \frac{p - Q_2}{p^2 + pF_3 + G_3} \quad /15/$$

gdzie: $F_3 = \frac{F_1}{E_1}$; $G_3 = \frac{G_1}{E_1}$; $Q_3 = \frac{Q_1}{B_1}$.

Napięcie na pojemności C_4 wyrażone będzie zatem zależnością

$$U_{C_4}(p) = \frac{i_{C_4}(p)}{pC_4} = \frac{W}{C_4 p (p + Z)} + \frac{R_s R_D B_1}{E_1} \cdot \frac{p - Q_2}{p(p^2 + pF_3 + G_3)} \quad /16/$$

W przypadku, gdy wielomian $p^2 + pF_3 + G_3$ ma dwa pierwiastki ujemne γ_1, γ_2 , to dla /16/ otrzymujemy następującą odwrotną transformatę Laplace'a .

$$U_{C_4}(t) = \left[U_s - U_{CES} - U_{DW} + \right.$$

$$\begin{aligned}
 & - \frac{R_s (U_s - 3U_{DF} + U_D)}{R_p + R_s} \left] (1 - e^{-Zt}) + \right. \\
 & + \frac{B_1}{C_4 R_p R_k l_1} \left[\frac{y_1 - Q_2}{y_1 (y_1 - y_2)} e^{y_1 t} + \right. \\
 & \left. \left. + \frac{y_2 - Q_2}{y_2 (y_2 - y_1)} e^{y_2 t} - \frac{Q_2}{y_1 y_2} \right] \right. \quad /17/
 \end{aligned}$$

Wartość opóźnienia t_d otrzymujemy w rezultacie rozwiązania następującego równania względem zmiennej t , szukając takiej wartości t , dla której spełnione jest równanie

$$U_{C_4}(t) = U_\emptyset - U_{C_4 0} \quad /18/$$

gdzie $U_{C_4 0}$ - napięcie początkowe na pojemności C_4
 U_\emptyset - napięcie barierzy złącza emiter-baza

$$U_{C_4 0} = U_{CES} + U_{DW} - 3U_{DF} \quad /19/$$

Celem ustalenia, czy w konkretnie rozpatrywanym przypadku przez diodę D_w płynie prąd, należy znaleźć analityczne wyrażenie dla $i_w(t)$.

W rezultacie rozwiązania równań Kirchhoffa w postaci operatorowej dla schematu zastępczego podanego na rys. 5 otrzymujemy:

$$i_w(p) = \frac{Q_1 - pB_1}{p(pE_1 + F_1)} \quad /20/$$

gdzie:

$$E_1 = R_k R_p (C_1 + l C_2) \quad /21/$$

$$F_1 = \left(\frac{R_p}{R_s} + 1 \right) R_k + R_p \quad /22/$$

Wartości Q_1 i B_1 są identyczne jak w /5/.

Znajdujemy odwrotną transformatę Laplace'a

$$i_w(t) = \frac{Q_1}{F_1} - \left(\frac{Q_1}{F_1} + \frac{B_1}{E_1} \right) e^{-\frac{F_1}{E_1} t} \quad /23/$$

skąd dla $t = 0$ mamy

$$i_w(0) = -\frac{B_1}{E_1} \quad /24/$$

Ponieważ zawsze $E_1 > 0$, wobec czego do określenia znaku prądu $i_w(0)$ wystarczy znajomość znaku współczynnika B_2 . W rezultacie otrzymujemy następujące relacje:

$$\text{jeśli } B_1 > 0 \text{ to } i_w(0) < 0 \quad /25/$$

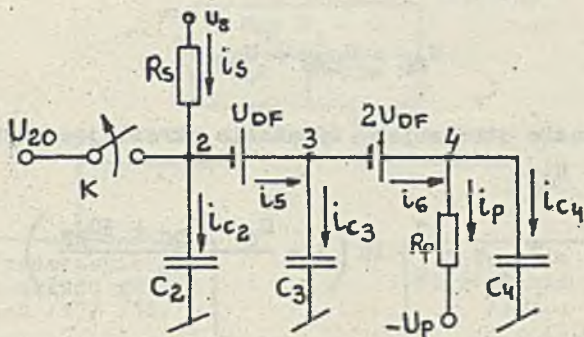
$$B_1 = 0 \text{ to } i_w(0) = 0 \quad /26/$$

$$B_1 < 0 \text{ to } i_w(0) > 0 \quad /27/$$

Jeżeli spełniona jest relacja /27/, posługujemy się schematem zastępczym podanym na rys. 5, a wartość opóźnienia przy włączaniu, określoną na podstawie tego schematu i nazywaną dalej opóźnieniem t_{d_1} , możemy obliczyć posługując się wyrażeniami /17/ oraz /18/. W przypadku, gdy zachodzi relacja /25/ lub /26/ oznacza to, że po rozwarciu klucza K / $t = 0$ / dioda wejściowa D_w nie przewodzi. Obliczenia przeprowadzać należy wówczas na podstawie uproszczonego schematu zastępczego, w którym pominięto diodę D_w /rys. 6/. Otrzymaną w ten sposób wartość opóźnienia oznaczać będziemy dalej symbolem t_{d_2} .

Stosując przekształcenie Laplace'a i rozwiązując układ równań Kirchhoffa dla rozpatrywanego schematu po rozwarciu klucza K otrzymujemy:

$$U_{C_4}(p) = \frac{(U_s - U_{20})(R_s + R_p) - R_s(U_s - 3U_{DF} + U_D)}{pC_4 R_s R_p L_1 \left(p + \frac{R_s + R_p}{C_4 R_s R_p L_1} \right)} \quad /28/$$



Rys. 6. Schemat zastępczy 2 do obliczeń opóźnienia t_d w przypadku, gdy $i_v(0) \ll 0$.

W zależności wykorzystano relację $U_{C_4}(p) = \frac{i_{C_4}(p)}{pC_4}$ i oznaczenie /14/.

Wykonując odwrotne przekształcenie Laplace'a otrzymujemy wyrażenie określające przebieg napięcia na pojemności C_4 w funkcji czasu o postaci:

$$U_{C_4}(t) = P(1 - e^{-Zt}) \quad /29/$$

gdzie:

$$P = \frac{(U_s - U_{20})(R_s + R_p) - R_s(U_s - 3U_{DF} + U_D)}{R_s + R_p} \quad /30/$$

Z - zgodnie z /7/.

Wartość opóźnienia t_{d2} wyznaczamy rozwiązując łącznie równania /29/, /18/ i wykorzystując relację:

$$U_{C_4 0} = U_{20} - 3U_{DF} \quad /31/$$

gdzie: U_{20} - napięcie początkowe na pojemności C_2 określone wyrażeniem

$$U_{20} = U_{CES} + U_{DW} \quad /32/$$

W rezultacie otrzymujemy wyrażenie określające wartość opóźnienia t_{d_2}

$$t_{d_2} = -\frac{1}{Z} \ln \left(1 - \frac{U_{\phi} - U_{20} + 3U_{DF}}{P} \right) \quad /33/$$

Przy obliczaniu wartości maksymalnych \bar{t}_{d_1} lub \bar{t}_{d_2} do formuł /17/, /33/ podstawiać należy następujące wartości ekstremalne:

$$\bar{C}_1, \bar{C}_2, \bar{C}_3, \bar{C}_4, \bar{R}_k, \bar{R}_B, \bar{U}_{DF}, \bar{U}_p, \bar{U}_{\phi}, \underline{U}_{20}, \underline{U}_s, \underline{U}_k, \underline{U}_{CES}, \underline{U}_{DW}, \underline{R}_p$$

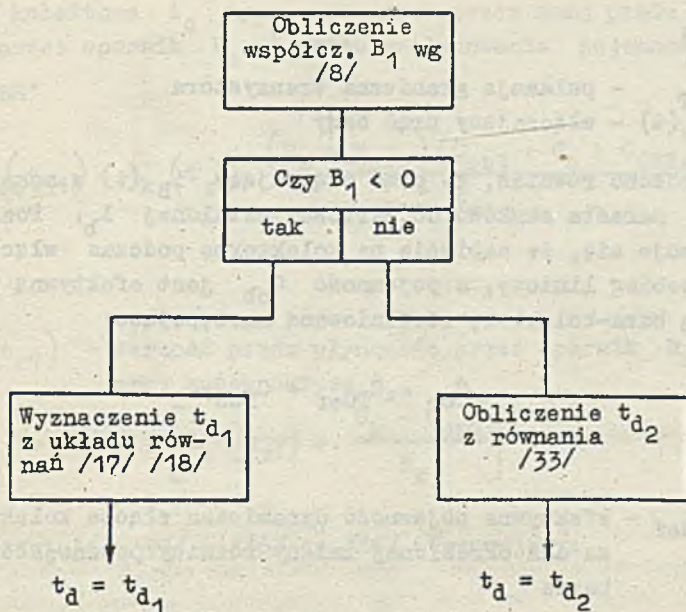
Sieć działań określająca sposób postępowania przy wyznaczaniu wartości opóźnienia t_d podano na rys. 7.

3.2. Narastanie (t_r)

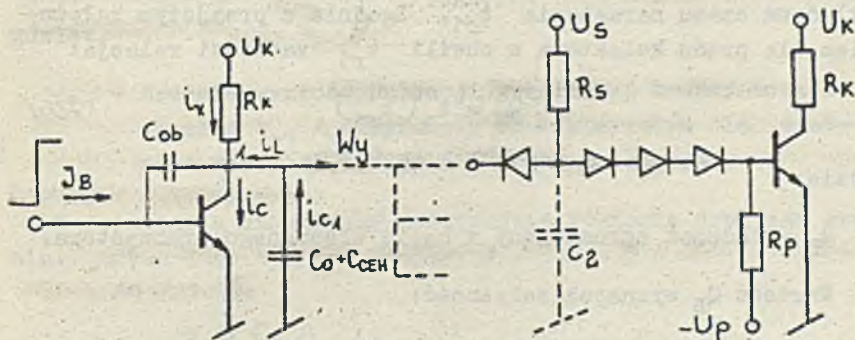
Rozważania przeprowadzimy posługując się schematem przedstawionym na rys. 8.

Dokładne wyznaczenie czasu narastania dla przedstawionego schematu wymaga rozwiązania układu nieliniowych równań różniczkowych. Podane dalej rozwiązanie przybliżone uzyskano zakładając, że prąd kolektora i_o może być określony spotykaną często w literaturze zależnością:

$$i_o = \omega_T \int_0^t i_B(t) dt \quad /34/$$



Rys. 7. Sieć działań przy wyznaczaniu opóźnienia t_d



Rys. 8. Schemat do obliczania czasu narastania t_r

gdzie:

ω_T - pulsacja graniczna tranzystora
 $i_B(t)$ - włączający prąd bazy

Założono również, że prąd włączający $i_B(t)$ w momencie $t = 0$ narasta skokowo do wartości ustalonej I_B . Poza tym przyjmuje się, że napięcie na kolektorze podczas włączania ma przebieg liniowy, a pojemność C_{ob} jest efektywną pojemnością baza-kolektor, zdefiniowaną następująco:

$$C_{ob} = C_{TCef} + C_{BCH} \quad /35/$$

gdzie:

C_{TCef} - efektywna pojemność dynamiczna złącza kolektor-baza dla określonej zmiany różnicy potencjałów na bazie

C_{BCH} - pojemność obudowy baza-kolektor.

Obliczenie czasu narastania zgodnie z rozważaniami przeprowadzonymi w p. 1 zrealizujemy w dwu etapach.

W pierwszej kolejności wyprowadzimy zależność określającą składową czasu narastania t_{r1} . Zgodnie z przyjętym założeniem dla prądu kolektora w chwili t_{r1} zachodzi relacja:

$$\omega_T Q_B = i_o(t_{r1}) \quad /36/$$

gdzie:

Q_B - ładunek zgromadzony w bazie włączanego tranzystora.

Wartość Q_B wyznacza zależność:

$$Q_B = I_B \cdot t_{r1} - (U_k - U_{pr1}) C_{ob1} \quad /37/$$

gdzie:

C_{ob1} - efektywna pojemność baza-kolektor dla okresu włączania t_{r1} .

Prąd kolektora i_o wyznaczony jest przez sumę prądu płynącego przez opornik R_k i prądu rozładowania pojemności $C_o + C_{CEH}$.

$$i_o(t_{r1}) = i_k(t_{r1}) + \frac{(U_k - U_{pr1})(C_{ob1} + C_o + C_{CEH})}{t_{r1}} \quad /38/$$

gdzie:

$i_k(t_{r1})$ - wartość prądu płynącego przez opornik R_k przy końcu okresu t_{r1}

$$\left[i_k(t_{r1}) = \frac{U_k - U_{pr1}}{R_k} \right]$$

Podstawiając /37/ i /38/ do /36/ otrzymujemy:

$$\begin{aligned} \omega_{T1} \left[I_B t_{r1} - (U_k - U_{pr1}) C_{ob1} \right] &= \\ = i_k(t_{r1}) + \frac{(U_k - U_{pr1})(C_{ob1} + C_o + C_{CEH})}{t_{r1}} & \quad /39/ \end{aligned}$$

gdzie:

ω_{T1} - średnia wartość pulsacji granicznej tranzystora w okresie t_{r1} /odczytana z charakterystyk dla średnich wartości napięcia i prądu kolektora/.

W rezultacie uzyskujemy następujące równanie drugiego stopnia:

$$\begin{aligned} I_B t_{r1}^2 - \left[(U_k - U_{pr1}) C_{ob1} + \frac{1}{\omega_{T1}} i_k(t_{r1}) \right] \cdot t_{r1} - \\ - \frac{1}{\omega_{T1}} (U_k - U_{pr1})(C_{ob1} + C_o + C_{CEH}) = 0 \end{aligned} \quad /40/$$

Rozwiązując równanie względem zmiennej t_{r1} otrzymujemy wyrażenie:

$$t_{r1} = \frac{A_4 + \sqrt{A_4^2 + B_4}}{2 I_B} \quad /41/$$

gdzie:

$$A_4 = (U_k - U_{pr1}) C_{BC1} + \frac{1}{\omega_{T1}} i_k(t_{r1}) \quad /42/$$

$$B_4 = \frac{4}{\omega_{T1}} I_B (U_k - U_{pr1}) (C_{ob1} + C_o + C_{CEH}) \quad /43/$$

Podobną postać będzie miało wyrażenie dla t_{r2} /rys. 3/.

Prąd kolektora $i_c(t_{r2})$ oprócz dwu wymienionych składowych dla $i_c(t_{r1})$ zawierać będzie składową wnoszoną przez układy obciążenia /prądy wejściowe tych układów oraz prądy rozładowania pojemności wejściowych C_2 /.

$$i_c(t_{r2}) = i_k(t_{r2}) + \frac{(U_{pr1} - U_{pr2})(C_{ob2} + C_o + C_{CEH} + nC_2)}{t_{r2}} + n \frac{U_s - U_{pr2} - U_{DW}}{R_B} - I_{FO} \quad /44/$$

gdzie:

$i_k(t_{r2})$ - wartość prądu płynącego przez opornik R_k przy końcu okresu t_{r2} $\left(i_k(t_{r2}) = \frac{U_k - U_{pr2}}{R_k} \right)$

I_{FO} - graniczna wartość prądu I_F , dla którego przyjmuje się, że do bazy tranzystora nie dopływa prąd włączania tranzystora /do obliczeń przyjęta wartość $I_{FO} = 10 \mu A$ /.

- C_2 - pojemności wejściowe układów obciążenia /rys. 8/
 C_{ob2} - efektywna pojemność baza-kolektor w okresie t_{r2}
 n - obciążalność wyjściowa układu,

Całkowity czas narastania t_r określony jest przez sumę:

$$t_r = t_{r1} + t_{r2} \quad /45/$$

Po wykonaniu niezbędnych podstawień otrzymujemy zależność wyznaczającą całkowity czas narastania

$$t_r = \frac{1}{2I_B} \left(A_5 + \sqrt{A_5^2 + B_4} + A_6 + \sqrt{A_6^2 + B_5} \right) \quad /46/$$

gdzie:

$$A_5 = (U_k - U_{pr1}) C_{ob1} + \frac{U_k - U_{pr1}}{\omega_{T1} \cdot R_k} \quad /47/$$

$$A_6 = (U_{pr1} - U_{pr2}) C_{ob2} + \frac{1}{\omega_{T2}} \left[\frac{U_k - U_{pr2}}{R_k} + n \cdot \frac{U_s - U_{pr2} - U_{DW}}{R_s} - I_{FO} \right] \quad /48/$$

$$B_5 = \frac{4}{\omega_{T2}^2} I_B (U_{pr1} - U_{pr2}) (C_{ob2} + C_o + C_{CEH} + n C_2) \quad /49/$$

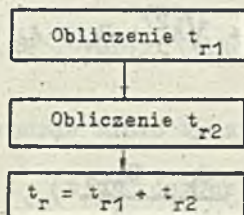
ω_{T2} - średnia wartość pulsacji granicznej tranzystora w okresie t_{r2} .

Korzystając z wyprowadzonych zależności można wyznaczyć całkowitą wartość czasu narastania. Ponieważ zależności otrzymano z równań określających bilans ładunków w okresie, który nie jest wcześniej znany i którego wartość należy wyznaczyć, zachodzi konieczność iteracyjnego prowadzenia obliczeń dla obydwu składowych t_{r1} i t_{r2} , a następnie określenia wartości t_r z zależności /50/. Do obliczenia maksymalnych wartości skła-

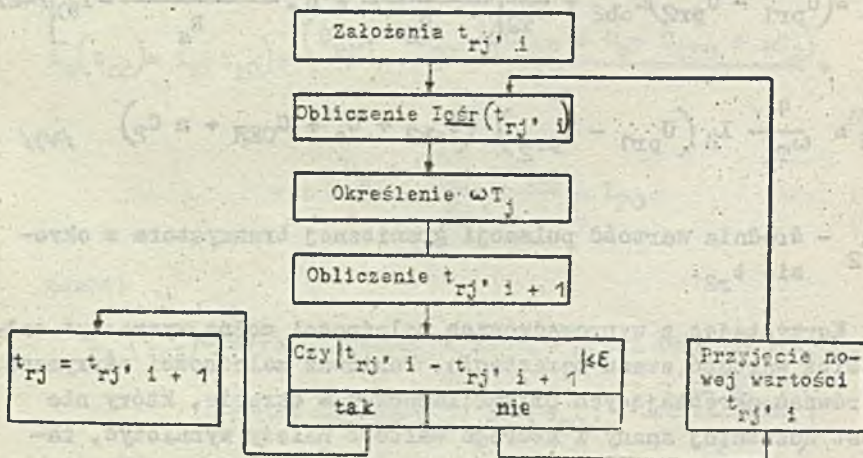
dowych czasu włączania należy przyjmować następujące wartości ekstremalne parametrów:

$$\underline{I}_B, \underline{U}_{pr2}, \underline{\omega}_{T2}, \underline{\omega}_{T1}, \underline{R}_k, \bar{U}_{pr1}, \bar{U}_k, \bar{I}_{D1}, \bar{C}_{ob}, \bar{C}_1, \bar{C}_2$$

Uproszczoną sieć działań przy obliczaniu czasu włączania t_r przedstawiono na rys. 9. Wyznaczanie obydwu składowych czasu narastania t_{r1} i t_{r2} odbywa się w sposób iteracyjny do momentu uzyskania zadanej dokładności obliczeń wg sieci działań pokazanej na rys. 10.



Rys. 9. Uproszczona sieć działań przy obliczaniu czasu włączania t_r



Rys. 10. Struktura obliczeń iteracyjnych przy wyznaczaniu wartości t_{r1} , t_{r2} /dla t_{r1} indeks $j = 1$, dla t_{r2} indeks $j = 2$; indeksy i oznaczają kolejne przebiegi cykli iteracyjnych/

3.3. Magazynowanie (t_s)

Zgodnie z rozważaniami przeprowadzonymi w p. 2 czas magazynowania t_s wiąże się z usuwaniem ładunku nadmiarowego z bazy tranzystora. Celem wyznaczenia tej składowej czasu propagacji oprzemy się na ładunkowym modelu przełączania tranzystora. Równanie opisujące dynamikę tego procesu ma postać następującą [11];

$$I_{B2} = \frac{dQ_{Bx}}{dt} + \frac{Q_{Bx}}{\tau_s} + \frac{Q_B}{\tau_B} + \frac{dQ_B}{dt} \quad /50/$$

gdzie:

I_{B2} - wartość prądu wyłączającego tranzystor

Q_B - ładunek niezbędny w rejonie aktywnym do utrzymania prądu I_c na wyjściu

Q_{Bx} - ładunek nadmiarowy tranzystora w nasyceniu

τ_B - stała czasu bazy ($\tau_B = \frac{Q_B}{I_B}$)

τ_s - stała czasu magazynowania $\tau_s = \frac{Q_{Bx}}{I_{Bx}}$ / I_{Bx} jest to tzw. prąd nadmiarowy bazy/

W rozpatrywanym przypadku można założyć, że tranzystor sterowany jest prądowo /duże wartości rezystorów w obwodzie bazy/, zaś proces zmiany kierunku prądu sterującego bazą odbywa się skokowo, z chwilą gdy napięcie na wejściu układu osiąga wartość progową.

Składnik $\frac{Q_B}{\tau_B}$ jest odpowiednikiem prądu dopływającego do tranzystora w stanie włączonym i z tego względu oznaczymy go jako I_{B1} . Ponieważ w omawianym przedziale czasowym $Q_B = \text{const}$ i $\frac{dQ_B}{dt} = 0$, zależność /50/ przybiera postać:

$$I_{B2} - I_{B1} = \frac{dQ_{Bx}}{dt} + \frac{Q_{Bx}}{\tau_s} \quad /51/$$

Z równania tego możemy wyznaczyć czas magazynowania [11]

$$t_s = \tau_s \ln \frac{I_{B1} + I_{B2}}{I_{C/B_0} + I_{B2}} \quad /52/$$

gdzie:

I_C - prąd kolektora

B_0 - wzmocnienie stałoprądowe tranzystora na granicy nasycenia

Z podanych zależności wynika, że do określenia t_s niezbędna jest znajomość wartości stałej czasu magazynowania, prądów sterujących bazą tranzystora oraz odpowiadającej danemu obciążeniu wartości prądu I_{Bx} .

Na podstawie pomiarów stwierdzono, że wartość stałej czasu τ_s zmienia się w funkcji prądu nadmiarowego I_{Bx} oraz prądu kolektora I_C .

W celu zwiększenia dokładności obliczeń, wartość τ_s będziemy określać na podstawie charakterystyki $\tau_s = f(I_{Bx}) \Big|_{I_C = \text{const.}}$

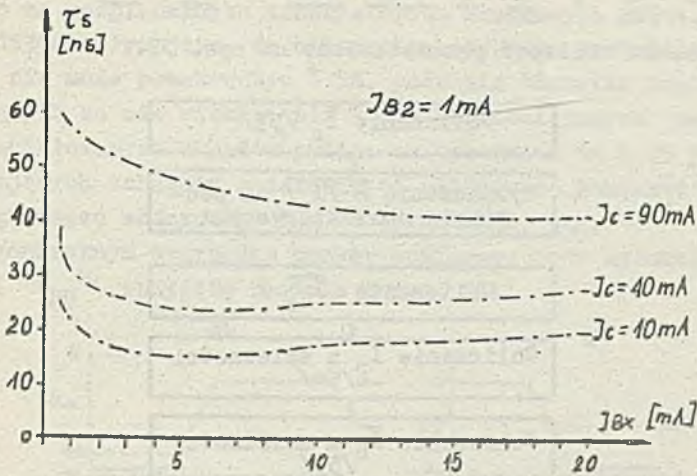
Typowy przebieg zależności badano na rys. 11.

Występujące we wzorze wartości prądów można łatwo określić na podstawie schematu układu podanego na rys. 1*)

Dla stanu ustalonego otrzymujemy kolejno:

$$\begin{aligned} I_C = I_k + I_2 &= \frac{U_k - U_{CES}}{R_k} + n \cdot I_w = \\ &= \frac{R_s (U_k - U_{CES}) + n R_k (U_s - U_{DW} - U_{CES})}{R_k R_s} \end{aligned} \quad /53/$$

* Zgodnie z przyjętymi tam oznaczeniami $I_{B1} = I_B$, natomiast $I_{B2} = I_P$.



Rys. 11. Typowy przebieg zależności $\tau_s = f(I_{Bx})$ $I_c = \text{const.}$

gdzie:

$$I_w = \frac{U_s - (U_{DW} - U_{CES})}{R_s} \quad \text{- prąd wejściowy układu}$$

$$I_{B2} = \frac{U_D + U_{BES}}{R_p} \quad /54/$$

gdzie:

U_{BES} - napięcie baza-emiter w nasyceniu

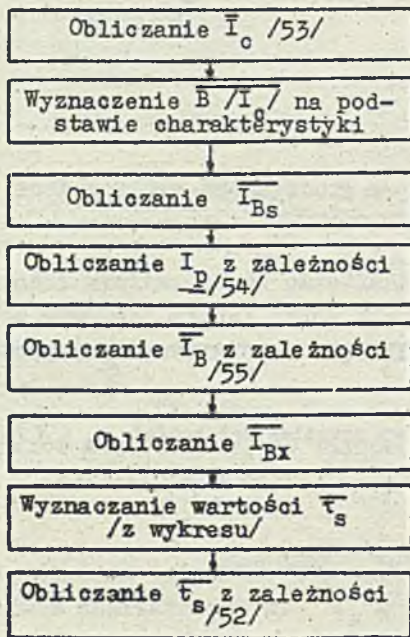
$$I_{B1} = \frac{R_D (U_s - 3U_{DF} - U_{BES}) - R_s (U_D + U_{BES})}{R_s R_p} \quad /55/$$

gdzie: U_{DF} - spadek napięcia na diodzie przesuwającej poziom.

Celem wyznaczenia maksymalnego czasu magazynowania w powyższych zależnościach należy podstawić następujące graniczne wartości parametrów:

$\underline{U}_p, \underline{U}_s, \underline{U}_k, \underline{R}_p, \underline{R}_k, \underline{R}_s, \underline{U}_{BES}, \underline{U}_{CES}, \underline{B}, \underline{U}_{DF}, \underline{U}_{DW}, \underline{\tau}_s$

Schemat obliczeń przedstawiono na rys. 12.



Rys. 12. Sieć działań przy wyznaczaniu wartości τ_s

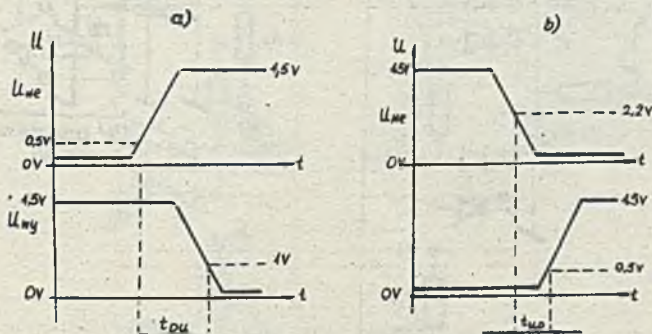
4. WYNIKI OBLICZEŃ I POMIARÓW

Celem sprawdzenia przydatności praktycznej wyprowadzonych zależności przeprowadzono obliczenia, a następnie wykonano pomiary opóźnień zamodelowanych układów elementów logicznych NAND techniki S5Q [8].

Zarówno w obliczeniach, jak i przy budowie modeli pomiarowych zastosowano metodę najgorszego przypadku. Realizację

oparto na epiplanarnych tranzystorach krzemowych 2N914, diodach 1N3604. Przyjęto, że maksymalna odchyłka wartości oporników nie może przekroczyć $\pm 5\%$, podobnie odchyłki napięć zasilających są nie większe niż $\pm 5\%$. Wartości innych parametrów modelowanych układów podano na rysunkach 14 i 15 przedstawiających schematy modelowanych układów do pomiarów maksymalnego czasu włączania t_{UD} i wyłączenia t_{DU} .

W konkretnym przypadku punkty pomiarowe przy wyznaczaniu t_{UD} i t_{DU} ^{*)} przyjęto zgodnie z rys. 13.



Rys. 13. Definicje maksymalnych opóźnień układu NAND techniki S50
a/ przy włączaniu t_{DU}
b/ przy wyłączeniu t_{UD}

W obliczeniach do określenia ekstremalnych wartości parametrów diod i tranzystorów wykorzystano metodę zaproponowaną w [10].

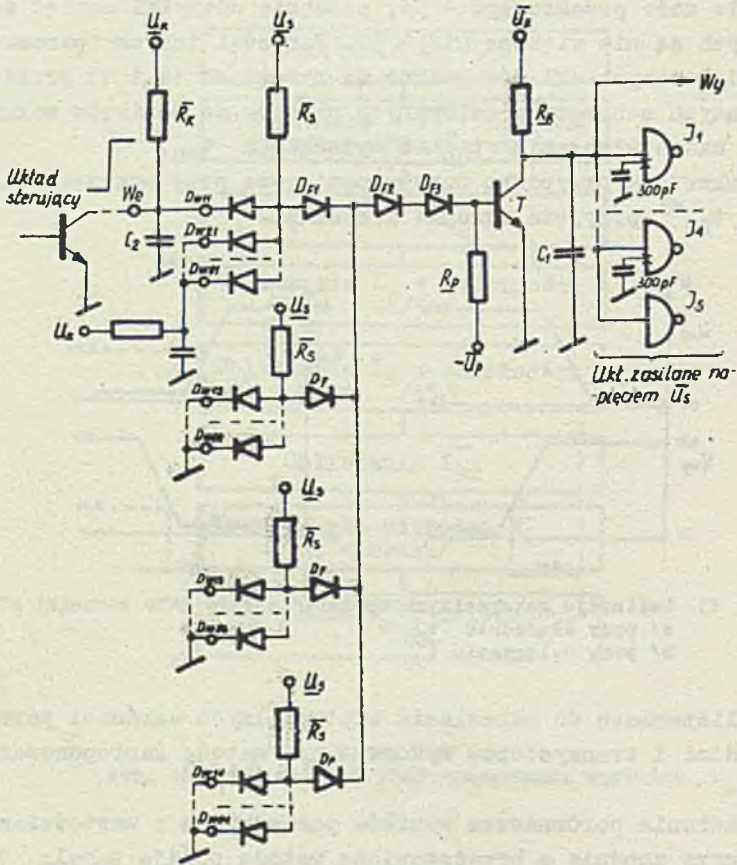
Zestawienie porównawcze wyników pomiarowych z wartościami obliczonymi zgodnie z przedstawioną metodą podaje tabela 1.

Tabela 1

Parametr	Wartości parametrów		Rozbieżność [%]
	Obliczone [ns]	Zmierzone [ns]	
t_s	44,8	50	10,4
$t_d + t_r$	$30,5 + 38,4 = 68,9$	66	4,2
t_p	56,85	58	2

Uzyskane wyniki eksperymentalne są bardzo zbliżone do obliczonych, co świadczy o zadowalającej dokładności metody.

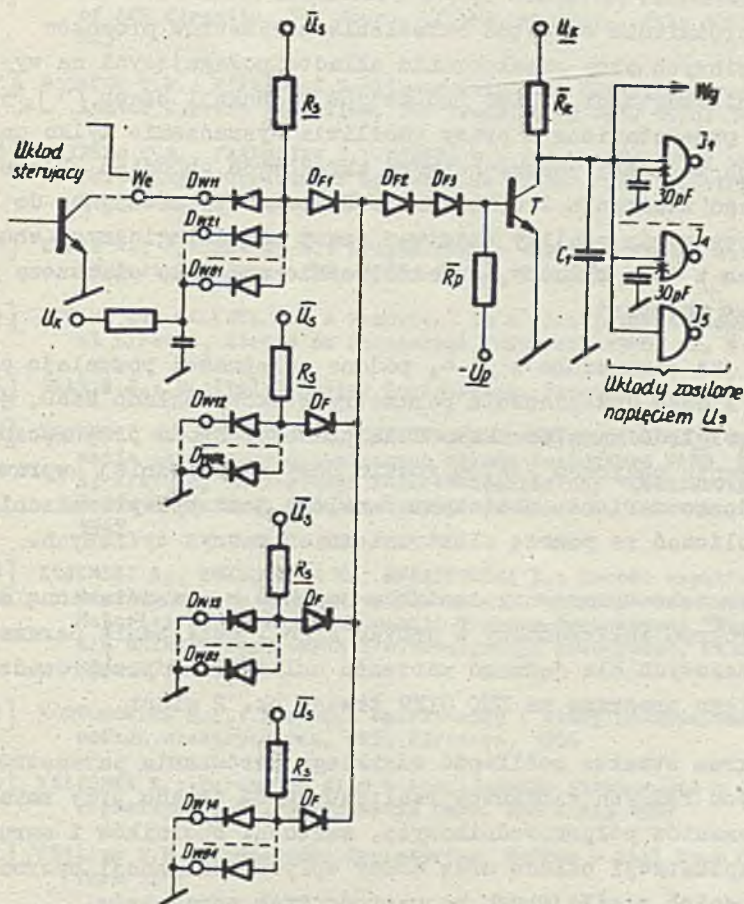
* Symbolami t_{UD} i t_{DU} oznaczamy maksymalne wartości opóźnień t_{ud} i t_{du}



Dane elementów półprzewodnikowych:

Element	Oznaczenie	Parametry	Uwagi
Tranzystor	T	$\beta_z = 48$ $F_t = 420 \text{ MHz}$ ($J_c = 20$) $C_{BF} = 8 \text{ pF}$ ($U_{BF} = -1 \text{ V}$; $F = 30 \text{ MHz}$)	
Dioda	$D_{f1} \div D_{f3}$	$U_{DOF} = 0,8 \text{ V}$ $R_{DOF} = 30 \Omega$	
Dioda	$D_{w1} \dots$	$U_{DOW} = 0,6 \text{ V}$ $R_{DOW} = 20 \Omega$	

Rys. 14. Schemat modelu układu NAND do pomiaru maksymalnego czasu włączania t_{DU}



Dane elementów półprzewodnikowych:

Element	Oznaczenie	Parametry	Uwagi
Tranzystor	T	$\beta_2 = 100$; $t_s = 50 \text{ ns}$	wybrany z partii 200 szt.
Dioda	D _{f1} ÷ D _{f3}	$U_{Dof} = 0,55 \text{ V}$ $R_{Dof} = 20 \Omega$	
Dioda	D _{w**}	$U_{Dow} = 0,7 \text{ V}$ $R_{Dow} = 275 \Omega$	

Rys. 15. Schemat modelu układu NAND do pomiaru maksymalnego czasu wyłączenia t_{UD}

5. WNIOSKI

W odróżnieniu od metod określania parametrów procesów przejściowych przy przełączaniu układów polegających na wyznaczaniu wartości napięć lub prądów w funkcji czasu [1],[5], metoda przedstawiona w pracy umożliwia wyznaczenie tylko całkowitych wartości poszczególnych składowych opóźnień układu przy jego włączeniu i wyłączeniu. Jest to wystarczające do przeprowadzenia analizy czasowej pracy sieci logicznych zbudowanych z tych układów, a jednocześnie znacznie upraszcza przebieg obliczeń.

Jak już zaznaczono w p. 4, podane zależności pozwalają określić z dużą dokładnością parametry czasowe układu NAND, jednak ze względu na stosunkowo dużą prędochołność przy ręcznym wykonywaniu obliczeń /ok. 6 godzin przy odpowiedniej wprawie dla jednego wariantu obliczenia/ celowe jest przeprowadzanie tych obliczeń za pomocą elektronicznych maszyn cyfrowych.

W tym celu opracowany został w oparciu o przedstawioną metodę program obliczeniowy w języku Algol. Obliczenia parametrów czasowych dla jednego wariantu układu NAND przeprowadzane wg tego programu na EMC GIER trwają ok. 2 minut.

Program stwarza możliwość szybkiego porównania parametrów czasowych różnych wariantów realizacyjnych układu przy zmianie elementów półprzewodnikowych, wartości oporników i warunków eksploatacji układu oraz oceny wpływu tolerancji oporników i napięć zasilających na wartości tych parametrów.

W okresie późniejszym program ten został włączony w postaci procedury do programu optymalizacji układu NAND, w którym parametrem podlegającym optymalizacji jest szybkość działania układu.

Autorzy składają podziękowanie st. technikom: J. Guttowi i P. Daniewskiemu za pomoc przy pomiarach stanowiących podstawę niniejszego artykułu.

Literatura

- [1] ASHAR K.G. i inni: Transient Analysis and Device Characterization of ACP Circuits, IBM Journ. of Res. and Dev., July 1963: 207 - 223
- [2] BASHKOV T.R.: Effect of Nonlinear Collector Capacitance on Collector Current Rise Time, IRE Trans. ED-3 Oct. 1956: 167
- [3] BRINKER C.S., FAIRBAIRN D., NORRIS B.L.: An Analysis of the Switching Behaviour of Graded Base Transistors, Electronic Engineering, August 1963: 500 - 505
- [4] CYRAN A., MARCZEWSKI M.: Projektowanie tranzystorowych układów logicznych, Prace ITR, 1965: 9 /3/, 93 - 126
- [5] DYKAST K., VALENTA J.: A Transient in a Transistor - Diode Logical Circuit, Stroje na Zpracovani Informaci 1966: 12, 9 - 35
- [6] GRAY H.J.: Digital Computer Engineering, Prentice Hall inc., 1963
- [7] KOJEMSKI A., KULIŃSKA E., SINKIEWICZ T., ŚWIĄTKOWSKI Z.: Optymalizacja parametrów dynamicznych układu logicznego NAND, Materiały Krajowej Konferencji Naukowo-Technicznej "Zastosowanie układów logicznych w automatyzacji przemysłu", Katowice, 26 - 27, 1967
- [8] KOJEMSKI A., KOWALEWSKA M., ŚWIĄTKOWSKI Z.: Zespół szybkich układów logicznych S-50 na epiplanarnych tranzystorach krzemowych, Materiały Krajowej Konferencji Naukowo-Technicznej "Zastosowanie układów logicznych w automatyzacji przemysłu", Katowice, 26 - 27, 1967
- [9] KONTOROWICZ M.I.: Rachunek operatorowy i stany nieustalone w obwodach elektrycznych, PWT, Warszawa, 1956
- [10] KULIŃSKA E.: Parametry diod i tranzystorów stosowanych w układach logicznych S-50. Opracowanie wewn. IMM - maj 1967
- [11] Philips A.B.: Transistor Engineering, McGraw - Hill Book Co, New York 1962
- [12] NARUD J.A., AARON H.R.: Analysis and Design of a Transistor Blocking Oscillator Including Inherent Non-linearities, Bell Syst. T.J. May 1959: 38, 3, 785 - 852
- [13] WOLBERS G.: DTL Circuit Stage Delay and Transistor Speed Parameters, Electronic Applications vol. 25, Nr 4, 143 - 163

DODATEK

Dodatek 1

Wyznaczenie wartości pojemności schematów zastępczych

1.1. Pojemności schematów zastępczych do obliczeń opóźnienia przy włączaniu t_d /rys. 5/.

Pojemność C_1 utworzona jest przez sumę pojemności obciążenia C_o , pojemności obudowy emiter-kolektor oraz efektywnej pojemności złącza kolektor-baza tranzystora sterującego, w którym /w interesującym nas okresie/ odbywa się proces wyłączenia.

$$C_1 = C_o + C_{CEH} + C_{av} \quad /D1/$$

gdzie:

C_o - pojemność montażu dołączona do wyjścia układu sterującego,

C_{CEH} - pojemność obudowy emiter-kolektor tranzystora sterującego,

C_{av} - efektywna /dla określonych warunków przełączania/ pojemność złącza kolektor-baza tranzystora sterującego.

Wartość pojemności C_{av} wyznaczamy z zależności /D8/ określającej pojemność C_{TCef} przyjmując następujące wartości:

$$U_{pocz.} = U_k - U_{bo}$$

$$U_{koń.} = U_{pr2} - U_f$$

gdzie:

U_{bo} - napięcie na bazie zatkanego tranzystora

U_f - napięcie bariery złącza emiter-baza

U_{pr2} - napięcie progowe, przy którym rozpoczyna się proces włączania

Pojemność C_2 utworzona jest przez sumę pojemności diod wejściowych oraz pojemność montażu bramki wejściowej. Przy liczbie m diod wejściowych w bramce wartość pojemności C_2 określona będzie wyrażeniem:

$$C_2 = (m - 1) C_d + C_m \quad /D2/$$

gdzie:

C_d - pojemność diody wejściowej,

C_m - pojemność montażu bramki wejściowej.

Pojemność C_3 utworzona jest przez sumę pojemności diod przesuwających D_P łączących bramki wejściowe z węzłem 3 układu NAND /rys. 1/ oraz pojemnością montażu tych diod. Przy liczbie k bramek wejściowych otrzymujemy następującą zależność:

$$C_3 = (k - 1) C_d + C_{m1} \quad /D3/$$

gdzie:

C_{m1} - pojemność montażu diod przesuwających dołączonych do węzła 3 układu /rys. 1/.

Pojemność C_4 utworzona jest przez sumę pojemności obudowy złącz baza-kolektor i baza-emiter oraz efektywnych pojemności tych złącz dla rozpatrywanych warunków przełączania.

$$C_4 = C_{BCH} + C_{BEH} + C_{TCef} + C_{TEef} \quad /D4/$$

gdzie:

C_{BCH} - pojemność obudowy baza-kolektor

C_{BEH} - pojemność obudowy baza-emiter

C_{TCef} - efektywna pojemność złącza baza-kolektor

C_{TEef} - efektywna pojemność złącza baza-emiter.

1.2. Efektywne pojemności złącza tranzystora

1.2.1. Efektywna pojemność złącza baza-emiter C_{TEf}

Zakładając, że znana jest wartość pojemności złącza baza-emiter dla określonego napięcia na bazie możemy wyznaczyć wartość pojemności dla dowolnego napięcia początkowego na bazie tranzystora w rozpatrywanym układzie NAND. Jeżeli znany jest wykładnik potęgowy N określający charakter zmiany pojemności w funkcji napięcia doprowadzonego do złącza, to możemy posługiwać się zależnością:

$$C_{TE}(U_{bo}) = C_{TE}(U_1) \cdot \left(\frac{U_1}{U_{bo}}\right)^N \quad /D5/$$

gdzie:

U_1 - napięcie, dla którego znana jest wartość pojemności złącza $C_{TE}(U_1)$

U_{bo} - napięcie na bazie tranzystora, dla którego chcemy określić wartość pojemności złącza

Zależność /D5/ jest słuszna dla przypadku, gdy napięcia U_1 i U_{bo} są tego samego znaku.

// przypadku złącza dyfuzyjnego z liniowym rozkładem domieszek $n = 1/3$.

Jeżeli napięcie na bazie przełączanego tranzystora zmienia się od wartości początkowej U_{bo} i osiąga wartość napięcia bariery złącza baza-emiter U_b , to efektywna wartość pojemności złącza emiter-baza w przypadku złącza dyfuzyjnego z liniowym rozkładem domieszek wg [3] wynosi

$$C_{TEf} = C_{TE}(U_{bo}) \cdot 1,5 \quad /D6/$$

1.2.2. Efektywna pojemność złącza kolektor-baza C_{TCef}

Wartość pojemności złącza kolektor-baza dla interesującej nas wartości napięcia na kolektorze /przy uziemionym emiterze/ wyznaczamy na podstawie znanej wartości pojemności C_{TC} dla określonego napięcia U_2 , posługując się zależnością:

$$C_{TC}(U_k - U_b) = C_{TC}(U_2) \cdot \left(\frac{U_2}{U_k - U_b} \right)^N \quad /D7/$$

gdzie:

U_k - napięcie na kolektorze tranzystora

U_b - napięcie na bazie tranzystora

Efektywna wartość pojemności złącza kolektor-baza przy zmianie napięcia na złączu od wartości U_{pocz} do wartości $U_{koń}$ wg [12] wynosi:

$$C_{TCef}(U_{pocz}, U_{koń}) = C_{TC} U_{pocz} \frac{\left(1 - \frac{U_{koń}}{U_{pocz}}\right)^{1-N}}{(1-N) \left(1 - \frac{U_{koń}}{U_{pocz}}\right)} \quad /D8/$$

gdzie:

U_{pocz} - początkowa wartość napięcia na złączu kolektor-baza

$U_{koń}$ - końcowa wartość napięcia na złączu kolektor-baza

Wartość wykładnika potęgowego N dla złącza kolektor-baza uzależniona jest od zastosowanej przy produkcji tranzystora technologii. W przypadku technologii planarnej wartość N dla złącza kolektor-baza wynosi $N = 0,1$.

Dodatek 2

Napięcie progowe układu

Napięcie progowe U_{pr1} jest to maksymalna wartość napięcia przyłożonego do diody wejściowej układu, wchodzącej w skład obwodu wejściowego o maksymalnym prądzie wejściowym, przy którym przez diodę wejściową płynie prąd o wartości 10 μ A. Zakładamy przy tym, że pozostałe diody wejściowe są zatkane. Jeżeli przyjmiemy schemat zastępczy diody w kierunku przewodzenia w postaci źródła napięcia i oporności, to napięcie w węzle bramki wejściowej 2 /rys. 4/ może być określone z zależności:

$$U_2 = \frac{\bar{U}_{BE} + 3\bar{U}_{DOW} + \bar{U}_s \frac{3R_d}{R_s} - 3R_d \cdot I_{DW}}{1 + \frac{3R_d}{R_s}} \quad /D9/$$

gdzie:

I_{DW} - prąd płynący przez diodę wejściową, który w naszym przypadku wynosi 10 μ A

\bar{U}_{BE} - maksymalna wartość napięcia baza-emiter włączonego tranzystora

Pomijając spadek napięcia na oporności schematu zastępczego diody wejściowej otrzymujemy:

$$U_{pr1} = \bar{U}_2 - \underline{U}_{DOW} \quad /D10/$$

Napięcie progowe U_{pr2} jest to minimalna wartość napięcia przyłożonego do diody wejściowej układu o minimalnym prądzie wejściowym, przy którym przez diodę wejściową płynie prąd o wartości 10 μ A. Również i w tym przypadku zakładamy, że pozostałe diody wejściowe są zatkane. Przyjmując analogiczne założenia odnośnie schematu zastępczego diody dla interesującego nas przypadku otrzymujemy zależność:

$$U_{pr2} = \frac{U_{BE} + 3U_{DOW} + U_s \frac{3R_d}{R_s} - 3R_d I_{DW}}{1 + \frac{3R_d}{R_s}} - \bar{U}_{DOW} \quad /D11/$$

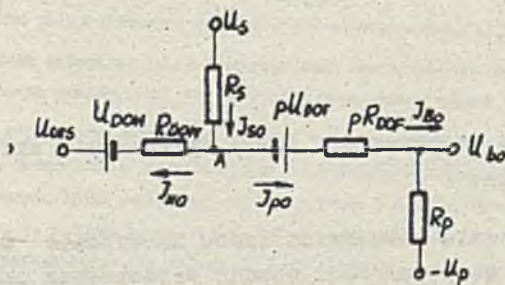
gdzie:

U_{BE} - minimalna wartość napięcia baza-emiter włączonego tranzystora

Dodatek 3

Początkowe napięcie na bazie przy włączaniu tranzystora.

Do wyznaczania wartości napięcia początkowego na bazie przed rozpoczęciem procesu włączania posłużymy się schematem przedstawionym na rys. D1.



Rys. D1. Schemat zastępczy obwodu wejściowego układu do wyznaczenia początkowego napięcia na bazie

W pierwszej kolejności znajdujemy wartość prądu I_{wo} rozwiązując następujący układ równań:

$$U_s - I_{so} R_s - I_{wo} R_{DOW} - U_{ces} - U_{DOW} = 0 \quad /D12/$$

$$U_s + U_p - p U_{DOW} - I_s R_s - I_{po} (p R_{DOW} + R_p) = 0 \quad /D13/$$

$$I_{so} - I_{wo} - I_{po} = 0 \quad /D14/$$

Przeprowadzając odpowiednie przekształcenia otrzymujemy:

$$I_{wo} = \frac{U_s (pR_{DOF} + R_p) - R_s (U_p - pU_{DOF}) - (U_{DOW} + U_{CES}) (pR_{DOF} + R_p + R_s)}{R_s (pR_{DOF} + R_p) + R_{DOW} (pR_{DOF} + R_p + R_s)} \quad /D15/$$

Wartość napięcia w węźle A określa wyrażenie:

$$U_A = U_{ces} + U_{DOW} + I_{wo} \cdot R_{DOW} \quad /D16/$$

Wobec tego napięcie U_{bo} wyznaczone będzie zależnością:

$$U_{bo} = -U_p + \frac{U_A + U_p - p U_{DOF}}{p R_{DOF} + R_p} \cdot R_p \quad /D17/$$

Dodatek 4

Prąd włączania tranzystora przy wyznaczaniu składowych czasu narastania.

Przy wyznaczaniu składowych czasu narastania t_{r1} i t_{r2} przyjmuje się, że pojemności obwodu wejściowego układu są naładowane oraz że potencjał bazy włączanego tranzystora ma wartość stałą przez cały okres czasu narastania.

Zależność określającą prąd włączania otrzymamy posługując się schematem przedstawionym na rys. D1.

Zakładając, że napięcie na bazie włączanego tranzystora jest dodatnie, a jego wartość wynosi U_{be} otrzymujemy:

$$I_{bo} = \frac{U_s - pU_{DOF} - U_{be}}{R_s + pR_{DOF}} - \frac{U_p + U_{be}}{R_p} \quad /D18/$$

gdzie: U_{be} - napięcie na bazie włączanego tranzystora.

АНАЛИЗ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Резюме

Проблема оценки быстродействия распространения сигналов в логической сети является одним из основных вопросов в проектировании и постройке цифровых блоков.

В работе рассмотрены временные зависимости в одноводной цифровой сети сложной из элементов типа NAND. Эти зависимости позволяют аналитически определить максимальное время распространения сигнала в логической сети сложной из элементов такого типа.

На основе анализа физического процесса сопровождающего изменение состояния логического элемента, определены очередные этапы процесса распространения сигнала. Рассмотрено прохождения сигнала через два логических элемента с учётом (в виде сосредоточенных постоянных) рассеянных ёмкостей монтажа.

Отмечено следующие составные времена распространения:

- t_d - время начального опоздания
- t_{r1} - первый этап нарастания сигнала
- t_{r2} - второй этап нарастания сигнала
- t_s - время хранения.

На основе выше указанных параметров определяются временные параметры схемы:

- t_{du} - время включения
- t_{ud} - время выключения
- t_p - среднее время распространения (определённое зависимостями 1,2,3).

Очередные разделы работы посвящены аналитической оценке максимальных величин этих параметров, на основе динамических параметров транзисторов и диодов.

Аналитические зависимости были составлены на основе теории переключения зарядом. В зависимостях мы базировались на стандартных параметрах, указанных в каталогах дополнительных данных измерений. Время опоздания t_d определено с помощью схемы замещения представленной на рис. 4, а после упрощений на рис. 5. В некоторых случаях, когда параметр V_{1r} , определённый зависимостью /8/ больше нуля, можно пользоваться схемой поданной на рис. 6.

В первом случае время t_{d1} определяется из уравнений /17/ и /18/, во втором случае при вычислении t_{d2} мы пользуемся уравнениями /33/. Алгоритм вычисления показан на рис. 7.

При определении времени нарастания было применено некоторые упрощения следующее из отношения /34/. При определении времени t_{r1} мы предполагали, что включаемый транзистор /рис. 8/ не нагружен логическими элементами. Величина t_{r1} определяется на основе отношений /41/, /42/ и /43/. Подобно определяется время t_{r2} , необходимое для воспри-

иятия полного тока нагрузкой включенным транзистором. Полное время нарастания определяется на основе зависимостей /46/, /47/, /48/ и /49/. Алгоритм итерационного определения величины t_r показан на рис. 10.

Определение времени рассасывания основано на зависимости /50/ известной из теории переключения зарядом.

Постоянная времени в этом уравнении определена экспериментально /рис. 11/ ввиду ее нелинейного характера, зависимости от тока коллектора и избыточного тока базы (I_{BX}). Алгоритм вычисления t_r указан на рис. 12.

Ввиду большой сложности процесса вычисления, работа была проведена автоматически. Была разработана программа в АЛГОЛ'е, реализованная на вычислительных цифровых машинах СИБИР и ЗМ 41 Z.

С целью проверки практической пригодности полученных зависимостей сравнено результаты с временами запаздывания измеренными на симулирующей модели, отражающей самый неблагоприятный случай в цифровой сети. Условия измерений и вычислений собраны в таблице 1. Схемы симулирующие наихудший случай включения и выключения даны на рис. 14 и 15. Сравнение показало большую согласованность измерений с вычислениями. Метод позволяет сравнивать время распространения сигнала в различных вариантах решений такого типа.

В приложениях к настоящей статье поданы добавочные отношения.

Приложение 1 - Определение значений и емкости схем замещения

Приложение 2 - Определение порогового напряжения схемы

Приложение 3 - Определение напряжения на база включаемого транзистора

Приложение 4 - Определение тока включения транзистора при вычислении времени нарастания.

ANALYSIS OF BASIC NAND ELEMENT DYNAMIC PARAMETERS

Summary

The problem of the evaluation of signal propagation speed in logical networks is one of the essential questions while designing and building digital blocks.

The paper considers time dependences in a uniform digital network composed of NAND logical elements. The dependences deduced enable analytical designation of maximal times of propagation in logical networks composed of such elements.

On the basis of a physical process analysis following the change of the logical element state, successive phases of signal propagation process were determined. Signal propagation through two logical elements was considered, dispersed mounting capacitance being taken into account /in the form of discrete components/.

The following time propagation compounds were distinguished:

- t_d - time of initial delay
- t_{r1} - first phase of the rise of signal
- t_{r2} - second phase of the rise of signal
- t_s - storing time

On the basis of the above parameters the system time parameters are determined:

- t_{du} - switching on time
- t_{ud} - switching off time
- t_p - average time of propagation /determined by dependences 1, 2, 3/

The succeeding chapters of the paper are devoted to analytical evaluation of these parameter maximal values based on transistor and diode dynamic parameters.

Analytical dependences were formulated on the basis of the charge control theory of transistor switching. The deduced dependences were

based on standard parameters given in catalogues supplemented by measurement data.

The delay time t_d was deduced according to the substitutional scheme shown in fig. 4 next simplified in fig. 5. In some cases when the parameter B_1 determined by the dependence /8/ is bigger than zero, use can be made of the simplified scheme presented in fig. 6.

In the first case, the time t_{d1} is given from equations /17/ and /18/, in the second case - while computing t_{d2} - equation /33/ is being used. The simplified flow diagram is shown in fig. 7.

When determining the rise times, a simplification has been applied, resulting from the accepted dependence /34/. When determining the time t_{r1} it was assumed that the switched transistor /fig. 8/ is not loaded by logical elements. The value t_{r1} is determined according to dependences /41/, /42/ and /43/. In a similar way the time t_{r2} is being determined. This time is the one to take over the full loading current by the switched on transistor. The total rise time is determined by dependences /46/, /47/, /48/ and /49/. Iteration algorithm determining values t_r is shown in fig. 10.

Determination of storing time is based on the well known charge control theory dependence /50/.

The time constant, appearing in this equation, was determined experimentally /fig. 11/ because of its nonlinear character and dependence on collector current and excess base current I_{Bx} . The simplified flow diagram is given in fig. 12.

Because of great complexity of the computing process, the work has been automatized. An ALGOL program was elaborated and realized on GIER and ZAM 412 computers.

In order to check practical usefulness of introduced dependences computation results were compared with delays obtained on a model simulating the worse case in a digital network.

Conditions of measurement and computations are presented in table 1. The schemes of systems simulating the worse case of switching on and

off are shown in fig. 14 and 15. The comparison revealed great conformity of measurement results and computations. The method allows to compare propagation times for various elements of this type.

Appendixes to the article present the ways of getting supplementary dependences:

Appendix 1 - Determination of capacitance value of a replacing scheme

Appendix 2 - Determination of the element treshold voltage

Appendix 3 - Determination of transistor base voltage during switch on process

Appendix 4 - Determination of switch on transistor current for transistor rise time computation.

RÓWNOLEGŁO-RÓWNOLEGŁE LICZNIKI
REWERSYJNE

Marek KIESLER
Pracę złożono 21.10.1968

W pracy przedstawiono algorytmy działania, strukturę oraz własności szybkich równoległo-równoległych liczników rewersyjnych. Liczniki te realizują operacje zwiększania lub zmniejszania o 1 nieujemnej liczby przedstawionej w kodzie binarnym lub innym kodowanym binarnie. Układy charakteryzują się prostą i przejrzystą strukturą, bardzo dużą szybkością działania oraz łatwością realizacji w nowoczesnych technikach cyfrowych.

S P I S T R E Ś C I

1. WSTĘP	86
2. PODSTAWOWY ALGORYTM DZIAŁANIA	86
3. LICZNIK BINARNY RÓWNOLEGŁY	89
4. STRUKTURA LICZNIKA DZIESIĘTNEGO	94
5. UWAGI KOŃCOWE	98
Резюме	100
Summary	102

1. WSTĘP

W miarę rozwoju metod projektowania urządzeń cyfrowych zauważa się tendencję do operowania elementami bardziej złożonymi niż pojedyncze układy podstawowe /inwertery, przerzutniki itp./. Coraz częściej projektanci operują układami takimi jak: sumatory wielopozycyjne, rejestry, liczniki i inne. Zalety takiego podejścia są niewątpliwe: standaryzacja zespołów, zmniejszenie ilości pomyłek przy ich projektowaniu, oszczędności sprzętu i czasu projektowania. Układy takie charakteryzuje najczęściej modułarna struktura, zapewniająca możliwość ich zwielokrotniania za pomocą bardzo prostych środków technicznych.

W niniejszej pracy podano algorytmy działania oraz przykłady realizacji szybkiego licznika rewersyjnego. Układ składa się z grup pozycji o identycznej strukturze, które można w prosty sposób łączyć ze sobą, uzyskując w ten sposób licznik o pożądanej długości. Jego struktura jest równoległo-równoległa, tzn. liczenie odbywa się w tym samym czasie zarówno w grupach, jak i na wszystkich pozycjach każdej grupy. Możliwość takiej realizacji układu uzasadniona jest rekurencyjnym algorytmem jego działania. Algorytm ten podaje metodę konstruowania liczników o dowolnej długości. W przedstawionych przykładach każda grupa pozycji stanowi licznik równoległy, a przeniesienia lub "pożyczki", powstające przy liczeniu, podawane są równocześnie na wszystkie grupy. Taka struktura zapewnia maksymalną szybkość liczenia, wymaga jednak stosunkowo dużej ilości sprzętu.

2. PODSTAWOWY ALGORYTM DZIAŁANIA

$$\text{Niech } A_m(p) = \sum_{i=0}^m A_i p^i,$$

gdzie p - liczba naturalna, $p > 1$

$$A_i \in \{X_i : 0, 1, \dots, p-1\}$$

Wówczas $A_m(p) \in \{X : 0, 1, \dots, p^{m+1} - 1\}$ /1/

Zdefiniujemy działania \oplus i \ominus w sposób następujący:

jeśli $x \in \{0, 1, \dots, t-1\}$,
to $x \oplus 1 = /x+1/ \bmod t$
 $x \ominus 1 = /x-1/ \bmod t$ /2/

Niech $k = \sup \{i : 0 \leq i \leq k \ A_i = p-1\}$
 $l = \sup \{i : 0 \leq i \leq l \ A_i = 0\}$ /3/

Wówczas liczbę $A_m(p)$ można przedstawić w postaci

$$A_m(p) = \sum_{i=0}^k (p-1)p^i + A_{k+1}p^{k+1} + \sum_{i=k+2}^m A_i p^i = \quad /4/$$

$$= A_{l+1}p^{l+1} + \sum_{i=l+2}^m A_i p^i \quad /4a/$$

Uwaga:

- 1/ $k \in \{0, 1, \dots, m\}$. Jeśli któryś ze zbiorów /3/ jest pusty, założmy, że odpowiednie supremum wynosi -1.
- 2/ Jeśli któryś ze wskaźników sum występujących w wyrażeniach /4/ i /4a/ wykracza poza zakres $\{0, m\}$, odpowiednie składniki sumy nie są brane pod uwagę.
- 3/ $A_{k+1} < p-1$, oraz $A_{l+1} > 0$.

Wykonajmy działanie $A_m(p) \oplus 1$. Na podstawie /2/, /3/ i /4/ mamy:

$$A_m(p) \oplus 1 = \left[\sum_{i=0}^k (p-1)p^i + A_{k+1}p^{k+1} + \sum_{i=k+2}^m A_i p^i + 1 \right] \bmod p^{m+1} =$$

$$\begin{aligned}
 &= \left[(p-1) \frac{p^{k+1}-1}{p-1} + 1 + A_{k+1} p^{k+1} + \sum_{i=k+2}^m A_i p^i \right] \bmod p^{m+1} = \\
 &= (A_{k+1} + 1) p^{k+1} + \sum_{i=k+2}^m A_i p^i = \\
 &= \sum_{i=0}^{k+1} (A_i \oplus 1) p^i + \sum_{i=k+2}^m A_i p^i \quad /5/
 \end{aligned}$$

Wykonajmy działanie $A_m(p) \ominus 1$. Na podstawie /2/, /3/ i /4a/ mamy:

$$\begin{aligned}
 A_m(p) \ominus 1 &= \left[A_{l+1} p^{l+1} + \sum_{i=l+2}^m A_i p^i - 1 \right] \bmod p^{m+1} = \\
 &= \left[A_{l+1} p^{l+1} - p^{l+1} + p^{l+1} - 1 + \sum_{i=l+2}^m A_i p^i \right] \bmod p^{m+1} = \\
 &= \left[(A_{l+1} - 1) p^{l+1} + (p-1) \sum_{i=0}^l p^i + \sum_{i=l+2}^m A_i p^i \right] \bmod p^{m+1} = \\
 &= \sum_{i=0}^{l+1} (A_i \ominus 1) p^i + \sum_{i=l+2}^m A_i p^i \quad /5a/
 \end{aligned}$$

Jak widać, aby wykonać działania $A_m(p) \oplus 1$ lub $A_m(p) \ominus 1$ należy:

1/ Znaleźć odpowiednio liczby k lub l

2/ Wykonać: $0 \leq i \leq k+1 \quad A_i := A_i \oplus 1,$

lub $0 \leq i \leq l+1 \quad A_i := A_i \ominus 1.$

Liczby A_i są niezależne. Zatem operacje $A_i \oplus 1$ lub $A_i \ominus 1$ można wykonywać w tym samym czasie na wszystkich liczbach A_i określonych zależnościami /5/ i /5a/.

Założmy obecnie, że każda z liczb A_i ma postać:

$$A_i = A_i(q) = \sum_{j=0}^n a_{ij} q^j,$$

gdzie q - liczba naturalna, $q > 1$

$$a_{ij} \in \{Y_1 : 0, 1, \dots, q-1\}$$

Wówczas $A_i(q) \in \{Y : 0, 1, \dots, q^{n+1} - 1\}$. /6/

Liczby q i n należy przy tym dobrać tak, żeby

$$q^{n+1} - 1 \geq p - 1,$$

czyli $q^{n+1} \geq p$, tzn. tak, by zbiór wartości liczb A_i /1/ był podzbiorem zbioru /6/.

Rozpatrując postać /6/ liczb A_i widzimy, że operacje $A_i \oplus 1$ lub $A_i \ominus 1$ można wykonać za pomocą algorytmu podanego w punktach /2/ - /5a/. Jest to więc algorytm rekurencyjny. Obowiązuje w nim pewne zastrzeżenie: operacje $A_i \oplus 1$ oraz $A_i \ominus 1$ należy wykonywać modulo p . Jeśli więc $q^{n+1} > p$, należy zabezpieczyć liczenie mod p . Jeśli $q^{n+1} = p$, liczenie zawsze wykonuje się prawidłowo.

3. LICZNIK BINARNY RÓWNOLEGŁY

Założmy, że $q = 2$. Wówczas $a_{ij} \in \{0, 1\}$ i zachodzi:

$$a_{ij} \oplus 1 = a_{ij} \ominus 1 = \overline{a_{ij}}$$

Założmy dalej, że $p = 2^n$. Wówczas liczby A_i są postaci:

$$A_1 = \sum_{j=0}^n a_{1j} 2^j$$

Liczba $A_m(p)$ ma więc postać:

$$A_m(2^n) = \sum_{i=0}^m \left(\sum_{j=0}^n a_{1j} 2^j \right) (2^n)^i$$

Jeśli $\bigvee_i \bigwedge_j a_{1j} = 1$, to $\sum_{j=0}^n a_{1j} 2^j = 2^{n+1} - 1 = p-1$.

Analogicznie, jeśli $\bigvee_i \bigwedge_j a_{1j} = 0$, to $\sum_{j=0}^n a_{1j} 2^j = 0$.

Zatem liczby k i l z wyrażenia /3/ dają się określić na podstawie liczb a_{1j} .

Liczby k_1 i l_1 , odnoszące się do liczenia mod 2^n w zakresie liczb A_1 , określane są bezpośrednio na podstawie liczb a_{1j} jako:

$$k_1 = \sup \left\{ j : \bigwedge_{0 \leq j \leq k_1} a_{1j} = 1 \right\}$$

$$l_1 = \sup \left\{ j : \bigwedge_{0 \leq j \leq l_1} \overline{a_{1j}} = 1 \right\}$$

Struktura układu realizującego przedstawione powyżej algorytmy nie jest skomplikowana. Układ musi zapewniać:

- pamiętanie wartości liczb a_{1j} ;
- generowanie liczb k i k_1 oraz l i l_1 w zależności od operacji /dodawanie lub odejmowanie/;
- negowanie wartości liczb a_{1j} na pozycjach określonych przez liczby k oraz k_1 , lub l oraz l_1 zgodnie z algorytmem podanym w p. 2.

Do pamiętania liczb a_{ij} zastosujemy przerzutniki typu JK. Tabela stanów przerzutnika JK ma postać następującą:

J	K	Q_{r+1}
0	0	Q_r
0	1	1
1	0	0
1	1	$\overline{Q_r}$

- J - wejście zerujące
- K - wejście jedynkujące
- Q_r - dotychczasowy stan przerzutnika
- Q_{r+1} - stan przerzutnika w chwili następnej

Wykorzystamy kombinacje stanów wejść JK = (0,0) i (1,1), realizujących funkcje:

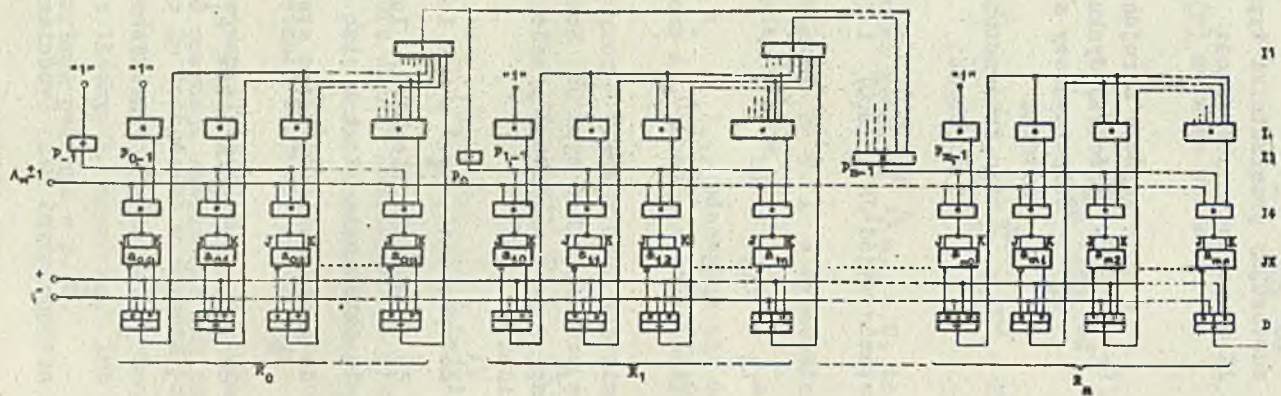
$$a_{ij} := a_{ij}$$

$$a_{ij} := \overline{a_{ij}}$$

Każda z liczb A_i pamiętana jest w /n+1/ - pozycyjnym rejestrze R_i zbudowanym z przerzutników typu JK. Struktura układu realizującego podane w p. 1 algorytmy przedstawiona jest na rys. 1. Wyodrębniono na nim:

- elementy I1 służące do wykrywania $A_i = p - 1$ lub $A_i = 0$
- elementy I2 służące do określenia liczb k_i lub l_i
- elementy I3 służące do określenia liczb k lub l
- elementy I4 służące do generowania sygnałów sterujących przerzutnikami
- elementy JK służące do przechowywania bitów a_{ij}
- elementy D, za pomocą których w zależności od operacji $/A_m \oplus 1$ lub $A_m \ominus 1/$ definiuje się liczby k , k_i oraz l , l_i

Układ charakteryzuje się następującymi własnościami:



Rys. 1. Podstawowy schemat licznika binarnego

- wszystkie rejestry R_i mają taką samą strukturę
- czas ustalania się wyniku T_U nie zależy od liczby A_m , a tym samym od długości i liczby rejestrów R_i . Oznaczmy przez T_E , gdzie $E \in \{I1, I2, I3, I4, JK, D\}$ czas przejścia sygnału przez element E. Czas ustalania się wyniku wynosi $T_U = T_{I4} + T_{JK}$
- graniczna szybkość liczenia T_L /minimalny odstęp czasowy pomiędzy dwoma kolejnymi operacjami $A_m \oplus 1/$ jest stała i wynosi $T_L = T_D + T_{I1} + T_{I3}$, gdy $T_{I2} \leq T_{I1} + T_{I3}$ lub też $T_L = T_D + T_{I2}$, o ile $T_{I2} > T_{I1} + T_{I3}$
- długość każdego z rejestrów R_i ograniczona jest przez moc wyjściową elementów D / B_0 jednostek/ oraz dopuszczalną liczbę wejść elementów I1 / C_0 wejść/, przy czym musi zachodzić:

$$n \leq \min(B_0, C_0); \text{ optymalnym warunkiem jest } B_0 = C_0$$

- liczba rejestrów R_i ograniczona jest przez moc wyjściową elementów I1 / B_1 jednostek/ oraz dopuszczalną liczbę wejść elementów I3 / C_1 wejść/, przy czym musi zachodzić:

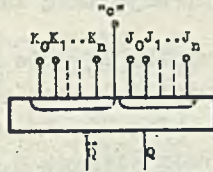
$$m \leq \min(B_1, C_1); \text{ optymalnym warunkiem jest } B_1 = C_1$$

- obciążenie wejść elementów JK jest niewielkie /1 jednostka/.

Strukturę przedstawioną na rys. 1 można znacznie uprościć pod warunkiem zastosowania wielowejsściowych elementów JK. Typowy przerzutnik JK stosowany w nowoczesnych technikach cyfrowych przedstawiony jest na rys. 2.

Wejście jedynkujące: $(K = 1) \equiv \left(\bigwedge_1 K_1 = 1 \right)$

Wejście zerujące: $(J = 1) \equiv \left(\bigwedge_1 J_1 = 1 \right); i = 0, 1, \dots, n$



Rys. 2. Wielowejsciowy przerzutnik JK

Warunkiem przełączania takiego przerzutnika jest $J \wedge K = 1$ w czasie, gdy na wejście "c" podany jest impuls strobujący. Najczęściej jest to impuls o wartości logicznej równej "1" i aktywnym tylnym zboczem.

Niech obwody wejściowe przerzutników JK pełnią rolę iloczynów I2 z rys. 1. Jeśli liczba argumentów wejść jedykujących $K \setminus i$ zerujących J wynosi $n+1$, to można zrealizować $n+1$ - pozycyjny rejestr R_1 /pod warunkiem, że moc wyjściowa elementów D jest nie mniejsza niż $2(n+1)$. Struktura równoległego licznika wykorzystującego opisane powyżej przerzutniki JK przedstawiona jest na rys. 3 i 3a.

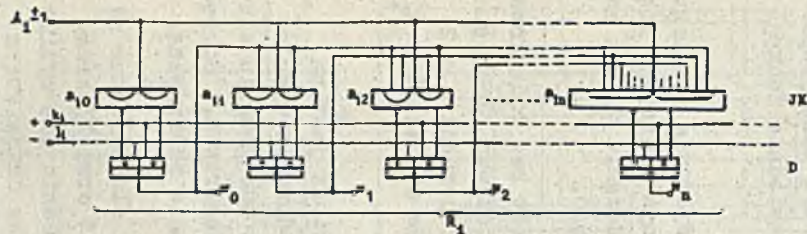
Czas ustalania się wyniku oraz graniczna szybkość liczenia przedstawiają się w tym przypadku bardziej korzystnie, niż dla struktury z rys. 1. Mamy bowiem:

- czas ustalania się wyniku $T_U = T_{JK} + T_{I3}$
- graniczna szybkość liczenia $T_L = T_{JK} + T_D + T_{I1}$

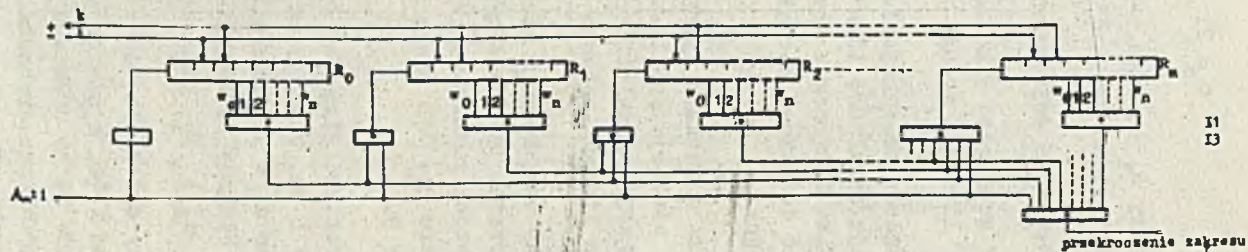
Ze względu na to, że jedno z wejść elementów I3 /rys. 3a/ wykorzystane jest do podawania impulsów liczonych, do zrealizowania licznika o długości $(n+1) \cdot (m+1)$ pozycji należy dysponować elementami I3 o dopuszczalnej liczbie wejść równej $m+2$, o ile wymagane jest wykrywanie przekroczenia zakresu licznika.

4. STRUKTURA LICZNIKA DZIESIĘTNEGO

Założmy, że $p = 10$. Wówczas $A_i \in \{0, 1, \dots, 9\}$. Przedstawiając liczby A_i w prostym kodzie binarnym mamy:



Rys. 3. Struktura rejestru R_1 licznika wykorzystującego przerzutniki JK



Rys. 3a. Struktura przeniesień między rejestrami R_1 licznika

$$q = 2; \quad 2^{n+1} \geq 10; \quad n = 3$$

Rejestry R_i są więc 4-pozycyjne. W każdym z nich przechowywana jest jedna cyfra dziesiętna liczby $A_m/10$.

Struktura rejestrów R_i musi zapewniać:

- a/ możliwość wykonania operacji $A_i + 1$ oraz $A_i - 1$
- b/ liczenie modulo 10.

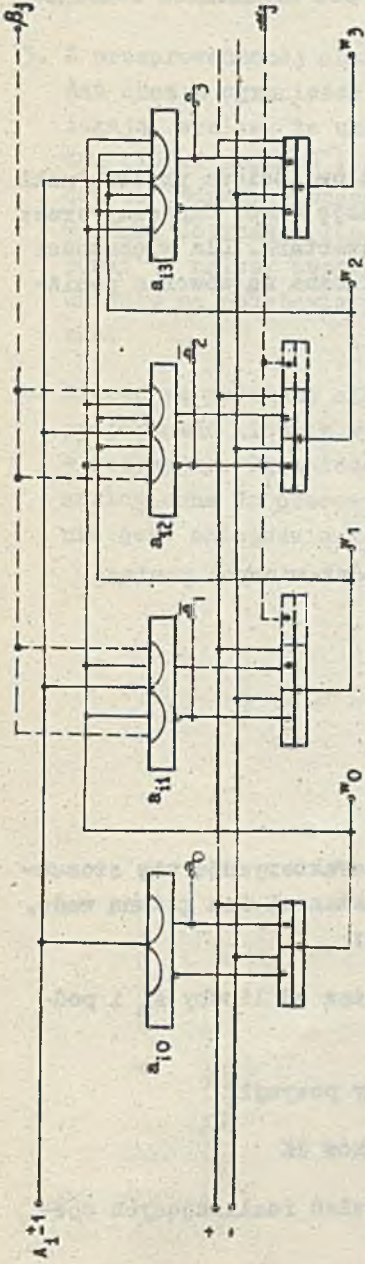
Ze względu na wymaganie /a/ rejestry R_i licznika dziesiętne-go mają strukturę identyczną jak rejestry R_i odpowiedniego licznika binarnego. Aby zapewnić wymaganie /b/, należy wprowadzić dodatkowe sprzężenia realizujące odpowiednie funkcje logiczne.

Przy dodawaniu wykrywa się stan $A_i = 9$. Wykrycie takiego stanu powoduje symulowanie $A_i = 15$. Tym samym realizuje się propagację przeniesienia powstającego przy dodaniu 1. Sam zaś impuls liczony wpisuje do rejestru R_i liczbę 0.

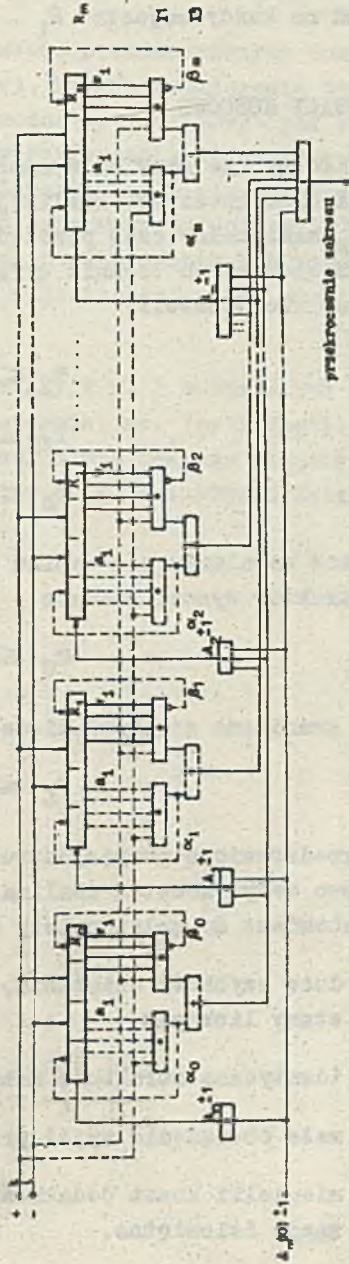
Przy odejmowaniu stan $A_i = 0$ wykrywany jest bez dodatkowego sprzętu. Wykrycie tego stanu powoduje dodatkowo blokadę możliwości przełączenia przez impuls liczony pozycji 1 i 2 rejestru R_i . Tym samym impuls liczony wpisuje do rejestru R_i liczbę 9.

Struktura licznika dziesiętne-go przedstawiona jest na rys. 4 i 4a. Funkcje α_i generowane przy dodawaniu symulują stan $A_i = 15$. Funkcje β_i generowane przy odejmowaniu służą do blokady przełączania pozycji 1 i 2 rejestrów R_i . Sprzężenia α_i i β_i oznaczono na rys. 4 i 4a linią przerywaną.

Przy założeniu, że czasy T_{I1} są jednakowe dla struktur na rys. 3a i 4a, a elementy linii przeniesień I1 oraz I3 zrealizowane są na układach typu NAND czasy ustalania się wyniku oraz graniczna szybkość liczenia są w liczniku dziesiętnym takie same jak w liczniku binarnym. W tych warunkach koszt dodatkowych sprzężeń realizujących operacje dziesiętne jest



Rys. 4. Struktura rejestru R_1 licznika dziesiętnego wykorzystującego przerzutniki JK



Rys. 4a. Struktura linii przeniesień między rejestrami R_1 licznika dziesiętnego

niewielki, rzędu jednego inwertera i dwu argumentów sumoilo-
czynu na każdy rejestr R_1 .

5. UWAGI KOŃCOWE

1. Załóżmy, że mamy do dyspozycji wielowejściowe przerzutniki JK oraz inwertery realizujące funkcję NAND. Oznaczmy przez T_M maksymalny czas przełączania inwertera. Dla większości współczesnych technik cyfrowych słuszne są wówczas poniższe nierówności:

$$T_I \leq 2T_M$$

$$T_{JK} \leq 2T_M$$

$$T_D \leq T_M$$

Czas ustalania się wyniku dla przedstawionych poniżej struktur wynosi wówczas

$$T_U \leq 4T_M$$

a graniczna szybkość liczenia

$$T_L \leq 5T_M$$

2. Przedstawione powyżej struktury charakteryzują się stosunkowo dużym kosztem realizacji, co stanowi ich główną wadę. Natomiast do zalet należy zaliczyć:

- dużą szybkość działania, niezależną od liczby A_M i podstawy liczenia
- identyczną strukturę każdej grupy pozycji
- małe obciążenie wyjść przerzutników JK
- niewielki koszt dodatkowych sprzężeń realizujących operacje dziesiętne.

3. Z przeprowadzonej analizy czasowej przedstawionych rozwiązań oraz z ograniczeń struktury, którym rozwiązania te podlegają, wynika, że układy te można optymalizować pod względem ilości sprzętu i stopnia wykorzystania elementów składowych jedynie wówczas, gdy elementy spełniają określone warunki dotyczące liczby wejść oraz mocy wyjściowej. Warunki te należy uwzględnić przy projektowaniu konkretnych układów na podstawie podanych w niniejszej pracy rozwiązań.
4. Biorąc za podstawę algorytm podany w p. 2 można łatwo zaprojektować licznik wyższego stopnia, np. $(n+1) \cdot (m+1) \cdot (p+1)$ - pozycyjny. Ograniczenia na strukturę takiego licznika są analogiczne do przedstawionych w p. 3, a szybkość działania jest mniejsza o T_I .

ПАРАЛЛЕЛЬНО-ПАРАЛЛЕЛЬНЫЕ ПЕРЕМЕННЫЕ СЧЁТЧИКИ

Резюме

В работе указаны алгоритмы действия, структура и свойства быстродействующих параллельно-параллельных переменных счётчиков. Эти системы выполняют операции увеличения или уменьшения на 1 неотрицательного числа, представленного в бинарном коде, или в другом кодированном бинарно.

Алгоритм вычисления указанный в п. 2 работы относится к числам имеющим форму

$$A_n(p) = \sum_{i=0}^n A_i p^i, \text{ где } p - \text{основа вычисления}$$

$$p > 1$$

$$A_i \in \{0, 1, \dots, p-1\}$$

Вычисление производится модулю супремум множества чисел $A_n(p)$, т.е. $\text{mod } (p^{m+1} - 1)$. В общем, если $x \in \{0, 1, \dots, t-1\}$, то

$$x \oplus 1 = (x + 1) \text{ mod } t$$

$$x \ominus 1 = (x - 1) \text{ mod } t$$

Для множества указателей $\{i : 0, 1, \dots, n\}$ определено:

$$k = \sup \left\{ i : \bigwedge_{0 < l < k} A_l = p-1 \right\}$$

$$= \sup \left\{ i : \bigwedge_{0 < l < i} A_l = 0 \right\}$$

Тогда

$$\sum_{i=0}^n A_i p^i \oplus 1 = \sum_{i=0}^{k-1} (A_i \oplus 1) p^i + \sum_{i=k+2}^n A_i p^i$$

$$\sum_{i=0}^n A_i p^i \ominus 1 = \sum_{i=0}^{k-1} (A_i \ominus 1) p^i + \sum_{i=k+2}^n A_i p^i$$

Действия \oplus и \ominus на числах $A_n(P)$ можно выполнять при помощи аналогических действий на числах A_1 . Следовательно числа A_1 можно представить как

$$A_1 = A_1(q) = \sum_{j=0}^n a_{1j} q^j$$

и для выполнения операций $A_1 \oplus i$ или $A_1 \ominus i$ применить алгоритм идентичный к выше указанному. Такой алгоритм является рекуррентный. По сколько числа A_1 взаимно независимы, операции \oplus и \ominus можно выполнить на каждом из них одновременно.

В п.п. 3 и 4 работы указаны структуры и свойства примерных системных решений реализующих данный алгоритм. Эти решения в принципе сводятся к соответствующему соединению обще известных параллельных переменных счётчиков. Определено быстроедействие указанных систем, т.е. время выполнения операции $A_n(P) \oplus i$, а также граничную скорость вычисления, значит минимальное время, после которого такая же следующая операция может быть выполнена. Показано, что эти времена в поданных примерах, независимы от числа $A_n(P)$ и определяются исключительно структурой систем. Определено также требования поставленные элементам систем, для того чтобы эти системы могли быть развёрнуты до требуемых границ, а элементы оптимально использованы.

PARALLEL REVERSAL COUNTERS

Summary

The paper presents algorithms, structure and properties of high speed parallel to parallel reversal counters. These systems realize operations of adding or subtracting 1 a non-negative number presented in a binary code or in another binary coded one.

The algorithm shown in p. 2 refers to the numbers of the following form

$$A_m(p) = \sum_{i=0}^m A_i p^i, \text{ where } p - \text{computation basis}$$

$$p > 1$$

$$A_i \in \{0, 1, \dots, p-1\}$$

The computation is accomplished modulo the upper boundary of the set of numbers $A_m(p)$, i.e. mod $(p^{m+1} - 1)$. Generally, if $x \in \{0, 1, \dots, t-1\}$, then

$$x \oplus 1 = (x+1) \bmod t$$

$$x \ominus 1 = (x-1) \bmod t$$

For the set of indicators $\{i : 0, 1, \dots, m\}$

$$k = \sup \{i : \bigwedge_{0 \leq i \leq k} A_i = p-1\}$$

$$l = \sup \{i : \bigwedge_{0 \leq i \leq l} A_i = 0\}$$

are determined.

Then

$$\sum_{i=0}^m A_i p^i \oplus 1 = \sum_{i=0}^{k+1} (A_i \oplus 1) p^i + \sum_{i=k+2}^m A_i p^i$$

$$\sum_{i=0}^m A_i p^i \ominus 1 = \sum_{i=0}^{l+1} (A_i \ominus 1) p^i + \sum_{i=l+2}^m A_i p^i$$

Operations \oplus and \ominus can be performed on number $A_m(p)$ by means of analogous operations on numbers A_i . In turn, numbers A_i can be presented as

$$A_1 = A_1(q) = \sum_{j=0}^n a_{1j} q^j$$

and the algorithm being identical to the above presented can be used to perform operations $A_1 \oplus 1$ or $A_1 \ominus 1$. Thus, this algorithm is a recurrence one. As numbers A_1 are independent one of another, operations \oplus and \ominus can be performed on each of them at the same time.

Structures and properties of exemplary solutions of systems that realize the given algorithm are shown in pp. 3 and 4. These solutions are in principle reduced to an adequate integration of commonly known parallel reversal counters. Operation speed of the presented systems is determined, i.e. the time of performing the operation $A_m(p) \oplus 1$, and the terminal speed of counting, thus the minimal time after which the next operation can be performed. It has been proved that these times do not depend on the number $A_m(p)$, presented in the above examples, and are determined by the system structure only. Demands to be fulfilled by the system elements are also determined, aiming at the development of these systems up to the desired limits and to the optimal use of the elements.

WPLYW STRUKTURY BLOKU FERYTOWEGO
NA NIEKTÓRE WŁAŚCIWOŚCI TECHNICZNO-
EKONOMICZNE PAMIĘCI 2,5 D

Romuald SYNAK
Pracę złożono 15.11.1968

Przedstawiono klasyfikację pamięci 2,5 D ze względu na strukturę bloku. Rozpatrzono wpływ struktury na liczbę i koszt elementów użytych w elektronice wybierania, na niektóre czynniki związane z prędkością działania pamięci oraz na zakłócenia w przewodzie odczytu. Podano sposób doboru wymiarów bloku pozwalający na optymalizację tych parametrów.

SPIS TREŚCI

1. WSTĘP	106
2. KLASYFIKACJA BLOKÓW PAMIĘCI 2,5 D	107
3. ILOŚĆ UKŁADÓW WYBIERANIA I ICH KOSZT A STRUKTURA BLOKU	112
4. WPLYW STRUKTURY BLOKU NA NIEKTÓRE WIELKOŚCI ZWIĄZANE Z PRĘDKOŚCIĄ DZIAŁANIA PAMIĘCI	125
5. ZAKŁÓCENIA W PRZEWODZIE ODCZYTU A SPOSÓB UZWAJANIA	133
6. PODSUMOWANIE	139
7. ZAKOŃCZENIE	140
Literatura	140
Peşme	142
Summary	144

1. WSTĘP

Sposób uznawania rdzeniowych pamięci ferrytowych w zasadniczy sposób zdecydował o ich podziale i wpłynął na ich właściwości techniczno-ekonomiczne. Mamy więc pamięci z wybieraniem liniowym, z wybieraniem koincydencyjnym i z wybieraniem w tzw systemie 2,5 D [1 ÷ 4] i w zależności od rodzaju pamięci otrzymane różne koszty bloku, elektroniki, różne prędkości działania itp.

Kierując się tymi wskaźnikami, przy zadanych takich wielkościach jak pojemność pamięci i czas cyklu, można w zasadzie wybrać rodzaj pamięci najlepiej nadający się do realizacji [5 ÷ 6], chociaż w pewnych przypadkach granica między alternatywnymi rozwiązaniami może być mniej wyraźna.

Oprócz wyboru rodzaju pamięci zachodzi jednak konieczność dokładniejszego określenia struktury bloku, tj sposobu prowadzenia przewodów wzbudzających i odczytu oraz ilości tych przewodów.

Problem ten najpełniej jest rozwiązany w pamięciach koincydencyjnych, gdzie wymiary płatu z rdzeniami określają liczbę słów, a liczba płatów długość słowa. Wymiary płatu są zwykle ujednolicone. Istnieją też projekty dość daleko idącej normalizacji konstrukcji płatu [7].

W pamięciach z wybieraniem liniowym taka normalizacja jest utrudniona ze względu na bezpośrednią zależność budowy ramki od długości słowa. Jednak najbardziej złożona jest sytuacja w pamięciach 2,5 D, gdzie wymiary ramki zależą nie tylko od liczby słów i długości słowa, ale od przyjętego sposobu uznawania. W odróżnieniu bowiem od innych rodzajów pamięci, istnieje tutaj kilka możliwości prowadzenia przewodów zarówno wzbudzających jak i odczytu. Zachodzi więc potrzeba sklasyfikowania różnych struktur tej pamięci, a następnie zbadania jaki to ma wpływ na parametry pamięci.

W niniejszej pracy rozważono wpływ struktury bloku pamięci 2,5 D na liczbę układów potrzebnych do wybierania rdzeni, na niektóre wielkości związane z prędkością działania pamięci oraz na wielkość sygnałów zakłócających w przewodzie odczytu.

Analiza taka może stanowić pierwszy etap projektowania pamięci, podczas którego dokonuje się wstępnego wyboru struktury bloku przy uwzględnieniu kosztów elektroniki i niektórych ważniejszych parametrów elektrycznych.

Dalszy etap, prowadzący już do szczegółowego zaprojektowania zarówno konstrukcji bloku, jak i elektroniki, wymaga dokładnego rozpatrzenia szeregu czynników konstrukcyjnych i technologicznych /rodzaj i parametry rdzeni, parametry układów elektronicznych, szczegóły konstrukcyjne prowadzenia przewodów bloku, etc./ co wykracza już poza temat artykułu.

Zajmiemy się pamięcią 2,5 D trójuzwojeniową; pamięć dwuuzwojeniowa może być zanalizowana w podobny sposób.

2. KLASYFIKACJA BLOKÓW PAMIĘCI 2,5 D

Trójuzwojeniowa pamięć pracująca w systemie 2,5 D ma uzwojenie współrzędnej wzbudzania x /linie słów/, uzwojenie współrzędnej y /linie bitowe/ oraz uzwojenie odczytu. Konstrukcyjnie rzecz biorąc, uzwojenia te mogą tworzyć jedną płaszczyznę lub znajdować się z dwu stron ramki wsporezej, wreszcie mogą też obejmować większą liczbę ramek. Przez blok będziemy rozumieć niezależnie od rodzaju takiej konstrukcji zespół rdzeni wybieranych i wzbudzanych przez ten sam zespół elektronicznych układów adresowych.

Rozpatrzymy najpierw możliwe warianty prowadzenia uzwojeń wzbudzających. W pamięci 2,5 D, w fazie odczytu następuje przełączenie rdzeni dzięki koincydencji prądów połówkowych płynących w przewodach x i y . Prąd przesyłany jest w jednym przewodzie x i tylu przewodach y , ile jest bitów.

W fazie zapisu prądu w uzwojeniach przesyłane są w kierunkach przeciwnych niż w fazie odczytu, jednak przepływ prądu w przewodzie y uzależniony jest od tego, czy ma być wpisane "0" czy też "1".

Najprostszą konfigurację uzwojeń wzbudzających, którą oznaczymy literą A pokazano schematycznie na rys. 1a. Określony przewód y krzyżuje się tu z danym przewodem x tylko w jednym rdzeniu. Oprócz takiego sposobu uzwojenia mamy jednak i dalsze, wynikające stąd, że dana para przewodów x i y może przecinać się nie w jednym rdzeniu, jak to było w konfiguracji A, lecz w dwóch, przy czym wybranie jednego z tych dwu rdzeni uzależnione będzie od kierunku jednego prądu półwkowego.

W jednym rdzeniu natężenia pola magnetycznego wywołane tymi prądami dodają się, przez co rdzeń przełącza się, w drugim odejmują i stan rdzenia pozostaje niezmieniony. Adres danego słowa określony jest zatem przez numer linii x i y oraz przez fazę prądu półwkowego.

Zasadę taką można zrealizować w następujących kilku wariantach:

- oba przewody przechodzą przez 2 płaszczyzny /rys. 1b/; konfigurację taką oznaczymy literą B,
- przewód x prowadzony jest jak w konfiguracji A, a przewód y przechodzi przez dwa sąsiednie rzędy rdzeni tego samego pola bitowego /konfiguracja C, rys. 1c/,
- przewód x przechodzi przez dwa sąsiednie rzędy rdzeni, a przewód y prowadzony jest tak jak w konfiguracji A; konfigurację taką oznaczymy literą D /rys. 1d/.

Przy oznaczaniu poszczególnych linii, przyjęto jako zasadę oznaczenie początku danej linii indeksami od 1 do m dla linii x i od 1 do n dla linii y , przy czym numeracja jest identyczna dla każdego bitu.

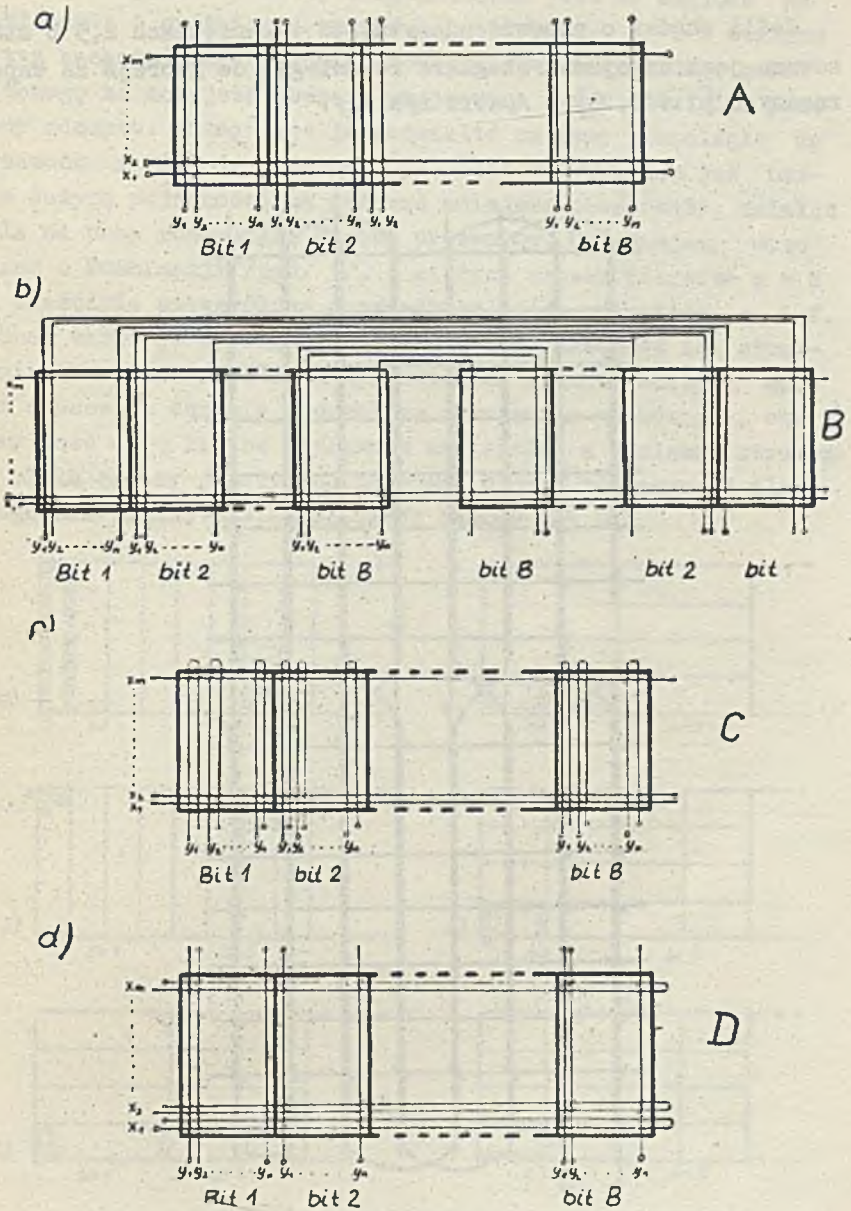
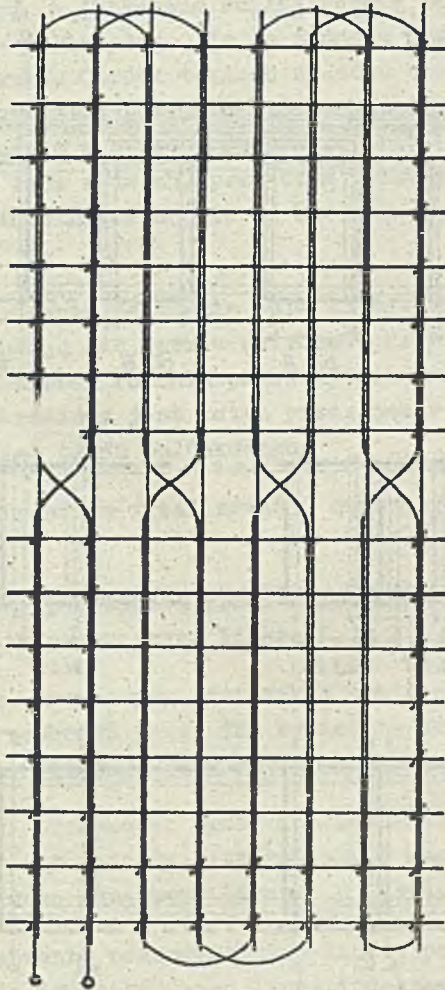


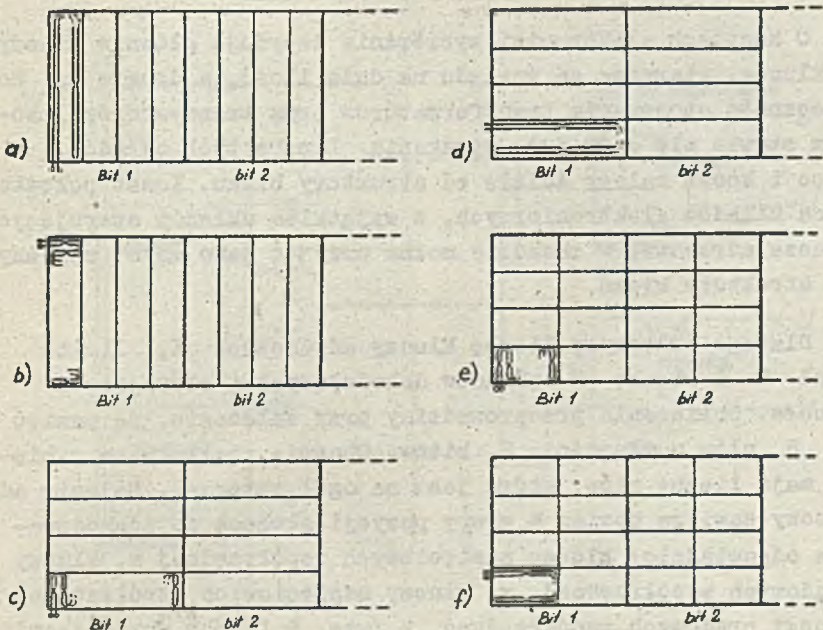
Fig. 1. Rodzaje uzwojeń wzbudzających pamięci 2,5 D

Jeśli chodzi o przewód odczytu, to w pamięciach 2,5 D stosowane jest uzwojenie biegnące równoległe do którejś ze współrzędnych [1 ÷ 3, 8] /patrz rys. 2/.



Rys. 2. Uzwojenie odczytu pamięci 2,5 D

Długość przewodu odczytu ograniczona jest ze względu na zakłócenia i opóźnienie sygnału /patrz rozdz. 5/ i w związku z tym zachodzi często konieczność podzielenia każdego pola bitowego na mniejsze obszary obejmowane przez oddzielne przewody odczytu. Można więc je podzielić na pasy równoległe do przewodu x lub do przewodu y , albo w przypadku już bardzo dużych pojemności na jeszcze mniejsze prostokąty, dzieląc pole na pasy równoległe do obu przewodów. Otrzymujemy więc razem 6 kombinacji /rys. 3/, z których cztery pierwsze a - d są właściwie szczególnym przypadkiem dwóch ostatnich e i f, jednak warto je wyodrębnić ze względu na częstość ich stosowania. Ponieważ dowolne z wymienionych uzwojeń odczytu może być stosowane łącznie z dowolnym uzwojeniem wzbudzania, otrzymamy dość dużą liczbę możliwych wariantów, a ponieważ struktura bloku zależy jeszcze od długości słowa, tłumaczy to dlaczego tak trudno o standaryzację bloków 2,5 D.



Rys. 3. Rodzaje uzwojeń odczytu

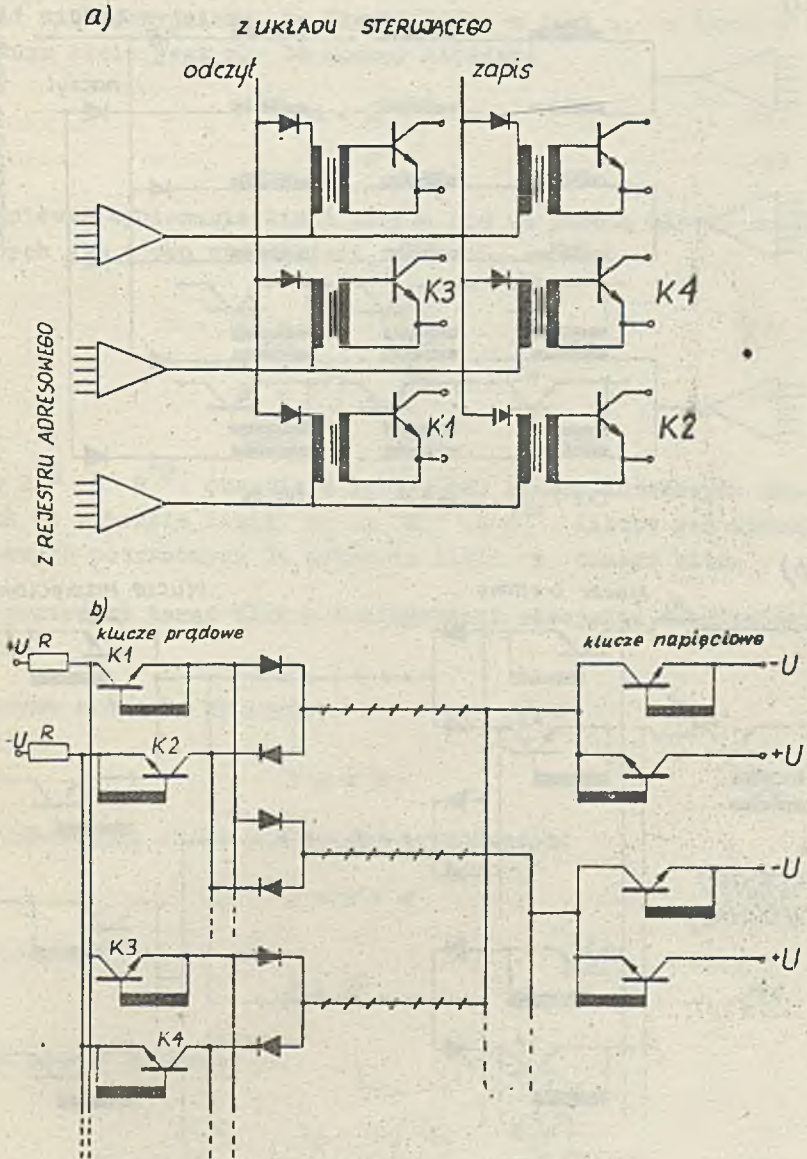
3. ILOŚĆ UKŁADÓW WYBIERANIA I ICH KOSZT A STRUKTURA BLOKU

Rozpatrzmy teraz w jaki sposób struktura bloku będzie wpływać na ilość potrzebnych układów adresowych i przeprowadzimy porównanie ilości i kosztów sprzętu dla poszczególnych rodzajów bloku.

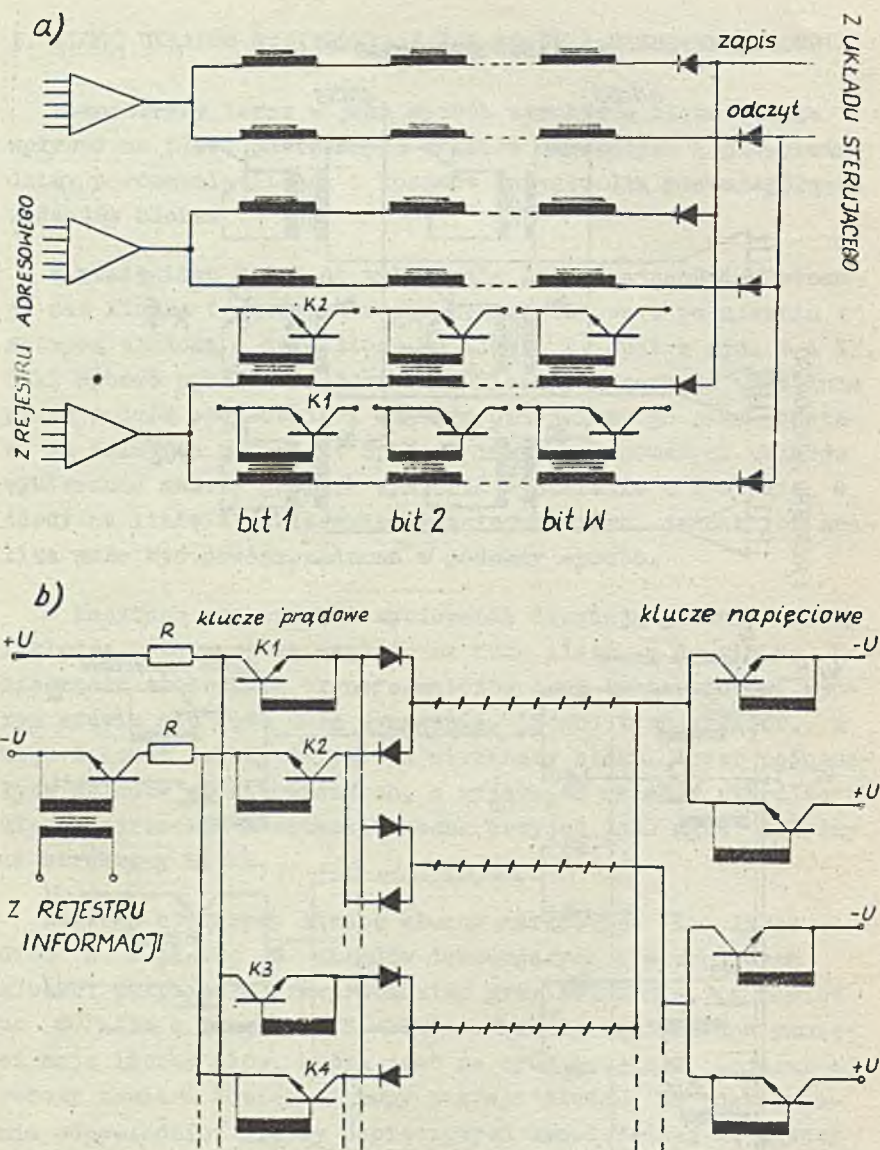
W pamięciach 2,5 D do wybierania linii najczęściej stosuje się klucze transformatorowo-tranzystorowe w połączeniu z matrycą diodową - dwie diody na linię [2] /patrz rys. 4 i 5/. Taki sposób wybierania jest ekonomiczny, a zarazem umożliwia pracę z dużą prędkością i dlatego przyjęliśmy go jako podstawę do dalszych rozważań. Spośród innych stosowanych układów wybierania należy jeszcze wymienić wybieranie w systemie 4 diody na linię i wybieranie transformatorowe, jednak ich analiza może być przeprowadzona w podobny sposób.

O kosztach elektroniki wybierania decydują głównie diody i klucze, pierwsze ze względu na dużą ilość, a drugie na konieczność stosowania transformatorów oraz tranzystorów, którym stawia się dość duże wymagania. Liczba tych układów, a więc i koszt zależy ściśle od struktury bloku. Koszt pozostałych układów elektronicznych, z wyjątkiem układów sterujących klucze adresowe, w zasadzie można przyjąć jako mało zależny od struktury bloku.

Dlatego obliczymy liczbę kluczy adresowych K , liczbę diod D i liczbę M układów dekodujących i sterujących klucze. Obliczenia przeprowadzimy przy założeniu, że pamięć ma S słów o długości B bitów. Obecnie realizowane pamięci mają liczbę słów, która jest na ogół potęgą 2. Rejestr adresowy zawiera bowiem 4 grupy pozycji służące do zdekodowania odpowiednio: kluczy napięciowych współrzędnej x , kluczy prądowych współrzędnej x , kluczy napięciowych współrzędnej y , kluczy prądowych współrzędnej y /rys. 4 i 5/ i aby całkowicie wykorzystać informację zawartą w tym rejestrze, liczba poszczególnych kluczy i liczba współrzędnych będą potęgami 2.



Rys. 4. Schemat układu wybierania linii słów
a/ układ wybierania kluczy, b/ układ wybierania linii



Rys. 5. Schemat układu wybierania linii bitowych
a/ układ wybierania kluczy, b/ układ wybierania
linii y dla jednego bitu

Jeżeli więc przyjmijemy, że liczba linii x jest m , a linii y w jednym bicie jest n , to możemy napisać:

$$m = 2^r \quad /1/$$

$$n = 2^s \quad /2/$$

Ponieważ wybieranie linii odbywa się za pomocą kluczy znajdujących się z obu stron linii, to można napisać

$$2^r = 2^{k_1} \cdot 2^{k_2} \quad /3/$$

$$2^s = 2^{k_3} \cdot 2^{k_4} \quad /4/$$

gdzie 2^{k_1} i 2^{k_2} określają liczbę par kluczy adresowych służących do wybrania linii x , a 2^{k_3} i 2^{k_4} liczbę par kluczy adresowych potrzebnych do wybrania linii y danego bitu.

Rozpatrzmy teraz blok o konfiguracji uzwojenia wzbudzającego A .

Liczba słów S wyniesie

$$S = m n \quad /5/$$

Podstawiając /1/ i /2/ do /5/ i oznaczając

$$p = r + s \quad /6/$$

otrzymamy

$$S = 2^p \quad /7/$$

Liczba kluczy wyniesie

$$K = 2 \left[2^{k_1} + 2^{k_2} + B \left(2^{k_3} + 2^{k_4} \right) \right] \quad /8/$$

Układ wybierania będzie miał najmniejszą liczbę kluczy jeżeli k_1 będzie równe k_2 i k_3 równe k_4 dla parzystych

r i s , lub współczynniki te będą różnić się o 1 dla nieparzystych r i s . Uwzględniając, że $s = p - r$ otrzymamy zatem następujące wyrażenia na K dla poszczególnych przypadków:

1/ r - parzyste, s - parzyste

$$K = 2 \left(2^{\frac{r+2}{2}} + B \cdot 2^{\frac{p-r+2}{2}} \right) \quad /9/$$

2/ r - parzyste, s - nieparzyste

$$K = 2 \left[2^{\frac{r+2}{2}} + B \left(2^{\frac{p-r+1}{2}} + 2^{\frac{p-r-1}{2}} \right) \right] \quad /10/$$

3/ r - nieparzyste, s - parzyste

$$K = 2 \left(2^{\frac{r+1}{2}} + 2^{\frac{r-1}{2}} + B \cdot 2^{\frac{p-r+2}{2}} \right) \quad /11/$$

4/ r - nieparzyste, s - nieparzyste

$$K = 2 \left[2^{\frac{r+1}{2}} + 2^{\frac{r-1}{2}} + B \left(2^{\frac{p-r+1}{2}} + 2^{\frac{p-r-1}{2}} \right) \right] \quad /12/$$

Traktując r jako zmienną niezależną, B i p - jako parametr, można przedstawić K jako funkcję r . Będzie to funkcja dyskretna określona ze wzorów /9/ i /12/, jeżeli p jest parzyste i ze wzorów /10/ i /11/ - jeżeli p jest nieparzyste.

W celu obliczenia, kiedy funkcja ta osiąga minimum przyjmijmy, że funkcja $K = f(r)$ jest funkcją ciągłą. Wówczas z warunku $\frac{dK}{dr}(r) = 0$ można obliczyć, że minimum zachodzi dla

$$r = r_{0K} = \frac{\lg B}{\lg 2} + \frac{P}{2} \quad /13/$$

Gdy wartość r obliczona z powyższego wzoru jest niecałkowita, należy przyjąć tę z dwu najbliższych liczb całkowitych, przy której otrzymuje się mniejszą liczbę kluczy. Znajdąc optymalną wartość r , ze wzoru /1/ możemy obliczyć liczbę linii słów, a ze wzoru /5/ liczbę linii bitowych. W przypadku, gdy otrzymana ze wzoru /13/ wartość r_{OK} była liczbą całkowitą, liczba linii słów wyniesie $B \cdot \sqrt{S}$, a linii bitowych $\frac{\sqrt{S}}{B}$. Gdy odległości między liniami słów i liniami bitowymi są takie same, pole bitu tworzy wtedy prostokąt o stosunku boków $1 : B^2$, a cały blok prostokąt o stosunku boków $1 : B$. W przypadku, gdy r_{OK} obliczone ze wzoru /13/ nie jest liczbą całkowitą proporcje te ulegną zmianie w zależności od różnicy między obliczoną wartością r_{OK} a przyjętą liczbą całkowitą.

Obliczmy teraz liczbę diod D . Ponieważ na każdą linię przypadają dwie diody, zatem

$$D = 2 \left(2^r + B \cdot 2^{p-r} \right) \quad /14/$$

Z warunku, aby pochodna funkcji $D = f(r)$ była równa 0 otrzymujemy następujący warunek na r , przy którym wymagana liczba diod jest najmniejsza

$$r = r_{OD} = \frac{\lg \sqrt{B}}{\lg 2} + \frac{p}{2} \quad /15/$$

Gdy wartość r obliczona z tego wzoru jest niecałkowita, należy przyjąć tę z dwu najbliższych liczb całkowitych, przy której otrzymuje się mniejszą liczbę diod.

W przypadku, gdy ze wzoru /15/ otrzymuje się całkowitą wartość r_{OD} liczba linii słów wyniesie SB a linii bitowych $\frac{S}{B}$. Pole bitu tworzy więc prostokąt o stosunku boków $1 : B$, a cały blok kwadrat. Takiego wyniku należało zresztą oczekiwać. Liczba diod jest wprost proporcjonalna do sumy linii x i y , a ponieważ ich iloczyn jest stały i równy pojemności pamię-

ci, więc ich suma będzie najmniejsza wówczas, gdy liczba linii x równa jest liczbie linii y .

W przypadku, gdy obliczona ze wzoru /15/ wartość r_{OD} nie jest liczbą całkowitą liczba linii x jest inna niż linii y i blok tworzy prostokąt.

Rozpatrzmy jeszcze jakie ilości układów sterujących klucze adresowe potrzebne są do realizacji danego układu wybierania. Otóż biorąc za podstawę rys. 4 widzimy, że do wysterowania klucza współrzędnej x potrzeba, aby pojawił się odpowiedni poziom napięcia na wyjściu układu dekodującego informację zawartą w rejestrze adresowym oraz aby pojawił się impuls z układu sterującego, który wyznacza czas wysterowania klucza. Ponieważ od liczby kluczy adresowych zależy w zasadzie tylko liczba układów dekodujących, obliczamy jedynie te ostatnie. Jeśli chodzi o współrzędną y , to przyjmujemy, że dany układ dekodujący może wysterować W kluczy.

Zakładając, że układy dekodujące klucze współrzędnej x i układy dekodujące klucze współrzędnej y są podobne do siebie, a w szczególności ich koszt jest zbliżony, obliczmy łączną liczbę M tych układów. Otrzymamy następujące zależności:

1/ r - parzyste, s - parzyste

$$M = 2 \frac{r+2}{2} + \frac{2B}{W} \cdot 2 \frac{p-r+2}{2} \quad /16/$$

2/ r - parzyste, s - nieparzyste

$$M = 2 \frac{r+2}{2} + \frac{2B}{W} \left(2 \frac{p-r+1}{2} + 2 \frac{p-r-1}{2} \right) \quad /17/$$

3/ r - nieparzyste, s - parzyste

$$M = 2^{\frac{r+1}{2}} + 2^{\frac{r-1}{2}} + \frac{2B}{W} \cdot 2^{\frac{p-r+2}{2}} \quad /18/$$

4/ r - nieparzyste, s - nieparzyste

$$M = 2^{\frac{r+1}{2}} + 2^{\frac{r-1}{2}} + \frac{2B}{W} \left(2^{\frac{p-r+1}{2}} + 2^{\frac{p-r-1}{2}} \right) \quad /19/$$

Minimalną liczbę układów M otrzymamy dla:

$$r = r_{0M} = \frac{\lg \frac{2B}{W}}{\lg 2} + \frac{p}{2} \quad /20/$$

Gdyby r obliczone z tego wzoru nie było liczbą całkowitą jako wielkość nas interesującą przyjmujemy tę z dwu najbliższych liczb całkowitych, przy której otrzymuje się mniejszą liczbę układów M.

W przypadku, gdy ze wzoru /20/ otrzymuje się całkowitą wartość r_{0M} liczba linii słów wyniesie $\frac{2B}{W} \cdot S$, a linii bitowych $\frac{S_{0M}}{2B/W}$. Pole bitu tworzy prostokąt o stosunku boków $1: \frac{4B}{W^2}$, a cały blok prostokąt o stosunku boków $1: \frac{4B}{W^2}$. Proporcje te ulegną zmianie, gdy r obliczone ze wzoru /20/ nie jest liczbą całkowitą.

Zależności /9/ ÷ /20/ zostały wyprowadzone dla konfiguracji A; dla pozostałych rodzajów uzwojeń /B, C, D/ analogiczne wyrażenie otrzymamy podstawiając do wzorów /9/ ÷ /20/ p-1 zamiast p, gdyż w tych przypadkach

$$s + r = p - 1 \quad /21/$$

Zatem dla konfiguracji B, C, D optymalne wielkości r ze względu na liczbę wymaganych kluczy, diod i układów dekodujących będą odpowiednio

$$r_{oK} = \frac{\lg B}{\lg 2} + \frac{p-1}{2} \quad /22/$$

$$r_{oD} = \frac{\lg \sqrt{B}}{\lg 2} + \frac{p-1}{2} \quad /23/$$

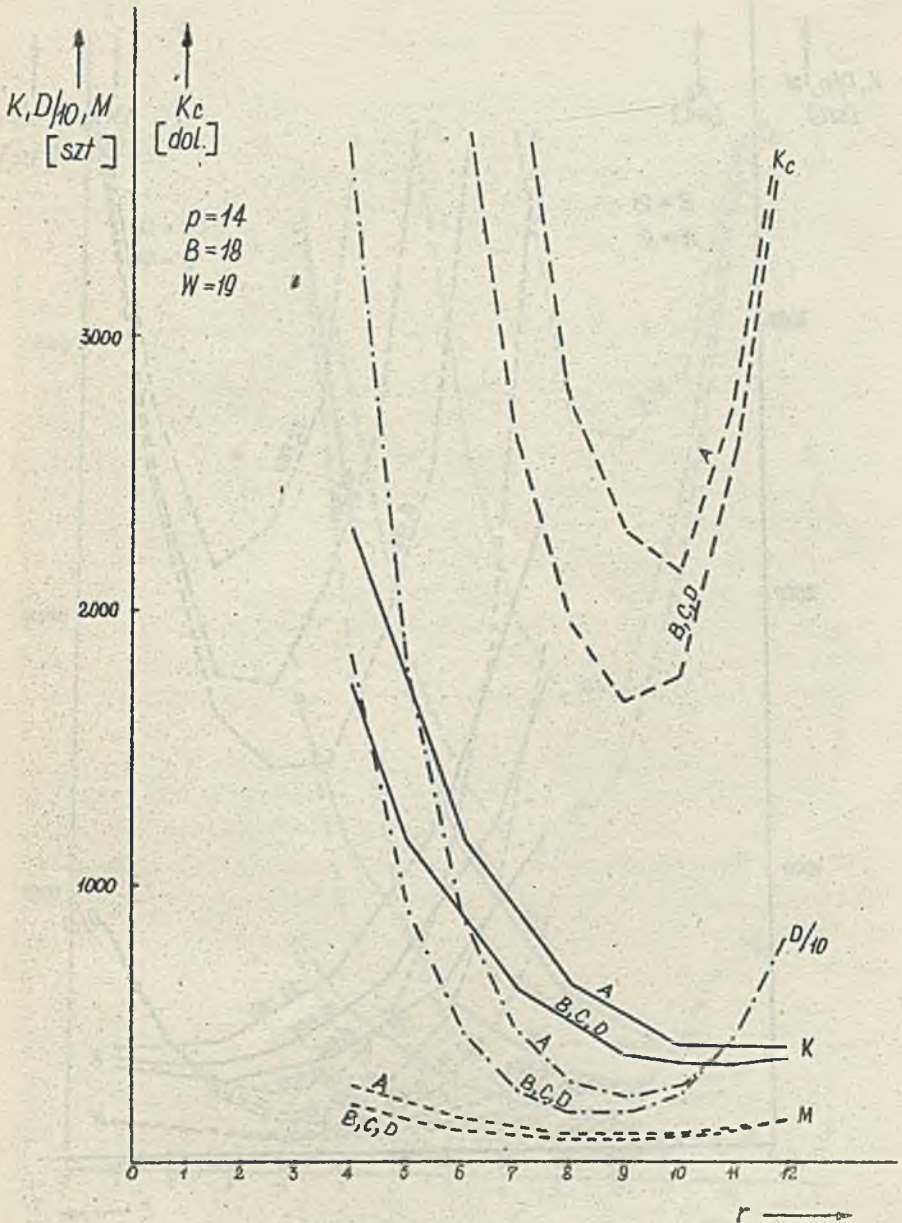
$$r_{oM} = \frac{\lg \frac{2B}{W}}{\lg 2} + \frac{p-1}{2} \quad /24/$$

Do zilustrowania podanych w tym rozdziale wzorów przedstawimy teraz wykresy wielkości K, D i M w funkcji r dla różnych pojemności pamięci i różnych konfiguracji uzwojenia wzbu-
dzającego.

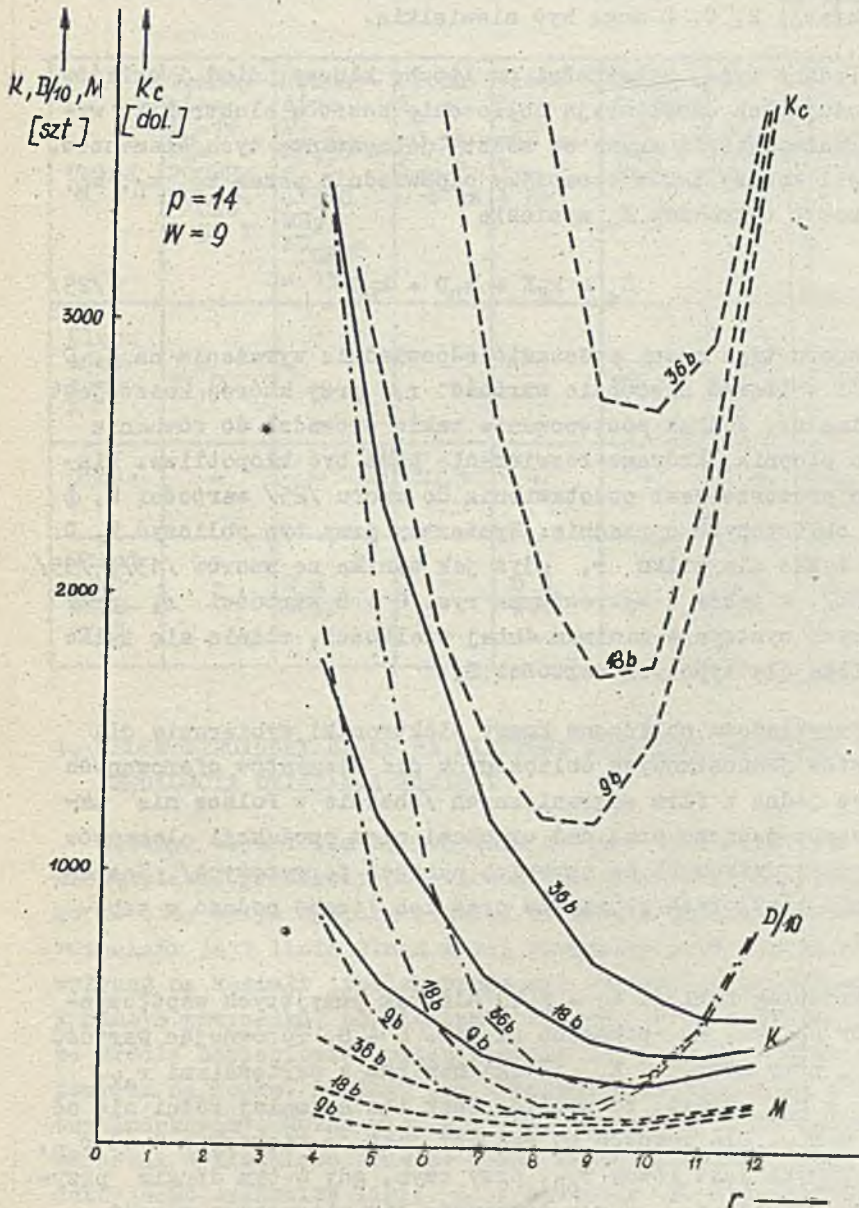
Na rys. 6 pokazano zależność $K = f(r)$, $D = f(r)$ i $M = f(r)$ dla konfiguracji A, B, C i D w przypadku, gdy pojemność pamięci wynosi 16 384 słów 18 bitowych, a na rys. 7 podobne zależności dla konfiguracji B, C i D dla pojemności 8 196 słów, 16 384 słów i 32 768 słów 18 bitowych. Wreszcie na rys. 8 mamy wykresy tych funkcji dla konfiguracji B, C i D dla liczby słów 16 384 i liczby bitów 9, 18 i 36. We wszystkich przypadkach przyjęto $W = 9$.

Jak wynika z tych wykresów liczba wymaganych elementów, a w szczególności diod i kluczy, zależy bardzo od wymiarów bloku. Wartości r, przy których mamy minimalną liczbę diod i kluczy różnią się o kilka, co zresztą wynika ze wzorów /13/ i /15/, jednak warto zauważyć, że zmiana liczby kluczy w przedziale r_{oD} i r_{oK} jest stosunkowo nieduża.

Jeśli chodzi o porównanie konfiguracji A i B, C, D, to jak wynika z rys. 6 przyjęcie konfiguracji B, C, D daje przy $r = 9$ oszczędność $1/3$ liczby diod i $1/4$ liczby kluczy w stosunku do konfiguracji A. Różnice w ilości tych elementów zależą bardzo od przyjętego r i jak widać z wykresu, przez niewłaś-



Rys. 6. $K = f(r)$, $D = f(r)$, $M = f(r)$ i $K_c = f(r)$ dla różnych konfiguracji uzwojenia /pojemność 16.384 st. 18 bit./



Rys. 8. $K = f(r)$, $D = f(r)$, $M = f(r)$ i $K_c = f(r)$ dla bloku o konfiguracji B, ilości słów 16.384 i różnej długości słowa

ciwe dobranie tego współczynnika korzyści z zastosowania konfiguracji B, C, D mogą być niewielkie.

Podane wyżej zależności na liczbę kluczy, diod i układów dekodujących umożliwiając obliczenie kosztów elektroniki wybierania, jeżeli znane są koszty jednostkowe tych elementów. Jeżeli koszty takie oznaczymy odpowiednio przez k_K , k_D , k_M , to koszt całkowity K_C wyniesie

$$K_C = k_K K + k_D D + k_M M \quad /25/$$

Do wzoru tego można podstawić odpowiednie wyrażenie na K , D i M i obliczyć następnie wartość r , przy której koszt jest minimalny. Jednak postępowanie takie prowadzi do równania 4-go stopnia, którego rozwiązanie może być kłopotliwe. Dlatego prostsze jest podstawienie do wzoru /25/ wartości K , D i M obliczonych uprzednio. Wystarczy przy tym obliczyć K , D i M tylko dla kilku r , gdyż jak wynika ze wzorów /13/, /15/ i /20/, a także z wykresów na rys. 6 ÷ 8 wartości r , przy których występuje minimum danej wielkości, różnią się tylko o kilka dla typowych wartości B .

Przykładowo obliczono koszt elektroniki wybierania dla kosztów jednostkowych obliczonych dla elementów oferowanych przez jedną z firm zagranicznych /obecnie w Polsce nie zakończono jeszcze prac nad uruchomieniem produkcji elementów półprzewodnikowych do szybkich pamięci ferrytowych/. Zestawienie przyjętych elementów oraz ich liczbę podano w tabeli 1.

Przebieg funkcji $K_C = f(r)$ dla tak przyjętych współczynników k_K , k_D , k_M pokazano na rys. 6 ÷ 8. Porównując wartość r_{oK_C} , przy której K_C osiąga minimum z wartościami r_{oK} , r_{oD} i r_{oM} widać, że współczynnik ten najmniej różni się od r_{oD} i r_{oM} . Dla pewnych pojemności jest on większy o 1 od r_{oD} , dla innych jest równy r_{oD} , przy czym, gdy w tym drugim przypadku przyjmując $r_{oK_C} = r_{oD}$ otrzymuje się nieznaczny wzrost kosztów.

Tabela 1

Układ	Tranzy- stor $P = 1W$ $f_n = 200MHz$ $BU_{CEO} = 30V$	Tranzy- stor $P = 0,36W$ $f_T = 300MHz$ $BU_{CEO} = 15V$	Dioda $I_p = 0,5A$ $t_{rr} = 4ns$	Dioda $I_p = 50mA$ $t_{rr} = 4ns$	Trans- forma- tor impul- sowy	Ele- menty R C	k [g]
Klucz adre- sowy K	1 a g1,7	-	-	-	1 a g0,8	1 a g0,1	$k_K = 2,6$
Dioda D	-	-	g0,3	-	-	-	$k_D = 0,3$
Układ deko- dują- cy M	-	2 a g0,5	-	6 a g0,2	-	6 a g0,1	$k_M = 2,8$

4. WPŁYW STRUKTURY BLOKU NA NIEKTÓRE WIELKOŚCI ZWIĄZANE Z PRĘDKOŚCIĄ DZIAŁANIA PAMIĘCI

Głównym czynnikiem wpływającym na czas cyklu pamięci są niewątpliwie parametry przełącznikowe rdzeni. Jednak obok tego istotny wpływ wywiera również struktura bloku. Przewód z rdzeniami jest linią długą i jej parametry mogą znacznie wpłynąć na kształt impulsu prądowego wzbudzającego rdzenie. W naszym przypadku, po włączeniu kluczy, linia zasilana jest ze źródła napięciowego przez opornik R i pracuje w stanie zwarcia na końcu. Dlatego jej impedancja wejściowa ma charakter indukcyjny. Można więc przyjąć, że prąd w linii będzie narastał wykładniczo wraz ze stałą czasu określoną przez indukcyjność całkowitą linii L i oporność R. Czas narastania impulsu prądowego, jak wynika z charakterystyk rdzeni,

w sposób liniowy wpływa na czas przełączania rdzenia t_g i czas szczytu t_p sygnału odpowiedzi [10, 11]. Dlatego, aby zwiększyć prędkość działania pamięci należy dążyć do małej stałej czasu L/R , co można osiągnąć przez zwiększenie R lub zmniejszenie L .

Pierwszy sposób prowadzi do zastosowania zasilaczy o dużym napięciu, co znacznie zwiększa moc urządzenia oraz stwarza mniej korzystne warunki pracy diod i tranzystorów w kłuczach wybierających. Zmniejszenie indukcyjności można natomiast osiągnąć przez ograniczenie pojemności pamięci, stosowanie uzwojenia tworzącego parę przewodów z prądem przepływającym w przeciwnych kierunkach /konfiguracje C, D/ lub umieszczenie linii z rdzeniami w małej odległości nad metalową płytą uziemioną. Szczególnie ten ostatni sposób jest powszechnie stosowany, gdyż obok zmniejszenia indukcyjności uzyskuje się również lepsze chłodzenie rdzeni.

W pamięci 2,5 D wybranie rdzeni następuje w wyniku koincydencji dwóch impulsów prądowych, a więc trzeba wziąć pod uwagę czasy narastania obu tych impulsów. Ponieważ czas narastania zależy od indukcyjności linii, a więc i od jej długości, która z kolei wiąże się z liczbą przewodów, zachodzi potrzeba dobrania wzajemnego stosunku liczby przewodów x i y tak, aby uzyskać minimalne opóźnienie sygnału odczytu. Iloczyn liczby przewodów x i y jest stały przy zadanej pojemności pamięci. Dlatego również stały jest iloczyn długości tych przewodów, a co za tym idzie ich indukcyjności i czasów narastania. Z tego względu suma czasów narastania obu impulsów prądowych będzie najmniejsza wówczas, gdy czasy te będą sobie równe.

Napięcia zasilające linie x i y są zwykle takie same, co pozwala na zmniejszenie liczby zasilaczy. Wówczas warunek, aby czasy narastania były sobie równe sprowadza się do warunku, by indukcyjności przewodów x i y były jednakowe.

W celu ocenięcia stopnia w jakim będą różniły się czasy narastania obu impulsów prądowych wprowadzimy współczynnik k_{we} równy z definicji stosunkowi indukcyjności przewodu x do przewodu y . Oprócz tego pożyteczne jest z punktu widzenia oceny konstrukcji bloku wprowadzenie współczynnika wydłużenia bloku /aspect ratio/ - k_{wg} zdefiniowanego jako stosunek wymiaru y bloku do wymiaru x . Na ogół korzystne jest, ze względu na konstrukcję bloku i szycie przewodów, gdy współczynnik ten jest zbliżony do 1. Dla bloku z uzwojeniem o konfiguracji A i B współczynniki k_{we} i k_{wg} będą sobie równe i związane z parametrem w następujący sposób:

$$k_{we} = k_{wg} = B 2^{p-2r} \quad \text{dla konfiguracji A} \quad /26/$$

$$k_{we} = k_{wg} = B 2^{p-2r-1} \quad \text{dla konfiguracji B} \quad /27/$$

Przyjęto również, że odstęp między przewodami x i y jest jednakowy, co ma miejsce w praktycznych realizacjach.

W pozostałych konfiguracjach prowadzenie każdego z przewodów jest różne, w konfiguracji C przewód y tworzy parę przewodów z przeciwnie płynącymi prądami, przewód x jest pojedynczy, a w konfiguracji D jest odwrotnie. Wyprowadzimy wzór na k_{we} dla tych konfiguracji.

Przyjmujemy, że rdzenie umieszczone są na płycie uziemionej, co jest obecnie najczęściej spotykaną konstrukcją bloku ferrytowego [2, 3]. Na indukcyjność danej współrzędnej będą składały się indukcyjności przewodów i indukcyjności rdzeni, wynikające z określonego nachylenia krzywej $B = f(H)$ przy pobudzaniu rdzenia prądem połówkowym.

Indukcyjność przewodów możemy obliczyć ze znanych wzorów, podanych np. w [9]. Dla przewodu pojedynczego, umieszczonego nad płytą uziemioną indukcyjność L na jednostkę długości wynosi

$$L = \frac{\mu_0}{2\pi} \ln \frac{4h}{d} \quad [H/m] \quad /28/$$

gdzie h - odległość między środkiem przewodu i płytą
 d - średnica przewodu
 μ_0 - przenikalność magnetyczna próżni.

Dla pary przewodów

$$L' = L_p - \Delta L, \quad /29/$$

gdzie L_p - indukcyjność na jednostkę długości pary przewodów bez wpływu płyty

ΔL - poprawka uwzględniająca wpływ płyty, przy czym

$$\Delta L = \frac{\mu_0}{2\pi} \ln \left(1 + \frac{a^2}{4h^2} \right) \quad /30/$$

a - odległość między przewodami.

Powyższe wzory są słuszne przy założeniu, że h jest większe od długości fali elektromagnetycznej λ w płycie oraz od średnicy przewodu d . λ określa się ze wzoru:

$$\lambda = \frac{\sqrt{\frac{4\pi}{\mu_0}}}{f \gamma} \quad /31/$$

gdzie f - górna częstotliwość pasma
 γ - przewodność właściwa płyty

i jak można sprawdzić założenia te są spełnione przy czasach narastania impulsu prądowego takich, jakie spotyka się w bardzo szybkich pamięciach 2,5 D /rzędu 50 ns/.

Ponieważ indukcyjność samej pary przewodów wynosi

$$L_p = \frac{\mu_0}{\pi} \ln \frac{2a}{d} \quad /32/$$

więc z /29/ i /30/ indukcyjność pary przewodów nad płytą wyniesie

$$L' = \frac{\mu_0}{\pi} \ln \frac{4 ah}{d \sqrt{a^2 + 4h^2}} \quad /33/$$

Przyjmijmy, że indukcyjność jaką wprowadza jeden rdzeń wynosi L_r .

Dla konfiguracji C otrzymamy

$$\begin{aligned} k_{we} &= \frac{B \cdot 2 \cdot 2^S (aL + L_r)}{2^r (aL' + 2L_r)} = \\ &= B \cdot 2^{p-2r-1} \frac{L_r + \frac{\mu_0}{2\pi} a \ln \frac{4h}{d}}{L_r + \frac{\mu_0 a}{2\pi} \ln \frac{4ha}{d \sqrt{a^2 + 4h^2}}} = \quad /34/ \\ &= B \cdot 2^{p-2r-1} \frac{L_r + \frac{\mu_0}{2\pi} a \ln \frac{4h}{d}}{L_r + \frac{\mu_0}{2\pi} a \ln \frac{4h}{d} - \frac{\mu_0}{4\pi} a \ln \left[1 + 4 \left(\frac{h}{a} \right)^2 \right]} \end{aligned}$$

Oszacujmy wielkość składnika $s_2 = \frac{\mu_0 a}{4\pi} \ln \left[1 + 4 \left(\frac{h}{a} \right)^2 \right]$ i porównajmy ją ze składnikiem

$$s_1 = \frac{\mu_0 a}{2\pi} \ln \frac{4h}{d} .$$

Przy odległości przewodów równej średnicy zewnętrznej rdzenia i odległości h równej promieniowi rdzenia, mamy $\frac{h}{a} = 1/2$, przy większych odległościach a stosunek ten będzie jeszcze mniejszy. Ponieważ średnica przewodu jest rzędu 0,05 mm i jest mniejsza niż h /rzędu 0,25 mm/, składnik s_2 będzie

o rząd mniejszy od s_1 . Uwzględniając ponadto fakt, że w liczniku i mianowniku ułamka występuje jeszcze L_r , można przyjąć, że

$$\frac{L_r + s_1}{L_r + s_1 - s_2} \cong 1.$$

Zatem z błędem najwyżej kilku procent można napisać, że

$$k_{we} \cong B \cdot 2^{p-2r-1} \quad /35/$$

Taki sam wzór otrzymamy również dla konfiguracji D.

Obliczamy jeszcze współczynnik k_{wg} dla konfiguracji C i D.
Dla C

$$k_{wg} = \frac{B \cdot 2 \cdot 2^s \cdot a}{2^r \cdot a} = B \cdot 2^{p-2r} = 2 k_{we} \quad /36/$$

Dla D

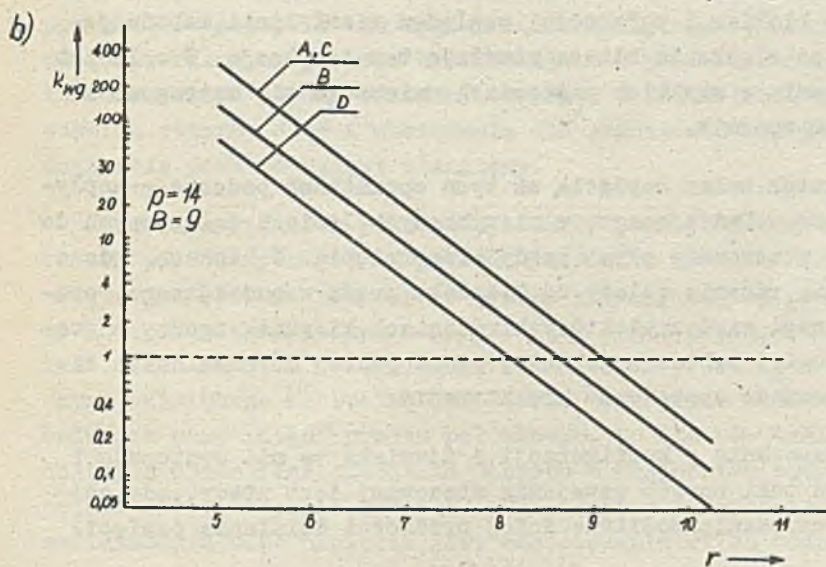
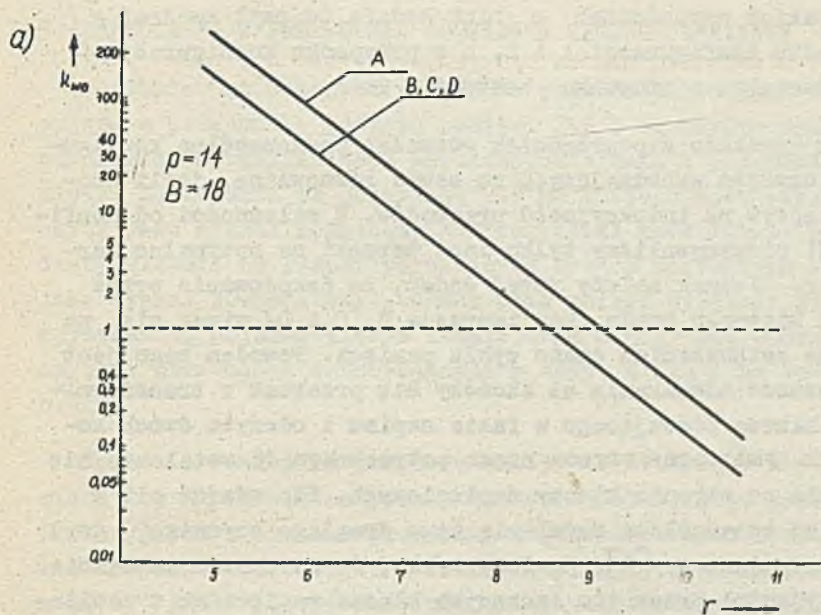
$$k_{wg} = \frac{B \cdot 2^s \cdot a}{2 \cdot 2^r \cdot a} = B \cdot 2^{p-2r-2} = \frac{k_{we}}{2} \quad /37/$$

Na rys. 9 pokazano przebieg funkcji $k_{we} = f(r)$ i $k_{wg} = f(r)$ dla pojemności 16 384 słów 18 bitowych.

Wzory /26/, /27/ i /35/ pozwalają na obliczenie wartości r , przy której indukcyjności przewodów są równe, tzn. gdy $k_{we} = 1$. Otrzymamy z nich

$$r_{ok_{we}} = \frac{\lg \sqrt{B}}{\lg 2} + \frac{p}{2} \quad \text{dla konfiguracji A} \quad /38/$$

$$r_{ok_{we}} = \frac{\lg \sqrt{B}}{\lg 2} + \frac{p-1}{2} \quad \text{dla konfiguracji B, C i D} \quad /39/$$



Rys. 9. Współczynniki k_{w0} i k_{wg} dla różnych struktur bloku
/S = 16.384 słów 18 bitowych/

Przy takich wartościach r blok będzie tworzył kwadrat w przypadku konfiguracji A i B, a w przypadku konfiguracji C i D prostokąt o stosunku boków 1 : 2.

Jak wynikało z poprzednich rozważań poszczególne konfiguracje uzwojeń wzbudzających są sobie równoważne, jeśli chodzi o wpływ na indukcyjność przewodów. W zależności od konfiguracji otrzymywaliśmy tylko inne warunki na optymalną wartość r . Jednak należy tutaj dodać, że dekodowanie przez zmianę kierunku prądu /konfiguracje B, C i D/ wiąże się na ogół ze zwiększeniem czasu cyklu pamięci. Powodem tego jest konieczność odczekania aż skończy się przerzut w transformatorze klucza pracującego w fazie zapisu i odczytu dwóch kolejnych cykli oraz strata czasu potrzebnego do ustalenia się napięcia po stronie kluczy napięciowych. Nie wdając się w bardziej szczegółowe omówienie tego drugiego czynnika, gdyż jest to podane w [2], powiemy tylko, że na skutek istnienia indukcyjności przewodów łączących klucze napięciowe z zasilaczem i blokiem, i pojemności względem ziemi linii wzbudzających, po włączeniu klucza powstają tam oscylacje. W celu ich stłumienia w szybkich pamięciach umieszcza się szeregowo z kluczem opornik.

Wskutek zmian napięcia na tych opornikach podczas przepływu prądu wzbudzającego, w niewybranych liniach dołączonych do klucza włączonego płyną prądy przesunięcia. W blokach, gdzie wybranie rdzenia zależy od kierunku prądu wzbudzającego, prądy te mogą mieć w niektórych rdzeniach kierunek zgodny z prądem drugiej wzbudzonej linii, prostopadłej do omawianych linii, co może spowodować przekłamania.

W uzwojeniu o konfiguracji A zjawiska te nie występują i dlatego taki sposób uzwojania stosowany jest wtedy, gdy chodzi o uzyskanie możliwie dużej prędkości działania pamięci.

5. ZAKŁÓCENIA W PRZEWODZIE ODCZYTU A SPOSÓB UZWAJANIA

Podobnie jak w innych rodzajach pamięci zakłócenia występujące w przewodzie odczytu pamięci 2,5 D są bardzo ważnym czynnikiem ograniczającym prędkość działania i pojemność pamięci. Zakłócenia te pojawiają się na końcach uzwojenia odczytu jako sygnał różnicowy /differential mode noise/ pochodzący głównie od rdzeni pobudzanych prądem połówkowym oraz jako sygnał równofazowy /common mode noise/ wywołany dzięki sprzężeniom pojemnościowym istniejącym między przewodem odczytu i przewodami wzbudzającymi w samym bloku i na zewnątrz bloku.

Sposób prowadzenia przewodu odczytu zastosowany w pamięciach 2,5 D pozwala na prawie całkowitą eliminację sprzężeń indukcyjnych w bloku. Sprzężenia pojemnościowe istniejące między przewodem odczytu a równoległym przewodem adresowym mogą być jednak dosyć duże wskutek bliskiej odległości tych przewodów. Wprawdzie sam sygnał równofazowy nie stanowi większego problemu, gdyż może być zmniejszony przez włączenie transformatora między uzwojenie odczytu i wzmacniacz, jednak wskutek różnicy dróg i obciążenia dla sygnałów w obu przewodach może powstać sygnał różnicowy.

Największy problem przedstawia zakłócenie pochodzące od rdzeni pobudzanych prądem połówkowym /delta noise/. Zakłócenie to jak wiadomo powstaje w wyniku różnicy między przyrostowymi przenikalnościami magnetycznymi dwóch rdzeni, z których jeden ma stan "0", a drugi "1". Jeżeli przez U_G oznaczymy największe napięcie, jakie może wystąpić w wyniku pobudzenia pary rdzeni prądem połówkowym, to dla R takich par objętych przez dane uzwojenie odczytu w najgorszym przypadku pojawi się zakłócenie równe $R \cdot U_G$. Jednym ze sposobów zmniejszenia tego napięcia jest zastosowanie kilku oddzielnych uzwojeń i wzmacniaczy odczytu, o czym była mowa już w p. 2. Drugi sposób stosowany często razem z poprzednim polega na opóźnieniu początku jednego impulsu prądowego względem

drugiego, przez co sygnał zakłócający pochodzący od rdzeni pobudzanych najpierw zdaży już zaniknąć i mamy do czynienia z zakłóceniem tylko od rdzeni, przez które przechodzi przewód później wzbudzany. Oczywiście taka metoda wiąże się ze zwiększeniem czasu dostępu. Jeżeli chcemy pracować z maksymalną prędkością, to trzeba uwzględnić zakłócenia pochodzące zarówno od rdzeni znajdujących się na przewodzie x jak i y . Jednak przez odpowiedni dobór wymiarów pola bitu i odpowiednie prowadzenie przewodów odczytu można znacznie zmniejszyć ilość par rdzeni, które wpływają na wartość sygnału zakłócającego. Zajmiemy się zatem wyznaczeniem takiej struktury bloku, która zapewnia minimalną wartość tego sygnału.

Najpierw rozpatrzmy blok o konfiguracji A i przeanalizujemy wszystkie warianty uzwojenia odczytu pokazane na rys. 3.

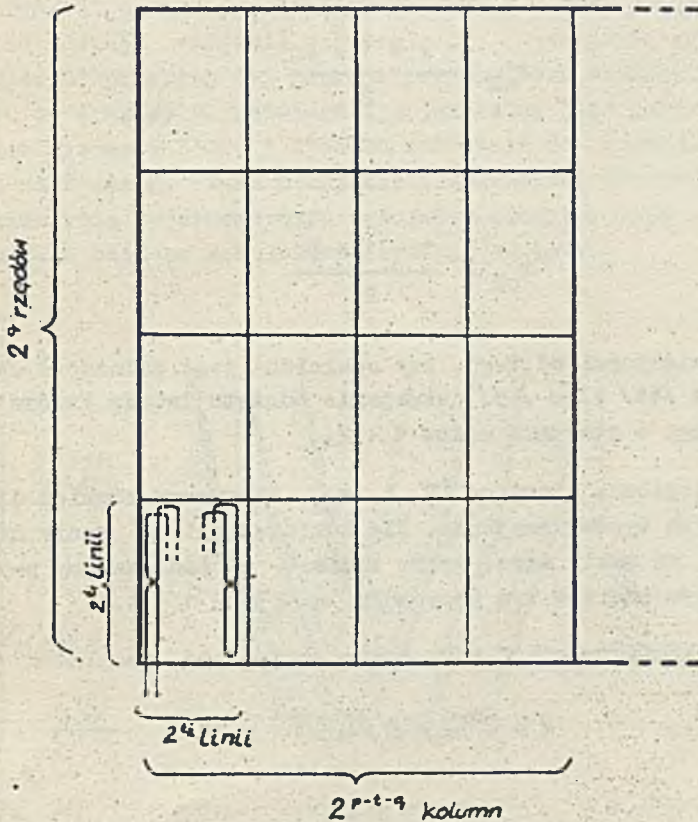
Zacznijmy od uzwojenia odczytu typu e, f. Oznaczmy przez 2^{t_1} i 2^{t_2} wymiary pola, przez które przechodzi uzwojenie odczytu /rys. 10/, przy czym $2^{t_1} \cdot 2^{t_2} = 2^t$. Wielkość 2^t określająca liczbę rdzeni, przez które przechodzi uzwojenie odczytu ograniczona jest ze względu na wartość sygnału różnicowego i opóźnienia sygnału odczytu i dlatego na ogół jest nie większa niż 4 096.

Jeżeli całe pole bitowe zawiera 2^p rdzeni, to zostaje ono podzielone na 2^{p-t} mniejszych obszarów, przy czym jak można łatwo wykazać ilość kombinacji takiego podziału wyniesie $p-t+1$. Dwie z nich to właśnie uzwojenie typu a, b oraz c, d, w pozostałych kombinacjach występuje więcej niż jedna kolumna i jeden rząd z danym uzwojeniem odczytu /typ e, f/. Oznaczmy przez 2^q liczbę rzędów, wówczas liczba kolumn wyniesie 2^{p-t-q} . Wielkość q będzie parametrem, który może przyjmować wartości $0, 1, \dots, p-t$, przy czym, gdy $q = 0$ mamy uzwojenie typu a, b, natomiast gdy $q = p-t$ uzwojenie c, d. Ilość par R rdzeni pobudzanych prądem połówkowym wyniesie

$$R = 2^{t_1-1} + 2^{t_2-1} - 2,$$

gdyż prąd w przewodzie t_2 x pobudza 2^{t_1} rdzeni, prąd współrzędnej y pobudza 2^{t_2} rdzeni i na każdej z tych współrzędnych znajduje się 1 rdzeń, który przełączył się całkowicie, i co za tym idzie jeden rdzeń bez "pary".

1 bit



Rys. 10. Podział pola bitu na mniejsze obszary

$$\text{Ponieważ } t_1 = r - q \text{ i } t_2 = s - (p - t - q) \quad /41/$$

$$R = 2^{r-q-1} + 2^{-r+t+q-1} - 2. \quad /42/$$

Podobnie jak to czyniliśmy poprzednio, założymy chwilowo ciągłość funkcji $R(r)$ i obliczmy wartość r , przy której otrzymamy minimalne R .

Z warunku $\frac{dR(r)}{dr} = 0$ mamy

$$r = r_{oR} = \frac{t + 2q}{2} \quad /43/$$

co przyjmujemy dla t parzystych, a dla t nieparzystych przyjmujemy

$$r_{oR} = \frac{t + 1 + 2q}{2} \quad /44/$$

lub

$$r_{oR} = \frac{t - 1 + 2q}{2} \quad /45/$$

W zależności od tego, czy spełniona jest zależność /43/ czy też /44/ albo /45/, uzwojenie odczytu tworzy kwadrat lub prostokąt o stosunku boków $1 : 2$.

Analogiczne wzory na R i r_{oR} otrzymamy również dla pozostałych typów uzwojenia. Dla konfiguracji B wzory na R i r_{oR} są takie same, tylko zamiast p podstawiamy $p-1$, a co za tym idzie w tym przypadku $q \leq p - 1 - t$.

Dla konfiguracji C i D można stwierdzić, że

$$R = 2^{r-q} + 2^{-r+t+q-1} - 2. \quad /46/$$

$$r_{oR} = \frac{t - 1 + 2q}{2} \quad \text{dla } t - \text{nieparzystych} \quad /47/$$

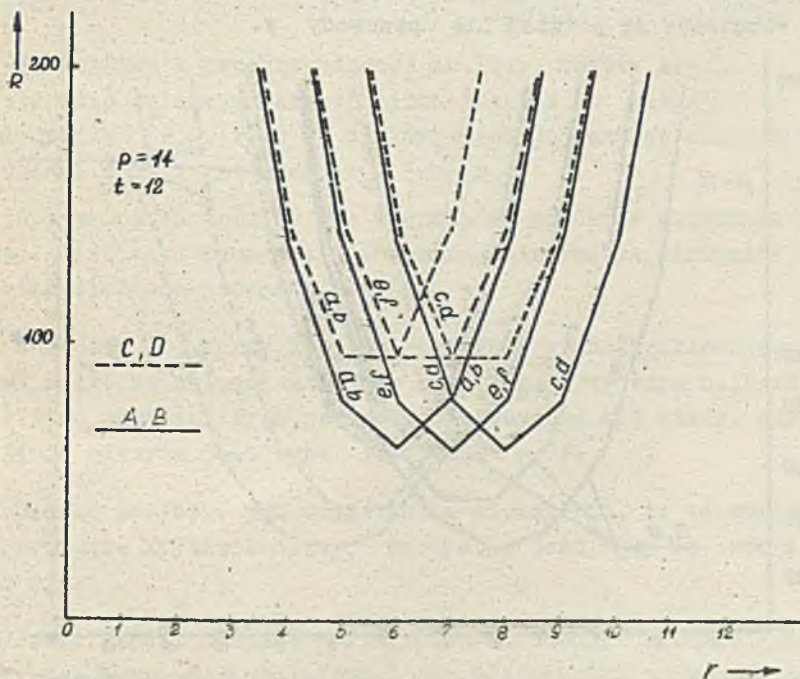
$$r_{oR} = \frac{t - 2 + 2q}{2} \quad \text{dla } t - \text{parzystych} \quad /48/$$

lub

$$r_{oR} = \frac{t + 2q}{2} \quad \text{dla } t - \text{ parzystych} \quad /49/$$

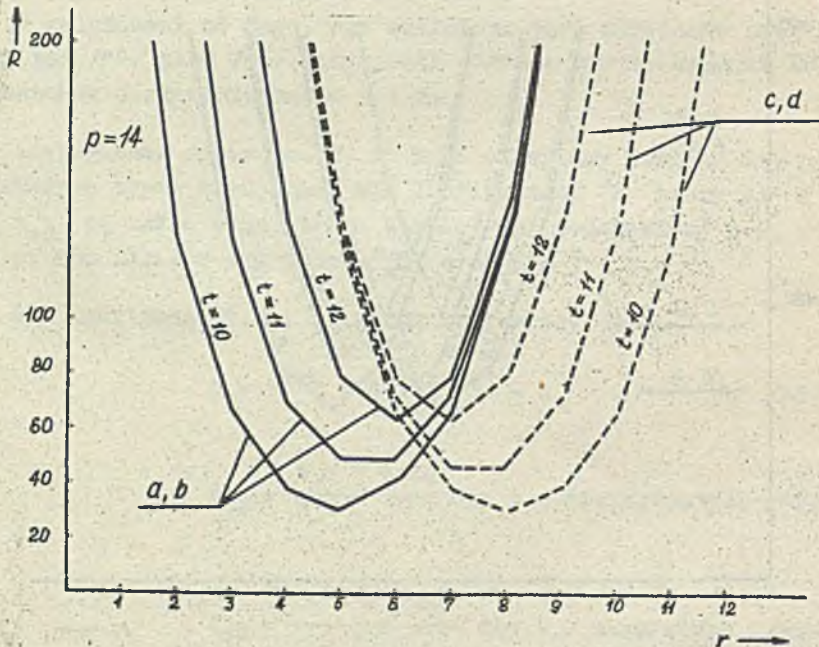
przy czym $q = 0,1 \dots p-t$.

Na rys. 11 pokazano przebiegi funkcji $R = f(r)$ w zależności od rodzaju uzwojenia wzbudzającego i uzwojenia odczytu, a na rys. 12 przebieg tej funkcji przy różnych wartościach parametru t . Wykresy te potwierdzają jak ważny jest dobór odpowiednich wymiarów bloku i sposobu uzwojenia do osiągnięcia małego zakłócenia. Przez przyjęcie niewłaściwej wartości r w odniesieniu do danego typu uzwojenia odczytu, zysk z podziału pola bitu na sekcje może być bardzo mały.



Rys. 11. $R = f(r)$ dla różnych uzwojeń wzbudzających i różnych uzwojeń odczytu

Porównując wartość r_{OR} z wartościami r , przy których liczba wymaganych elementów osiągała minimum, można stwierdzić, że jest ona mniejsza niż r_{OD} , r_{OM} lub r_{OK} . Szczególnie duża różnica w wartościach r występuje w przypadku uzwojenia typu a, b, natomiast najmniejsza jest przy uzwojeniu c, d lub e, f. Dlatego w wypadku optymalizacji bloku ze względu na koszty, korzystne jest zastosowanie uzwojenia c, d lub ewentualnie e, f. Oba rodzaje c i d podobnie jak e i f są sobie równoważne, jeśli chodzi o wielkość różnicowego sygnału zakłócającego. Inny może być tylko sygnał zakłócający równofazowy, jeżeli uzwojenie to nie tworzy kwadratu. Należy wówczas wybrać taki rodzaj uzwojenia, przy którym krótsze są odcinki przewodów wzbudzających, równoległe do uzwojenia odczytu. Uzwojenie a, b może mieć zastosowanie w przypadku, gdy w celu zmniejszenia wpływu sygnału różnicowego, przewody x wzbudzane są później niż przewody y.



rys. 12. $R = f(r)$ dla uzwojeń odczytu a, b, c i d dla bloku B o ilości słów 16.394

6. PODSUMOWANIE

W poprzednich rozdziałach rozpatrzono wpływ struktury bloku na

- ilość elementów elektronicznych, a więc i na koszt elektroniki,
- niektóre parametry związane z prędkością działania pamięci,
- wielkość zakłóceń w przewodzie odczytu.

Biorąc pod uwagę powyższe czynniki obliczono, jaka przy zadanej pojemności pamięci powinna być wielkość wykładnika potęgi r . Wielkość ta z kolei określa liczbę linii słów, a przy zadanej liczbie słów pamięci, również i liczbę linii bitowych.

Jak wynika z przeprowadzonej analizy, koszty el wybierania osiągają wartość minimalną dla r zawartą przedziale $[r_{OD}, r_{OK}]$ a dla typowych pojemności minimum to zachodzi dla r równych r_{OD} lub $r_{OD} + 1$.

Optymalna wartość r ze względu na prędkość działania pamięci jest taka sama jak dla warunku otrzymania minimalnej liczby diod tzn równa r_{OD} .

Wartości r , przy których różnicowy sygnał zakłócający jest mały, są na ogół mniejsze niż r_{OD} , przy czym najbardziej zbliżone wartości tych parametrów otrzymuje się wtedy, gdy użycie odczytu jest typu c, d lub e, f.

Biorąc powyższe pod uwagę można stwierdzić, że ze względu na przyjęte kryteria oceny, korzystne jest, gdy r równa się r_{OD} .

Jeśli chodzi o ocenę poszczególnych uzwojeń wzbudzających, to zestawienie najważniejszych ich właściwości podano w tabeli 2.

Tabela 2

Kryterium	Korzystne konfiguracje
Koszt elektroniki wybierania	B, C, D
Zakłócenia w przewodzie odczytu	A, B
Prędkość działania	A

7. ZAKOŃCZENIE

Przedstawiona w artykule analiza wpływu struktury bloku na niektóre parametry pamięci dotyczyła pamięci 2,5 D trójzwojowych z wybieraniem w systemie 2 diody na linię. Obrany sposób podejścia - uzależnienie pewnych wielkości od wykładnika potęgi, który określał liczbę linii słów - pozwolił na stosunkowo proste i szybkie porównanie różnych wariantów rozwiązań i znalezienie najkorzystniejszych wymiarów bloku. Metoda taka może być również stosowana w przypadkach pamięci z innymi rodzajami matrycy wybierającej /np. 4 diody na linię lub transformatorowej/, a także w przypadku pamięci 2,5 D dwuzwojowej.

Literatura

- [1] GILLIGAN T.J., PERSONS P.B.: High Speed Ferrite 2,5 D Memory, Proc. Fall Joint Comp. Conf., 1965: 1011 - 1021
- [2] GILLIGAN T.J.: 2,5 D High Speed Memory Systems - Past, Present and Future, IEEE Trans. on Electronic Comp., Aug. 1966: EC-15, 4, 475 - 485
- [3] ELOVIC A.: Wiring Design Helps Core Memory Work at Rapid Cycle Time, Electronics, Oct. 1966: 31, 83 - 88

- [4] BYŻKO J.: System 2,5 D na tle dotychczasowego rozwoju pamięci ferrytowych, Biuletyn Informacyjny IMM NOWOŚCI TECHNICZNE lipiec 1967: 3/15/, 51 - 70
- [5] MOORE D.W.: A Cost Performance Analysis of Integrated-Circuit Core Memories, Proc. AFIPS 1966 Fall Joint Comp. Conference 1966: 267 - 280
- [6] ELDER D.E.: A Fresh Look at Coincident Current Memories, Comp. Design, Nov. 1967: 42 - 44
- [7] WRZESZCZ Z., RYŻKO J., DAŃDA J.: Projekt standardu dotyczącego materiałów, rdzeni i ramek pamięci operacyjnych EMC, ETO NOWOŚCI, luty 1968: 1/17/, 45 - 62
- [8] BROWN J.R.: First-and-Second-Order Ferrite Memory Core Characteristics and Their Relationship to System Performance, IEEE Trans. on Electronic Comp., Aug. 1966: EC-15, 4, 483 - 501
- [9] KALANTAROV T.L., CEJTLIN E.A.: Rasčet induktivnostiej, 1955
- [10] BARDIŻ V.V.: Magnitnyje elementy cifrovych vycislitelnyh mašin, 1967
- [11] Philips Data Handbook. Components and Materials. Part 5, Sept. 1967

ВЛИЯНИЕ СТРУКТУРЫ ФЕРРИТОВОГО БЛОКА НА НЕКОТОРЫЕ ТЕХНО-ЭКОНОМИЧЕСКИЕ СВОЙСТВА ЗАПОМИНАЮЩЕГО УСТРОЙСТВА 2,5 В

Резюме

В работе подана классификация возбуждающих обмоток и обмоток считывания памяти 2,5 с тремя обмотками, а потом рассмотрено число строк слов (провода x) и число разрядных строк (провода y) для данного числа и длины слов памяти для обеспечения малой стоимости электрических цепей выборки, хороших условий быстродействия запоминающего устройства и малых помех в обмотке считывания. Различаются четыре конфигурации возбуждающих проводов, они обозначены буквами А, В, С и D (Рис. 1). В конфигурациях В, С и D противоположно к А, избранный провод x и избранный провод y перетекают в двух сердечниках, и выбор одного из сердечников зависит от направления тока протекающего в проводах. Возбуждающая обмотка памяти 2,5В указана на рис. 2 [2,8]. Эта обмотка обычно не проходит больше чем через 4096 сердечников и вследствие того при большей емкости памяти разрядный плат разделяется на сегменты с отдельными обмотками считывания. На рис. 3 показаны возможные варианты проведения обмотки считывания и раздела разрядного плата. Эти варианты обозначены буквами а, б, в, г, д, е и з.

Число электронных цепей выборки рассматривается на примере выборки диодов в системе 2 диода/строка [2] (рис. 4 и 5). Однако, способ действия в случае другого выбора цепей может быть такой же. Вычислено число элементов, наиболее зависимых от структуры блока и так: адресных ключей (К), диодов (D) и схем управления адресных ключей (М). В виду того, что число слов запоминающего устройства почти всегда является степенью 2 (что позволяет вполне использовать информацию заключенную в адресном регистре), число строк слов n и разрядных строк для одного бита m можно представить в следующей форме

$$n = 2^r \quad /1/$$

$$m = 2^p \quad /2/$$

причем $g+s=p$ для конфигурации А, и $g+s=p-1$ для конфигураций В, С и D, где p - логарифм числа слов памяти с основой 2. Принимая p и длину слова B как параметр, а g - как независимую переменную, можно определить функции $K = f(g)$, $D = f(g)$ и $M = f(g)$. Для конфигурации А эти функции описаны уравнениями (9) + (12), (14) и (16) + (19). (W обозначает число адресных ключей управляемых одной схемой: W). Для конфигураций В, С и D в тех же формулах p следует заместить $p - 1$.

Величины К, D и M достигают минимум соответственно для g_{0D} и g_{0M} определенных для конфигурации А уравнениями (13), (15) и (29), для конфигураций В, С и D уравнениями (22) + (24).

Кривые K , D и M для типовых ёмкостей памяти показаны на рис. 6 + 8. На тех же рисунках показана диаграмма стоимостей электронных элементов выборки K_a , K_b и численно для единичных стоимостей элементов выборки K_x , K_D и K_M поданных на таблице I. С диаграммы K_0 видно, что K_0 достигает минимума для r равных r_{0D} или $r_{0D} + 1$. В случае конфигурации А стоимость элементов больше на около 25% в сравнении с конфигурациями В, С и D.

В дальнейшем определено какова должна быть величина r чтобы индуктивность проводов x и y были равны, что является полезным случаем ввиду цикла времени замкнутого устройства, так как в указанном способе возбуждение строки при различных напряжениях питания строки x и y обеспечивает достижение малого времени напряжения токовых импульсов. Введено коэффициент $K_{xу}$ равный по определению отношению индуктивности провода x к проводу y , а также коэффициент $K_{уx}$ - определённый как отношение размера y блока к размеру x . Эти величины для конфигурации А и В, определённые уравнениями (26) + (27), а для С и D управлениями (35) + (37).

Предположено, что сердечники были помещены на металлической заземлённой пластинке [2,3] и что расстояние между проводами x и y - одинаковое. Кривые $K_{xу}$ и $K_{уx}$ в функции r указаны на рис. 9. $K_{xу}$ равняется 1 для $r_{0K_{xу}}$, определённых уравнениями (38) и (39). Как видим, $r_{0K_{xу}}$ равняется r_{0D} . Конфигурации А, В, С и D взаимно эквивалентны по величине индуктивности проводов, однако конфигурация А делает возможным достигнуть меньшие времена цикла [2].

В конце рассмотрено какова должна быть величина r для того, чтобы сигнал помехи из подвыбранных сердечников, возбуждаемых полудоком, был минимальный. 2^t обозначает число сердечников, через которые проходит данная обмотка считывания, а 2^a - число строк с обмоткой считывания, на которые разделено битовое поле (рис. 10). Для конфигураций А, С и D, q может принимать величину $0, 1, p-t$, а для конфигурации В - величину $0; 1; p-t$. Если $q = 0$ то имеется обмотка типа а, б, в, но если $q = p-t$ (для А, С и D), или $q = p-t-t$ (для В) - обмотки о, д, то в остальных случаях имеются обмотки в, г.

Число пар сердечников дающих сигнал помехи определено уравнением (42) (для А и В) и (46) (для С и D), а оптимальная величина r_{0B} , при которой B является минимальным, определяется уравнениями (43) + (45) и (47) + (49). Кривые зависимостей $B = f(r)$ указаны на рис. 11 и 12. Видим, что r_{0B} в общем меньше чем r , при котором было достигнуто optimum ввиду остальных параметров. Самые сходные величины достигаются для обмоток о, д которые по этому поводу можно рекомендовать для применения.

Суммируя, можно констатировать, что $r = r_{0D}$ является полезным, так как в таком случае электроника недорогая, условия являются благоприятные ввиду быстродействия памяти, а кроме того сигнал помехи может быть малый.

Применение возбуждающей обмотки с конфигурацией А делает возможным достигнуть меньшее времена цикла, но стоимость электроник больше по сравнению с конфигурациями В, С и D. Конфигурация В по сравнению с С и D позволяет достигнуть меньший сигнал помехи.

THE INFLUENCE OF FERRITE BLOCK STRUCTURE ON SOME TECHNICAL-ECONOMICAL
PROPERTIES OF 2,5 D MEMORY

Summary

A classification of a three-wire 2,5 D memory drive and sense windings is presented. Then the number of word lines /wires x / and digit lines /wires y / were considered for a given word number and word length of the memory. This in order to secure small costs of selection electronic circuits, favourable memory speed conditions and small sense winding noise. Four configurations of drive windings are distinguished and denoted by letters A, B, C and D /fig. 1/. In configurations B, C and D, inversely to A, a chosen wire x and a chosen wire y cross in two cores, and the selection of one of the cores depends on the phase of wire currents. The 2,5 D memory sense winding is shown in fig. 2 [2, 8]. This winding generally goes no more than through 4096 cores, and therefore with greater capacity of the memory the bit plane is divided into segments with separate sense windings. In fig. 3 there are shown possible variants of threading sense winding and the bit plane division. These variants are denoted by a, b, c, d, e and f.

The number of selection electronic circuits is considered in examples of diode selection in the two-diode-per-line system [2] /figs 4 and 5/. However, the way of proceeding in a case of other selection circuits can be the same.

The number of elements most dependent on block structure was counted. These are: address switches /K/, diodes /D/ and circuits /M/ driving the address switches. As the memory word number is generally the power of 2, which permit a full use of information comprised in the address register,

the number of word lines is

$$m = 2^r$$

the number of digit lines for one bit is

$$n = 2^s$$

where $r + s = p$ for configuration A, and $r + s = p - 1$ for configuration B, C and D, p being the logarithm with basis 2 of memory word number.

ber. Treating p and the B word length as parameters, and r as an independent variable, functions $K = f(r)$, $D = f(r)$ and $M = f(y)$ can be determined. For configuration A these functions are described by equations (9) + (42), (14), and (16) ÷ (19). W denotes the number of address switches of drive windings y controlled by one circuit M . For configurations B, C, D, p should be replaced by $p - 1$.

Values K , D , and M reach their minimums relatively for r_{OK} , r_{OD} and r_{OM} , which are defined by equations (13), (15) and (20) for configuration A, and (22) ÷ (24) for configurations B, C and D. Curves K , D and M for typical memory capacities are shown in figs. 6 ÷ 8. The curve of costs K_c of selection electronic circuit are also shown in figs. 6 ÷ 8. K_c was counted for unit costs of selection circuit elements K_K , K_D and K_M , given in table 1. As seen, K_c reaches its minimum for r equaling r_{OD} or $r_{OD} + 1$. In the case of configuration A the cost of elements is higher by about 25% as compared with configurations B, C and D.

Further, the value of r was determined, the wire inductance x and y being equal. This was approved as a favourable condition because of the memory cycle time, as in the discussed way the supply tensions for x and y lines were equal and a small rise time of current pulses was reached. It has been defined that the coefficient K_{we} was equal with the ratio of line x and line y inductances, and K_{vg} equalled the ratio of x and y block dimensions. These coefficients for A and B configurations are determined by equations (26) and (27), for C and D - by (35) ÷ (37). The cores were assumed to be placed on a metal ground plate, usually applied [2, 3] to reduce wire inductance, and improve the cooling of cores, whereas the distances between x wires and y wires were equal. The curves K_{we} and K_{vg} are shown in fig. 9. K_{we} equals 1 for r_{OR} , according to equations (38) and (39). As seen, $r_{OK_{vg}}$ equals r_{OD}^{we} . Configurations A, B, C and D are rather equivalent as far as their wire inductance values are concerned. However, configuration A enables to reach smaller cycle times [2].

Finally, the value r was considered to find such value that would provide a minimal noise signal from half selected cores /delta noise/. The number of cores which the given sense winding is thread through is denoted by 2^t , and the number of ranges with sense windings which the

bit field was divided into /fig. 10/ - by 2^q . For configurations A, C and D, q can take the value $0, 1, \dots, p-t$, but for configuration B - the value $0, 1, \dots, p-1-t$. If $q = 0$, the winding is of the type a, b, but if $q = p - t$ /for A, C and M/ or $q = p-1-t$ /for B/ the winding is c, d. In the remaining cases the winding is e, f. The number of core pairs providing delta noise is determined by formula (42) for A and B, and by formula (46) for C and D configurations. The optimal value r_{OR} at which R is minimal is determined by (43) + (45) and (47) + (49). The curves of the function $R = f(r)$ are shown in figs 11 and 12. As seen, r_{OR} is generally smaller than r at which the optimum has been reached, because of the remaining parameters. Most close values are obtained for c, d windings which, therefore, can be recommended /for application/.

Summing up, it can be stated that r equalling r_{OD} is favourable as then the costs of electronics are low, memory speed conditions are favourable, and moreover, delta noise can be small.

The application of drive winding with configuration A enables to reach a shorter cycle time the costs of selecting electronics are higher as compared with configurations B, C and D. Configuration B, in comparison with C and D provides smaller delta noise.

AUTORZY ARTYKUŁÓW ZAMIESZCZONYCH W ZESZYCIE 2 "PRAC IMM"

URZĄDZENIE DO KONTROLI POPRAWNOŚCI DZIAŁANIA UKŁADÓW LOGICZNYCH

Barbara KANIA mgr inż. Ukończyła studia w 1961 r. na Wydziale Łączności Politechniki Warszawskiej. W roku 1960 rozpoczęła pracę w Zakładzie Badań i Studiów Teletechniki, gdzie pracuje do chwili obecnej, zajmując się zagadnieniami elektronicznych układów podstawowych. Powyższej tematyce poświęciła szereg opracowań.

Maria KOWALEWSKA patrz zeszyt nr 2/1968 "PRAC IMM", str. 144.

ANALIZA PARAMETRÓW DYNAMICZNYCH UKŁADÓW PODSTAWOWYCH NAND

Tadeusz SINKIEWICZ mgr inż., ukończył w 1961 r. Wydział Automatyki i Techniki Obliczeniowej Moskiewskiego Instytutu Energetycznego w Moskwie. Następnie rozpoczął pracę w Instytucie Maszyn Matematycznych, zajmując się konstrukcją układów podstawowych, przyrządów pomiarowych i urządzeń cyfrowych. Obecnie pracuje w Zakładzie Organizacji Maszyn Cyfrowych IMM nad zagadnieniami modelowania układów przełączających. Jest autorem szeregu publikacji.

Zbigniew ŚWIĄTKOWSKI patrz zeszyt nr 2/1968 "PRAC IMM", str. 144.

RÓWNOLEGŁO-RÓWNOLEGŁE LICZNIKI REWERSYJNE

Marek KIESLER mgr inż. Studia ukończył w 1966 roku na Wydziale Elektrycznym Politechniki Warszawskiej. Pracuje w Zakładzie Organizacji Maszyn Cyfrowych Instytutu Maszyn Matematycznych. Zajmuje się problematyką kanałów transmisji danych. Zamieszczony artykuł jest pierwszą publikacją autora.

WPLYW STRUKTURY BLOKU FERRYTOWEGO NA NIEKTÓRE WŁAŚCIWOŚCI TECHNICZNO-EKONOMICZNE PAMIĘCI 2,5 D

Rumald SYNAK mgr inż. W roku 1960 ukończył Wydział Łączności Politechniki Gdańskiej. Od roku 1961 pracuje w Instytucie Maszyn Matematycznych,

początkowo w Zakładzie Doświadczalnym, obecnie w Zakładzie Pamięci Wewnętrznych na stanowisku adiunkta. Zajmuje się układami logicznymi do maszyn cyfrowych i układami elektronicznymi do pamięci ferrytowych. Posiada szereg publikacji.

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej

P 2229/69