3 1971

# P 2229 M

# nstytutu Maszyn Matematycznych





3 1971

P.2229 41 Instytutu Maszyn

Matematycznych

Rok XIII

D

Warszawa 1971

Copyright ⓒ 1971 - by Instytut Maszyn Matematycznych Poland Wszelkie prawa zastrzeżone

Opracowanie merytoryczne zeszytu: Zdzisław Wrzeszcz

## Komitet Redakcyjny

Bartłomiej GŁOWACKI, Jerzy GRADOWSKI /redaktor naczelny/, Andrzej KOJEMSKI, Włodzimierz MARDAL /z-ca redaktora naczelnego/, Jan RELUGA

Sekretarz Redakcji: Romana NITKOWSKA

Adres Redakcji: Instytut Maszyn Matematycznych Branżowy Ośrodek INTE Warszawa, ul. Krzywickiego 34, tel. 28-37-29

P10-234/72

# WYBRANE PROBLEMY

KONSTRUKCJI PAMIĘCI FERRYTOWEJ PAO 6



#### WPROWADZENIE

Niniejsza publikacja zawiera szereg artykułów omawiających wybrane zagadnienia konstrukcji i technologii ferrytowej pamięci operacyjnej PAO 6. Konstrukcja PAO 6 została opracowana w Zakładzie Pamięci Wewnętrznych IMM, w okresie 1967-1969, przy udziale Zakładu Konstrukcyjnego, Technologii Specjalnych oraz Doświadczalnego, w którym wykonano prototyp urządzenia.

Cel projektu był dwojaki. W pierwszym rzędzie chodziło o opracowanie prototypu pamięci o określonych walor ch technicznych oraz sporządzenie niezbędnej dokumentacji z zamiarem przekazania jej do produkcji. Istniejące w owym czasie plany budowy maszyn cyfrowych zakładały stosowanie pamięci operacyjnych, które mogą pracować w szerszych, niż dotychczas, przedziałach temperaturowych. Drugim celem, choć nie mniej ważnym, było opracowanie urządzenia pamięciowego, opartego na zbiorze bardziej nowoczesnych elementów konstrukcyjnych niż stosowane w pamięciach skonstruowanych w latach 1967-1969 . Zbiór ten zawierał w szczególności krzemowe elementy półprzewodnikowe oraz litowo-niklowe rdzenie ferrytowe; jako ograniczenie projektowe przyjęto minimalną liczbę typów elementów półprzewodnikowych.

Należy w tym miejscu przypomnieć, że pamięci ferrytowe zawierają w swej strukturze zarówno układy nieliniowe, jak też układy liniowe. Noś-

W dotychczasowych rozwiązaniach krajowych stosowano germanowe elementy półprzewodnikowe oraz manganowo-magnezowe rdzenie ferrytowe.

nik informacji, traktowany jako przetwornik sygnału, jest wyjątkowo niskosprawny - moc jego pobudzania jest wielokrotnie wyższa od mocy sygnału wyjściowego, Powyższa specyfika konstrukcji dyktuje potrzebę stosowania różnorodnych układów i elementów /w odróżnieniu od jednorodności innych członów jednostki centralnej maszyny cyfrowej/. Postawione więc przed zespołem realizatorów pamięci wymagania odnośnie konkurencyjnych parametrów technicznych pamięci oraz minimum typów elementów, stworzyły nietypowy charakter zadania projektowego.

Warto również dodać, że w wyniku opracowania pamięci PAO 6 powstała baza do opracowań podzespołów pamięciowych, która umożliwiła projektowanie następnych pamięci. Pierwszym tego przykładem jest pamięć PAO 625, zbudowana dla modelu procesora maszyny ODRA 1305. Kolejnym zastosowaniem opracowań podzespołów będzie pamięć operacyjna PAO 636, przeznaczona dla krajowej wersji maszyny R 30 należącej do Jednolitego Systemu EMC. Istnieje też szereg zastosowań o mniejszym znaczeniu.

Prezentowana tu publikacja zbiorowa powstała po zakończeniu prac projektowych nad pamięcią PAO 6. Zebrane artykuły omawiają bardziej istotne zagadnienia rozwiązane przez realizatorów poszczególnych fragmentów zadania. Artykuł pierwszy charakteryzuje całość zadania.

Z racji omawiania faktów /często przez podawanie wartości parametrów/ odniesionych do projektowania pamięci jako całości, niniejsza publikacja może stanowić praktyczny przykład realizacji i dzięki temu może być pomocna także w sensie metodycznym.

Zdzisław Wrzeszcz

# SPIS RZECZY

	str.
1. Wrze	szcz Z., Wojtowicz B., Wolszczak S., Rudzki J.
C	HARAKTERYSTYKA I SPOSOB REALIZACJI PAMIĘCI
P	$\mathbf{A} \mathbf{O} \mathbf{b} \cdot \cdot$
2. Cias	toń W., Michalski M.
P	ROCES TWORZENIA FERRYTU LI-NI-Zn 49-75
3. Szcz	ęsny Z.
B	LOK NOŚNIKA INFORMACJI PAMIĘCI PAO 6 77-95
4. Syna	k R.
G	ENERATOR IMPULSÓW PRADOWYCH DO PAMIĘCI OPERA-
C	YJNEJ PAO 6
5. Syna	k R.
U	KŁADY WYBIERANIA ADRESÓW PAMIĘCI OPERACYJNEJ
P	AO 6 • • • • • • • • • • • • • • • • • •
6. Joza	nis M.
U	KŁADY TORU ODCZYTU PAMIĘCI OPERACYJNEJ PAO 6 137-175
7. Świt	alski A.
Z	ESPÓŁ STEROWANIA PAMIĘCI PAO 6 177-190
8. Zagó	rny S.
Z	ASILANIE PAMIĘCI OPERACYJNEJ PAO 6 191–206
9. Ryżk	o J., Sikorski A.
B	ADANIA MODELU I PROTOTYPU PAMIĘCI OPERACYJNEJ
P	AO 6 • • • • • • • • • • • • • • • • • •
10. Dand	a J., Furman H.
T	ESTER MOPS 4 DO KONTROLI RDZENIOWYCH PAMLĘCI
O	PERACYJNYCH
AUTORZY	ARTYKUŁÓW ZAMIESZCZONYCH W ZESZYCIE 3
"PRAC I	MM"
Uwaga. Po	o każdym artykule zamieszczone są streszczenia w języku osyjskim i angielskim



681.327.66.042.15

Prace IMM Zeszyt 3 C 1971.12

CHARAKTERYSTYKA I SPOSÓB

REALIZACJI PAMIĘCI PAO 6

Zdzisław WRZESZCZ Bohdan WOJTOWICZ Sławomir WOLSZCZAK Janusz RUDZKI

Prace złożono 17.07.1971

Scharakteryzowano zadanie konstrukcyjne dotyczące pamięci operacyjnej PAO 6. W tym celu omówiono problematykę układów elektronicznych, organizacji funkcjonalnej oraz konstrukcji nośnej. Punkt wyjściowy stanowiły wymagania odnośnie parametrów pamięci oraz jej struktura.

# SPIS TREŚCI

1.	WSTEP	10
2.	CHARAKTERYSTYKA ZADANIA	10
3.	OMÓWIENIE WYMAGAŃ - ZARYS STRUKTURY PROJEKTOWANEJ PAMIĘCI .	12
4.	PRZESŁANKI PROJEKTOWANIA UKŁADÓW ELEKTRONICZNYCH	17
5.	ETAPY OPRACOWANIA UKŁADÓW ELEKTRONICZNYCH	23
6.	ORGANIZACJA FUNKCJONALNA PAMIĘCI	25
7.	DZIAŁANIE UKŁADÓW FUNKCJONALNYCH	30
8.	WYBÓR ROZWIĄZANIA KONSTRUKCJI NOŚNEJ	35
9.	SKLADOWE KONSTRUKCJI NOŚNEJ WRAZ Z OKABLOWANIEM I WENTYLACJĄ	39
10.	ZAKOŃCZENIE	44
Lite	eratura	44

#### 1. WSTEP

Artykuł opisuje zadanie konstrukcyjne dotyczące pamięci operacyjnej PAO 6. Zadanie to realizowano w Zakładzie Pamięci Wewnętrznych z udziałem Zakładu Konstrukcyjnego oraz Zakładu Technologii Specjalnych IMM, w okresie od połowy 1967 do końca I kwartału 1969 roku.

Pamięć operacyjna PAO 6 nie była pierwszym tego typu urządzeniem opracowanym w kraju. Jednak istniejące wówczas pamięci nie odpowiadały wymag\_niom nowoczesnych maszym cyfrowych ze względu na czas cyklu, zakres temperatur pracy i inne parametry. Nowa pamięć cechuje się znacznie wyższą jakością.

W artykule zamieszczono charakterystykę merytoryczną zadania wraz z omówieniem wymagań, opisano metodę stosowaną w rozwiązywaniu jednego z najtrudniejszych problemów zadania: opracowania zespołu układów elektronicznych; opisano też organizację logiczną pamięci oraz jej konstrukcję nośną. Poruszone zagadnienia ogólne dotyczą całości pracy i umożliwiają konfrontację zamierzeń projektu z uzyskanymi rezultatami.

#### 2. CHARAKTERYSTYKA ZADANIA

Pamięć operacyjna stanowi jeden z najbardziej istotnych członów maszyny cyfrowej, a główne parametry pamięci - czas cyklu praz pojemność informacyjna - wpływają w sposób zasadniczy na zdolność obliczeniową systemu cyfrowego. W doborze wymienionych parametrów napotykany liczne ograniczenia w postaci wymiarów geometrycznych, ciężaru, kosztu i innych. Na podkreślenie zasługują wymiary geometryczne urządzenia. Nadmierne gabaryty pamięci, będąc w znacznej mierze konsekwencją przyjętej wartości pojemności informacyjnej, są niekorzystne zarówno ze względu na zmniejszenie szybkości działania urządzenia jak też ze względu na inne cechy - mniejszą podatność w produkcji i eksploatacji. Wymienione wyżej parametry /czas cyklu, pojemność inform., gabaryty/ użyto do określenia nowego wskaźnika umożliwiającego scharakteryzowanie jakości konstrukcji.

Parametr ten określono następująco:

 $\varkappa = \frac{\text{pojemność informacyjna w bitach}}{\text{czas cyklu w nanosekundach}}$ 

Wartości liczbowe pojemności informacyjnej oraz czas cyklu odnoszą się do moduku<sup>#</sup> pamięci.

W przypadku pamięci PAO 6 **H** = 410. Wartość ta jest o rząd większa niż w dotychczasowych krajowych konstrukcjach, np.

pamięć do maszyny cyfrowej ZAM3 -  $\Re = 10$ , pamięć do maszyny cyfrowej ZAM41 -  $\Re = 20$ .

Należy także wymienić podobne rozwiązania firm zachodnioeuropejskich:

pamięć	RAB4	firmy	Plessey	-	R	=	410,
pamięć	"D"	firmy	Mullard	-	38	=	213.

Z powyższego wynika, że mimo zasadniczych braków w liście elektronicznych podzespołów na rynku krajowym /w okresie rozpoczęcia projektu/, zdecydowano się na konstrukcję urządzenia w pełni nowoczesnego.

Zakres prac projektowych wykonanych w trakcie realizacji pamięci przedstawiono na rysunku 1.

Całość zadania składa się z dwóch grup prao, z których pierwsza, zasadnicza posiada układ odpowiadający funkcjonalnej strukturze pamięci. Diagram pokazuje także jak głęboko sięgały opracowania w przypadku każdego zespołu tej grupy. Po-

Pojęcie modulu istnieje w dziedzinie konstrukcji maszyn cyfrowych już od wielu lat. Podział maszyny na osobne /w sensie fizycznym/ moduły podyktowany był zarówno względami technologii produkcji jak też eksploatacji. Wysokość modulu nie przekracza zazwyczaj wzrostu człowieka, zaś szerokość i głębokość jest odpowiednio proporcjonalna do wysokości.

dobnie przedstawia się sprawa w grupie II, która obejmuje niezbędne urządzenia pomiarowe. Użyte na rysunku 1 symbole mają następujące znaczenie:

- SKP stanowisko pomiarowe do kontroli pakietów elektronicznych; urządzenie to jest niezbędne na etapie produkcji pamięci,
- MAT 1 stanowisko pomiarowe do kontroli płatów pamięciowych; urządzenie ma charakter laboratoryjny i było używane na etapie opracowania prototypu oraz we wstępnej fazie produkcji płatów,
- KARO 1 urządzenie kontrolno-pomiarowe do płatów i bloków nośnika informacji; urządzenie to jest przeznaczone głównie do kontroli produkcyjnej, jest w znacznej mierze zautomatyzowane i bardziej precyzyjne w działaniu niż urządzenie MAT 1.
- ASPAR 3- automat przeznaczony do selekcji rdzeni ferrvtowych w warunkach produkcyjnych,
- MOPS 4 urządzenie do kontroli działania pamięci, niezbędne zarówno na etapie opracowania jak też produkcji pamięci.
- 3. OMÒWIENIE WYMAGAN ZARYS STRUKTURY PROJEKTOWANEJ PA-MIĘCI

Punktem wyjściowym do projektu były wymagania techniczne. Z treści wymagań wynika, że projektowane urządzenie powinno posiadać następujące cechy funkcjonalne:

- 1. mikrooperacje pamięciowe:
  - odczyt/regeneracja,
  - kasowanie/zapis,
  - odczyt/stop,
  - stop/zapis.



Rys. 1. Diagram zadania konstrukcyjnego pn. PAO 6

- 13 -

- pojemność informacyjna powinna wynosić 16.384 słów 25-bitowych;
- czas cyklu pamięci powinien być mniejszy niż 2 µs, a czas dostępu do informacji mniejszy niż 1 µs;
- 4. pamięć powinna stanowić niezależną jednostkę konstrukcyjną, posiadającą własne zasilanie i wentylację;
- pamięć powinna mieć zdolność przechowywania informacji mimo wyłączenia źródeł zasilania;
- 6. pamięć powinna działać niezawodnie w szerokim zekresie temperatury otoczenia.

Z powyższych wymagań wynika, że projektowana pamięć nie może mieć nośnika ruchomego /pamięci bębnowe, taśmowe, dyskowe itp./ - taki typ pamięci nie spełni wymagania trzeciego. Można natomiast wskazać wiele rodzajów pamięci z nośnikiem nieruchomym, które posiadają cechy pozwalające spełnić pojedyncze punkty lub nawet całość postawionych wymagań, np. pamięci na cienkich warstwach magnetycznych, pamięci kriogeniczne, pamięci ferrytowe i inne. Przy wyborze wzięto jednak dodatkowo pod uwagę "dojrzałość" danego rodzaju konstrukcji. Zdecydowaliśmy, że pierwsze w kraju rozwiązanie pamięci, której wartość parametru z wynosi setki bitów/ns, powinno posiadać zarówno ugruntowane podstawy technologiczne, jak też perspektywę rozwoju. Właściwości takie posiada pamięć ferrytowa, tj. taka, której blok nośnika informacji zawiera jako elementy pamiętające pierścieniowe rdzenie o prostokątnej pętli histerezy [4]. Jak pisze J. Rajchman [8], pamięć ferrytowa jest rozwiązaniem prawie idealnym. Wynika to zarówno z właściwości funkcjonalnych elementu ferrytowego /samoadresowanie, łatwe pobudzanie, dobry sygnał odpowiedzi/, jak również z racji dużej podatności technologicznej. Na osobne podkreślenie zasługuje wysoka niezawodność działania. Z powyższych względów pamięć ferrytowa w ostatnim dziesięcioleciu stała się rozwiązaniem wzorcowym w skali światowej.

Po rozpatrzeniu zalet i wad różnych organizacji pamięci wybrano organizację typu 3D4W, tj. pamięć koincydencyjną z czteroprzewodowymi płatami pamięciowymi. Jak wiadomo, taka organizacja pozwala stosować mniejszą liczbę układów wybierających niż np. organizacja typu 2D. Doświadczenie zespołu konstruktorskiego zdobyte z zakończonych niedawno prac nad konstrukcją pamięci organizacji liniowej wskazuje także na przewagę konstrukcji typu 3D nad konstrukcją typu 2D. Pojawił się jednak ostatnio nowy typ organizacji pamięci: 2 ½ D [5]. Jej zalety powinny ujawnić się, zdaniem wielu autorów, m.in. w obniżonych kosztach wytwarzania bloku nośnika informacji ze względu na mniejszą liczbę przewodów przewlekanych przez rdzeń. Wady takiej pamięci, to wyższa liczba podzespołów elektronicznych niż w pamięci 3D, większa moc tracona w układach elektroniki, co w wyniku może pogorszyć niezawodność.

Ponieważ cechy elektroniki przemawiały na korzyść pamięci 3D, należało rozpatrzyć zagadnienia związane z wytwarzaniem bloków nośnika informacji, w szczególności określić pracochłonność uzwajania płatu typu 3D. W wyniku takiego oszacowania okazało się, że pracochłonność ta jest znaczna, chociaż możliwe jest uzyskanie rozsądnych proporcji pomiędzy pracochłonnością wykonywania płatu 3D a pracochłonnością wykonywania innych podzespołów pamięciowych o zbliżonym stopniu skomplikowania.

Celem wyciągnięcia jednoznacznych wniosków istotne jest 10równanie pełnych kosztów wytwarzania bloków obu typów. Takiego porównania jednak nie udało się dokonać /w momencie tworzenia koncepcji konstrukcji pamięci/ ze względu na brak dostatecznych danych konstrukcyjno-technologicznych o płacie 2  $\frac{1}{2}$  D. Wiadomo natomiast było, że trudności technologiczne płatu 2  $\frac{1}{2}$  D nie ograniczają się do procesu uzwajania - zawierają więcej elementów.

W wyniku rozważenia cech elektroniki i bloków nośnika informacji obu systemów wybrano system 3D.

Czas pokazał, że decyzja nasza była w pełni słuszna: płaty pamięciowe typu 2  $\frac{1}{2}$  D, mimo mniejszej liczby uzwojeń, cechuje bardziej skomplikowana konstrukcja i technologia. Te względy prawdopodobnie zadecydowały o wyższej cenie bloku  $2\frac{1}{2}$  D z rdzeniami o średnicy 0,8 mm; w roku 1968 cena bloku typu  $2\frac{1}{2}$  D firmy Plessey była około 50% wyższa niż jego odpowiednika typu 3D.

Przy wyborze organizacji samego płatu uwzględniono:

- wymagania dotyczące dużej niezawodności działania pamięci,
- konieczność stosowania minimalnie możliwej liczby typów elementów półprzewodnikowych i w miarę prostych rozwiązań układów elektronicznych.

Wobec powyższego postanowiono:

- zastosować osobny przewód odczytu i zakazu, tj. przez rdzeń będą przechodzić cztery przewody /4 W/,
- plat będzie miał łączną pojemność 16.384 rdzeni, podzieloną na cztery pola po 4.096 rdzeni,
- z każdym polem 4.096 rdzeni będzie związany osobny przewód odczytu i zakazu.

Wybrana struktura płatu daje dużą swobodę dopasowania niezbędnych parametrów układów elektronicznych do parametrów bloku nośnika informacji. Przyjęte rozwiązanie jest także zgodne z zaleceniami standardu [10].

Ze względu na wymaganie 4 zdecydowano, że pamięć będzie wyposażona dodatkowo w rejestry adresu, rejestry informacji oraz własny zespół zasilania.

Na rys. 2 przedstawiono schemat organizacji całej pamięci PAO 6. W jej skład wchodzą:

- blok nośnika informacji,
- układy adresowe,
- układy informacji,

- układy sterowania,
- rejestry,
- zespół zasilania.

# 4. PRZESŁANKI PROJEKTOWANIA UKŁADÓW ELEKTRONICZNYCH

Punktem wyjściowym wstępnej syntezy pamięci ferrytowej jest element nośnika informacji - rdzeń ferrytowy - on bowiem decyduje o wrażliwości urządzenia na temperaturę otoczenia /niezawodność działania/ oraz o szybkości działania.

Dopuszczalny zakres temperatur pracy rdzeni w pamięciach koincydencyjnych określony jest wartością temperaturowego współczynnika prądu łamiącego  $I_b$  [10] oraz wartością temperaturowego współczynnika sygnału dV<sub>1</sub>. Szczególnie współczynnik prądu łamiącego /C<sub>b</sub>/ jest dobrą miarą wpływu temperatury na zmianę siły koercji. Wielkość tego wpływu zależy od składu masy ferrytowej, z której rdzeń jest wyprasowany. Wartości współczynnika C<sub>b</sub> mogą zawierać się w granicach

od	СЪ	2	0,2	[% /°C]	dla	ferrytu	litowego
đo	Cb	2	0,9	[% /°c]	dla	ferrytu	Mg-Mn-Zn.

Dla pamięci PAO 6 przyjęliśmy, że przedział temperatury pracy elementu powinien wynosić  $0^{\circ} \div +75^{\circ}$ C /podczas gdy przedział temperatury pracy urządzenia wynosi  $\pm 10^{\circ} \div 40^{\circ}$ C/ a współczynnik temperaturowy [3] prądu łamiącego powinien wtedy być mniejszy niż

$$C_{b} \leq \frac{\left(I_{b} (^{\circ}C) - I_{b} (75^{\circ}C)\right) : I_{b} (25^{\circ}C)}{75^{\circ}C - 0^{\circ}C} = 0,5 \left[\%/^{\circ}C\right] /2/$$

Charakterystykę przełączania rdzenia ferrytowego można opisać zależnością [2]

$$t_{g} = \frac{D_{\acute{g}r}}{I_{M} - I_{c}} \cdot S_{w} \qquad /3/$$



Rys. 2. Schemat funkcjonalny PAO 6

- 18 -

gdzie: t<sub>g</sub> - czas przełączania rdzenia ferrytowego, S<sub>w</sub> - stała przełączania,

- S\_
- I<sub>M</sub> prąd pobudzania rdzenia,

- prąd startu związany z prądem żamiącym [11], I.

- średnia wartość średnicy pierścienia. Dán

Jeśli skorzystamy dodatkowo z empirycznej zależności [2]

$$T_{0} = (3 - 4) \cdot t_{g} [\mu s] /4/$$

gdzie T - czas trwania cyklu, to podstawiając wartość cyklu T<sub>c</sub> ≤ 2 µs określimy niezbędny średni czas przełączania rdzenia t<sub>e</sub>, a następnie z zależności /3/ - średnicę rdzenia. Biorąc dodatkowo pod uwagę obliczony współczynnik Ch, dokonano wyboru grupy rdzeni, które spełniają nasze wymagania. Należą do tej grupy takie typy rdzeni, jak np.:

rdzeń	typu	6F3	firmy	PHILIPS,
-11	17	Fx2763	firmy	MULLARD,
11	11	304-07	firmy	AMPEX,
	- 11	270MI	firmy	RCA

i wiele innych. Są to rdzenie wykonane z litowo-niklowej masy ferrytowej, o wymiarach:

średnica zewnętrzna - 0,8 mm, średnica wewnętrzna - 0,5 mm, wysokość - 0.2 mm.

Połówkowy prąd pobudzania tych rdzeni wynosi 360 mA.

Pozostałe parametry:

sygnal	$rV_1 > 42 mV_1$
sygnal	wV <sub>z</sub> < 8 mV,
ozas szczytu	$t_{\rm p} = 0,26  \mu s,$
czas trwania	$t_{s} = 0,5 \ \mu s$ .
współczynnik zakłócania	0,61,
ozas narastania impulsu	pobudzania $t_r = 0,15 \ \mu s$ .

W krótkim czasie przemysł krajowy podjął produkoję podobnych rdzeni, których typ oznaczono symbolem 2,4 RT-0,8.

Po określeniu parametrów elementów nośnika informacji przejdziemy z kolei do opisania funkcji układów z nim współpracujących.

Zespół układów elektronicznych pamięci operacyjnej realizuje następujące zadania:

- generuje impulsy prądowe o amplitudzie rzędu 0,5A oraz małych i kontrolowanych czasach narastania rzędu 100 ns, przy dużej stabilności amplitudy i czasów narastania,
- wysyła impulsy prądowe linii wybierającej o charakterze indukcyjnym, co przy podanej wyżej amplitudzie prądu i czasach narastania stwarza wysokie wymagania odporności napięciowej generatora na jego wyjściu /50 - 70V/,
- wzmacnia małe sygnały różnicowe /30 mV/ o czasie trwania 500 ns w obecności silnych zakłóceń różnicowych /300 mV/ na podstawie selekcji czasowej,
- tłumi sygnały symetryczne o znacznej amplitudzie /2V/,
- dyskryminuje sygnał minimalnej jedynki i maksymalnego zera na podstawie selekcji amplitudy,
- generuje precyzyjnie rozmieszczone w czasie względem siebie impulsy sterujące, zapewniające synchronizację współdziałania poszczególnych podzespołów,
- wykonuje operacje logiczne na sygnałach adresowych, informacyjnych i sterująco-kontrolnych.

Powyższa lista zadań wskazuje na konieczność stosowania w zespole układów elektronicznych elementów konstrukcyjnych o wymaganiach specjalnych, znacznie przekraczających wymagania stawiane tranzystorom i diodom w układach logicznych, co zwiększa udział kosztów ich wdrożenia i oprzyrządowania produkcji w cenie jednostkowej produktu i utrudnia osiągnięcie opłacalnej produkcji krajowej.

Jedną z naczelnych przesłanek projektowych dla zespołu układów elektronicznych PAO 6 było zminimalizowanie liczby typów specjalizowanych półprzewodnikowych elementów konstrukcyjnych. Projektowanie postanowiono oprzeć głównie na elementach półprzewodnikowych, stanowiących podstawę rozwiązania układów logicznych. Rezygnując ze stosowania specjalnych par tranzystorów w torze odczytu oraz ze stosowania tranzystorów komplementarnych /typu p-n-p/ w układzie odczytu i w układach wybierania, ostatecznie wybrano jedynie dwa elementy konstrukcyjne specjalizowane: tranzystor krzemowy średniej mocy BFY 52, przystosowany do pracy przy napięciach rzędu 50 V i prądzie kolektora do 1A oraz diodę krzemową BAY 54 o mocy 0,5 W i dopuszczalnym prądzie 0,5A.

Wyboru elementów biernych dokonano z myślą zapewnienia dużej niezawodności finalnemu urządzeniu. Z tego względu zastosowano oporniki metalizowane typu AT i ML oraz kondensatory mikowe zaprasowane typu KSO, a jako blokadę napięć zasilających kondensatory tantalowe.

Kolejna przesłanka do obrania koncepcji układów i rozwiązania zespołu wynikała z analizy ograniczeń technicznych występujących w układzie wybierania. Podstawowym ograniczeniem dowolności rozwiązania układu wybierania jest wzajemne powiązanie wielkości indukcyjności szyn wybierających, wartości prądu wybierania i jego czasów narastania z napięciową wytrzymałością półprzewodników w układach pobudzających i układach wybierania.

Indukcyjność współrzędnej wybierania /X lub Y/ dla jednej ramki o polu 4096 bitów wynosi około 0,5 µH. Przy prądzie 320 mA i czasie narastania 100 ns daje to chwilowy spadek napięcia na indukcyjności 25 ramek /słowo zawiera 25 bitów/ około 40 V. Aby zapewnić kontrolę czasu narastania prądu w generatorze, a nie poprzez dobranie odpowiednich parametrów linii wybierania, ten chwilowy spadek napięcia na indukcyjności nie może wywoływać wejścia tranzystorów generatora w nasycenie. Napięcie zasilania linii wybierania musi więc być większe od 40 V. Jest to już wartość znaczna, szczególnie dla tranzystorów wielkiej częstotliwości.

Realizacja pełnej pojemności pamięci, a więc 16 K 25 bitów, wymaga bądź zastosowania czterech podbloków /4 x 4K x 25 bitów/, bądź też budowy jednego bloku 16 K 25 bitów ze wspólnym wybieraniem. Przyjęcie drugiej wersji wydłużyłoby oczywiście linie wybierania i przy zachowaniu tych samych napięć wymagałoby zwiększenia czasów narastania i opadania impulsów prądowych, utrudniając spełnienie wymagania odnośnie szybkości pamięci. To z kolei zmusiłoby do stosowania układów logicznych o czasach propagacji rzędu 10 - 15 ns.

W projekcie PAO 6 założono zastosowanie dostępnej podczas wyboru koncepcji pamięci krzemowej techniki S-50 [13] o czasach propagacji rzędu 25-30 ns. Zespół układów elektronicznych pamięci przystosowano więc do współpracy z czterema podblokami o pojemności 4 K 25 bitów każdy.

Przy wyborze koncepcji układów i sposobu ich rozwiązania brano pod uwagę przewidywane konkretne warunki realizacji całości zadania, ze szczególnym uwzględnieniem poziomu zabezpieczenia technicznego produkcji.

Podstawowym wymaganiem przy projektowaniu poszczególnych układów elektronicznych było osiągnięcie wysokiej jakościtniezawodności układów. Punktem wyjścia do dokonania wstępnego wyboru różnych rozwiązań było określenie grupy parametrów mających bezpośredni wpływ na niezawodność układów.

Do parametrów tych zaliczamy:

- stopień skomplikowania układu,
- wymagany poziom stabilności elementów konstrukcyjnych,
- liczbę elementów konstrukcyjnych w układzie,

 poziom obciążenia elementów w stosunku do parametrów określonych przez producenta,

• moc strat w układzie.

Przy wyborze różnych wariantów układowych i w toku projektowania wybranego układu dążono do minimalizacji wartości powyższych parametrów.

## 5. ETAPY OPRACOWANIA UKŁADÓW ELEKTRONICZNYCH

W niektórych przypadkach wstępny wybór określał 2 lub 3 warianty poszczególnych układów. W tych przypadkach projektowano alternatywne rozwiązania i przeprowadzano badania porównawcze, w celu wybrania wariantu najlepszego.

Wybrany ostatecznie wariant układu podlegał szczegółowemu projektowaniu i optymalizacji na drodze obliczeń i badań laboratoryjnych. W projektowaniu stosowano metodę najgorszego przypadku, a w badaniach metodę prób marginesowych.

Kontrola układów była wielostapowa:

<u>Pierwszy etap</u> - badania laboratoryjne poszczególnych układów, polegające na sprawdzeniu zgodności układów z założonymi parametrami i na próbach marginesowych napięć zasilania oraz temperatur otoczenia.

Drugi etap - badania pilota zespołu, mające na celu ocenę wzajemnej współpracy układów w ramach zespołu. Chodziło tu zarówno o sprawdzenie postulowanej szybkości działania zespołu układów jako całości, jak również dokonanie wstępnej oceny odporności układów na zakłócenia w warunkach realizacji przez układy pełnego cyklu pamięciowego.

W badaniach tych blok nośnika informacji symulowano w kilku wariantach: W pierwszym wariancie był to jeden rdzeń, w którego uzwojenie wtrącone były elementy o stałych skupionych L i C, symulując parametry przewodów wybierania i przewodów zakazu w bloku. W następnej wersji symulacji zrealizowano fragmentaryczny model ramki do oceny sygnałów przeników z uzwojeń zakazu i wybierania na przewód odczytu. W trzeciej wersji symulacji z bloku użyto zespół 128 rdzeni połączonych tak, aby przy odczycie symulować najgorszy przypadek zapisu kombinacji zer i jedynek w polu 4096 rdzeni obejmowanych wspólnym uzwojeniem odczytu.

Pilot modelu zespołu był poddawany również badaniom temperaturowym i marginesowym napięć zasilających. W toku badań pilota wypracowano zasady okablowania zespołu oraz rozprowadzenia napięć zasilających i szyn ziemi.

<u>Trzeci etap</u> - badania układów wykonanych w wersji pakietowej techniką obwodów drukowanych. Były to badania typu i badania wyrobu na zgodność z odpowiednimi warunkami technicznymi.

Dalsze badania układów przeprowadzono już w ramach badań modelu, a następnie prototypu pamięci.

Wyniki badań układów pilota modelu, a następnie modelu i prototypu pamięci przyniosły pełne potwierdzenie osiągnięcia założonych parametrów.

W toku badań modelu i prototypu pamięci stwierdzono również wysoką niezawodność układów. Wielogodzinne badania i próby, z których część przebiegała w granicznych warunkach klimatycznych, nie ujawniły żadnych uszkodzeń w czasie pracy.

Parametry określające szybkość działania poszczególnych układów podano w tabeli.

L.p.	Nazwa układu	Czas trwa- nia impul- su ns	Czas włącze- nia ns	Czas wy- łącze- nia ns
1	Rejestr adresu z dekode- rem adresu	1700	150	-
2	Układy wybierania /klu- cze adresowe/	700	50	80
3	Układy pobudzania /gene- rator impulsów prądowych/	600	50	50
4	Układy odczytu	400	100	
5	Rejestr informacji	1000	100	-
6	Układy zapisu	750	80	30

Zestawienie parametrów czasowych

#### 6. ORGANIZACJA FUNKCJONALNA PAMIECI

Opisane w rozdziale 4 układy elektroniczne można połączyć w następujące grupy funkcjonalne:

- układy adresowe,
- układy informacji,
- układy sterowania,
- układy kontroli informacji.

Poprzez te układy informacja z maszyny cyfrowej przesyłana jest do bloku nośnika informacji i wyprowadzana na zewnątrz.

Chwilę rozpoczęcia każdej mikrooperacji i jej rodzaj określają impulsy podane na jedno z wejść s1 ÷ s4<sup>M</sup> układu sterowania /rys. 3/. Znaczenie funkcjonalne tych impulsów jest następujące:

W artykule wprowadzono jednakowe oznaczenia dla przebiegów impulsowych, dla wejść lub wyjść z pamięci, na których te przebiegi występują oraz dla realizowanych mikrooperacji.

- s1 odczyt/regeneracja
- s3 kasowanie/zapis
- s2 odczyt/stop

s4 - stop/zapis

Mikrooperacje s2 i s4 są wzajemnie uzależnione i mogą być realizowane tylko w podanej kolejności. Układ sterowania wykonuje operacje logiczne sumy, iloczynu i opóźnienia na impulsach sterujących s1 ÷ s4 i generuje szereg wewnętrznych pomocniczych impulsów sterujących poszczególnymi fazami wykonywanych mikrooperacji.

Zależności funkcjonalne tych impulsów od sygnałów podawanych na odpowiednie wejścia pamięci są następujące:

z = s1 + s2 + s3 + s4	- zerowanie rejestru informacji
M = 83 + 84	- zezwolenie na wpisanie do re- jestru nowej informacji z maszy- ny cyfrowej
A = s1 + s2 + s3	- zezwolenie na wpisanie nowego adresu do rejestru adresowego

- D argument określający czas włączania źródła prądów adresowych /indeks o - faza odczytu, indeks z - faza zapisu/ D<sub>o</sub> = s1 + s2 + s3 D<sub>z</sub> = s1 + s2 + s3 + s4
- E argument określający czas włączania kluczy adresowych  $E_0 = s1 + s2 + s3$  $E_z = s1 + s2 + s3 + s4$
- G argument określający czas włączenia kluczy zakazu przy zapisie lub regeneracji. Cyfra przed symbolem tego impulsu oznacza numer odpowiedniego podbloku nośnika informaoji  $1G = (s1 + s2 + s3 + s4) \cdot (\overline{r12 + r13})$  $2G = (s1 + s2 + s3 + s4) \cdot (r12 + \overline{r13})$

- 26 -

- 27 -

 $3G = (s1 + s2 + s3 + s4) \cdot (\overline{r12} + r13)$  $4G = (s1 + s2 + s3 + s4) \cdot (r12 + r13)$ 

gdzie r - impulsy wejściowe rejestru adresu

C - dodatkowy argument określający czas włączenia kluczy zakazu przy pracy z tzw. PWD /"post write disturb"/. Cyfra przed symbolem tego impulsu oznacza numer odpowiedniego podbloku nośnika informacji

Pod względem logicznym impulsy te są analogicznie generowane jak impulsy sterujące 1G + 4G. Różnią się od nich jedynie parametrami czasowymi.

F = strobowanie sygnału odczytu.Cyfra przed symbolem tego impulsu oznacza numer odpowiedniego podbloku nośnika informacji  $1F = (s1 + s2 + s3) \cdot (\overline{r12 + r13})$   $2F = (s1 + s2 + s3) \cdot (r12 + \overline{r13})$   $3F = (s1 + s2 + s3) \cdot (\overline{r12} + r13)$   $4F = (s1 + s2 + s3) \cdot (r12 + r13)$ 

Układy adresowe wykonują operację dekodowania stanów podanych na wejścia rO ÷ r13. W rezultacie włączone zostają klucze adresowe jednego z 64 wierszy X i jednej z 64 kolumn Y jednego z 4 podbloków nośnika informacji. W ten sposób przygotowane zostają obwody prądowe słowa, na którym ma być wykonana mikrooperacja pamięciowa. Pod wpływem prądów wzbudzających wybrany wiersz i kolumnę odpowiedniego podbloku nośnika informacji następuje przełączenie rdzeni pamięciowych, w których uprzednio zapisana była "1". Na wyjściu uzwojeń odczytu pojawiają się odpowiedzi rdzeni pamięciowych w postaci użytecznych sygnałów napięciowych oraz zakłóceń. Doprowadzone są one na wejście przedwzmacniaczy odczytu YP układów informacji. Przy odczycie układy informacji wzmacniają sygnały odczytu do poziomu standardowego i wprowadzają odczytaną informację na wyjścia yo - y24. Przy zapisie układy te zamieniają sygna-Ly standardowe podawane na wejścia 10 + 124 na impulsy pradu zakazu.



Rys. 3. Symbole układów elektronicznych

a/ inwerter S50-I; b/ przerzutnik; c/ inwerter mocy; d/ układ opóźnienia S50-O; e/ dekoder trójkowo-ósemkowy typu YD; f/ klucz adresowy typu YK; g/ odbiornik linii /klucz szybki/ typu YS; h/ klucz zakazu typu YZ; i/ generator prądowy typu YG; j/ przedwzmacniacz odczytu typu YP; k/ wzmacniacz odczytu typu YO; l/ nadajnik linii typu YN; l/ elektromagnetyczna linia opóźniająca typu YL



Rys. 4. Harmonogram impulsów pamięci

- 29 -

Wymienione układy są pokazane w postaci schematu blokowego na rysunku 3.

Dla lepszego zobrazowania zależności funkcjonalnych między przebiegami impulsowymi podany został harmonogram działania pamięci dla poszczególnych rodzajów mikrooperacji /rys. 5/. Przedstawia on optymalne położenia czasowe, szerokości i przerwy między impulsami sterującymi, adresowymi i informacyjnymi.



Rys. 5. Ogniwo rejestru adresowego

# 7. DZIAŁANIE UKŁADÓW FUNKCJONALNYCH

W rozdziale poprzednim omówiono funkcjonowanie pamięci jako całości. W tym celu zwrócono uwagę na impulsy przychodzące do pamięci, wykonywane w wyniku tego operacje pamięciowe oraz wydawane przez pamięć impulsy wyjściowe.

W niniejszym rozdziale ohcemy opisać działanie poszczególnych części schematu - układów funkcjonalnych, odpowiedzialnych za wykonywanie operacji pamięciowych.

Układy adresowe. Na wejściu układów adresowych wprowadzono rejestr 14 pozycyjny dla bitów adresu oznaczonych rO : r13. Schemat logiczny pojedynczego ogniwa adresowego podano na rys. 6.



Rys. 6. Fragment ukladu adresowego wybierającego wiersze X

Stan takiego rejestru można dowolnie zmieniać z wejść adresowych r<sub>i</sub> lub a<sub>i</sub>, ale tylko w czasie występowania impulsu sterującego A, zezwalającego na wpisanie.

Zawartość rejestru utrzymuje się niezmieniona w czasie calego cyklu pamięci. Wyjścia rejestru adresowego od rO do r11 doprowadzone są do 4 dekoderów trójkowo-ósemkowych typu YD. Wyjścia dekoderów stanowią jeden z argumentów iloczynu wejściowego odpowiednich kluczy adresowych typu YK wszystkich czterech bloków nośnika informacji. Bity adresu r12 ÷ r13 są oddzielnie dekodowane w dekoderze dwójkowo-czwórkowym i stanowią argumenty iloczynów decydujących o numerze bloku nośnika informacji, którego mikrooperacja dotyczy. Układ sterowania generuje odpowiednie impulsy, które sterują układami elektronicznymi pamięci.

Fragment układu adresowego od dekoderów do bloku nośnika przedstawia rys. 7. Dotyczy on wierszy X. Górny dekoder YD na tym rysunku wybiera klucz adresowy pierwszego wiersza Xo, a dolny dekoder - klucz adresowy pierwszej grupy ośmiu wierszy X<sub>0-7</sub>. Analogiczny układ adresowy istnieje w pamięci dla kolumn Y.

Układy adresowe na podstawie stanów wejść adresowych wybierają w bloku nośnika informacji numer słowa, na którym ma być wykonana mikrooperacja.

Układy informacji. Rozszerzony schemat logiczny układów informacji dla jednego bitu podano na rys. 8. Przedstawia on ogniwo rejestru informacji, klucze zakazu YZ, oporniki wykorzystywane jako elementy stabilizacji amplitudy impulsów prądu zakazu i transformatory typu "balun" dla ograniczenia zakłóceń, przedwzmacniacze YP i wzmacniacze odczytu YO. Informacja wejściowa z maszyny wprowadzana jest do ogniwa rejestru w koincydencji z impulsem sterującym M. Po wpisaniu informacji do rejestru, stan wejściowych szyn informacyjnych nie ma już wpływu na pracę pamięci.

Do przerzutnika rejestru informacji można również wprowadzić informację pobraną z pamięci poprzez wzmacniacz odczytu YO. Tuż przed wpisaniem do rejestru przerzutnik zawsze zerowany jest impulsem sterującym Z. Jednocześnie stan przerzutnika rejestru informacji jest jednym z argumentów iloczynów wejściowych kluczy zakazu YZ. Drugim argumentem jest jeden z impulsów sterujących 1G ÷ 4G w zależności od numeru bloku nośnika informacji, którego adres dotyczył. Sygnały odczytu z poszczególnych podbloków o pojemności 4096 słów po wzmocnieniu wstępnym przez przedwzmacniacze YP podawane są na wspólny



Rys. 7. Schemat układów informacji dla jednego bitu

.

- 33 -

wzmacniacz odozytu YO. Impulsy sterujące -1C ÷ 4C umożliwiają po skończonej mikrooperacji posłanie krótkiego impulsu prądu przez uzwojenie zakazu. Powoduje on ujednolicenie stanów magnetycznych rdzeni pamięciowych, co w efekcie daje zmniejszenie zakłóceń różnicowych drugiego rzędu. W literaturze zachodniej impulsy takie noszą nazwę "post write disturb" lub w skrócie FWD.



Rys. 8. Szafa pamięci operacyjnej PAO 6

<u>Układy sterowania</u>. Działanie tych układów jest opisane w pracy [12]. Pewne informacje o budowie układów sterowania wynikają także ze schematu funkcjonalnego zawartego na rysunku 2.

Układy kontroli informacji. Pamięć wyposażono w układy kontroli nieparzystości przechowywanej informacji. Składają się one z szeregu członów różnicy symetrycznej dołączonych do wyjść rejestru informacji wszystkich bitów. Bez układów kontroli nieparzystości informacji pamięć może pracować jako 25 bitowa.
Z układami kontroli pamięć zawiera 24 bity czynne yO ÷ y23, a stan bitu kontrolnego y24 reprezentuje informację uzupełniającą ilość jedynek w słowie do liczby nieparzystej.

W pamięci PAO 6 przyjęto następujący sposób korzystania z układów kontroli. Przy zapisie na podstawie stanów wejść informacji 10 ÷ 123 generowany jest przez układ kontroli sygnał nieparzystości i zapisywany pod aktualny adres. Przy odczycie kontrolowana jest nieparzystość liczby jedynek na wszystkich 25 wyjściach informacji. Sygnał nieparzystości nie jest jednak podawany na zewnątrz. Drugi możliwy sposób wykorzystania układów kontroli polega na tym, że pamięć przyjmuje słowa 24 bitowe, dorabia bit nieparzystości i dostarcza na zewnątrz słowa 25 bitowe. Wariant ten jest szczególnie użyteczny tam, gdzie wymagana jest kontrola przesyłania informacji, np. przy współpracy z pamięciami pomocniczymi. Wreszcie trzeci wariant umożliwia wprowadzenie do pamięci słów 25 bitowych zawierających już bit kontroli nieparzystości. Przy mikrooperacji zapisu, słowa te są zapisywane bez sprawdzenia. Przy mikrooperacji odczytu kontroluje się nieparzystość i jej wynik wyprowadza na zewnatrz.

### 8. WYBÓR ROZWIĄZANIA KONSTRUKCJI NOŚNEJ

Realizując konstrukcję nośną pamięci brano pod uwagę jej zwartość, łatwy dostęp, wygodę w eksploatacji, zapewnienie unifikacji i typowości zespołów występujących w większych ilościach.

Takie podejście do konstrukcji urządzenia umożliwia produkcję poszczególnych podzespołów na magazyn przez wyspecjalizowane zakłady lub działy danego zakładu, które dzięki specjalizacji zapewnić mogą zastosowanie w produkcji właściwego oprzyrządowania, aparatury pomiarowej, a tym samym zagwarentować dobrą jakość produkowanych zespołów, a tym samym zagwarentować dobrą jakość produkowanych zespołów i uzyskiwać lepsze wskaźniki ekonomiczne produkcji.

Uwagi powyższe dotyczą w szczególności bloków ferrytowych, zasilaczy i pakietów na obwodach drukowanych. Zespoły elektroniki zdecydowano zbudować w tzw. wersji pakietowej. Elementy elektroniczne monto ane są na płytkach z obwodem drukowanym. Każda z płytek w półpracuje ze złączem, którego końcówki umożliwiają drogą zablowania połączenie elektryczne pakietów w jeden zespół funkcjonalny. Pakiety, złącza i okablowanie łącznie z konstrukcją nośną tworzą zwartą konstrukcyjnie całość, tak zwaną ramę. Rama jest umocowana i zamknięta w szafie pamięci. Ramę zaopatrzono w listwy z kołkami służącymi do podłączenia zewnętrznych przewodów funkcjonalnych i zasilania.

Podstawowym wymaganiem rzutującym na rozmieszczenie zespołów była określona wysokość szafy, która miała wynosić około 1650 mm. Drugim istotnym warunkiem były pozostałe wymiary szafy, takie jak szerokość i głębokość. Te dwa parametry, pierwotnie nie sprecyzowane, zostały określone w projektowaniu jako kompromis pomiędzy objętością wewnętrzną szafy /możliwość zmieszczenia zespołów/, proporojami geometrycznymi i statecznością. W wyniku przeprowadzonej analizy zdecydowano się na przyjęcie gabarytów szafy, w ktorej zmieszczą się 2 jednostki pamięci o pojemności łącznej 32 K słów.

Zbudowanie szafy przeznaczonej do umieszczenia 1 jednostki pamięci dawało w efekcie szafę bardzo wąską /wysmukłą/ i niestateczną na boki lub szafę bardzo płytką, niestateczną do przodu i tyłu.

Celem zapewnienia możliwości posiadania podmodułu o pejemności 16 K słów, tzn. umieszczenia w przyjętej szafie 1 jednostki pamięci, szafę podzielono w płaszczyźnie pionowej na dwie równe części: przednią i tylną /rys. 9/.

Każda z jednostek pamięci jest tak rozwiązana, że zajmuje jedną połowę szafy, przy czym konstrukcja obu jednostek jest identyczna, stanowi tylko lustrzane odbicie.

Tym sposobem możemy posiadać moduł pamięci o pojemności 32 K słów - obie jednostki wbudowane, oraz moduł o pojemności 16 K słów - wbudowana jedna jednostka z dowolnej strony szafy. W tym ostatnim przypadku pozostałe miejsce jest niewykorzystane lub można je przeznaczyć na umieszczenie dowolnego bloku funkcjonalnego.



Rys. 9. Usytuowanie bloków ferrytowych w ramie

Jednym z najistotniejszych wymagań przy rozmieszczeniu zespołów elektroniki wewnątrz ramy było spełnienie warunku połączenia bloków ferrytowych z pakietami elektroniki możliwie krótkimi przewodami. W tym celu bloki pamięci postanowiono usytuować centralnie w ramie i otoczyć je pakietami elektroniki /rys. 10/.

Zasilacz umieszczono nad ramą. Pogarsza to stateczność konstrukcji lecz eliminuje wpływ działania ciepłego powietrza ogrzanego w zasilaczu na układy elektroniki w ramie oraz poprawia nieco przepływ powietrza chłodzącego przez ramę. Z punktu widzenia eksploatacji umieszczenie zasilacza u góry utrudnia jego wkładanie /dosyć znaczny ciężar na wysokości około 1400 mm/, lecz jednocześnie zapewnia łatwość obsługi i regulacji. Przyjęte rozwiązanie powoduje umieszczenie ramy u dołu, co utrudnia trochę dostęp do pakietów umieszczonych w dolnej partii ramy. Biorąc jednak pod uwagę prostotę wyjmowania i wkładania pakietów nie należy zbytnio przeceniać trudności w eksploatacji wynikających z tego powodu.



Rys. 10. Rozmie szczenie zespołów w szafie PAO 6

Wentylację umieszczono u dołu szafy pod ramą, stwarzając w ten sposób system podmuchu. System taki wytwarza w całym wnętrzu szafy nadciśnienie, a tym samym zabezpiecza przed dostawaniem się kurzu do wnętrza przez wszystkie nieszczelności. Umieszczenie wentylacji u dołu pozwoliło równocześnie lepiej wykorzystać przestrzeń i w prostszy sposób rozwiązać filtry powietrza. Wentylacja w tym usytuowaniu zajęła część przestrzeni dolnej przeznaczonej na kable, gdyż w przypadku umieszczenia wentylacji u góry przestrzeń nie byłaby w pełni wykorzystana.

Końcowe rozmieszczenie zespołów pokazano na rys. 11.



Rys. 11. Plytka pakietu

# 9. SKŁADOWE KONSTRUKCJI NOŚNEJ WRAZ Z OKABLOWANIEM I WENTY-LACJĄ

Opiszemy zasadnicze fragmenty konstrukcji nośnej, co pozwoli ocenić bliżej przyjęte rozwiązania konstrukcyjne.

Pakiety. Wszystkie pakiety występujące w panięci PAO 6, zarówno wykorzystane z opracowanej w IMM techniki krzemowej S-50 jak i pakiety specjalne, opracowane wyłącznie dla PAO 6, zostały zrealizowane na podstawie jednego standardowego rozwiązania mechanicznego /rys. 12/. Użyta do montażu płytka pakietu wykonana jest z laminatu szklano-epoksydowego o grubości 1,5 mm foliowanego jednostronnie miedzią o grubości folii 35 µm.

Wymiary nominalne płytki wynoszą: 126 mm x 160 mm.

Płytka zaopatrzona jest wzdłuż boku o długości 126 mm w atyki kontaktowe w liczbie 32, przeznaczone do współpracy ze złączem krawędziowym. Styki wykonane są w postaci lamelek /skuwek/ nakładanych na koniec płytki i wlutowywanych w obwód drukowany. Rozwiązanie to przeznaczone jest do współpracy ze złączem krajowym typu LDB-2, posiadającym podziałkę styków 3,75 mm.

Przewidziano także drugi wariant rozwiązania ze stykami wykonanymi bezpośrednio na płytce /styki wytrawione w folii miedzianej/ przeznaczony do współpracy ze złączami firm zachodnioeuropejskich o podziałce styków 0,15" /3,81 mm/.

Po przeciwnej stronie styków na brzegu płytki umieszczone sa gniazdka kontrolne oraz znajduje się zamocowany uchwyt ułatwiający wkładanie i wyjmowanie pakietu z ramy. Na płytce po przeciwnej stronie obwodu drukowanego rozmieszczone są elementy elektroniczne, których końcówki po przejściu przez otwory montażowe w płytce są zaginane i kłądzione na powierzchni płytki, a następnie lutowane do odpowiednio ukształtowanych /kształt kroplowy/ punktów lutowniczych. Liczba elementów dyskretnych montowanych na jednej płytce wynosi średnio 100 sztuk, maksymalnie zaś może dochodzić do 120 sztuk. Elementy rozmieszczone są na płytce w grupach odpowiadających pełnym układom funkcjonalnym. Daje to dobra przejrzystość montażu, ułatwia eksploatację i posługiwanie się pakietami szczególnie wtedy, gdy na płytce montowanych jest kilka ukłądów funkcjonalnych tego samego typu. Dla łatwej identyfikacji pakietu, szczególnie gdy jest on włożony do ramy i symbol typu wykonany na płytce jest niewidoczny, służy komplet kolorowych znaczników /grzybków/, które w ilości 2 sztuk przyczepiane są trwale do uchwytu pakietu.

Rama kaset. Rama kaset wykonana została w postaci płaszcza z blachy stalowej, otwartego z tyłu i z przodu. W przedniej części płaszcz ten wzmocniony jest wywinięciem. Pomiędzy boozne ścianki płaszcza wmontowane są z przodu i z tyłu ramy listwy poziome, dzieląc ramę na 6 poziomów - kaset. W czterech dolnych poziomach ramy w części środkowej wyodrębnione przestrzeń pozbawioną listew poziomych i przeznaczoną do umieszczenia bloków ferrytowych. Pomiędzy listwy poziome przednią i tylną zamontowane są prowadnice z tworzywa sztucznego. W odpowiednio ukształtowane zakończenia prowadnio zamocowane są złącza LDB-2. W każdej z dwóch górnych kaset liczba zamontowanych złącz wynosi 38; w pozostałych kasetach liczba ta wynosi 22. Łącznie rama zaopatrzona jest w 158 złącz i tyle też może pomieścić pakietów.

W przestrzeni przeznaczonej dla bloków znajdują się szyny służące do wsunięcia bloków oraz śruby do ich zamocowania. Rama w górnej i dolnej części zaopatrzona jest w gniazda łożyskowe zapewniające obrót jej wokół osi pionowej oraz uchwyt i zatrzaski umożliwiające otwieranie ramy i blokowanie jej w pozycji zamkniętej.

Na bloku ramy od strony obrotu znajduje się listwa z kołkami służącymi do podlutowania przewodów funkcjonalnych, zaś w górnej części znajdują się zaciski do podłączenia przewodów napięć zasilających. Przy kompletnym wyposażeniu w ramie umieszczonych jest 158 pakietów zajmujących 162 miejsca /część pakietów zajmuje podwójne miejsce/ oraz bloki ferrytowe typu BNI-3.

Zewnętrzne gabaryty ramy wynoszą:

- szerokość 810 mm
- wysokość 945 mm
- głębokość 195 mm /z okablowaniem 260 mm/

<u>Szafa.</u> Szafa składa się ze szkieletu oraz drzwi otwieranych na zawiasach. Szkielet wykonany jest jako konstrukcja samonośna. Składa się on z płaszcza z blachy tworzącego ściany boczne szafy oraz kształtowników zetowych, wzmacniających obrzeża i tworzących wnęki, w które wchodzą drzwi. Całość wykonana jest z blachy stalowej technologią zgrzewania i częściowo spawania. W górnej części płaszcza szkieletu wykonane są otwory służące do odprowadzania powietrza, w dołnej zaś otwory i szyny do mocowania filtrów dla powietrza doprowadzanego do szafy oraz dla doprowadzenia przewodów połączeń zewnętrznych. Szkielet posiada we wnętrzu niezbędne wsporniki, prowadnice, zawiasy itp. Do mocowania wewnętrznych zespołów urządzenia oraz w dolnej części zaopatrzony jest w 4 nóżki, każda o regulowanej wysokości, służące do poziomowania sząfy.

Na bocznej ścianie szafy od strony osi obrotu ram znajdują się listwy z płaskimi złączami nożowymi 20 kontaktowymi, służącymi do zewnętrznych połączeń funkcjonalnych.

Ponadto w dolnej części szafy znajduje się listwa ze złączem, służącym do podłączenia sieci oraz zespół filtrów przeciwzakłóceniowych.

Powierzchnie zewnętrzne elementów konstrukcyjnych szafy pokryte są błyszczącą emalią piecową. Gabaryty szafy wynoszą:

- szerokość 890 mm
- głębokość 650 mm
- wysokość 1630 mm /z nóżkami 1700 mm/

Okablowanie. Okablowanie zasilania szafy składa się z wiązki biegnącej od złącza wejściowego i filtrów przeciwzakłóceniowych do zasilacza /tor sieci/ oraz z wiązki biegnącej od zasilacza do listwy zaciskowej na ramie /tor napięć stabilizowanych/. Rozprowadzenie napięć stabilizowanych na ramie odbywa się za pomocą płaskich szyn o dużej pojemności. Szyny głównepionowe usytuowane są na bokach ramy. Szyny poziome doprowadzające napięcia bezpośrednio do pakietów biegną z tyżu ramy pomiędzy złączami i mocowane są do listew trzymających prowadnice.

Okablowanie funkcjonalne szafy składa się z wiązek łączących złącza do połączeń funkcjonalnych zewnętrznych /interface/ z listwą kołków na ramie. Wiązki te, posiadające odpowiednio ukształtowane kolanka, umożliwiają wychylanie ramy po okablowaniu.

Okablowanie funkcjonalne ramy składa się z połączeń pomiędzy złączami pakietów i połączeń biegnących do bloków ferrytowych. Połaczenia te wykonano w zależności od wymagań funkcjonalnych i technologicznych, bądź za pomocą wiązek bądź drogą najkrótszych połączeń pojedynczym przewodem lub parą skręconą. Połączenia wykonano technologią lutowania. W wiązkach narażonych na zginanie zastosowano przewód /linkę/ typu LSJJL 14 x 0,1 w pozostałych przypadkach drut typu DSJJL 1 x 0,15.

Zespół wentylacji. Zespół wentylacji składa się z dwóch turbin napędzanych silnikiem jednofazowym typu BZRe-O24a z rozruchem kondensatorowym o mocy 90W i obrotach nominalnych 1400 1/sek, zasilanym napięciem znamionowym 220V.

Silnik ten, posiadający wał wyprowadzony na obie strony, napędza przez elastyczne sprzęgła wykonane z węża gumowego z wkładkami tkaninowymi wałki turbin usytuowanych po obu stronach silnika.

Turbina składa się z obudowy oraz wirnika csadzonego na wale i obracającego się we wnętrzu obudowy. Obudowa wykonana jest z blachy stalowej w postaci płaszcza o przekroju poprzecznym stanowiącym krzywą logarytmiczną oraz dwóch ścianek bocznych posiadających otwory wlotowe dla powietrza i wsporniki do mocowania łożysk. Zastosowane łożyska są typu tulei samosmarnych ślizgowych, co zapewnia wysoką cichobieżność pracy zespołu. Wirnik wykonany z blachy stalowej w postaci cylindra bez denek posiada na obwodzie dwa rzędy łopatek utworzonych przez wywinięcie naciętej powierzchni płaszcza na zewnątrz. W środku płaszcza znajduje się piasta służąca do osadzania wirnika na wale. Wirnik jest bardzo dokłądnie wyważony dynamicznie.

Obie turbiny łącznie z silnikiem osadzone są na wspólnej ramie, która na amortyzatorach gumowych jest mocowana w szafie.

Zasada pracy wentylacji jest następująca: w wyniku obrotów powietrze na skutek działania siły odśrodkowej jest wysysane z wnętrza wirnika, a następnie sprężone w odpowiednio ukształtowanej części obudowy turbiny. Sprężone powietrze jest wyrzucone przez otwór w obudowie w kierunku stycznym względem wirnika. Powietrze nowe na skutek wytworzonego podciśnienia wpada do obudowy, a następnie do wnętrza wirnika przez otwory osiowe. Otwór wylotowy jest usytuowany tak, że zespół wentylacji w pozycji pracy daje strumień powietrza skierowany pionowo do góry bezpośrednio do ramy. Maksymalne ciśnienie wytwarzane przez zespół wynosi około 8 mm H<sub>2</sub>O, podczas gdy wydatek teoretyczny /bez oporów zewnętrznych/ osiąga wartość 800 m<sup>3</sup>/godz. Wartości te potwierdzono badaniami.

### 10. ZAKOŃCZENIE

W niniejszej pracy zostały naszkicowane wstępne czynności projektowe, omówiono też wyniki etapu końcowego - projektowaną pamięć.

Pomiędzy wymienionymi etapami wystąpiły oczywiście etapy pośrednie, których treścią były szczegółowe czynności projektowe. W trakcie tych prac napotkano szereg interesujących problemów, które opisane zostały w pozostałych artykułach umieszczonych w niniejszym zeszycie. Całość omawia, naszym zdaniem, wiele istotnych problemów projektowania ferrytowej pamięci operacyjnej.

### Literatura

[1]	BUCHHOLZ W.: Planning a Computer System, New York, 1962.
[2]	DAKIN C.J., COOKE C.E.G.: Circuits for Digital Equipment, Lon- don, 1967.
[3]	JACKSON R.C., JONES A.: Ferrite Cores for Coincident Current Memories, Component Technology, Plessey Components Group, Towcester.
[4]	FORRESTER J.W.: Digital Information Storage in Three Dimensions Using Magnetic Core, Journal of Applied Physics, June 1951; 22.
[5]	GILLIGAN T.J.: 2.5D High-speed Memory Systems: Past, Present and Future, IEEE Trans. on Electronic Computers, August 1966; EC-15, 4.
[6]	KILIŃSKI A.: Podstawy technologii sprzętu radiotechnicznego, PWT, Warszawa 1960.

- [7] KRAJZMER L.P.: Cyfrowe urządzenia pamięciowe, Warszawa 1965 /tlumaczenie z rosyjskiego/.
- [8] RAJCHMAN J.: Proceedings of the International Symposium on Techniques of Memories, April 1965; 5-10, Paris, Chiron 5-A. Paris.
- [9] WALDECKER D.E.: Design of an Asynchronous Main Storage Control Processing Unit Interface, Computer Design, June 1968.
- [10] WRZESZCZ Z., RYŻKO J., DAŻDA J.: Projekt standardu dotyczącego materiałów, rdzeni i ramek pamięci operacyjnych EMC, Elektroniczna Technika Obliczeniowa<sup>N</sup>owości", luty 1968:1.
- [11] WRZESZCZ Z.: Przedziały zmienności parametrów generatorów wzbudzających ferrytowy blok nośnika informacji w pamięci koincydencyjnej, Prace IMM, Warszawa 1970: 1.
- [12] ŚWITALSKI A.: Zespół sterowania pamięci PAO 6, Prace IMM, w niniejszym zeszycie.
- [13] KOJEMSKI A., KOWALEWSKA M., KULINSKA E., SINKIEWICZ T., ŚWIAT-KOWSKI Z.: Cyfrowa technika krzemowa S-50, Instytut Maszyn Matematycznych, Warszawa 1969.

#### ХАРАКТЕРИСТИКА И СРЕДСТВА ДЛЯ РЕАЛИЗАЦИИ ЗАПОМИНАЮЩЕГО УСТРОЙСТВА РАО 6

#### Резрие

Подано описание запоминающего устройства на ферритовых сердечниках РАО 6 ёмкостью 16.384 слов. Подчёркиваются проблемы связанные главным образом с проектом в целом.

Раздел 2 содержит короткур характеристику данной задачи. Для этой цели вводится коэффициент качества устройства », что позволяет поместить новое решение среди настоящих. Сделан натросок объёма работ по проектировке.

В разделе З рассмотрены требования к устройству, являющиеся исходной точкой для выбора системы запоминающего устройства: принято тип 3D4w.

Разделы 4 и 5 посвящены электронным цепям. Заклочённые в них предпосылки проектирования и описание стадий дают образ предмета и метод проектирования. Таблица электронных цепей содержит параметры быстродействия и находится перед разделом 6, который рассматривает функциональную структуру запоминардего устройства. Эта схема указана на рис.2. Во время описывания логической структуры, внимание обращается на функциональные схемы и на реализованные микрооперации. В конце раздела подана временная диаграма работы запоминарщего устройства.

Для облегчения синтеза логической структуры были составлены группы электронных цепей названные функциональными цепями, а именно: адресная, информационная, контрольная и йепи проверки четности информации.

Описание принципа работы выше указанных схем подано в разделе 7.

Раздел 8 описывает выбор решения конструкций рамы, а раздел 9 содержит характеристику её компонентов, то есть платов, панелей, шкафа, систему соединярщих проводов и вентиляции. CHARACTERISTIC AND MEANS OF PAO 6 STORAGE ACCOMPLISHMENT

#### Summary

Description of design of 16,384 word capacity, operational core storage PAO 6 is given. Problems connected mainly with the whole project are emphasized.

Chapter 2 contains a short characteristic of the given task. For this purpose coefficient of the design quality  $-\infty$  - was introduced that permits to place the new solution among the present ones. The scope of the design work is also outlined.

Chapter 3 treats of the project demands constituting the starting point for the storage structure choice; the type 3D4W has been accepted.

Chapter 4 and 5 are devoted to electronic circuits. Therein included design premises together with design steps give the picture of the subject and the method of designing. The table of electronic circuits including operation speed parameters precedes the chapter 6 which concerns the storage functional organization. This organization scheme is shown in fig. 2. While describing the organization, attention was drawn to functional circuits and to the microoperations realized. The storage operation timetable is presented in the end of the chapter.

In order to enable the synthesis of storage organization, some electronic circuit groups named functional circuits were formed, namely addressing, information, control and information parity checking circuits.

The description of the operation of the above schemes is given in Chapter 7.

Chapter 8 describes the choice of the solution of the mechanical construction, and Chapter 9 includes the characteristic of its components e.g. packages, racks, cabinet, wiring and cooling system.



Prace IMH Zeszyt 3 © 1971.12

621.318.134.001.41

PROCES TWORZENIA FERRYTU Li-Ni-Zn

> Władysław CIASTOŃ Mieczysław MICHALSKI

Prace zloiono 20.09.1970

Artykuł zawiera fragmenty wyników kompleksowych badań procesu tworzenia się ferrytu Li-Ni-Zn o wybranym składzie, w szerokim zakresie temperatur /300 - 1300 C/ i przedziale czasu trwania syntezy /3 - 300 minut/. Na podstawie wyników badań produktów reakcji /uzyskanych w różnych warunkach syntezy/ przeprowadzonych za pomocą metody rentgenograficznej, analizy chemicznej, termogravimetrycznej oraz przez oznaczenie właściwości magnetycznych i elektrycznych itp., określono przebieg tworzenia się tego związku /fazy spinelowej - magnetycznej, procesów utleniania i redukcji/.

#### SPIS TREŚCI

1.	<b>WSTEP</b>
2.	PRZEGLĄD WYNIKÓW BADAŃ ŚWIATOWYCH
3.	METODYKA I ZAKRES PRAC DOŚWIADCZALNYCH 61
4.	OMÓWIENIE WYHIKÓW BADAŃ 62
5.	PODSUMOWARIE
Li	teratura

### 1. WSTEP

Rozwój EMC, nieustanne zwiększanie wymagań technicznych stawianych tym urządzeniom spowodowały wzrost wymagań w stosunku do jakości elementów i podzespołów, a więc i materiałów ferrytowych, z których wykonywane są elementy pamięciowe. Od pewnego czasu jednym z istotnych wymagań w stosunku do materiałów ferrytowych o prostokątnej pętli histerezy stała się niezmienność właściwości magnetycznych przy występujących zmianach temperatury otoczenia w możliwie szerokim zakresie. Przy czym wymagania te nie zmniejszyły poprzednich, tj. wysokiej prostokątności, krótkiego czasu przemagnesowania i powtarzalności technologii wykonania, bowiem nowoczesne bloki informacji EMC są zbudowane z milionów sztuk takich elementów.

Ferryty z prostokątnej pętli histerezy o ogólnym wzorze Me Fe<sub>2</sub>O<sub>4</sub> i strukturze krystalicznej typu spinel otrzymuje się, podobnie jak i inne ferryty, przez reakcję tlenków metali w fazie stałej, a ich właściwości uzależnione są od składu chemicznego, warunków syntezy i powstałej makrostruktury /układy polikrystaliczne/. Symbol Me w podanym wzorze oznacza dwudodatni jon pierwiastka metalicznego, którego promień wynosi zwykle O,6 ÷ 1,0 Å. W prostych ferrytach o budowie krystalicznej spinelu Me jest dwudodatnim jonem pierwiastków takich jak Mn, Fe, Co, Ni, Cu, i Zn lub Mg i Cd. Oczywiście mogą również występować kombinacje tych jonów, przy czym mówi się wtedy ogólnie o tak zwanych ferrytach mieszanych. Symbol Me może oznaczać również kombinację /parę/ jonów o średnim ładunku równym 2+, np. Li<sup>1+</sup> i Fe<sup>2+</sup> w ferrycie litowym Li<sub>O,5</sub> Fe<sup>2+</sup><sub>2,5</sub> O<sub>4</sub><sup>2-</sup>.

Najczęściej spotykanymi ferrytami o prostokątnej pętli histerezy są ferryty złożone /mieszane/ Mn-Mg, Mn-Cu, Mn-Mg-Zn. Ferryty te wykazują spontaniczną pętlę histerezy, stosunkowo niską temperaturę Curie - ich właściwości magnetyczne zmieniają się znacznie przy zmianach otoczenia.

Drugą grupę stanowią ferryty Ni z dodatkiem jonów Co o wymuszonej anizotropii i wysokiej temperaturze Curie. Ich parametry ulegają bardzo małym zmianom przy wahaniach temperatury, wymagają one jednak dodatkowej obróbki w polu magnetycznym.

Trzecią wreszcie grupę stanowią ferryty Li, Li-Ni, Li-Ni-Zn, z dodatkiem jonów innych metali, o spontanicznej pętli histerezy, stosunkowo wysokiej temperaturze Curie oraz pozostałych korzystnych parametrach magnetycznych.

Pod względem więc trwałości i zmienności właściwości magnetycznych przy zmianach temperatury, ferryty o prostokątnej pętli histerezy można podzielić na trzy grupy [2]:

- a/ temperaturowo mało stabilne. Najczęściej ferryty Mn-Mg, Mn-Cu, Mn-Mg-Zn, których temperatura Curie jest zazwyczaj < 300°C. Elementy pamięciowe wytworzone z tych ferrytów mogą pracować w zakresie temperatury od 10°C ÷ 40°C.
- b/ temperaturowo wysoko stabilne. Ferryty Ni-Co o wymuszonej anizotropii uzyskiwanej przez obróbkę w polu magnetycznym; elementy wykonane z tych materiałów mogą pracować w bardzo szerokim zakresie temperatur /-50°C ÷ 120°C/. Wykazują jednak one dłuższe czasy przemagnesowania i nie nadają się do szybkich operacyjnych pamięci EMC, przy czym technologia ich otrzymywania jest dość skomplikowana /większa pracochłonność/.
- c/ temperaturowo stabilne. Najczęściej ferryty Li, Li-Ni z dodatkami jonów innych metali. Elementy wykonane z tych ferrytów mogą pracować w granicach od O<sup>o</sup>C do 70<sup>o</sup>C. Ferryty tej grupy posiadają temperaturę Curie powyżej 400<sup>o</sup>C /Ferryt Li ok. 680<sup>o</sup>C/.

Ostatnia grupa ferrytów wykazuje więc wysoką temperaturę Curie i dostateczną stabilność temperaturową przy zachowaniu również innych korzystnych właściwości, np. krótkiego czasu przemagnesowania. Rdzenie wykonane z tych ferrytów zaliczane są do nowoczesnych elementów pamięciowych EMC.

Dla projektowanych bloków informacji zostały określone następujące parametry rdzeni Ø 0,8 mm:

- pełny prąd przełączający Ir = Iw < 750 mA,
- amplituda sygnału zakłóconej "1" przy 0°C dV1 > 50 mV,

● amplituda sygnału zakłóconego "O" przy 75°C dVz ≤ 5 mV,

- czas przełączania ts ≤ 0,5 µsek,
- czas szczytu tp ~ 0,25 µsek.

Powstała więc potrzeba opracowania technologii otrzymywania materiału i rdzeni spełniających te wymagania. W chwili podejmowania niniejszych badań, materiały tego typu nie były znane w kraju i nie prowadzono żadnych prac badawczych w tym kierunku w innych ośrodkach. Dostępne dane literaturowe i publikacje patentowe były bardzo fragmentaryczne.

Przy takim stanie rzeczy, zagadnienie opracowania nawet laboratoryjnej technologii, bez wykonania określonych prac badawczych pozwalających na pełniejsze rozeznanie i zbadanie występujących procesów w technologii syntezy ferrytów Li-Ni-Zn, byłoby bardzo utrudnione.

Przedmiotem podjętych prac było więc kompleksowe badanie procesu tworzenia się ferrytu Li-Ni-Zn, co do którego istniały przesłanki, że spełni stawiane wymagania.

Podjęte badania miały przede wszystkim na celu poznanie przebiegu tworzenia się tego ferrytu w zależności od temperatury i czasu syntezy - przez określenie składu fazowego, właściwości magnetycznych, elektrycznych, składu chemicznego itp. produktów reakcji w zależności od warunków syntezy [1].

Artykuł zawiera podstawowe wyniki przeprowadzonych badań.

Prace te stanowiły część opracowania laboratoryjnej teohnologii rdzeni ferrytowych zastosowanych do konstrukcji bloku informacji pamięci operacyjnej o czasie cyklu 2 µs.

### 2. PRZEGLĄD WYNIKÓW BADAŃ ŚWIATOWYCH

Braun [3] wykazał, że "czysty" ferryt litowy należy do grupy spineli odwróconych i może być opisany przez wzór  $\operatorname{Fe}_{1.0}^{3+}(\operatorname{Li}_{0,5}^{+} + \operatorname{Fe}_{1,5}^{3+}) \operatorname{O}_{4}^{2-}$ , a poprawniej

miejsca A	miejsca B			
8Fe <sup>3+</sup>	$8(\text{Li}_{1/2}^{1+} \text{Fe}_{1/2}^{3+}) 8\text{Fe}^{3+}$			

Początkowo istniał pogląd, że osiem jonów dwuwartościowych zajmuje osiem miejsc tetraedrycznych, a szesnaście jonów trójwartościowych szesnaście miejsc oktaedrycznych, tak jak to ma miejsce w minerale Mg  $Al_2O_{\mu}$  - spinel normalny.

Barth i Posnjak [4] wykazali, że pogląd ten nie odpowiada rzeczywistości w większości ferrytów.

Najlepsze wyniki w określaniu położenia jonów uzyskuje się przez strukturalne badania metodą dyfrakcji neutronowej.

Rozkład jonów metali w strukturze krystalicznej spinelu oraz inne dane fizyczne zawiera tabela 1.

Tabela 1

Rozkład jonów metali, stałe sieciowe /a/, parametry tlenowe /u/, ciężary cząsteczkowe H, gęsteść rentgenowska d<sub>x</sub>  $\begin{pmatrix} d_x = -\frac{8H}{3} g/cm^3 \end{pmatrix}$ ; H - liczba Avogadra 6,02 x 10<sup>23</sup> - niektórych ferrytów o struktúrze spinelu.

Ferryt	Rosklad jonóv metali	× X	u	Н	d x 3
Fe304	Fe/Fe <sup>2+</sup> Fe/	8,39	0,379±0,001	231,6	5,24
L10,5 *• 2,5°4	Fe/Li0,5Fe1,5/	8,33	0,382±0,005	207,1	4,75
Xi Fe204	Fe/Ni Fe/	8,34		234,4	5,38
Zn Fe204	Zn /Fe <sub>2</sub> /	8,44	0,385±0,002	241,1	5,33
Hg Fe204	Hg00,1Fe0,9/Mg0,9Fe1,1/	8,36	0,381±0,001	200,0	4,52
Ma 70204	Mn0,8 <sup>Fe</sup> 0,2 <sup>/Mn</sup> 0,2 <sup>Fe</sup> 1,8 <sup>/</sup>	8,50	0,3846-0,0003	230,6	5,00
Co Fe204	Fe /Co Fe/	8,38		234,6	5,29

Doświadczalnie ustalone wartości momentów magnetycznych mogą odbiegać od teoretycznych z różnych względów, np. kiedy rzeczywisty podział jonów w podsieciach A i B nie odpowiada przyjętemu podziałowi /MgFe<sub>2</sub>O<sub>4</sub> i inne/.

Tabela 2

Doświadczalne i teoretyczne wartości momentu magnetycznego prostych ferrytów o strukturze krystalicznej spinelu w O<sup>O</sup>K w magnetonach Bohra

Fannut	Przyjęty pod jonów		Moment magne-	Moment magne-	Moment mag- netyczny na	
Fullyt	położenie A	położenie B	tyczny jonów A	tyczny jonów B	molekule MeFe <sub>2</sub> 04	
and the second					teoret.	dośw.
Mn Fe204	Fe0,2 Mn0,8	Mn0,2 Fe 1,8	5	5 + 5	5	4,6
F•3 <sup>0</sup> 4	Fe <sup>3+</sup>	Fe <sup>2+</sup> Fe <sup>3+</sup>	5	4 + 5	4	4,1
NI Fe204	¥e <sup>3+</sup>	Ni <sup>2+</sup> Po <sup>3+</sup>	5	2 + 5	2	2,3
Mg Fe <sub>2</sub> 04	Fe <sup>3+</sup>	Mg <sup>2+</sup> Fo <sup>3+</sup>	5	0 + 5	0	1,1
Li0,5 <sup>Fe</sup> 2,5 <sup>0</sup> 4	Fe <sup>3+</sup>	Li <sup>1+</sup> 0,5 Po <sup>3+</sup> 1,5	5	0+7,5	2,5	2,6

Zależność namagnesowania nasycenia /6 / na jednostkę masy od temperatury, dla kilku prostych ferrytów o strukturze spinelu, podaje rys. 1.

Z przedstawionych na rys. 1 wykresów obrazujących tę zależność wynika, że z grupy wybranych ferrytów prostych ferryt Li ma najwyższą temperaturę Curie i jeden z najniższych współczynników temperaturowych namagnesowania nasycenia.

Badaniem związków powstających z Li<sub>2</sub>O i Fe<sub>2</sub>O<sub>3</sub> zajmowało się szereg autorów już od dawna. Badania te miały przede wszystkim jednak charakter badań krystalograficznych.



Rys. 1. Charakterystyki temperaturowe namagnesowania nasycenia na jednostkę masy niektórych prostych ferrytów o strukturze spinelu

Jak wynika z danych literaturowych w układzie  $Fe_2O_3 - Li_2O$ istnieją dwa typy związków:  $Li_2O \cdot Fe_2O_3$  /Li  $FeO_2$ /oraz  $Li_2O5Fe_2O_3$  /Li  $Fe_5O_8$ / - ferri-spinele magnetyczne litu. Pierwsze były badane w 1931 r. przez Bartha i Posnjaka [5], którzy stwierdzili, że związkom tym można przypisać strukturę sześcienną typu NaCl. Strukturę spinelową w otrzymanych próbkach związku  $Li_2O \cdot 5Fe_2O_3$  /Li  $Fe_5O_8$ / stwierdzili również w 1931 r. Posnjak i Barth [5], w 1938 r. Hofmann[6].

Stałe sieciowe określone przez różnych autorów przedstawia tabela 3.

Gorter [7] określił moment molekularny podając wartości 2,47 ÷ 2,6 µB. Zgodnie z teorią Neala moment magnetyczny ferrytu LiFe<sub>5</sub>0<sub>8</sub> winien wynosić - 2,5 µB. Temperaturę Curie ferrytu Li określało wielu autorów. Podawane wielkości zawierają się w zakresie 590 ÷ 680°C.

## Tabela 3

Stałe sieciowe Li Fe508 określone przez różnych autorów

Autor	Stan uporząd- kowany a w A	Stan nieupo- rządkowany a w A	Stała siecio- wa bez okreś- lonego stanu
Collongues i Chaudron	-	-	8,314 <b>A</b>
Rottig	-	-	8,37 Å
Gorter	-	-	8,331 Å
Kato	8,3296 ± 0,0005	8,3326 ± 0,0005	

Ferryty zawierające jony Li, jak już wspomniano, były przedmiotem licznych prac badawczych w zakresie budowy krystalicznej. Istotny wpływ na strukturę tych związków ma sposób przygotowania próbek, przebieg reakcji, szybkość studzenia itp. Jedną z obszerniejszych współczesnych prac dotyczących ferrytów zawierających jony Li jest praca Avenira Vassilieva [8], który badał układy:

 $\begin{array}{c} \text{Li}_{2}^{0.5}(1-x) \ \text{Fe}_{2}^{0.3} \\ (1-x) \ \frac{1}{4} \ (\text{Li}_{2}^{0.5\text{Fe}_{2}^{0.3}}) \ x \ (\text{Zn0} \cdot \text{Fe}_{2}^{0.3}) \\ (1-x) \ (\text{Li}_{2}^{0.5\text{Fe}_{2}^{0.3}}) \ x \ (\text{Li}_{2}^{0.5\text{Al}_{2}^{0.3}}) \end{array}$ 

Vassiliev podaje zmierzone z dokładnością do  $\pm 0,003$  Å stałe sieciowe wymienionych układów przy różnych wartościach współczynnika x; stała sieciowa dla Li<sub>2</sub>0 5Fe<sub>2</sub>0<sub>3</sub> wg dokonanych przez niego pomiarów wynosi: a = 8,334 Å. Brak jednak w cytowanej pracy zmian stałej sieciowej dla tego układu w zależności od warunków tworzenia się ferrytu /temperatura, czas syntezy/. Według tego samego autora [8] moment magnetyczny ferrytu Li<sub>2</sub>0.5Fe<sub>2</sub>0<sub>3</sub> w zależności od temperatury syntezy przyjmuje wartości podane na rys. 2. Zbadana zależność dotyczy jednak bardzo wąskiego zakresu temperatury syntezy, nie oddaje w pełni przemian występujących w procesie tworzenia się tego ferrytu.



Rys. 2. Moment magnetyczny w 0°K ferrytu Li20.5F.203 w zależności od temperatury syntezy

Opis ten, z braku pełnych badań samego przebiegu procesu tworzenia się ferrytu, budzi zastrzeżenia. Vassiliev nie wziął tu również pod uwagę np. przebiegu procesów oksy-redukcyjnych w zakresie tych temperatur syntez.

Strickler i Roy w pracy [9] badali również układ Li Fe  $0_2 - Fe_20_3$ . Zwrócili uwagę na procesy oksy-redukcyjne i straty litu w wysokich temperaturach. Autorzy potwierdzili wyniki prac Posnjaka i Bartha [5] oraz Brauna [3], stwierdzając jednocześnie, że metodami rentgenowskimi nie można wykryć roztworu stałego Li Fe  $0_2$  i Li Fe<sub>5</sub> $0_8$ . W obszarze temperatur poniżej 900°C Fe<sub>2</sub> $0_3$  nie tworzy roztworów z Li Fe<sub>5</sub> $0_8$ , natomiast w wyższych temperaturach część cząsteczek Fe<sub>2</sub> $0_3$  wchodzi w strukturę Li Fe<sub>5</sub> $0_8$  i roztwarzalność wzrasta aż do 1390°C, w której to temperaturze jest już według autorów [9] całkowita. Z ubytków wagowych próbek na skutek wzrostu temperatury autorzy wnioskują o redukcji jonów Fe oraz prawdopodobieństwie istnienia roztworu stałego między  $\text{Fe}_3O_{\mu}$  i Li  $\text{Fe}_5O_8$ .

W pracy [9] nie wykorzystano jednak wszystkich metod do oceny zachodzących procesów /analiza chemiczna, rentgenowska, stałe sieciowe/ w pełnym zakresie temperatur i czasu syntezy. Struktura krystalograficzna ferrytów spinelowych i krystalochemia związków tego typu jest opisana obszernie w literaturze, np. w pozycjach [10 - 17].

Jak już wspomniano, podejmowano szereg prac dotyczących układów zawierających tlenki Li i Fe oraz inne tlenki metali, jak: Mn, Mg, Al, Cd, itp.

Z publikowanych prac dotyczących badań ferrytów, w których występują jony Li można wymienić jeszcze prace [18], [19], [20], [21]. Natomiast pozycji literaturowych dotyczących ferrytu Li-Ni, a tym bardziej ferrytu Li-Ni-Zn jest mało, liczniejsze są publikacje patentowe, wszystkie one jednak mają charakter fragmentaryczny. Prace te [22 ÷ 26]i publikacje patentowe mówią na ogół o końcowych rezultatach i właściwościach uzyskanych produktów lub o badaniach ich właściwości użytkowych. W podanym wykazie literatury uwzględniono tylko te ze znanych pozycji, które wiążą się z podjętymi badaniami i z wybranym układem /ferrytem/.

West R.C. [22] podaje ogólne wyniki badań doświadczalnych nad ferrytami Li-Ni i Li-Ni-Zn stwierdzając, że najlepsze właściwości magnetyczne w przypadku ferrytu Li-Ni uzyskuje się przy składzie: Li<sub>0,5-x/2</sub> Ni<sub>x</sub> Fe<sub>2,5-x/2</sub> O<sub>4</sub> dla x = 0,04, a w przypadku ferrytu Li-Ni-Zn Li<sub>0,48-y/2</sub> Zn<sub>y</sub> Ni<sub>0,04</sub> Fe<sub>2,48-y/2</sub> O<sub>4</sub> dla y = 0,05. Przy wprowadzeniu jonów Zn<sup>2+</sup> autor obserwował podobny wpływ jak w ferrytach Mn-Mg o prostokątnej pętli histerezy: zmniejszenie siły koercji oraz wzrost indukcji magnetycznej. W artykule podano również dla wybranego układu:

Li0,455 Zn0,05 Ni0,04 Fe2,455 04

zmiany niektórych właściwości magnetycznych otrzymanych elementów ferrytowych zachodzące wraz ze zmianą temperatury. Autor sugeruje równocześnie możliwość poprawienia współczynnika prostokątności przez zmiany zawartości jonów Ni<sup>2+</sup> i dobór odpowiedniego ciśnienia cząsteczkowego tlenu w czasie syntezy oraz zmniejszenie siły koercji przez zwiększenie zawartości jonów Zn<sup>2+</sup>.

Autorzy prac [23, 24, 37] podają wyniki doświadczalne dotyczące wpływu wielkości ziaren ferrytu Li na końcowe właściwości rdzeni, zwłaszcza na czas przemagnesowania i siłę koercji.

Driel G.A.H. i Esveldt C.J. [25] podają ogólnie, jakie właściwości fizyczne winien posiadać ferryt o trwałości i niezmienności właściwości magnetycznych przy zmianach temperatury /wysoką temperaturę Curie, niską anizotropię krystaliczną/ stwierdzając, że warunki te spełnia ferryt Li-Ni. W artykule dokonano również porównania zmian niektórych właściwości magnetycznych ze zmianą temperatury klasycznych ferrytów o prostokątnej pętli histerezy i ferrytu Li-Ni. Autorzy stwierdzają możliwość zastosowania ferrytu Li-Ni do wytwarzania rdzeni pamięciowych, oceniając swoje badania jako wstępne do dalszych prac w tym kierunku.

Vassiliev A., Nicolas J. w swej publikacji [26] podają przede wszystkim wyniki badań układu  $\text{Li}_20.5(1-x)\text{Fe}_20_3$  dla  $0 \leq X \leq 0.5$  ze szczególnym uwzględnieniem właściwości magnetycznych. Z zawartych w pracy danych wynika, że  $6_{20}$  dla podanego wyżej składu waha się w granicach od 54 ÷ 61

Autorzy zwracają uwagę na konieczność szczegółowego określenia warunków technologicznych, w celu zapewnienia powtarzalności parametrów rdzeni ze względu na "delikatny charakter" zjawisk fizyko-chemicznych zachodzących podczas syntezy tego ferrytu. Oprócz innych wymienionych już czynników /wielkość ziarna, warunki spieku, itp./ szczególnie podkreślają wpływ składu końcowego na właściwości otrzymywanych elementów. Jedną z najobszerniejszych publikacji patentowych jest patent autorów Vinal F. i Brown D.W. [27]. Autorzy podkreślają poważny wpływ temperatury i czasu ferrytyzacji na końcowe właściwości /użytkowe/ próbek oraz podają sposób zapobiegania ulatnianiu się litu w czasie syntezy przez zastosowanie osłon z materiału zawierającego lit. Patent zawiera zestawienie składów chemicznych badanych ferrytów Li-Ni, właściwości magnetyczne otrzymanych elementów oraz zakres procentowej zawartości Ni, przy którym uzyskuje się prostokątność pętli histerezy większą od 0,8. Autorzy stwierdzają, że wprowadzenie ZnO lub CdO obniża siłę koercji i zwiększa indukcję nasycenia, przy czym najlepsze wyniki uzyskuje się, gdy stosunek Zn  $Fe_2O_4$ i Ni  $Fe_2O_4$  wynosi 1:1.

Dalsze publikacje patentowe [28-35] podają zastosowane zakresy niektórych parametrów technologicznych.

Proces przygotowania surowców i zastosowanie alkoholu etylowego w procesie mieszania omawiają patenty [28, 29].

Wszystkie wymienione patenty [27-35] podają zakres temperatur ferrytyzacji od 600°C do 800°C w czasie 1 ÷ 10 godz. Bliższy zakres precyzowany jest w niektórych przypadkach: 700°C -750°C w czasie 1 godz. [28], 800°C w czasie 2 godz. [34] itp. Zakres temperatury ferrytyzacji w zależności od składu znaleźć można w pracy [35].

Niektóre patenty [27], [30] zawierają zastrzeżenia odnośnie sposobów zapobiegania ulatnianiu się litu /osłony z ferrytu Li/ oraz parametry procesu syntezy elementów. Większość przewiduje wygrzewanie rdzeni bezpośrednio lub oddzielnie po syntezie przez kilka godzin w tlenie lub powietrzu w temperaturze - 1000°C. Patenty [29], [33], [35] podają np. zakres temperatury syntezy: 1200 ÷ 1400°C i następnie chłodzenie z szybkością 30°C/min.

Jedną z ostatnich /1968 r./ pozycji literaturowych jest praca Wanga F.Y. i innych [36]. Ma ona również charakter fragmentaryczny, dotyczy pomiaru oporności elektrycznej ferrytu litu w zależności od warunków syntezy.

### 3. METODYKA I ZAKRES PRAC DOSWIADCZALNYCH

Metodykę pracy oparto w głównej mierze na własnych doświadczeniach w zakresie prac nad technologią ferrytów o prostokątnej pętli histerezy. Próbki substratów przygotowano do badań w sposób konwencjonalny, znaną ogólnie metodą ceramiczną, przyjętą dla materiałów ferrytowych.

Przy doborze, przygotowaniu surowców wyjściowych, ustaleniu chemicznego składu ferrytu i wyborze metod badań, kierowano się celowością w osiągnięciu zamierzonego programu badań oraz możliwością wykorzystania wyników w praktyce.

Podstawowe badania przeprowadzono dla ferrytu o składzie chemicznym:

Lio,64 Fe2,3 Nio,03 Zno,03 04

Wybór tego ferrytu oparto na wynikach uzyskanych ze wstępnych badań nad ferrytem Li-Ni-Zn o trzech różnych składach.

Surowcami stosowanymi do badań były:

- tlenek żelaza α-Fe<sub>2</sub>O<sub>3</sub>, otrzymany przez prażenie uwodnionego związku γ -FeOOH, uzyskanego metodą elektrochemiczną,
- węglan litu /Li2CO3/, produkcji belgijskiej,
- tlenek niklu NiO, otrzymany również przez prażenie uwodnionych związków niklu wytworzonych metodą elektrochemiczną /w Katedrze Chemii Nieorganicznej P.W./,
- tlenek cynku ZnO, produkt handlowy o właściwościach według istniejącej normy.

Badanie przebiegu tworzenia się ferrytu Li-Ni-Zn przeprowadzono w zakresie temperatur 300 ÷ 1300°C w przedziale czasu od 3 ÷ 300 minut w atmosferze powietrza, izotermicznie. Badanie substratu oraz produktów reakcji przeprowadzono przy zastosowaniu:

- metody rentgenograficznej /analiza fazowa, pomiary stałych sieciowych/
- analizy termograwimetrycznej i termicznej analizy róźnicowej
- określenia właściwości magnetycznych, tj. oznaczenia namagnesowania nasycenia na jednostkę masy z wykorzystaniem wagi magnetycznej
- pomiarów elektrycznej oporności właściwej
- analizy chemicznej łącznie z analizą tlenową

oraz przy zastosowaniu pomiarów parametrów użytkowych metodą impulsową.

Kontrolę procesu wzrostu ziaren przeprowadzano za pomocą mikroskopu metalograficznego w świetle odbitym; kształt i wielkość ziaren substratu za pomocą mikroskopu elektronowego i wagi sedymentacyjnej.

## 4. OMÓWIENIE WYNIKÓW BADAŃ

Rozkład jonów ferrytu litowego w sieci krystalicznej spinelu, jak już wspomniano, jest całkowicie odwrócony; jony Li zajmują więc miejsca oktaedryczne.

Badany ferryt Li-Ni-Zn jest ferrytem złożonym i może być rozpatrywany jako roztwór stały typu podstawieniowego, który powstał z ferrytu litu, niklu, cynku i ferrytu żelaza. Wielkości promieni jonów Li, Ni i Zn nie różnią się wiele: Li<sup>1+</sup>-0,78 Å, Ni<sup>2+</sup> - 0,78 Å, Zn<sup>2+</sup> - 0,82 Å, stąd ferryty tych metali będą tworzyły między sobą roztwory stałe w nieograniczonym zakresie. Uzyskane wyniki rentgenowskiej analizy fazowej wykazały, że w mieszaninie wyjściowej istnieją dwie fazy:  $\propto -{\rm Fe}_2{\rm O}_3$  i Li\_2CO\_3.

Dalej stwierdzono, że w zastosowanych warunkach syntezy od temperatury 520°C i czasu trwania reakcji 15 minut tworzy się faza spinelowa. W temperaturach 520 ÷ 600°C zawartość fazy spinelowej rośnie wyraźnie w zależności od czasu trwania reakcji, natomiast maleje zawartość fazy  $\alpha$  -Fe<sub>2</sub>O<sub>3</sub>. W temperaturach powyżej 700°C fazy wyjściowe są już niewykrywalne. Zależność /w podanym wyżej zakresie temperatur/ tworzenia się fazy spinelowej i zanikanie  $\alpha$ -Fe<sub>2</sub>O<sub>3</sub> od temperatury i czasu trwania syntezy obrazuje rysunek 3. Rentgenowską analizą fazową objęto produkty reakcji z całego zakresu badań przebiegu reakcji.

Badania rentgeno-strukturalne produktów reakcji objęły również oznaczenie stałej sieciowej fazy spinelowej, W temperaturze powyżej 1000°C stwierdzono wzrost wartości stałej sieciowej w zależności od temperatury reakcji, co obrazuje rys. 4. Zmiany stałej sieciowej wynoszą 6 tysięcznych Å.

Wyniki termicznej analizy różnicowej przedstawia rys. 5. Efekt endotermiczny, którego ekstremum występuje przy  $320^{\circ}$ C, należy przypisać utlenianiu Fe<sup>2+</sup>, równocześnie jednak w miarę podwyższania temperatury rozpoczyna się rozkład Li<sub>2</sub>CO<sub>3</sub>. Temperatura 630°C, w której występuje ekstremum endotermicznego efektu jest zbieżna z temperaturą rozkładu Li<sub>2</sub>CO<sub>3</sub> -618°C. Charakterystyczny efekt endotermiczny między 1000 ÷ 1100°C świadczy o procesie redukcji.

Fragmenty wyników analizy termograwimetrycznej przedstawia rysunek 6, obejmują one wyniki analizy uzyskane w warunkach izotermicznych, a więc w warunkach w jakich przeprowadzano wszystkie syntezy w czasie badań.

Na podstawie uzyskanych wyników można stwierdzić, że ubytek ciężaru próbek dla niższych temperatur rośnie wraz ze



Rys. 3. Zależność względnej intensywności refleksów α-Fe<sub>2</sub>O<sub>2</sub> /112/ i fazy spinelowej /220/ w produktach reakcji od temperatury i czasu izotermicznego przebiegu reakcji



Rys. 4. Przebieg zmian stałej sieciowej fazy spinelowej od temperatury syntezy. Czas syntezy: 1 godz.







Rys. 6. Analiza termogravimetryczna badanej mieszaniny w warunkach izotermicznych

wzrostem temperatury, ale już przy 700°C po czasie trwania syntezy 10 minut procentowy ubytek jest identyczny jak dla temperatury 800°, 900° i 1000°C.

Ponowny wzrost ubytku stwierdzono w temperaturze powyżej 1000<sup>0</sup>C, co wiąże się bezsprzecznie z procesem redukcji. Wartość namagnesowania nasycenia na jednostkę masy wskazuje na to, że zawartość fazy magnetycznej i tworzenie się ferrytu są zależne od temperatury i czasu reakcji.

Z oznaczonych wartości namagnesowania nasycenia wynika, że reakcja tworzenia się fazy magnetycznej zachodzi głównie w temperaturach 500 ÷ 700°C, tj. w identycznym zakresie jak tworzenie się fazy spinelowej. Wykazała to rentgenowska analiza fazowa, z tym, że pierwsze ślady fazy magnetycznej wystąpiły juź w produktach ogrzewanych w temperaturze 500°C przez 180 minut /co świadczy o większej dokładności tej metody/.

W temperaturach powyżej 800<sup>°</sup>C już po 15 minutach zmiany wartości namagnesowania nasycenia są minimalne i nie zależą od czasu trwania reakcji.

Fragmenty otrzymanych wyników, które obejmują zakres temperatur tworzenia się fazy magnetycznej przedstawia rygunek 7. Maksymalną wartość namagnesowania nasycenia 55,8 [Gs.cm<sup>2</sup>] stwierdzono w produktach syntezy przy temperaturze 1300°C i czasie ogrzewania 300 minut.

Na podstawie pomiarów elektrycznej oporności właściwej stwierdzono bardzo wyraźny spadek jej wartości w produktach syntezy w zakresie temperatur 1000°C ÷ 1300°C; wyniki zawiera tabela 4.

Skład chemiczny fazy spinelowej ulega więc zmianie, świadczył o tym wzrost stałej sieciowej, wyniki analizy termograwimetrycznej, termicznej analizy różnicowej, zmiany oporności właściwej, potwierdziły to również wyniki analizy chemicznej produktów procesu tworzenia się ferrytu w zależności od temperatury i czasu jego trwania. Ściśle mówiąc, analiza ta potwierdziła występowanie zmian stopnia utlenienia jonów Fe w badanym ferrycie.



Bys. 7. Wartość namegnesowania nasycenia / 6 / produktów reakcji przy temperaturach 520°C, 600°C, 700°C w zależności od czasu trwania reakcji

#### Tabela 4

Oporność właściwa próbek otrzymanych w różnych warunkach syntezy

Warunki syntezy próbek	Oporność właściwa w Q. om
800 <sup>°</sup> C/5 godz. 900 <sup>°</sup> C/3 godz. 1000 <sup>°</sup> C/5 godz. 1100 <sup>°</sup> C/5 godz. 1200 <sup>°</sup> C/5 godz. 1300 <sup>°</sup> C/3 godz. 1300 <sup>°</sup> C/5 godz.	$2,5 \cdot 10^{7}$ $2,1 \cdot 10^{7}$ $1,1 \cdot 10^{7}$ $1,2 \cdot 10^{4}$ $4,0 \cdot 10^{3}$ $3,5 \cdot 10^{2}$ $1,6 \cdot 10^{3}$

Na podstawie uzyskanych wyników stwierdzono, że początkowo występujące jony Fe<sup>2+</sup> ulegają w temperaturze powyżej 600<sup>°</sup>C utlenieniu, a od 900<sup>°</sup>C w zależności od czasu trwania syntezy następuje proces redukcji i zawartość jonów Fe<sup>2+</sup> wzrasta aż do wielkości 2,28% wag. w temperaturze 1300<sup>°</sup>C po 5 godzinnym ogrzewaniu.

Uzyskane z kompleksowych badań wyniki świadczą o tworzeniu się magnetytu, tj. powstawaniu roztworu stałego magnetytu w ferrycie Li-Ni-Zn. Promień jonowy Fe<sup>2+</sup> jest większy od promienia Fe<sup>3+</sup> i wynosi 0,83 Å, natomiast promień jonów Fe<sup>3+</sup> jest równy 0,67 Å.

Stała sieciowa ferrytu litowego określona jest wartością 8,33 Å, natomiast magnetytu - 8,39 Å, stąd wzrost stałej sieciowej.

Ubytku litu z ferrytu w całym badanym zakresie temperatur syntezy nie stwierdzono /w ramach dokładności zastosowań metody analitycznej/[1]. Otrzymane wyniki pozwoliły więc na określenie przebiegu tworzenia się ferrytu Li-Ni-Zn.

Proces rozpoczyna się w temperaturze 500°C po 180 minutach ogrzewania, synteza ferrytu Li-Ni-Zn następuje głównie w zakresie temperatur 520 ÷ 700°C, a powyżej tej temperatury występuje tylko faza spinelowa /magnetyczna/. Do temperatury 600°C przy zastosowanych surowcach i sposobie przygotowania substratu występuje proces utleniania Fe<sup>2+</sup>.

W zakresie temperatur 600° ÷ 900°C utrzymuje się równowaga tlenowa, powyżej tej temperatury mamy do czynienia z procesem redukcji, ponownie występują jony Fe<sup>2+</sup> - tworzy się roztwór magnetytu w ferrycie Li-Ni-Zn, którego zawartość zwiększa się wraz ze wzrostem temperatury i czasem trwania procesu.

### Tabela 5

.

# Zestawienie wyników analizy chamicznej produktów reakcji badanej mieszaniny

Temperatura geakcji y		Zavartość skladników podstawowych w % wagowych				Analiza tlenova	
trvania v min.	74	Li	Zn	NI	70 <sup>2+</sup>	0 <sub>2</sub> 2-	
500°c/15	59,20 60,60 59,20	2,23 2,27 <u>2,23</u> 2,21	1,03 1,03 <u>1.05</u> 1,09	0,94 0,93 <u>0,94</u> 0,95	0,55 0,58 <u>0.61</u> 0,71	100 Toto	
500°c/300 °	63,47 63,47 64,8	2,26 2,24 2.24 2,23	1,12 1,11 <u>1,12</u> 1,13	0,94 0,92 <u>0,94</u> 0,95	0,15 0,28 0,24 0,31		
600°c/15	62,59 62,59 63,20	2,23 2,29 2.27 2,30	1,09 1,07 <u>1,08</u> 1,08	0,92 0,93 <u>0,93</u> 0,96	-	0,02 0,06 <u>0.03</u> 0,02	
600°c/300	63,28 63,28 63,57	2,23 2,29 <u>2.27</u> 2,30	1,11 1,11 <u>1,11</u> 1,12 <u>1,11</u>	0,95 0,92 <u>0,93</u> 0,93	1.5.2.5	0,13 0,09 0,11 0,12	
700°c/15	62,95 62,95 63,45	2,23 2,31 2,29 2,33	1,13 1,13 <u>1,12</u> 1,11	0,92 0,95 <u>0,94</u> 0,94	Telesci (196)	0,01 0,03 <u>0.02</u> 0,02	
700°c/300	63,58 63,58 64,50	2,32 2,26 <u>2,31</u> 2,36	1,11 1,11 <u>1,11</u> 1,12 <u>1,11</u>	0,96 0,95 <u>0,95</u> 0,93		0,11 0,10 <u>0,12</u> 0,13	
800°c/15	63,44 63,26 63,80	2,34 2,23 <u>2,27</u> 2,24	1,11 1,12 <u>1,12</u> 1,12	0,90 0,96 <u>0,92</u> 0,92		0,09 0,05 <u>0,05</u> 0,01	
800°c/300	63,80 63,25 63,27	2,30 2,26 2.26 2,22	1,13 1,11 <u>1.12</u> 1,11 <u>1.12</u>	0,94 0,92 <u>0,94</u> 0,95	-	0,09 0,09 <u>0.08</u> 0,06	
900°c/15	63,82 63,82 63,61	2,24 2,21 <u>2,24</u> 2,26	1,12 1,12 <u>1,12</u> 1,11	0,93 0,92 <u>0,93</u> 0,94	-	0,16 0,11 <u>0,14</u> 0,14	
900°c/300	63,82 63,93 64,50	2,34 2,20 <u>2,28</u> 2,32	1,13 1,13 1,12 1,12	0,96 0,95 <u>0,95</u> 0,93	0,32 0,24 <u>0,28</u> 0,28		
1000°C/15	63,25 63,70 62,93	2,24 2,28 2.25 2,23	1,12 1,12 <u>1.12</u> 1,12 <u>1.12</u>	0,95 0,92 <u>0,93</u> 0,93	0,21 0,20 <u>0,22</u> 0,25	-	
1000°C/300	63,52 63,40 63,75	2,24 2,28 <u>2.25</u> 2,23	1,13 1,11 <u>1,12</u> 1,13	0,94 0,92 <u>0.94</u> 0,96	0,43 0,39 <u>0.44</u> 0,54	-	
1100°c/15	63,38 63,25 63,50	2,32 2,28 <u>2,31</u> 2,34	1,12 1,11 <u>1,12</u> 1,12	0,96 0,92 0,94 0,93	0,26 0,27 <u>0.25</u> 0,23	-	
1100°c/300	63,94 63,94 63,28	2,36 2,24 <u>2.29</u> 2,27	1,13 1,13 <u>1,13</u> 1,12	0,92 0,94 <u>0,93</u> 0,93	0,79 0,65 <u>0,70</u> 0,67	-	
1200°C/15	63,78 63,78 63,20	2,34 2,28 2.30 2,28	1,12 1,12 <u>1,12</u> 1,13 <u>1,12</u>	0,94 0,95 <u>0,95</u> 0,96	0,22 0,38 <u>0,27</u> 0,20	-	
1200 <sup>°</sup> C/300	63,02 63,02 63,40	2,30 2,29 <u>2,29</u> 2,28	1,12 1,13 <u>1,13</u> 1,13	0,93 0,94 <u>0,94</u> 0,95 <u>0,94</u>	0,83 0,92 <u>0,82</u> 0,72	-	
1300 <sup>°</sup> C/15	63,45 63,20 63,25	2,29 2,25 <u>2.29</u> 2,34	1,12 1,13 <u>1.13</u> 1,13 <u>1.13</u>	0,94 0,93 <u>0,94</u> 0,95	1,17 1,29 <u>1,18</u> 1,09	-	
1300°c/300	63,28 63,40 63,28	2,33 2,32 2.31 2,28	1,14 1,14 <u>1,14</u> 1,13	0,95 0,94 <u>0,95</u> 0,96	2,31 2,34 2,28 2,20	-	

Dalsze badania objęły ustalanie sposobu otrzymywania rdzeni o żądanych parametrach oraz określanie ich parametrów użytkowych metodami impulsowymi. Zakres syntez próbek przeznaczonych do tych badań obejmował temperatury 1050° ÷ 1250°C. Pierwsze rdzenie o odpowiednich parametrach użytkowych uzyskano przy ogrzewaniu ich w temperaturze 1250°C przez 30 minut. Sposób ten w miarę zdobywania doświadczeń ulegał modyfikacji. Badania próbnych rdzeni metodami impulsowymi dotyczyły zarówno charakterystyk prądowych, jak również zależności ich parametrów od temperatury otoczenia.

Otrzymane wyniki potwierdziły niezmienność sygnału zakłóconego zera oraz czasu przełączenia przy zmianie temperatury otoczenia w zakresie od  $20^{\circ}$ C do  $+70^{\circ}$ C.

W celu potwierdzenia stabilności temperaturowej właściwości magnetycznych samego materiału, tj. ferrytu Li-Ni-Zn, wyznaczone zostały również charakterystyki temperaturowe namagnesowania nasycenia dla próbek syntetyzowanych w różnych warunkach. Pomiary wykonano w zakresie 20°C ÷ 400°C.

Otrzymane wyniki przedstawia rysunek 8.



Rys. 8. Charakterystyki temperaturowe 6 dla próbek badanego tworzywa, uzyskanych w warunkach: 800°C/15; 800°C/1h; 1000°C/1h; 1300°C/1h
Otrzymane wyniki są porównywalne z wynikami zawartymi w literaturze, podanymi dla niektórych ferrytów prostych /rys. 1/, i potwierdziły one cechę stabilności temperaturowej badanego ferrytu Li-Ni-Zn.

### 5. PODSUMOWANIE

Na podstawie wyników badań określono przebieg procesu tworzenia ferrytu Li-Ni-Zn w szerokim zakresie temperatur /300° ÷ 1300°C/ i przedziale czasu trwania reakcji /3 ÷ 300 minut/, w atmosferze powietrza.

Ustalono warunki zapoczątkowania i zakończenia procesu.

Stwierdzono, iż w czasie procesu tworzenia ferrytu występują zmiany składu chemicznego powstającej fazy spinelowej /magnetycznej/. Skład chemiczny tej fazy zależny jest od temperatury i czasu trwania reakcji.

Ustalono występowanie procesów utleniania i redukcji.

Stwierdzono, iż powyżej temperatury 900°C tworzy się roztwór stały magnetytu z ferrytem Li-Ni-Zn.

Uzyskane wyniki nie potwierdziły istniejącej opinii o ubytku Li z układu w czasie syntezy.

Przeprowadzone badania i otrzymane wyniki stworzyły podstawy do opracowania technologii wytwarzania stabilnych temperaturowo ferrytowych rdzeni pamięciowych.

# Literatura,

[1] CIASTOR W.: Proces tworzenia się ferrytu Li-Ni-Zn. /Politechnika Warszawska/, Praca doktorska, Warszawa 1969.

[2] BABL N., NEUBAUER F., SCHMID R.: Neue Siferrit-Speicherringkerne für ein weites Betriebstemperaturgebiet, Siem Z 38, 1964:7, 570.

[3] BRAUN P.B.: A Superstructure in Spinels. Nature, 1952: 170. 1123.

- [4] BARTH T.F..W., POSNJAK E.: Spinel Structures: with and without Variate Atom Equipoints, Z. Kristallographie, 1932: 82, 325-341.
- [5] POSNJAK B., BARTH T.F.W.: A New Type of Fine Structure Li<sub>2</sub>0, Fe<sub>2</sub>O<sub>3</sub>, Phys. Rev., 1931: <u>38</u>, 2234-2239.
- [6] HOFFHANN A.: Crystal Chemistry of Lithium Ferrites, Naturwiss, 1938: 26, 431.
- [7] GORTER E.W.: Saturation Magnetization and Crystal Chemistry of Ferrimagnetic Oxides, Philips Res. Rep., 1954: <u>9.</u> 295-320, 321-365, 403-443.
- [8] VASSILIEV A.: Ferrospinelles comprenant l'ion Li<sup>+</sup> et contribution à l'étude de leurs propriétés magnétiques, praca doktorska, Paryż, 1962.
- [9] STRICKLER D.W., ROY R.: Studies in the System Li<sub>2</sub>O-Al<sub>2</sub>O<sub>3</sub>-Fe<sub>2</sub>O<sub>3</sub>-H<sub>2</sub>O, J.Amer. Ceramic Society, 1961: <u>44</u>,5, 225.
- [10] KUBICKA H.: Krystalochemia i własności magnetyczne ferrytów, Wiadomości chemiczne, 1958: <u>12.</u> 141.
- [11] SMIT J., WIJN H.P.J.: Ferrites, Phil. Technical Library, 1959.
- [12] GOODENOUGH J.B.: Magnetism and the Chemical Bond, N.Y. London, 1963.
- [13] BLASSE G.: Crystal Chemistry and Some Magnetic Properties of Mixed Metal Oxides with Spinel Structure, Phil. Res. Repts. /Suppl./, 1964: 3.
- [14] BONGERS P.F., BLASSE G.: Crystal Chemistry and Magnetism of Oxide Materials, Phil. Techn. Rev., 1967: 28. 13.
- [15] LANDOLT-BORNSTEIN: Zahlenwerte und Funktionen aus Physik, Chemie-Astronomie-Geophysik und Technik, Springer-Verlag, Berlin 1962.
- [16] WADAS R.: Ferrimagnetyzm, PWN, Warszawa, 1968.
- [17] DUHITZ J.D., ORGEL L.E.: Electronic Properties of Transistion Metal Oxides - I Distortions from Cubic Symetry, J. Phys., Chem. Solids, 1957: 3, 20.
- [18] SCHULKES J.A., BLASSE G.: Crystallographic and Magnetic Properties of the Systems Lithium Ferrite Aluminate and Lithium Ferrite-Gallate, J. Phys. Chem. Solids, 1963: 24. 1651-1655.
- [19] BLASSE G.: Ferromagnetism and Ferrimagnetism of Oxygen Spinels Containing Tetravalent Manganese, J. Phys. Chem. Solids, 1966: 27, 383-389.
- [20] BRUMEL M., BERGEVIN F.: Étude radiocristallographique de la transition orde-désordre dans le ferrite de lithium spinelle, C.R. Acad. Sc. <sup>P</sup>aris, 1964: <u>258</u>, 5628.
- [21] ROGERS D.B., GERMANN R.V., ARNOTT R.J.: Effect of Trivalent Mangamese on the Crystal Chemistry of Some Lithium Spinels, J. Appl. Phys., 1965: <u>36</u>, 2338.
- [22] WEST R.C.: Square Loop Properties of Lithium-Nickel-Zino Ferrites, J. Appl. Phys., 1963: <u>34</u>,4, /Part 2/ 1113.

- [23] SCHWABE E.A., CAMPBELL D.A.: Influence of Grain Size on Square-Loop Properties of Lithium Ferrites, J.Appl. Phys. 1963: <u>34</u>,4. /Part 2/, 1251.
- [24] SCHWABE E.: Über die Abhängigkeit der Schalteigenschaften vor Rechteckferriten von der Korngrösse, Z. angew. Phys. XVII, 1964: 3, 231.
- [25] DRIEL G.A.H., ENSVELDT C.J.: Fortschritte auf dem Gebiet temperaturunabhängiger Rechteckferrite, Z. angew. Phys. XVII, 1964: <u>3</u>, 228.
- [26] VASSILIEV A., NICOLAS J.: Les ferrites à base d'ions lithium en tant que matériaux magnétiques à mémoires, Colloque International, Paris, 5-10 avril, 1965.
- [27] VINAL F., BROWN D.W.: Lithium Nickel Ferrites, Pat. USA 3038860 /1961/.
- [28] Philips Elektronik and Associated Industries Limited, Improvemments in Manufacturing Magnetic Cores, Pat. Ang. 1003533 /1965/.
- [29] ESVELDT C.J., FLUKS R., PELOSCHEK H.P.: Method for Making Lithium Nickel Ferrite Having a Substantially Rectangular Historesis Lopp, Pat. USA 3 226 328 /1965/.
- [30] BROWN D.L.: Lithium Ferrites, Pat. USA 3 093 588 /1963/.
- [31] Philips Gloeilampenfabricken: Procédé permettant d'obtenir un noyeu magnétique donné d'un cycle d'hystéresis pratiquement rectangulaire, Pat. Fran. 1115 324 /1954/.
- [32] VASSILIEV A., NICOLAS J., HILDEBRANDT M.: Composition de ferrite à resistivité élevée, Pat. Fran. 1344 370 /1962/.
- [33] Philips: Improvements in Relating to Methods of Manufacturing Nagnetic Cores, Pat. Ang. 1 959 643 /1964/.
- [34] CSF Comp. General de Telegraphie, Improvements in Ferrite Compositions, Pat. Ang. 1 012 814 /1965/.
- [35] Ringformiger Magnetkern und Verfehren zu seiner Herstellung, Pat. NRD 242 405 /1965/.
- [36] WANG F.Y. i in.: Effect of Heat Treatment on the Electrical Resistivity of Lithium Ferrite, IEEE Transactions on Magnetics, 1968: 4, 1, 55.
- [37] LINOWSKI S.: Wpływ ziarnistości na własności impulsowe rdzeni z ferrytu Li, Fe, 500 o prostokątnej pętli histerezy, Praca dyplomowa, Politechnika Warszawska, Warszawa 1966.
- [38] CIASTOÑ W., REDA W., BOJARSKI W.: Technologia laboratoryjna pamięciowych rdzeni półstabilnych - rdzenie o średnicy 1,3 mm o własnościach odpowiednich dla rdzeni 6C2 firmy Philips lub FX 2764 firmy Mullard. Sprawozdanie IMM /ZD/ 1967.
- [39] CLASTOŃ W., REDA W., BOJARSKI W.: Opracowanie technologii laboratoryjnej rdzenia pamięciowego o średnicy 0,8 mm /według listy preferencyjnej PRETO/. Sprawozdanie IMM /ZD/ 1968.

## ПРОЦЕСС ПРОИЗВОДСТВА ФЕРРИТА Li-Ni-Zn

#### Резрие

Статья заключает некоторие результаты комплексных исследований процесса производства феррита Li-Ni-Zn в избранном составе в вироком диапазоне температур /300-1300° С/ и в пределе времени синтеза /3-300 минут/.

На основе результатов исследований продуктов реакции /полученных в разных условиях синтеза/ проведенных при помощи рентгеновского метода, химического и термогравиметрического анализа, а также определения магнитных и электрических свойств, курс производства этой связи был определен /спинелевая - магнитная фаза процессов окисления и редукции/.

#### Summary

The article contains some results of a complex investigations of ferrite Li-Ni-Zn arising in a chosen composition within the range of temperature /300 - 1300 °C/ and within the synthesis time interval lasting /3 - 300 minutes/. On the basis of the results obtained from the product investigations /under various synthesis conditions/ carried out by means of X-ray chemical and thermogravimetric analyses and the denotation of magnetic and electric properties of products, the arising of this compound has been determined /spinel - magnetic phase, oxydizing processes and reduction/.



681.327.66.042.15.001.4

Prace IMM zeszyt 3 © 1971.12

> BLOK NOŚNIKA INFORMACJI PAMIĘCI PAO 6 Zbigniew SZCZĘSNY Pracę złożono 20.08.1970

Przedstawiono niektóre zagadnienia z zakresu projektowania, wykonania i pomiarów ferrytowych matryc i bloków do pamięci PAO 6. Opisano także metodę postępowania przy wyborze rdzeni ferrytowych o średnicy 0,8 mm oraz zagadnienia związane z projektowaniem matryc celem uzyskania małych zakłóceń. W części dotyczącej konstrukcji opisano budowę płatów pamięci i bloku. W zakresie pomiarów i badań bardziej szczegółowo przedstawiono warunki badań bardziej szczegółowo przedstawiono warunki badań lenia niezawodności bloku.

## SPIS TREŚCI

1.	WSTEP	77
2.	WYBÓR RDZENIA FERRYTOWEGO	78
3.	WŁAŚCIWOŚCI MATRYC RDZENIOWYCH	84
4.	KONSTRUKCJA, WYKONANIE I BADANIA MECHANICZNO-KLIMATYCZNE	88
5.	PODSUMOWAHIE	91
Li	teratura	92

1. WSTEP

Od czasu pierwszych opracowań Forrestera [1], Papiana [2] i Rajchmana [3], w zakresie podstaw działania i praktycznej realizacji koincydencyjnej pamięci rdzeniowej, obserwuje się nieprzerwany rozwój tego typu pamięci w kierunkach zwiększania pojemności, szybkości działania i niezawodności. Rozwój ten dokonuje się zarówno w zakresie układów wybierających jak i bloków nośnika informacji [4]. Również system koincydencyjny ze względu na znaczne oszczędności w elektronice jest ciągle stosowany w pamięciach operacyjnych o pojemności 10<sup>4</sup> - 2.10<sup>6</sup> bitów i czasach cyklu rzędu od 1 ÷ 10 µs.

W publikacji tej opisano budowę bloku nośnika informacji z wybieraniem koincydencyjnym o pojemności 16 384 słów 25 bitowych i czasie cyklu 2 µs. Blok był składany z czterouzwojeniowych matryc, z rdzeniami ferrytowymi o średnicy 0,8 mm, stabilnymi temperaturowo w szerokim zakresie zmian temperatury pracy.

Przedstawiono także niektóre zagadnienia dotyczące projektowania, wykonania i pomiarów bloków.

## 2. WYBOR RDZENIA FERRY TOWEGO

Z przyjętego w wymaganiach dla pamięci PAO 6 czasu cyklu To równego 2 µs określono czas przełączania rdzenia  $t_s$ , przyjmując ustaloną doświadozalnie [4] proporcję czasu przełączania  $t_s$  do czasu cyklu To, jak 1 : 4. Wynika z tego, że czas przełączania  $t_s$  powinien wynosić 0,5 µs, w wymaganych warunkach pracy rdzenia.

Na rys. 1 podano określenia czasu przełączania  $t_g$ , podstawowych sygnałów z rdzenia uV<sub>1</sub>, dV<sub>1</sub>, dV<sub>2</sub> oraz charakterystykę czasową impulsu prądu wzbudzającego Im.

Przy wyborze średnicy rdzenia posłużono się danymi katalogowymi [5], [6], [7], [8], [9], gdzie zestawione są optymalne wymiary rdzeni dla określonego czasu cyklu pamięci. Zależności te wyliczane są przez wytwórnie na podstawie przyjętych doświadczalnych ustaleń między czasem Tc i czasem t<sub>s</sub>, który zależy od średnicy rdzenia i parametrów ściśle związanych z tworzywem ferrytowym. W rozpatrywanym przypadku wybrano rdzeń o średnicy 0,8 mm, umożliwiający realizację pamięci o minimalnym czasie cyklu 1,5 µs.

Dla założonej pojemności podbloku PAO 6 [10] wynoszącej 40% słów 25 bitowych, podstawowym kryterium przy wyborze amplitudy prądu wzbudzającego Im było wybranie rdzenia charakteryzującego się jak największą prostokątnością pętli historezy i niewielkimi jej zmianami w zakresie przyjętych temperatur pracy rdzenia, tj. od 0 do 70°C.



Rys. 1. Przebiegi zmian Im, uV, dV, dV, w funkcji czasu

Wielkość Im jest określona przez oharakterystyki rdzenia. W większości rdzenie o mniejszych prądach mają mniejszą prostokątność. Na skutek tego przy zastosowaniu tych rdzeni w blokach, otrzymywane są większe zakłócenia różnicowe, indukcyjność i moc przy połówkowym wzbudzaniu rdzeni. Z przeprowadzonych badań w tym zakresie [4] z uwzględnieniem parametrów wtórnych rdzeni [11], [12], [13], to znaczy amplitud sygnałów napięciowych indukowanych przy wzbudzaniu rdzenia impulsami połówkowymi przy różnych stanach magnetycznych tego rdzenia, wynika, że występującym w płatach pamięci zakłóceniem różnicowym o znacznej wartości jest V<sub>d4</sub> określone zależnością /1/:

$$V_{d4} = rw V_{h1} - wr V_{hz}$$
 /1/

a indukoyjność i moc tracona przy połówkowym wzbudzaniu rdzeni określane są wyrażeniami /2/ i /3/:

$$L_{hs} = \frac{d V_{hl} \cdot t_{r}}{Ip}$$
 /2/  

$$P_{hs} = d V_{h1} \cdot Ip$$
 /3/

gdzie: rw V<sub>h1</sub> jest sygnałem zakłócenia przy wybieraniu "1" połówkowym impulsem odczytu i zapisu. Sygnał ten jest wytwarzany wówczas, kiedy rdzeń będący w stanie rw 1 /rys. 2/ jest wzbudzany przez połówkowy impuls odczytu Ipr,

> wr V<sub>hz</sub> jest sygnałem zakłócenia przy wybieraniu "O" połówkowym impulsem odczytu i zapisu. Sygnał powstaje wtedy, kiedy rdzeń znajdujący się w stanie wrz jest wzbudzony przez połówkowy impuls odczytu Ipr,

> d V<sub>h1</sub> jest sygnałem zakłócenia połówkowego wybranej "1". Sygnał ten jest wytworzony, kiedy rdzeń będący w stanie d1 jest wzbudzany przez połówkowy impuls odozytu Ipr,

Ip - amplituda połówkowego prądu wzbudzenia.

Na rys. 2 przedstawiono stany magnetyczne rdzenia występujące podczas badenia rdzeni. Przyjęte oznaczenia są zgodne z podanymi w publikacji [4].

Określona wyrażeniem /2/ indukcyjność związana z prostokątnością rdzenia przez d  $V_{h1}$ , w przypadku osiągania znacznych wartości, powoduje konieczność wzbudzenia rdzeni większą mocą przełączania, w wyniku czego następuje zwiększenie napięcia. Zjawisko to jest niekorzystne ze względu na ograniczoną wytrzymałość napięciową tranzystorów wzmacniaczy prądów wzbudzania.

Dążenie do osiągnięcia małych  $I_{hs}$ ,  $P_{hs}$  i  $V_{d4}$  oraz potrzeba stosowania rdzeni o szerokim temperaturowym zakresie pracy ukierunkowały wybór rdzenia z grupy materiałów litowo-niklowych o dużej prostokątności i zakresie pracy od 0 do 70°C.

W grupie tej przeprowadzono porównanie charakterystyk i danych katalogowych następujących typów rdzeni: 6F3 Philips, FX 2762 Mullard, 304-07 Ampex, 270MI-RCA, PC 315 Plessey.

Z charakterystyk tych rdzeni określono minimalny sygnał d  $V_1$  i jego stosunek do zakłócenia d  $V_z$  dla dolnej granicy temperaturowego zakresu pracy rdzenia, w najbardziej skrajnych warunkach dla współczynnika zakłócenia  $R_g$  równego 0,61, wyrażonego zależnością /4/:

$$R_{s} = \frac{Ip}{Im} /4/$$

Równocześnie sprawdzano, czy dla górnej granicy temperaturowego zakresu pracy stosunek prądu łamiącego Ib do pełnego prądu przełączającego Im nie osiąga zbyt małych wielkości. Prądem Ib przyjęto zgodnie z [4] określać amplitudę impulsu połówkowego prądu zapisu, który powoduje występowanie podwójnej wartości zakłócenia d V w porównaniu z nominalnymi warunkami wzbudzenia. Określenie wielkości tego stosunku jest utrudnione, nieliczne tylko wytwórnie podają wystarczającą liczbę danych do jego wyliczenia.

Z danych [8,9] wynika, że stosunek Ib/Im zwykle przyjmowany jest rzędu około 0,55. W przypadku przyjmowania tego stosunku wielkości 0,6, można dopuścić nawet - 10% marginesy prądów wzbudzenia. Dla rdzeni 304-07, 270 MI i 6F3 stosunek ten nie przekraczał 0,55 dla granicznej temperatury 70°C i przy nominalnych prądach wzbudzenia. Przy wyborze rdzeni do bloków bardzo pomocnymi stały się współczynniki temperaturowe  $C_b$  i  $C_v$ , zdefiniowane w dokumentach [12], [13] i wyrażone zależnościami /5/, /7/:

$$C_{b} = \frac{Ib (T_{1}) - Ib (T_{2})}{T_{2} - T_{1}} (mA/^{o}C)$$
 /5/

gdzie  $T_2 > T_1$  i  $R_a - o$  ustalonej wielkości:

$$C_{v} = \frac{u \, V_{1} \, (T_{2}) - u \, V_{1} \, (T_{1})}{T_{2} - T_{1}} \, (m V / {}^{o}C)$$
 /6/

dla ustalonych wartości Im i R.

Współczynniki te wymiernie określają stałość podstawowych parametrów Ib i uV<sub>1</sub> w temperaturowym zakresie pracy rdzeni.

Uzyskane z wyliczeń wartości  $C_b$ , dla rozpatrywanych rdzeni wykazują, że najmniejszą wartość mają rdzenie 270 MI i 6F3, ten ostatni dla zakresu od 10 do 70°C, a nie 0 do 75°C jak rdzeń RCA, mimo to, zakładając liniowość Ib w zakresie 0 - 75°C wyróżnić należy rdzeń 6F3, dla którego wyliczona wartość C<sub>b</sub> wynosiła 1,11 mA/°C.

Najmniejszą wartością współczynnika  $C_v$ , wyliczonego z zależności /7/, charakteryzowały się rdzenie 304-07 i 6F3, z tym, że dla rdzenia Ampexa wyliczano go z napięcia d  $V_1$ , a nie u  $V_1$  zgodnie z definicją. Różnice były niewielkie, z przewagą dla rdzenia 6F3.

O wyborze rdzenia 6F3 nie zadecydował jednak współczynnik  $C_v$ , głównie natomiast wartość współczynnika  $C_b$ , będącego miarą zmian prostokątności w funkcji temperatury pracy rdzenia. W dużym stopniu o wyborze tego rdzenia zadecydowało także dokładne udokumentowanie właściwości i charakterystyk rdzeni obrazujących przebieg zmian głównych parametrów rdzenia  $t_s$ ,  $t_p$ , u  $V_1$ , d  $V_1$ , d  $V_z$  w funkcji prądu Im oraz temperatury dla



Rys. 2. a - rdzeń pamięciowy z czterema uzwojeniami b - przebieg pętli histerezy rdzenia pamięciowego przy działaniu ciągiem impulsów prądowych dwóch najczęściej przyjmowanych współczynników  $R_g$ , tj. 0,5 i 0,61. Umożliwiało to dokładne określenie minimalnego sygnału dV<sub>1</sub> dla dolnej granicznej temperatury pracy, w warunkach pobudzania prądami o stosunku  $R_g$  równym 0,61. Był to bardzo ważny czynnik, który zmniejszał niepewność projektowania matryc w warunkach realizacji pamięci PAO 6.

Podstawowe parametry rdzenia 6F3 w warunkach pracy były następujące:

•	pełny prąd przełączenia	Im	740 mA			
•	współczynnik zakłócenia	Rg	0,5			
•	czas trwania narastającego					
	impulsu prądu Im	tr	0,15 µs			
•	czas trwania prądu Im	td	0,6 µs			
Sygnały napięciowe rdzenia						
•	sygnał zakłócający jedynki	dV1	58 mV			
•	sygnał zakłóconego zera	dV2	5 mV			
•	czas szczytu	tp	0,25 µs			
•	czas przełączania	ts	0,5 µs			

## 3. WŁAŚCIWOŚCI MATRYC RDZENIOWYCH

Drugim ważnym zagadnieniem umożliwiającym poprawne współdziałanie bloku z układami elektronicznymi, oprócz wyboru rdzenia, było zaprojektowanie takiego uzwojenia odczytu, które zapewniałoby odpowiednią kompensację zakłóceń, dla otrzymania jak największego stosunku minimalnej amplitudy sygnału "1" do maksymalnej amplitudy sygnału "0". Przyjęto, że rozszycie uzwojenia odczytu będzie wykonane dla 40% rdzeni, to jest dla jednej podstawowej matrycy o wymiarach 64 wiersze x 64 kolumny. Każdej takiej matrycy przyporządkowano 1 bit.

Dla poprawnego działania pamięci ważne jest otrzymanie odpowiednio dużego użytecznego sygnału wyjściowego z matrycy bitowej. Wielkość tego sygnału określona jest zależnością:

$$U_{wy} = U_s - 2U_{hs} \pm (n - 2) V_d$$

Zależność ta uwzględnia wyniki badań rdzeni ciągami Freemana [11] i jest słuszna przy założeniu, że opóźnienie sygnału biegnącego wzdłuż przewodu odczytu jest do pominięcia, a związane z tym efekty niejednoczesnego pojawiania się impulsów i różnic w ich kształtach są tego rzędu, że nie mają zasadniczego wpływu na pracę bloku. W podanej zależności /7/ U jest wielkością napięcia sygnału wyjściowego, określoną głównie jakością samego rdzenia, 2 Uhr - wielkością napięcia wyjściowego z rdzeni w wierszu i kolumnie, wzbudzanych połówkowym impulsem wybierającym. Napięcie to nie znosi się z napięciem sąsiednich rdzeni. Wynika to z zapisu dwójkowego i narzuconej przez to parzystości rdzeni w wierszu i kolumnie. V<sub>d</sub> - jest napięciem powstałym z różnicy zakłóceń połówkowo wybranych rdzeni i nazwane jest napięciem różnicowym, w matrycach rdzeniowych występującym głównie jako  $V_{d4}$ . Różnice w zakłóceniach są wynikiem odmiennych stanów magnetycznych i właściwości poszczególnych rdzeni w matrycy bitowej. Symbolem n oznaczono liczbę rdzeni objętych uzwojeniem odczytu. W celu otrzymania jak najmniejszych zakłóceń V<sub>d</sub> z matryc rdzeniow/ch zastosowano rozszycie uzwojenia odczytu o konfiguracji diagonalno-wstecznej i układzie znaków "+" i "-" jak przedstawiono na rys. 3.



Rys. 3. Schemat rozszycia matrycy rdzeniowej płytki matrycowej bloku PAO 6 /rysunek uproszczony, w rzeczywistości matryce zawierają 64 x 64 rdzenie/

"." oznacza "1" lub "+", bez kropki - oznacza "0" lub "-"

171

Układ ten ustalono przy założeniu, że dodatnią "+" polarność napięcia sygnału dla danego rdzenia otrzymuje się przy zgodności wypadkowego prądu wzbudzenia z przyjętym kierunkiem uzwojenia odczytu, ujemną "-" - w przypadku przeciwnym. Przy wykonywaniu uzwojenia odczytu spełnione było kryterium równej liczby plusów z liczbą minusów zarówno w wierszu jak i kolumnie.

Trudności wynikające z opóźnień sygnału na przewodzie odczytu przy rozpatrywanej szybkości działania, pokonane zostały przez odpowiednie strobowanie sygnału odczytu [14]. W ten sam sposób eliminowano zakłócenia odczytu od prądów adresowanych X, Y, powstające głównie podczas krótkiego czasu ich narastania.

Dla każdej matrycy rdzeniowej wykonano oddzielne uzwojenie odczytu i zakazu. Wyeliminowane zostały zakłócenia występujące przy odczytywaniu, które powstawały na skutek zakłóceń podczas zapisu. Każde uzwojenie zakazu podzielono na dwie połówki z wyprowadzeniem końców każdej z nich na zewnątrz. Uzyskano dzięki temu możliwość wzajemnego łączenia połówek uzwojenia zakazu między sąsiednimi matrycami, w przypadku adresowania w układzie współrzędnych 128 x 128 słów.

W celu określenia jakiego rzędu szkodliwe pojemności występują między uzwojeniem matryc, dokonano pomiarów tych pojemności. Odpowiednio wynosiły one: między przewodem zakazu a przewodem odczytu 130 pF, między przewodami odczytu i 128 przewodami X, Y 200 pF. Wykonano również pomiary indukcyjności uzwojeń adresowych i zakazu, w warunkach pobudzania impulsami prądowymi o wielkości amplitudy równej połówkowemu prądowi przełączania i czasie narastania rzędu 150 n sek. Pomiary wykazały, że indukcyjność uzwojeń adresowych wynosi 1,2 µH, a uzwojenie zakazu 3 µH. Należy stwierdzić, że otrzymane wyniki dotyczące zarówno pojemności jak i indukcyjności nie przekraczały przyjętych dopuszczalnych wielkości ze względu na poprawną pracę pamięci. Do badań matryc, celem określenia maksymalnego sygnału "1" i minimalnego sygnału "0", opracowano

metodę pośredniej oceny jakości matryc. Metodę tę stosowano przy użyciu zestawu laboratoryjnego, składającego się z symulatora pamięci PAO 6, uchwytu do płatów pamięci, przyrządu do sprawdzania pamięci, oscyloskopu i zasilaczy stabilizowanych.

Zastosowana metoda pośredniej oceny jakości matryc polegała na wyznaczaniu dolnej i górnej wartości granicznej napięcia progu dyskryminacji U<sub>H</sub> wzmacniacza odczytu. W stosowanym zestawie pomiarowym przez stopniową zmianę U<sub>H</sub> w kierunku ujemnych wartości uzyskiwano możliwość wyszukiwania tych rozeni, których sygnały były zbyt małe, aby przy danym napięciu U<sub>H</sub> mogły być wzmocnione jako sygnał "1". Taki stan sygnalizowany był przez przyrząd do badania pamięci jako przekłamanie informacji z wskazaniem adresu rdzenia. Przez zmianę U<sub>H</sub> w kierunku dodatnich wartości wykrywano przekłamania przy odczytywaniu informacji "0".

W celu wyznaczenia wartości sygnałów występujących na końcówkach uzwojenia odczytu, obciążonego opornością 300 Q., określono zależność /8/:

$$U_{a} = 28,6 - 5,53 U_{H}$$
 /8/

U<sub>s</sub> - napięcie sygnału na wyjściu uzwojenia odczytu wyrażone w mV.

Doświadczalnie ustalono, że wymaganie poprawnej pracy pamięci PAO 6, będzie spełnione jeżeli wartości graniczne napięcia U<sub>H</sub> będą odpowiednio wynosiły: dla dolnej wartości granicznej U<sub>HD</sub>  $\leq$  - 1,5 V, a dla górnej U<sub>HG</sub>  $\geq$  + 1,5 V.

Korzystając z wyrażenia /8/ minimalny sygnał "1" - U<sub>min</sub> "1" nie powinien być mniejszy niż 37 mV, a U<sub>max</sub> "0" nie powinien przekraczać wartości 20,5 mV dla informacji najgorszego przypadku i jej dopełnienia.

Badania te przeprowadzono w następujących warunkach wzbudzania:

$$Ipr = Ipw = 360 mA$$

 $t_r = 0,2 \ \mu s$   $t_d = 0,65 \ \mu s$   $Iz = 405 \ mA$   $t_r = 0,25 \ \mu s$  $t_d = 0,7 \ \mu s$ 

Pomiary napięć U<sub>H</sub> wykonywano z dokładnością 0,1 V, uzyskiwano przez to dokładność wyznaczania U<sub>z</sub> rzędu 0,5 mV.

Równocześnie, strobowanie sygnałów U<sub>s</sub> impulsem o szerokości 400 ns pozwalało eliminować rdzenie, których sygnały były opóźnione więcej niż 200 ns, w odniesieniu do chwili początkowej występowania impulsu prądu odczytu.

Te same warunki badań były ustalone do sprawdzania podbloków o pojemności 4096 słów, nazywanych zespołami. Przebiegi i wyniki badań dynamicznych, stwierdzających prawidłowe działanie poszczególnych zespołów w pamięci, przedstawiono w pracy [15].

# 4. KONSTRUKCJA, WYKONANIE I BADANIA MECHANICZNO-KLIMATYCZNE

Przyjęta w założeniach dla pamięci [10] wersja podziału bloku o pojemności 16 K na cztery podbloki - zespoły, każdy po 4 k słów 25 bitowych oraz rozmieszczenie ich w szafie pamięci były podstawą do konstruowania dwóch oddzielnych podzestawów o wymiarach 270 x 272 x 285 mm, zawierających po dwa żespoły /rys. 4/.

Każdy podzestaw miał niezależną obudowę mechaniczną, dlatego nazwano go blokiem w znaczeniu samodzielnej konstrukcji.

Każdy zespół składał się z czterech płytek matryc rdzeniowych, po jednej płytce połączeń i wyprowadzeń oraz dwóch płytek dekoderów diodowych dla adresów X i Y.





Na każdej płytce matryc rdzeniowych o wymiarach 172 x 172 x 8 mm umieszczone było osiem matryc po 4096 rdzeni. Rozmieszczenie matryc oraz końcówek lutowniczych na płytce przedstawiono w uproszczeniu na rys. 5.

W celu ułatwienia szycia uzwojeń przewidziano ustawianie rdzeni każdej matrycy na plastrach kauczukowych. Dla sprawdzenia statycznego płytek matryc rdzeniowych ustalono pomiary oporności uzwojeń i oporności izolacji. Oporność ta według przyjętych wymagań dla poprawnego działania całej pamięci nie powinna być mniejsza niż 10 M.Q. Płytki połączeń i wyprowadzeń konstruowano stosując ten sam sposób łączenia jak dla płytek matryc rdzeniowych.

- 89 -



Rys. 5. Rozmie szczenie matryc rdzeniowych i końcówek uzwojeń płytki matrycowej bloku PAO 6

Płytki diodowe, spełniające funkcje dekoderów adresu zaprojektowano w formie pakietów z elementów dyskretnych łączonych na płytce obwodu drukowanego. Końce uzwojeń zakazu i odczytu każdej matrycy zespołu wprowadzono na gniazda złączy 50-kontaktowych.

Wykonane bloki poddawano sprawdzeniu na działanie czynników mechaniczno-klimatycznych. Badano je na działanie wibraoji z przyśpieszeniem 2 g, w zakresie częstotliwości od 15 do 45 Hz i amplitud 2,2 - 0,3 mm, udarów w ilości 2000 z przyśpieszeniem 8 g. Sprawdzenie wytrzymałości klimatycznych odbywało się w warunkach podwyższonej temperatury do + 65°C, oziębiania do - 50°C i działania wilgoci o wilgotności względnej ponad 90% utrzymywanej w temperaturze 32°C.

#### 5. PODSUMOWANIE

Blok nośnika informacji pamięci PAO 6 był pierwszą w kraju tego rodzaju konstrukcją, w której zastosowano rdzenie o średnicy 0,8 mm, celem uzyskania czasów cyklu działania pamięci 2 µs. Wyniki badań i pomiarów bloku wykazały realność przyjętych założeń projektowych zarówno w zakresie elektrycznych parametrów dynamicznych, jak i konstrukcyjnych. Opracowane metody badań okazały się skuteczne, czego potwierdzeniem były wyniki badań funkcjonalnych pamięci PAO 6. Bloki działały bez zakłóceń w zapisywanych i odczytywanych informacjach zarówno w normalnych warunkach atmosferycznych, jak i w wymaganym zakresie temperatur od 5°C do 50°C.

W zakresie przygotowania technologicznego podkreślenia wymagają dwa zagadnienia, które należało opracować, aby spełnione były wymagania dotyczące produkcji tego rodzaju urządzeń. Pierwsze z nich to oprzyrządowanie operacji przygotowawczych do szycia uzwojeń matryc z rdzeniami 0,8 mm. W tym celu zaprojektowano i wykonano w Zakładzie Doświadczalnym IMM przyrząd umożliwiający jednoczesne ustawienie 40% rdzeni na płytkach matrycowych. Drugie to oprzyrządowanie stanowisk do kontroli prawidłowości rozszycia uzwojeń matryc rdzeniowych.

# Literatura

[1]	FORRESTER I.W.: Digital Information in Three Dimensions Using Magnetic Cores, J. Appl. Phys., January 1951:22, 44-48.
[2]	PAPIAN W.N.: A Coincident - Current Magnetic Memory Cell for the Storage of Digital Information, Proc. IRE, April 1952: <u>40</u> , 475-478.
[3]	RAJCHMAN I.A.: Static Magnetic Matrix Memory and Switching Circuits, RCA Rev., June 1952:13, 183-201.
[4]	BROWN J.R.: First and Second - Order Ferrite Memory Core Cha- racteristics and their Relationship to System Performance, IEEE Transactions on Electronic Computers, August 1966.
[5]	Ferroxcube Square Loop Cores for Computers - Mullard 1965/6, p. C 1.
[6]	Components and Materials - Philips - Data Handbook, Part 5, June 1970, A 39.
[7]	911 - Memory Cores - Plessey Components Group - Section 1, 1966.
[8]	Ampex Core Memory Components - Ampex Corporation - 1965.
[9]	Memory Products Guide - RCA 1965.
[10]	WRZESZCZ Z., WOJTOWICZ B, WOLSZCZAK S., RUDZKI J.: Charakterys- tyka i sposób realizacji pamięci PAO 6, Prace IMM, w niniej- szym zeszycie.
[11]	FREEMAN I.R.: Pulse Responses of Ferrite Memory Cores, IRE Wescon Convention Record, 1954: 50-61.
[12]	IEC Recommendation - Magnetic Cores for Application in Coinci- dent Current Matrix Stores Having a Nominal Selection Ratio of 2:1, Publication 281-1969.
[13]	Tentative Methods of Test for Nonmetallic Magnetic Cores to be Used in a Coincident Current Memory with a Two-To-One Selec- tion Ratio Operating under Full Switching Conditions - ASTM Designation: C 526-63T.
[14]	KLAUZNICER Z., RYŻKO J.: Wybrane układy wzmacniaczy odczytu pa- mięci ferrytowych, ETO Nowości, IMM, Warszawa, 1969:3-4.
[15]	RYŻKO J., SIKORSKI A.: Badania modelu i prototypu pamięci PAO 6, Prace IMM, w niniejszym zeszycie.

1

#### БЛОК НОСИТЕЛЯ ИНФОРМАЦИИ ЗАПОМИНАЦИЕГО УСТРОЙСТВА РАО 6

#### Резрме

В статье описан выбор ферритового сердечника свойства сердеченковых матриц, конструкция, исполнение и испытания ферритового блока ёмкостьр 16384,25-разрядных слов и циклом времени 2 мсек с выборкой по совпадений токов. В блоке применяртся ферритовые сердечники внешним диаметром 0,8 мм, температуростабильные в широком пределе температуры работы.

Выбор ферритового сердечника определяется исходя из времени цикла работы запоминарцего устройства Т<sub>с=2</sub> µсек, а также экспериментально фиксированным /4/ соотношением времени переключания сердечника t до времени цикла Т<sub>с</sub>, как 1:4.При выборе диаметра сердечника были приняты каталоговые данные 151, 161, 171, 181, 191, в которых присвоены оптимальные размеры сердечников для определенного цикла запоминарцего устройства. Основным критерием при выборе амплитуды возбуждарцего тока I. был выбор сердечника характеризурдегося найбольшей прямоугольностью петли гистерезиса и её небольшими изменениями в области принятых температур работы сердечника, то есть от О до 70°С. Стремление достигнуть малые величины параметров L. Р. V.4. определенных второстепенными параметрами сердеч-ника, а также потребность применения сердечников с широким диапазоном температур работы определить выбор сердечника N3 группы литово-никлевых материалов с большой прямоугольностьр. В этой группе было проведено сравнение характеристик и каталоговых данных следурщих типов сердечников: GF3 Philips. Fx2762 Mullard, 304-07 Атрех, 270 МІ-RCA, РС 315 Plessey. В анализу параметров этих сердечников были учтены коэффициенты температур С, и С, определённых согласно документам /12/,/13/. На основе представленного анализа решено выбор сердечника GF3 Philips.

Для оценки качества ферритовых матриц с сердечниками GF3 во время исследования условий самого плохого случая и его дополнения, был применён метод посредственной оценки состоядей в определении нижней и верхней предельной величины напряжения порога дискриминации U<sub>H</sub> усилителя считывания. Чтобы получить исправнур работу запоминардего устройства принято что для информации "1" величина напряжения U должна быть не меньше чем -1,5,8 для "0" - не больше чем 1,5.

Блок 16кслов состоит из четирёх подблоков-составов, каждый из них содержит 4 К слов. В отдельных механических покрытиях были помещены два состава. Каждый состав состоял из четырёх пластинок сердечниковых матриц по одной пластинке соединений и выводов, а также из двух диодовых пластинок выборки адресов X и Y. На каждой пластинке сердечниковых матриц размерами 172 х 172 х 8 мм было помещено восемь матриц по 4096 сердечников.

Пластички соединений и вывода были построены нрименяя такой же способ соединения, как в случае сердечниковых матриц. Диодовые пластинки были исполнены в виде пакетов с дискретиным элементами на печатных схемах.

Иополненные блоки были проведены на действие механическоклиматических факторов таких как: вибрация, удары, жара, холод и повышенная влажность. THE BLOCK OF PAO 6 STORAGE INFORMATION CARRIER

#### Summary

The paper describes the choice of a ferrite core, the properties of core matrices, design, manufacturing and testing of a ferrite block information carrier with a coincidence selection 16,384 25-bit words of capacity and 2 usec cycletime. Ferrite cores in the block are of 0.8 mm external diameter and have a constant temperature coefficient within a large range of working temperature changes.

The ferrite core has been chosen on the basis of the storage operation cycle  $T_c = 2 \mu sec$ , and the experimentally established time proportion of the switching core time -  $t_s$ , to the cycle time  $T_c$ , as 1:4. For chosing the core diameter the following catalogue data were used /5/, /6/, /7/, /8/, /9/. The basic criterion when chosing the amplitude of the exciting current I was the selection of a core with the best rectangularity of the histeresis loop and its small changes within the accepted core operation temperatures, i.e. from 0 to 70°C. The trend to reach small magnitudes of parameters  $L_h$ ,  $P_h$ ,  $V_{c_h}$ , determined by the core secondary parameters, and the need of using cores with a large

the core secondary parameters, and the need of using cores with a large temperature operation scope directed the choice of the core of a group of lithium-nickel material with big rectangularity. This group characteristics and catalogue data have been compared for the following types: GF3 Philips, Fx2762 Mullard, 304-07 Ampex, 270 MI-RCA, PC 315 Plessey. While analysing these core parameters temperature coefficients C, and C, determined in accordance with documents /12/, /13/ have been taken into account. On the basis of presented analysis the choice of the GF3 Philips core was decided.

For estimating the quality of matrices with GF3 cores, intermediate evaluation method was applied consisting in a definition of the lower and upper level value of the amplifier discrimination voltage threshold U.. To obtain a correct storage operation the U<sub>H</sub> voltage value should be less than - 1,5V, for information "1", and not more than 1,5 V for "O".

The construction of the block 16 k words was divided into four subblock-sets, each containing 4 k words. Two sets were placed in special mechanical housings. Each set comprised four core matrix plates - one junction plate and one lead plate and two diode decoder plates for addresses X and Y. Eight matrices with 4096 cores each were placed on each core matrix 172 x 172 x 8 mm.

Junction and lead plate connections were the same as in the case of core matrix plates. Diode-decoder plates were made in the form of packages with discrete elements on printed circuits.

The performed blocks were verified against the effect of mechanical and other ambient factors such as: vibration, strokes, heat, cold and elevated humidity.



Prace IMM Zeszyt 3 © 1971.12

621.373.43:621.375.52:681. 327.11/.12:681.327.66.042.15

GENERATOR IMPULSÓW PRADOWYCH DO PAMIĘCI OPERACYJNEJ PAO 6 Romuald SYNAK Pracę złożono 25.08.1969

Opisano generator impulsów prądowych o regulowanych czasach narastania i opadania, służący do generacji prądów połówkowych w pamięci koincydencyjnej PAO 6. Podano wymagania stawiane tego rodzaju układom oraz warunki ich pracy, a następnie przedstawiono zasadę działania opracowanego generatora oraz jego parametry. Generator charakteryzuje sią dobrą stabilnością i łatwą regulacją amplitudy impulsu oraz czasów narastania i opadania, co pozwala na uzyskanie optymalnych warunków pobudzania rdzeni.

## SPIS TRESCI

1.	WSTEP	97
2.	WYHAGANIA STAVIANE GENERATORON PRADOWYM ORAZ WARUNKI PRACY	
	TYCH GENERATOROW	<b>9</b> 9
3.	GENERATOR IMPULSÓW PRADOWYCH PANIĘCI PAO 6	104
4.	ZAKOŔCZENIE	113
Li	teratura	113

1. WSTEP

Parametry impulsów prądowych służących do przełączania rdzeni ferrytowych w istotny sposób wpływają na parametry sygnału odpowiedzi rdzenia, a co za tym idzie mają również wpływ na poprawność pracy i właściwości całej pamięci. Dlatego zagadnienie właściwego opracowania układów przeznaczonych do generacji prądów przełączających rdzenie, tzn. układów pobudzania, jest bardzo istotne przy projektowaniu pamięci ferrytowej.

W literaturze podaje się opisy szeregu konstrukcji układów pobudzania, które można zgrupować następująco:

- układy napięciowo-oporowe. Wielkość prądu pobudzającego wyznaczana jest za pomocą stałego źródła napięciowego i opornika. Przepływ prądu w wybranej linii następuje po włączeniu się dołączonych do tej linii kluczy adresowych. Przykładem takiego rozwiązania może być układ opisany w pracy [1],
- generatory prądu stałego. Amplituda prądu pobudzającego określona jest przez źródło prądowe, którym najczęściej jest tranzystor pracujący w układzie o wspólnej bazie lub w układzie ze sprzężeniem emiterowym. Normalnie prąd generatora płynie do sztucznego obciążenia, a po włączeniu się kluczy adresowych prąd kierowany jest do wybranej linii. Generator takiego rodzaju opisany jest w pracy [2],
- generatory impulsów prądowych. Generatory te również zwykle zbudowane są na tranzystorach w układzie o wspólnej bazie lub ze sprzężeniem emiterowym, jednak prąd generowany jest impulsowo po podaniu impulsu sterującego. Typowym rozwiązaniem jest tutaj układ, którego opis znajduje się w pracy [3].

Nowym rozwiązaniem w dziedzinie układów pobudzania jest generator impulsów prądowych z regulowanymi czasami narastania i opadania. który, w przeciwieństwie do typowych generatorów impulsów prądowych nie posiadających takiej regulacji, zachowuje właściwości generatora prądowego nie tylko w czasie trwania płaskiej części impulsu, ale również podczas narastania i opadania impulsu. Do tego rodzaju generatorów można zaliczyć układy stosowane w niektórych pamięciach firmy AMPEX [4], a także generator prądowy pamięci PAO 6 [5]. Opis tego ostatniego układu jest przedmiotem niniejszej pracy. Opis ten poprzedzono przytoczeniem wymagań stawianych układom pobudzania oraz omówieniem warunków ich pracy. Na tym tle uzasadniono wybór generatora do pamięci PAO 6. Omawiany generator prądowy został zaprojektowany tak, że prąd maksymalny wynosi 0,4 A i maksymalny spadek napięcia na obciążeniu -37 V.

Wymaganą amplitudę impulsu prądowego można nastawić za pomocą opornika, a czas narastania przez dołączenie odpowiedniego kondensatora.

Współpraca generatora z innymi układami pamięci PAO 6 została omówiona w pracy [6].

2. WYMAGANIA STAWIANE GENERATOROM PRADOWYM ORAZ WARUNKI PRA-CY TYCH GENERATORÓW

2.1. Dyskusja wymagań stawianych generatorom

Układy pobudzania mają za zadanie dostarczenie impulsów prądowych służących do przemagnesowania rdzeni. Impulsy te winny odznaczać się następującymi cechami:

- amplituda impulsu powinna być stała, niezależna od obciążenia i stabilna w czasie. Wymaganie to jest zwłaszcza istotne w przypadku pamięci koincydencyjnych, gdzie dopuszczalne zmiany prądu są rzędu kilku-kilkunastu procent,
- początek impulsu prądowego musi być ściśle określony, co zapewnia stałe położenie sygnału odczytu względem impulsu strobującego wzmacniacza odczytu. Również szerokość impulsu winna być stała, gdyż wtedy unika się dodatkowej straty czasu cyklu, spowodowanej rozrzutem szerokości impulsu,
- czas narastania impulsu nie może być zbyt mały, gdyż wtedy pogarsza się stosunek sygnału użytecznego odczytu do zakłócenia; ani zbyt duży, gdyż wtedy wydłuża się czas cyklu i zmniejsza się amplituda sygnału odczytu,

 czas opadania impulsu nie może być zbyt mały, gdyż większe są wówczas przepięcia na pobudzanej linii; ani zbyt duży ze względu na wydłużenie cyklu.

Powyższe ogólne wymagania najtrudniej jest spełnić przy zastosowaniu źródła napięciowo-oporowego. Oporność tego źródła nie może być zbyt duża, gdyż pociągałoby to za sobą konieczność stosowania dużych napięć, co z kolei ograniczone jest wytrzymałością napięciową elementów układu wybierania. W rezultacie amplituda prądu pobudzającego może zależeć od wielkości spadku napięcia na obciążeniu. Ponadto szerokość impulsu znacznie zależy od parametrów kluczy układu wybierania, którymi są na ogół tranzystory pracujące w nasyceniu. Czas narastania również zależy od parametrów linii i kluczy, a czas opadania zwykle jest bardzo mały, co powoduje konieczność obcinania napięcia przerzutu za pomocą diody.

Generatory prądu stałego, mimo iż zapewniają uzyskanie dużej stabilności amplitudy impulsu i jej niezależności od obciążenia, nie eliminują jednak wpływu obciążenia i kluczy na parametry czasowe impulsu.

Również generatory impulsów prądowych bez kontrolowanych czasów narastania i opadania nie spełniają wszystkich stawianych postulatów, gdyż po podaniu impulsu na linię, wskutek spadku napięcia jaki wtedy na niej powstanie, tranzystory wyjściowe generatora wchodzą zwykle w nasycenie i dopiero po wyjściu z nasycenia układ staje się generatorem prądowym.

Najlepsze spełnienie wymagań stawianych układom pobudzania zapewnia generator impulsów prądowych o kontrolowanych czasach narastania i opadania. Oporność wyjściowa i stabilność takiego układu może być bardzo duża. Czas narastania może być tak nastawiony, by uzyskać optymalny stosunek sygnału do zakłócenia. Początek i koniec impulsu nie zależą od parametrów kluozy układu wybierania, lecz tylko od szerokości impulsu sterującego generator. Czas opadania również można regulować, przez co istnieje możliwość zmniejszenia przepięć w układzie.

Z powyższych względów układy pobudzania pamięci PAO 6 oparto właśnie na tego rodzaju generatorze.

## 2.2. Omówienie warunków pracy generatora

Rozpatrzmy teraz sprawę obciążenia, na które pracuje generator. Na obciążenie to składa się impedancja wybranej linii i dołączone do niej pojemności elementów układów wybierania /kluczy, diod i okablowania/.

Jeśli chodzi o impedancję wybranej linii, to składają się na nią rozłożone pojemności, indukcyjności i oporności przewodu, indukcyjności skupione wnoszone przez rdzenie przemagnesowywane prądem połówkowym oraz nieliniowe oporności zastępcze rdzeni przełączanych prądem całkowitym. Przewód z rdzeniami tworzy więo niejednorodną linię długą ze stratami. Impuls podany na wejście tej linii wychodzi zatem z niej opóźniony i zniekształcony. W przypadku, gdy pojemność pamięci lub jej szybkość działania jest duża, zachodzi potrzeba dopasowania źródła pobudzającego do linii. Parametry charakterystyczne linii określa się przy tym zwykle doświadczalnie, chociaż istnieją też metody teoretycznego ich obliczania [7, 8]. Dopasowywanie się do linii ma niewątpliwie zalety, ale z drugiej strony jest też niedogodne z następujących względów:

- wskutek tego, że wartość impedancji charakterystycznej linii jest stosunkowo duża /100 ÷ 200 Ω /, wymagane napięcia zasilające są na ogół duże, przez co istnieją większe narażenia napięciowe diod i tranzystorów. Wymaga to w konsekwencji stosowania elementów droższych i trudniej dostępnych,
- duża jest liczba dodatkowych elementów w postaci oporników dopasowujących,
- występują dodatkowe straty mocy na opornikach dopasowujących.

Dlatego w przypadkach, gdy jest to możliwe, korzystniejsze jest traktowanie linii jako elementu skupionego. Linia może być wtedy reprezentowana przez indukcyjność szeregowo połączoną z opornością. Wskaźnikiem, czy przewód z rdzeniami może być uważany za układ o stałych rozłożonych, czy też za element skupiony może być stosunek czasu opóźnienia impulsu w przewodzie do czasu narastania impulsu. Bardziej precyzyjne rozgraniczenie między jednym i drugim przedstawieniem linii podaje Hildebrandt [8] wprowadzając współczynnik k<sub>1</sub> z definicji, równy

gdzie t<sub>o</sub> - maksymalne opóźnienie w linii, t<sub>r</sub> - czas jaki musi upłynąć od chwili, gdy na wyjściu obwodu pojawił się sygnał odczytu do czasu, gdy układ detekcji jest w stanie rozpoznać odczytywaną cyfrę. Czas t<sub>r</sub> zbliżony jest do czasu szczytu odpowiedzi rdzenia t<sub>p</sub>. Jeżeli k<sub>1</sub> < k<sub>1gr</sub>, gdzie k<sub>1gr</sub> = 0.1 ÷ 0.15, to linię można traktować jako element skupiony.

 $k_1 = \frac{t_0}{t_1},$ 

W przypadku pamięci PAO 6 długość przewodów adresowych wynosi około 2 m, a ponieważ prędkość rozohodzenia się sygnałów w bloku pamięci jest 2 + 3 razy mniejsza niż prędkość fali elektromagnetycznej w próżni [9], wartość t<sub>o</sub> wyniesie około 15 ns. Czas t<sub>p</sub> dla rdzeni zastosowanych w tej pamięci wynosi 280 ns, a zatem  $k_1 = 0,05 < k_{1gr}$ . Pobudzaną linię z rdzeniami można więc scharakteryzować za pomocą impedancji skupionej.

Na koniec rozważny jeszcze kwestię uzyskania przepływu prądu w linii w dwóch kierunkach: jeden dla fazy odczytu, drugi dla fazy zapisu cyklu pracy pamięci. Dwukierunkowy przepływ prądu można uzyskać w następujący sposób:

 przez zastosowanie dwóch generatorów: jednego z prądem wpływającym do generatora i drugiego z prądem wypływającym. Wymaga to jednak zastosowania zarówno tranzystorów npn, jak i pnp oraz dodatniego 1 ujemnego napięcia zasilającego linię,  przez zastosowanie generatora jednokierunkowego, z którego impulsy prądowe podawane są za pomocą kluczy układu wybierania raz do jednego, raz do drugiego końca linii.

Ze względu na korzyści, jakie daje ten drugi sposób, przyjęto go do pamięci PAO 6 z tą modyfikacją, że zastosowano 2 generatory: oddzielnie dla odczytu i zapisu. Dzięki temu dwukrotnie mniejsza jest moc strat generatora oraz pojemność dołączonych do generatora elementów układu wybierania.

Schemat układu pobudzania pamięci PAO 6 wraz z układem wybierania [10] pokazano na rys. 1. Klucze tranzystorowe wraz z diodami tworzą matrycę wybierającą linie z rdzeniami. Układ pobudzania i wybierania jest taki sam dla linii x i linii y pamięci. Normalnie wszystkie klucze są otwarte, a diody spolaryzowane w kierunku zaporowym. Jeżeli ma nastąpić odczyt in-



Rys. 1. Układy pobudzania i wybierania pamięci PAO 6

- 103 -

formacji z rdzenia znajdującego się na danej linii, zamyka się jeden z kluczy napięciowych K<sub>no</sub> i jeden z kluczy prądowych K<sub>po</sub> matrycy wybierania linii. Następnie wysterowany zostaje generator prądowy odczytu G<sub>o</sub> i przez wybraną linię płynie prąd przemagnesowujący rdzenie. Po skończeniu się impulsu prądowego, następuje otwarcie kluczy i układ wraca do stanu poprzedniego. W fazie zapisu najpierw włączone zostają klucze K<sub>nz</sub> i K<sub>pz</sub>, a następnie pracuje generator G<sub>z</sub>.

## 3. GENERATOR IMPULSOW PRADOWYCH PAMIECI PAO 6

3.1. Podstawowe wymagania stawiane generatorowi

Przy opracowywaniu generatora prądowego do pamięci PAO 6 wzięto pod uwagę następujące wymagania, które musi on spełnić:

maksymalna amplituda impulsu prądowego	0,4 A
czas narastania regulowany; minimalna wartość	100 ns
okres powtarzania impulsu	
współczynnik wypełnienia	1/3
dopuszczalne spadki napięcia na obciążeniu	37 V

#### 3.2. Zasada pracy generatora

Uproszczony schemat generatora [5] przyjętego do realizacji w PAO 6 pokazano na rys. 2. Układ składa się z tranzystora T<sub>1</sub>



Rys. 2. Uproszczony schemat generatora

pracującego jako klucz, czwórnika  $R_3^{C} R_4$  oraz tranzystora  $T_2$ pracującego w układzie OB. Normalnie tranzystor  $T_1$  jest zatkany i obwód emiterowy tranzystora  $T_2$  jest przerwany. Po podaniu na wejście impulsu dodatniego, tranzystor  $T_1$  jest wysterowywany i wchodzi w stan nasycenia. Płynie wtedy prąd emitera tranzystora  $T_2$ , a co za tym idzie i prąd wyjściowy. Przebiegi prądów w układzie po wysterowaniu tranzystora  $T_1$  można określić na podstawie schematu pokazanego na rys. 2. Opisane one będą następującymi równaniami:

$$i_{c1}(t) = \frac{U}{R_3 + R_4} \left( 1 + \frac{R_4}{R_3} e^{-\frac{R_3 R_4}{R_3 + R_4}} \right)$$

\* 
$$u_{wy}(t) = \infty_0 \frac{U}{R_3 + R_4} \left(1 - e^{\frac{R_3 R_4}{C \frac{R_3 + R_4}{R_3 + R_4}}}\right)$$

dzie: 
$$U = U_1 - U_{EB}(w\lambda) - U_{CE}(w\lambda)$$
, /3/  
 $U_{EB}(w\lambda)$  - napięcie na złączu emiter-baza tranzys-  
tora To przy przewodzeniu prądu

U<sub>CE</sub> (wł) - napięcie na złączu kolektor-emiter tranzystora T<sub>1</sub> po jego włączeniu się,

współczynnik wzmocnienia prądowego dla małych
 częstotliwości w układzie OB tranzystora T<sub>2</sub>.
 /Częstotliwość graniczna użytego tranzysto ra równa jest ok. 200 MHz/.

/1/

121

su C  $\frac{R_3 R_4}{R_3 + R_4}$ . Zatem czas narastania tego prądu wyniesie t<sub>n</sub> = 2,3 C .  $\frac{R_3 R_4}{R_3 + R_h}$  /4/

Po zakończeniu się impulsu wejściowego tranzystor T<sub>1</sub> wyłącza się i wówczas

$$i_{c1}(t) = 0$$
 /5/  
 $i_{wy}(t) = \alpha_0 \frac{U}{R_3 + R_4} e^{-\frac{t}{CR_4}}$  /6/

Çzas opadania impulsu wyjściowego wyniesie

$$r_0 = 2,3 C R_{\mu}$$
 /7/

Przebiegi prądów w układzie zostały pokazane na rys. 3. Elementy R<sub>3</sub>, R<sub>4</sub> i C można tak dobrać, aby uzyskać wymaganą amplitudę impulsu I<sub>wy</sub> i wymagane czasy narastania t<sub>n</sub> oraz opadania t<sub>o</sub>. Oznaczmy przez a stosunek czasu opadania impulsu wyjściowego do jego czasu narastania /przy czym s > 1/, czyli

- 106 -

$$a = \frac{t_0}{t_n} / 8/6$$

Oznaczmy dalej przez b wielkość

$$b = \alpha_0 \frac{U}{I_{WY}}$$
 /9/

Jeśli znane są wielkości  $\alpha_0$  i U oraz zadane I<sub>wy</sub>, t<sub>0</sub> i t<sub>n</sub>, to określone są wielkości a i b. Elementy R<sub>3</sub>, R<sub>4</sub> i C można wówczas obliczyć z poniższych wzorów, które otrzymano z zależności /4/, /6/ i /7/.


$R_3 = \frac{b}{a}$	/10/
$R_{4} = \frac{b(a-1)}{a}$	/11/
$C = \frac{t_n}{2.3} \frac{a^2}{b(a-1)}$	/12/

3.3. Moc strat i napięcie wsteczne tranzystora wyjściowego

W rozdziale 2 stwierdziliśmy, że obciążenie generatora\_można przedstawić za pomocą szeregowo połączonych indukcyjności i oporności reprezentujących linię z rdzeniami oraz równolegle do nich dołączonej pojemności, pochodzącej od elementów układu wybierania. Dokonajmy szacunkowej oceny wpływu takiego obciążenia na moc traconą w tranzystorze wyjściowym oraz na napięcia wsteczne jakie na nim wystąpią.

W praktyce obciążenie zachowuje się w ten sposób, że z chwilą narastania prądu pojawia się na nim duży spadek napięcia, który następnie maleje do wartości  $U_R$  określonej przez oporność rzeczywistą linii /rys. 4/.





Napięcie U<sub>2</sub> generatora musi być na tyle duże, aby mimo wystąpienia spadku napięcia tranzystor nie wszedł w nasycenie, tzn. musi być spełniona zależność

$$U_2 - U_1 \ge U' + U_R$$
 /13/

Napięcie U' określone jest na rys. 4.

Po ustaleniu się, napięcie na kolektorze jest mniejsze od  $U_2$  tylko o spadek napięcia  $U_R$ . Dlatego moc tracona w tranzystorze jest wtedy duża. Drugim szkodliwym zjawiskiem jest wystąpienie dużego napięcia wstecznego na kolektorze tranzystora w chwili zaniku prądu. Znaczną poprawę warunków pracy generatora przy obciążeniu indukcyjnym można osiągnąć przez zastosowanie dwójnika  $R_d C_d$  [11] /rys. 5/. Stała czasu tego dwójnika jest kilka razy większa od stałej czasu narastania



Rys. 5. Schemmat generatora z dwójnikiem R, C,

impulsu prądowego. Dlatego w pierwszej chwili po włączeniu się prądu, dwójnik przedstawia zwarcie. W miarę upływu czasu napięcie na nim rośnie w przybliżeniu wykładniczo do wartości określonej przez amplitudę impulsu i oporność  $R_d$  /rys.6/. Napięcie na tranzystorze ustala się więc nie na poziomie  $U_2 - U_R$ , jak to miało miejsce bez dwójnika, lecz na poziomie  $U_2 - U_R - I_{wy} \cdot R_d$ , dzięki czemu moc tracona w tranzystorze jest mniejsza. Przy zaniku prądu napięcie na dwójniku maleje z tą samą stałą czasu. Sem samoindukcji dodaje się więc nie do napięcia zbliżonego do  $U_2$ , a do napięcia jakie występowało na kolektorze pod koniec płaskiej części impulsu. W wyniku tego wypadkowe napięcie wsteczne na tranzystorze moze niewiele przekraczać war-

tość U<sub>2</sub>, a nawet w pierwszej chwili może być mniejsze od U<sub>2</sub> /rys. 6/.



Rys. 6. Napięcie na wyjściu generatora z dwójnikiem R<sub>d</sub> C<sub>d</sub>

3.4. Ocena wpływu temperatury na stabilność prądu generatora

Jak wynika z zależności /2/ i /3/ amplituda impulsu prądowego będzie zależała przy zmianie temperatury otoczenia od temperaturowych zmian parametrów  $\alpha_0$ ,  $U_{CE}(wl)$ ,  $U_{EB}(wl)^i$  oporności R<sub>3</sub> i R<sub>4</sub>. Na podstawie danych katalogowych użytych elementów /T<sub>1</sub> - tranzystor 2N2369 i T<sub>2</sub> - tranzystor 2N3444, oporniki typu AT/ uzyskać można następujące wartości współczynników temperaturowych wymienionych parametrów:

$$K \propto_{0} = \frac{\Delta \propto_{0}}{\alpha_{0} \Delta T} = \pm 0,02\%/1^{\circ}C$$

$$\frac{K}{U}_{CE} (w\lambda) = \frac{\Delta U_{CE} (w\lambda)}{\Delta T} = \pm 0,63 \text{ mV}/1^{\circ}C$$

$$\frac{K}{U}_{EB} (w\lambda) = \frac{\Delta U_{EB} (w\lambda)}{\Delta T} = -1,8 \text{ mV}/1^{\circ}C$$

$$\frac{K}{R} = \frac{\Delta R}{R \Delta T} = \pm 0,01\%/1^{\circ}C$$

Korzystając z powyższych danych oraz uwzględniając konkretne wartości U<sub>1</sub>, U<sub>EB</sub>(wł) i U<sub>CE</sub>(wł) można obliczyć współczynnik temperaturowy prądu wyjściowego. W przypadku generatora prądowego do pamięci PAO 6, w którym U<sub>1</sub> = + 12V, U<sub>EB</sub>(wł) = 0,8V i U<sub>CE</sub>(wł) = 0,5V wyniesie on + 0,02 ÷ + 0,04%/1°C, co jest całkowicie zadowalające z punktu widzenia pracy pamięci.

Zmierzony współczynnik temperaturowy prądu wyjściowego dla generatora badanego wyniósł + 0,02%/1°C.

# 3.5. Opis realizacji generatora prądowego do PAO 6

Pelny schemat generatora prądowego przeznaczonego do pamięci PAO 6 pokazano na rys. 7. Jak widać stopień wyjściowy został zrealizowany za pomocą trzech tranzystorów pracujących równolegle, co pozwoliko na zwiększenie dopuszczalnej mocy strat tego stopnia. Tranzystory te zaopatrzone są w radiatory.

Stopień wejściowy składa się również z tranzystorów pracujących równolegle ze względu na to, że prąd płynący w tym stopniu może być bardzo duży /por. wzór /1//. Opornik R<sup>\*</sup><sub>6</sub> służy do nastawienia wymaganej amplitudy prądu wyjściowego, a kondensator C<sup>\*</sup><sub>2</sub> do uzyskania odpowiedniego czasu narastania impulsu. Bez dodatkowych elementów amplituda impulsu wynosi 300 mA, a czas narastania 100 ns. Amplitudę prądu można również zmieniać przez zmianę napięcia + 12V, co może być wygodne zwłaszcza np. przy marginesowaniu pamięci.

Generator przystosowany jest do łączenia go z obciążeniem za pomocą skrętki. W tym celu do układu doprowadzono napięcie +50V. Obciążenie dołącza się do tego napięcia przez opornik R<sub>15</sub>, który umożliwia pomiar prądu za pomocą oscylografu.

Do stłumienia oscylacji jakie mogą powstać na indukcyjności i pojemności obciążenia szuży opornik R<sub>14</sub>. Oporniki R<sub>10</sub> - R<sub>12</sub> polepszają stabilność układu.

Generatory montowane są na typowych pakietach pamięci PAO 6.

- 110 -



Jeden typowy pakiet zawiera dwa układy, które mogą stanowić np. cały układ pobudzania jednej współrzędnej panięci.

3.6. Ważniejsze parametry generatora prądowego

Wartości dopuszczalne	
• moc tracona w stopniu wyjściowym	5₩
• amplituda prądu wyjściowego	0,4A
Parametry impulsu wejściowego	
• amplituda	+117
• pobór prądu	50 mA
Parametry impulsu wyjściowego	
a/ bez opornika R <sub>6</sub> i kondensatora C <sub>2</sub>	
• amplituda	300 mA
• czas narastania	100 ns
• czas opadania	130 ns
• czas propagacji zbocza przedniego /mierzony	
na poziomle 0,1 amplitudy impulsu wejściowego	
i wyjściowego/	30 ns
• czas propagacji zbocza tylnego /mierzony na	
poziomie 0,9 amplitudy impulsu wejściowego i	
wyjściowego/	40 ns

b/ przez dołączenie opornika R<sub>6</sub> uzyskuje się amplitudę prądu, którą można obliczyć wg wzoru

-	10,6						
wy =	<b>a</b> .	R <sub>6</sub>	[2]	. 27			
	2 -	RG	[،٤]	+ 27			

A

- c/ przez dołączenie kondensatora C<sub>2</sub> uzyskuje się zmiany czasu narastania 15 ns/1 nF i czasu opadania 17 ns/1 nF
- d/ zmiana napięcia + 12V powoduje zmianę amplitudy 27 mA/1V.

# 4. ZAKONCZENIE

Opisany w pracy generator impulsów prądowych umożliwia otrzymanie impulsów, których czasy narastania i opadania mogą być nastawiane w zależności od wymagań.

Również w łatwy sposób można otrzymać wymaganą amplitudę impulsu. Dzięki tym cechom można dobrać optymalne warunki pobudzania rdzeni.

Do realizacji układów pobudzania pamięci koincydencyjnej PAO 6 potrzeba tylko 4 generatorów prądowych /2 typowe pakiety/. Z tego względu zastosowanie opisanego rozwiązania w pamięci należy uznać za korzystne nie tylko z punktu widzenia technicznego, ale również ekonomicznego.

#### Literatura

- [1] ALLEN C.A. i inni: 2.18 Microsecond Megabit Core Store Unit, IRE Trans. on El. Comp., June 1961, EC-10.
- [2] HUSKEY H.D., KORN A.G.: Computer Handbook, New York 1962.
- [3] PADWICK G.C., CAIN A.L.: Transistor Circuits for a Ferrite Store, Proc. IEE, May 1959:106B, Suppl. Nr 16.
- [4] NORMAN R.: A 20 Million Bit High Speed Core Memory, Computer Design, December 1967.
- [5] WOJTOWICZ B., SYNAK R.: Generator do formovania impulsów pradowych o nastawianej amplitudzie, czasach narastania i opadania impulsów, Wz nr 19102.
- [6] WRZESZCZ Z. i inni: Charakterystyka i sposób realizacji pamięci PAO 6, Prace INH, w niniejszym zeszycie.
- [7] WEEKS W.T.: Computer Simulation of the Electrical Properties of Memory Arrays, IEEE Trans. on EC, 1963:EC-12, 6.
- [8] HILDEBRANDT A.: O pewnej metodzie badania właściwości elektrycznych bloku szybkiej pamięci ferrytowej, PRACE ITE, 1968: 7.
- [9] REHWICK W.: Digital Storage Systems, London 1964.

[10] SYNAK R.: Układy wybierania adresów panięci operacyjnej PAO 6, Prace IMM, w niniejszym zeszycie.

[11] WOJTOWICZ B., SYNAK R.: Układ zabezpieczający przed przeciążeniem tranzystora w stopniu wyjściowym prądowego generatora impulsowego o dużej oporności wyjściowej, obciążonego na wyjściu odbiornikiem indukcyjnym, przeznaczony zwłaszcza dla urządzeń z ferrytową pamięcią rdzeniową, Patent nr 57619

# ГЕНЕРАТОР ТОКОВЫХ ИМПУЛЬ СОВ ПЛЯ ЗАПОМИНАDШЕГО УСТРОЙСТВА РАО 6

#### Pesphe

В работе подано описание генератора токовых импульсов с регулированным временем нарастания и падения, служаций для выработки полутоков в операционном запоминарцем устройстве на ферритовых сердечниках – РАО 6.

Генераторы тока с регулированными наклонами токового импульса [4,5], по сравнении с другими применяемыми родами источников тока [1:3] для запоминардего устройства на ферритовых сердечниках, допускарт соответственно самур большур незави симость параметров токового импульса от нагрузки и деларт возможным так подобрать эти нараметры чтобн получить оптимальное отношение сигнала к помехо. Схема описанная в работе предназначена для совместной работы со схемами выборки, показанным на рис.1 и ближе описанным в [10]. Упрощенная схема генератора указана на рис.2.

После подачи положительного импульса на вход схемы в ценях коллекторов транзисторов Т. и Т<sub>2</sub> будут проходить токи описанные управлениями /1/ и /2/. После окончания управляднего импульса, эти токи будут описаны уравнениями /3/ и /6/. Ход токов показан на рис.З. Время нарастания можно определить из уравнения /4/, а время падения из /7/ъ

Велеичину элементов R., R. и С при заданном времени нарастания и падения, а также амплитуду импульса можно вычислить из формул /10/÷/12/.

В этих формулах выступарт величины а и в, определённые при помощи уравнений /8/ и /9/.

Проблемой выступавщей при индукционном характере нагрузки, как это бывает при совместной работе генератора с адресными линиями запоминарщего устройства, является большая мощность, которая теряется в выходном транзисторе во время плоской части токового импульса когда падение на нагрузке малое.

Второй проблемой является большое обратное напряжение, возникающее при исчезновении импульса тока /рис.4/. С целью уменьшения этих эффектов, в схему введено двуполосник в, С. /рис.5/. При состоянной времени этого двуполосника большей чем время нарастания импульса, в первый момент после включения тока, представляет короткое замыкание, а потом вводи в цепь сопротивление в, благодаря чему напряжение на коллекторе транзистора падает /рис.6/, в результате чего мощность потерь надает. Обратное напряжение на коллекторе после окончания токового импульса тоже является меньшим на падение напряжения на R<sub>d</sub>.

Оцененная температурная устойчивость тока генератора составляет +0,02 ÷ +0,04% /1°С. Измерения величина етого коеффициента составляет +0,02% /1°С.

Полная схема генератора тока для запоминарного устройства РАО 6 показана на рис.7. Максимальный ток нагрузки генератора 0,4 а, а максимальное падение напряжения на нагрузке 37 в. Остальные параметры поданы в главе 3.6.

CURRENT PULSE GENERATOR FOR THE OPERATIONAL STORAGE PAO 6

#### Summary

The paper describes a current pulse generator with regulated rise and fall times, serving to produce half-currents in the operational core storage PAO 6.

Current generators with the current pulse regulated slopes  $\begin{bmatrix} 4 & -5 \end{bmatrix}$ in comparison with other applied kinds of core storage current sources  $\begin{bmatrix} 1 \div 3 \end{bmatrix}$  allow a relatively big independence of current pulse parameters on load, and enable to choose these parameters so as to obtain an optimal relation of the operation signal to noise.

The generator described is destined to cooperate with selection circuits shown in fig. 1, and described in [10]. A simplified scheme of the generator is presented in fig. 2. After the positive pulse had been fed to the generator input, currents described by equations /1/ and /2/ would flow through the collectors of transistors T and T<sub>2</sub>. The input pulse being over the above currents will be described by equations /3/ and /6/. The currents are shown in fig. 3. The output current rise-time can be determined from equation /4/, and its falltime from /7/.

The values of elements  $R_2$ ,  $R_4$  and C with the given rise and falltimes and the pulse amplitude can be computed from formulas /10/  $\div$  /12/. Values a and b, present in the above formulas, are defined by equations /8/ and /9/.

The inductive character of load provides two problems: a big dissipated power in the transistor output during the flat part of the current pulse, and a big back-voltage, appearing at the pulse vanishing /fig. 4/. Therefore, the two-terminal R<sub>c</sub> /fig. 5/ was introduced to the system. The two-terminal constant time being bigger than the pulse rise time, the two-terminal presents a short-circuit immediately after the current is on and next brings the resistance R to the circuit. Due to this the dissipated power is smaller and the voltage on the transistor collector falls /fig. 6/. The collector back-voltage is also smaller by the voltage drop on R<sub>d</sub> after the current pulse is off.

The generator current estimated stability of temperature is  $+0.02 - +0.04\%/1^{\circ}$ C. This coefficient measurement value is  $+0.02\%/1^{\circ}$ C. The whole current generator scheme for PAO 6 storage is shown in fig. 7. The generator is destined for the maximum current 0.4A, and the admissible voltage drop on load is 37N. The remaining parameters are shown in Chapter 3.6.

Prace IMM Zeszyt 3 © 1971.12

681.327.66.042.15

UKŁADY WYBIERANIA ADRESÓW PAMIĘCI OPERACYJNEJ PAO 6

> Romunid SYNAK Prace złożono 25.08.1969

W pracy opisano układy wybierania pamięci koincydencyjnej PAO 6. Wybieranie przewodów x i y pamięci odbywa się za pomocą matrycy diodowej wykorzystującej 4 diody na linię oraz kluczy tranzystorowych ze sterowaniem transformatorowym. Klucze wybierane są za pomocą dekodera tranzystorowego. Opisano szczegółowe konstrukcję kluczy oraz ich parametry.

#### SPIS TREŚCI

1.	WSTEP	٠	•		•	•		117
2.	PRZEZNACZENIE I BUDOWA MATRYCY WYBIBRANIA LINII							118
3.	UKLAD WYBIERANIA KLUCZY	•						121
4.	REALIZACJA TECHNICZNA KLUCZY ADRESOWYCH	•			•			125
5.	ZAKONCZENIE						-	132
Li	teratura							132

#### 1. WSTEP

Pamięci koincydencyjne w stosunku do innych rodzajów pamięci odznaczają się najmniejszą liczbą przewodów adresowych. Niemniej liczba ta jest zwykle dosyć duża i dlatego przy projektowaniu układów wybierania trzeba wziąć pod uwagę nie tylko względy techniczne ale i ekonomiczne.

Takie założenie przyjęto również przy opracowywaniu układów wybierania pamięci PAO 6. Punktem wyjściowym było przyjęcie sposobu realizacji matrycy wybierania linii. Zastosowano matrycę diodową współpracującą z kluczami tranzystorowymi, gdyż takie rozwiązanie umożliwia osiągnięcie dużej prędkości działania i jest zarazem tanie. W dalszym ciągu opracowano układy elektroniczne służące do sterowania i wybierania kluczy tranzystorowych. Aby obniżyć koszt tych układów przedsięwzięto następujące środki:

- uproszczono możliwie maksymalnie budowę samych kluczy /na jeden tranzystor przypada jeden transformator i półtora elementu biernego/,
- zmniejszono liczbę układów potrzebnych do dekodowania kluczy przez zastosowanie matrycy wybierania kluczy,
- jako elementy przełączające tej matrycy zastosowano układy odznaczające się dużą prostotą: dekoder tranzystorowy i kluoze tranzystorowe układu sterowania.

Przedmiotem niniejszej pracy jest opis wymienionych wyżej układów. Współdziałanie układów wybierania z innymi układami pamięci PAO 6 zostało bliżej omówione w pracy [1].

## 2. PRZEZNACZENIE I BUDOWA MATRYCY WYBIERANIA LINII

Spośród wymienionych we wstępie elementów układu wybierania bezpośredni kontakt z blokiem ferrytowym ma matryca wybierania linii. Z tego względu od jej parametrów w znacznym stopniu zależą właściwości całej pamięci. W celu uzyskania poprawnej i szybkiej pracy pamięci układy wybierania linii muszą zapewnić spełnienie następujących wymagań:

- wybrana linia z rdzeniami musi być dobrze izolowana od linii niewybranych,
- wybranie linii powinno mieć miejsoe tylko w określonym czasie,

 stany przejściowe spowodowane włączeniem i wyłączeniem elementów wybierania powinny trwać jak najkrócej,

 parametry impulsu prądowego przemagnesowującego rdzenie powinny być niezależne od parametrów elementów układu wybierania.

Oprócz tego, jak wspomnieliśmy już we wstępie, ważne jest, by koszt układu wybierania był mały.

Wymienione wyżej wymagania najlepiej spełniają układy oparte na wykorzystaniu kluczy tranzystorowych i diod. Istnieje szereg możliwości realizacji tych układów [2 ÷ 4]; przyjęcie któregoś z nich zależy od rodzaju założonego sposobu pobudzania linii, rodzaju kluczy, prędkości działania i pojemności pamięci.

W przypadku pamięci PAO 6 pobudzanie rdzeni odbywa się za pomocą generatora impulsów prądowych o regulowanych czasach narastania i opadania [5].

Zastosowano dwa układy pobudzania. Każdy układ pobudzania służy do przesłania prądu w jednym kierunku: od napięcia +U przez układy wybierania z blokiem ferrytowym do generatora.

Schemat matrycy wybierania linii opartej na wymienionych zasadach pokazany jest na rys. 1.

Układ składa się z diod oraz kluczy tranzystorowych ze sterowaniem transformatorowym. Normalnie tranzystory nie przewodzą, a diody są spolaryzowane w kierunku zaporowym za pośrednictwem oporników. W fazie odczytu zostaje wysterowany jeden z tranzystorów kluczy napięciowych  $K_{\rm no}$  w kolumnie matrycy i jeden z tranzystorów kluczy prądowych  $K_{\rm po}$  w wierszu matrycy. Dzięki temu zostaje otwarta droga dla impulsu prądowego generatora  $G_{\rm o}$  do linii dołączonej do diod znajdujących się na przecięciu szyn prowadzących z wybranych kluczy. Po skończeniu się impulsu prądowego klucze  $K_{\rm no}$  i  $K_{\rm po}$  zostają otwarte. W fazie zapisu zamykają się klucze  $K_{\rm nz}$  i  $K_{\rm pz}$  i wysterowywany jest generator G<sub>z</sub>. Dzięki temu prąd płynie przez linię w kierunku przeciwnym niż poprzednio.

Wskutek wstecznej polaryzacji diod generator prądowy oprócz wybranej linii obciążony jest tylko pojemnością statyczną tych diod, a nie pojemnością niewybranych linii. Inna jest sytuacja, jeśli chodzi o linie dołączone do wybranego klucza napięciowego, gdzie potencjał zmienia się od 0 do +U i dlatego pojemności tych linii muszą być przeładowane. Jednak dzięki zastosowa-



Rys. 1. Matryca wybierania linii

niu diod zmiana potencjału nie ma charakteru oscylacyjnego i szybciej następuje ustalenie się napięcia. Ładowanie tych linii odbywa się przed pojawieniem się impulsu prądowego i dlatego prądy pojemnościowe nie mają wpływu na kształt tego impulsu.

Dzięki zastosowaniu generatora impulsów prądowych o regulowanych czasach narastania i opadania uzyskano niezależność amplitudy i parametrów czasowych impulsu prądowego w linii od parametrów kluczy i diod.

Omówione wyżej właściwości matrycy wybierania linii w połączeniu z uzyskanymi dobrymi parametrami impulsowymi kluczy /patrz rozdz. 4/ sprawiają, że układ wybierania dobrze spełnia wszystkie wymagania wymienione we wstępie tego rozdziału.

Jeśli chodzi o liczbę kluczy matrycy, to wynika ona bezpośrednio z liczby wybieranych linii. W pamięci PAO 6 blok 4096 słów zawiera 64 linie x i 64 linie y. Do wybrania jednej z 64 linii potrzeba 8 par kluczy kolumn i 8 par kluczy wierszy matrycy wybierania linii.

## 3. UKŁAD WYBIERANIA KLUCZY

Zadaniem układu wybierania kluczy jest zdekodowanie informacji zawartej w rejestrze adresowym i wysterowanie w zależności od niej jednego z kluczy kolumn i jednego z kluczy wierszy matrycy wybierania linii.

Sterowanie klucza można zrealizować za pomocą jednego z układów pokazanych na rys. 2. W konfiguracji a/ - ze sterowaniem prądowym transformatora - prąd bazy określony jest przez źródło napięciowo-oporowe znajdujące się po stronie pierwotnej transformatora i przekładnię, a w konfiguracji b/ - ze sterowaniem napięciowym transformatora - prąd bazy określony jest przez napięcie po stronie pierwotnej, przekładnię transformatora i oporność szeregową dołączoną do bazy tranzystora.

Jeśli zaś chodzi o powiązanie klucza z układem dekodującym, to istnieją tu głównie dwie możliwości:

🜒 każdy klucz poprzedzony jest oddzielnym układem dekodującym,



122 -

Rys. 2. Podstawowe sposoby sterowania kluczy

• układy dekodujące tworzą matrycę wybierającą, do której dołączone są uzwojenia pierwotne transformatorów kluczy.

Drugi sposób pozwala na znaczne zaoszczędzenie liczby podzespołów elektronicznych układu wybierania i z tego względu zastosowano go również w pamięci PAO 6. Z dwóch układów kluozy pokazanych na rys. 2 wybrano układ ze sterowaniem prądowym, który w tym przypadku pozwala na dalsze zmniejszenie liczby elementów, gdyż źródło prądowe może być wspólne dla większej liczby kluczy. Zamiast opornika R wprowadzono tutaj dwójnik Z złożony z elementów RLC, opisany bliżej w rozdziale następnym, usprawniający pracę klucza.

W pamięci PAO 6 pojemność 16.384 słów 25 bitowych uzyskano za pomocą 4 bloków o pojemności 4096 słów 25 bitowych.

Jak podaliśmy już poprzednio matryca wybierania linii x lub y bloku zawierającego 40% słów składa się z 8 par kluczy wierszy i 8 par kluczy kolumn.

Układ wybierania takich grup kluczy pokazano na rys. 3.

Jeden układ obejmuje klucze kolumn lub wierszy jednej współrzędnej dla wszystkich bloków. Łącznie do wybierania wszystkich kluczy pamięci PAO 6 potrzeba zatem czterech takich układów.

Układ tworzy matrycę, której elementami są dekoder tranzystorowy oraz klucze transformatorowe układu sterowania [6]. Dekoder ma za zadanie zdekodowanie informacji zawartej w 3 ogniwach rejestru adresowego. Każde z 8 wyjść dekodera podłączone jest do jednego końca uzwojenia pierwotnego transformatorów pary kluczy /odczytu i zapisu/ czterech bloków. Drugi



koniec tego uzwojenia podłączony jest do dwójnika Z, który z kolei łączy się z kluczem układu sterowania.

Po wpisaniu informacji do rejestru adresowego na jednym z 8 wyjść dekodera ustala się poziom napięcia zbliżony do O. Następnie w zależności od tego, który blok został wybrany i jaka jest w danej chwili faza pracy pamięci - odczyt czy zapis - zostaje wysterowany jeden z 8 kluczy układu sterowania. W wyniku tego popłynie prąd w tym uzwojeniu pierwotnym transformatora, które dołączone jest zarówno do wybranego wyjścia dekodera, jak i do dwójnika połączonego z wybranym kluczem.

Schemat dekodera pokazano na rys. 4. Wejścia dekodera 1 i 1', 2 i 2' oraz 3 i 3' łączy się odpowiednio z wyjściem twierdzącym i wyjściem przeczącym poszczególnych ogniw rejestru. Wejście-4 umożliwia wprowadzenie jeszcze jednego argumentu do dekodowania, a ponieważ nie jest to wymagane w pamięci PAO 6, zwiera się je w tym przypadku na stałe do masy.

Dekoder przystosowany jest do współpracy z rejestrem adresowym, na którego wyjściu może być poziom napięcia OV lub napięcie dodatnie +4,5V /przez oporność około 500  $\Omega$  /.



Rys. 4. Dekoder tranzystorowy

Podstawowym wymaganiem stawianym kluczom adresowym jest ich szybkie włączanie się i wyłączanie, gdyż od tego zależna jest bezpośrednio prędkość działania pamięci. Pewien problem może tu zwłaszcza stanowić wyłączanie się klucza, które odbywa się w warunkach, gdy przez tranzystor nie płynie już prąd przełączania rdzeni /generator prądowy został wyłączony wcześniej/, a jednocześnie w bazie tranzystora znajduje się jeszcze duży ładunek.

Dalszym istotnym wymaganiem jest mały spadek napięcia na kluczu podczas przepływu prądu, z czym wiąże się na ogół konieczność pracy w nasyceniu. Wówczas moc strat klucza jest mniejsza i można uniknąć stosowania radiatorów lub droższych tranzystorów dużej mocy.

Wreszcie bardzo ważnym parametrem jest wytrzymałość złącza K-E tranzystora na duże napięcia wsteczne, które istnieją w układzie wybierania w momencie zanikania prądu linii. Z kolei tranzystory, które przeznaczone są do pracy z dużymi napięciami wstecznymi są na ogół wolniejsze [7].

Z powyższych względów zachodzi potrzeba zaprojektowania układu sterującego tranzystor tak, by uzyskać możliwie małe czasy włączenia i wyłączenia klucza. Cel taki osiąga się przez zastosowanie transformatora o odpowiedniej przekładni i indukcyjności głównej.

Aby bliżej omówić działanie klucza wróćny jeszcze do rys. 2a. Po włączeniu się tranzystora T<sub>1</sub>, w uzwojeniu pierwotnym płynie prąd I<sub>1</sub> równy  $\frac{U_n U_{BE}(w_k)}{R}$ , gdzie n stosunek liczby zwojów uzwojenia pierwotnego do wtórnego,  $U_{BE}(w_k)$ spadek napięcia na złączu baza-emiter tranzystora T<sub>2</sub> przy tranzystorze przewodzącym,  $U_{CE}(w_k)$  spadek napięcia na złączu kolektor-emiter tranzystora T<sub>1</sub>.

W uzwojeniu wtórnym w pierwszej chwili płynie prąd  $I_{B1}$ równy n I<sub>1</sub>, który w miarę upływu czasu maleje wskutek wzrostu prądu magnesowania. Pod koniec impulsu sterującego, prąd ten winien mieć jeszcze wartość  $I_{B1}^{"}$ , wystarczającą do utrzymania tranzystora w stanie nasycenia. Po wyłączeniu się tranzystora T<sub>1</sub> wskutek istnienia prądu magnesowania, w uzwojeniu wtórnym transformatora płynie prąd  $I_{B2}$ , który powoduje wyłączenie się klucza. Przebiegi napięć i prądów w układzie pokazano na rys. 5.



Rys. 5. Przebiegi prądów w układzie klucza ze sterowaniem prądowym

Aby uzyskać mały czas włączenia się klucza należy dobrać dużą wartość  $I_{B1}^{\prime}$ , zaś warunkiem uzyskania małych czasów wyłączenia jest duża wartość prądu magnesowania, z czym wiąże się odpowiednio mała wielkość indukcyjności głównej transformatora.

Omówiony sposób sterowania klucza ma jednak pewne wady. Prąd bazy tranzystora silnie zależy tutaj od szerokości impulsu sterującego. Tranzystor może mieć zbyt duży ładunek w bazie, wskutek czego dłużej się wyłącza jeżeli impuls ten jest zbyt wąski, lub też łatwo może wyjść z nasycenia przy impulsie za szerokim. W tych warunkach silniej uwidaczniają się też wpływy rozrzutu parametrów tranzystorów i wpływ temperatury na parametry kluczy. W celu polepszenia pracy układu, zamiast opornika R wprowadzono dwójnik złożony z elementów RLC [8], pokazany na rys. 6.

Zasadę działania tego dwójnika i jego współpracę z kluczem można w uproszczeniu następująco przedstawić.

W pierwszej chwili po włączeniu się tranzystora  $T_1$  do uzwojenia pierwotnego transformatora płynie prąd i<sub>1</sub> określony przez podane na dwójnik napięcie i opornik R<sub>1</sub>, gdyż kondensator C zwiera wtedy opornik  $R_2$ . Tranzystor  $T_2$  jest wówczas silnie wysterowany prądem bazy równym prądowi i<sub>1</sub> pomnożonemu przez przekładnię transformatora. Następnie kondensator ładuje się ze stałą czasu C  $\frac{R_1 \cdot R_2}{R_1 + R_2}$  do napięcia określonego przez dzielnik  $R_1$  i  $R_2$ , a prąd i<sub>1</sub> maleje do wartości określonej w przybliżeniu przez napięcie na dwójniku i sumę  $R_1$  i  $R_2$ . Wpływ indukcyjności L jest bowiem w tym czasie jeszcze do pominięcia,

Jednak w miarę upływu czasu prąd płynący przez L rośnie, wskutek czego wzrasta prąd i<sub>1</sub>. Stałą czasu z jaką to się odbywa -  $L/\frac{R_1+R_2}{R_1+R_2}$  można tak dobrać, by wzrost tego prądu rekompensował wzrost prądu magnesowania i<sub>m</sub> transformatora. W rezultacie prąd bazy tranzystora T<sub>2</sub> równy ni<sub>1</sub> - i<sub>m</sub> zachowuje prawie stałą wartość. Taka kompensacja ze względu na to, że wzrost prądu magnesowania przy dołączeniu do transformatora złącza B-E tranzystora ma charakter w przybliżeniu liniowy jest oczywiście możliwa tylko do czasu, gdy przebieg prądu i<sub>1</sub> jest zbliżony do liniowego. Z tego względu stała czasu L /  $\frac{R_1 \cdot R_2}{R_1 + R_2}$ winna być przynajmniej 1 ÷ 2-krotnie większa niż czas trwania impulsu.

Rys. 6. Układ klucza tranzystorowego z dwójnikiem RLC

Opisane wyżej zjawiska można przedstawić analitycznie. Załóżmy dla uproszczenia, że tranzystor T<sub>1</sub> włącza się skokowo oraz pomińmy indukcyjność rozproszenia transformatora. Przyjmijmy również, że napięcie  $U_{CE}(wk)$  na złączu kolektor-emiter tranzystora  $T_1$  oraz napięcie  $U_{EB}(wk)$  na złączu baza-emiter tranzystora  $T_2$  przy przewodzeniu prądu zmieniają się tak nieznacznie przy zmianie prądu, że można zmiany te pominąć.

Po włączeniu się tranzystora T<sub>1</sub> na dwójniku RLC powstanie napięcie U<sub>d</sub> równe

$$U_{d} = U - n U_{BE}(wk) - U_{CE}(wk)$$
 (1/

W efekcie popłynie prąd i<sub>1</sub>, którego transformata Laplace'a jest następująca:

$$I_{1}(s) = \frac{U_{d}\left(s^{2} + s \frac{1}{R_{2}C} + \frac{1}{CL}\right)}{\frac{R_{1}s}{c}\left(s^{2} + s \frac{1}{C} + \frac{1}{CL} + \frac{1}{CL}\right)}$$
 /2/

Wprowadźmy następujące oznaczenia:

$$R_{12} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

$$T_{C} = C R_{12}$$

$$T_{L} = \frac{L}{R_{12}}$$

$$/3/$$

$$/4a/$$

$$/4b/$$

Wówczas równanie /2/ przybiera postać

$$I_{1}(s) = \frac{U_{d}\left(s^{2} + s \frac{1}{R_{2}C} + \frac{1}{\tau_{C}\tau_{L}}\right)}{R_{1}s\left(s^{2} + s \frac{1}{\tau_{C}} + \frac{1}{\tau_{C}\tau_{L}}\right)}$$

151

Prąd i<sub>1</sub>(t) możemy obliczyć jako transformatę odwrotną równania /5/. <sup>Z</sup>auważmy przy tym, że wyróżnik mianownika tego równania jest większy od zera, gdyż jak wynika z przedstawio-

nego przedtem opisu działania dwójnika RLC, stała czasu  $\tau_L$ jest znacznie mniejsza od czasu trwania impulsu, a  $\tau_L$  większa od tego czasu, tzn. zachodzi związek

171

Otrzymamy wówczas

$$i_{1}(t) = \frac{U_{d}}{R_{1}} \left[ 1 - \frac{\frac{R_{2}}{R_{1} + R_{2}}}{\sqrt{1 - 4\frac{\tau_{C}}{\tau_{L}}}} e^{-\frac{1}{2\tau_{C}} \left(1 - \sqrt{1 - 4\frac{\tau_{C}}{\tau_{L}}}\right)t} \right]$$

$$+ \frac{\frac{R_2}{R_1 + R_2}}{\sqrt{1 - 4 \frac{\tau_0}{\tau_L}}} e^{-\frac{1}{2\tau_0} \left(1 + \sqrt{1 - 4 \frac{\tau_0}{\tau_L}}\right)t}$$

Korzystając z przybliżenia

$$\sqrt{1 - 4 \frac{\tau_{\tilde{g}}}{\tau_{L}}} \cong 1 - 2 \frac{\tau_{\tilde{g}}}{\tau_{L}}$$

otrzymany

$$i_{1}(t) \approx \frac{u_{d}}{R_{1}} \left[ 1 - \frac{\frac{R_{2}}{R_{1} + R_{2}}}{1 - 2\frac{\tau_{C}}{\tau_{L}}} e^{-\frac{t}{\tau_{L}}} \frac{\frac{R_{2}}{\tau_{L}}}{1 - 2\frac{\tau_{C}}{\tau_{L}}} e^{-\left(\frac{1}{\tau_{C}} - \frac{1}{\tau_{L}}\right)t} \right] /8/$$

Równanie to ze względu na założenie /6/ można uprościć jeszcze dalej do postaci

$$i_{1}(t) \cong \frac{U_{d}}{R_{1}} \left( 1 - \frac{R_{2}}{R_{1} + R_{2}} e^{-\frac{t}{\tau_{L}}} + \frac{R_{2}}{R_{1} + R_{2}} e^{-\frac{t}{\tau_{C}}} \right)$$
 /9/

Równanie /9/ daje zadowalającą z punktu widzenia praktyki dokładność. Różnice między przebiegiem rzeczywistym a obliczonym wyrażają się głównie w zmniejszeniu i przesunięciu początku przebiegu prądu i<sub>1</sub>, co jest wynikiem pominięcia przy wyprowadzaniu powyższych równań indukcyjności rozproszenia transformatora oraz wpływem skończonego czasu włączenia się tranzystora T<sub>4</sub>.

Przykładowo na rys. 7 przedstawiono przebiegi prądów w układzie zastosowanym w kluczach adresowych do pamięci PAO 6. Wartości poszczególnych elementów są następujące:  $R_1 = 120\Omega$ ,  $R_2 = 270\Omega$ , C = 750 pF, L = 90 µH. Na rysunku zaznaczono wartości prądu i<sub>1</sub>(t) obliczone według równania /9/.



Rys. 7. Przebiegi prądów w układzie klucza z dwójnikiem RLC

W realizacji praktycznej kluczy do pamięci PAO 6, jeden dwójnik przypada na 8 kluczy, gdyż tylko jeden z tych kluczy jest aktualnie wybierany /patrz rys. 3/.

Klucze zostały umieszczone na typowych pakietach pamięci PAO 6. Na jednym pakiecie znajduje się 16 kluczy, tworzących 2 zespoły z oddzielnymi dwójnikami Z /rys.8/. Emitery tranzystorów w jednym, a kolektory w drugim są ze sobą połączone, również zwarte na pakiecie są wejścia dekoderowe pary kluczy. Cały pakiet zawiera więc komplet kluczy do wybierania szyn poziomych lub pionowych matrycy wybierania linii /rys. 1/.



Rys. 8. Schemat ideowy pakietu kluczy adresowych

Oporniki R<sub>3</sub> służą do zmniejszenia napięcia przerzutu na transformatorze do takiej wartości, aby napięcie zwrotne na złączu B-E tranzystora było mniejsze od dopuszczalnego. Opornik R<sub>4</sub> służy do rozładowania pojemności rozproszonych na wejściu.

Klucze adresowe zbudowano na tranzystorze 2N3444. Odpowiednik tego tranzystora przewidziany jest do produkcji w kraju.

Stosownie do swego przeznaczenia, klucze zostały zaprojektowane z założeniem maksymalnego prądu 0.4 A i szerokości impulsu 0.8 µs. Typowe dane kluczy są następujące:

• spadek napięcia na kluczu przy I<sub>C</sub> = 0,4A < 1 V

•	czas	włączenia s	ię klucza	przy I <sub>C</sub> =	0,4 A	50 r	ıs
•	czas	wyłączenia	się klucza	przy Ic =	0,4 A	80 r	ıs

## 5. ZAKOŃCZENIE

Zastosowany w pamięci PAO 6 system wybierania jest wysoce ekonomiczny. Osiągnięto to dzięki przyjęciu wybierania dwustopniowego oraz oszczędnemu zaprojektowaniu kluczy adresowych. Jednocześnie uzyskano prędkość działania tych układów wystarczającą w zupełności dla założonego cyklu pamięci.

# Literatura

[1]	WRZESZCZ Z. i inni: Charakterystyka i sposób realizacji pamię- ci PAO 6, Prace IMM, w niniejszym zeszycie.
[2]	EDWARDS D.B.G.: High Speed Ferrite Core Storage System, Proc. IRE, 1964:9.
[3]	LANDSWERK O.: A Fast Coincident Current Magnetic Core Memory, IEEE Trans. on Electr. Comp., 1964: EC-13, 5.
[4]	RENWICK W.: Digital Storage Systems, London, 1964.
[5]	SYNAK R.: Generator impulsów prądowych do pamięci operacyjnej PAO 6, Prace IMM, w niniejszym zeszycie.

- [6] ŚWITALSKI A.: Zespół sterowania pamięci PAO 6, Prace IMM, w niniejszym zeszycie.
- [7] CHAPRON C.: Caractéristiques des transistors utilisés pour la commande de mémoires rapides à ferrite tension maximale d'emploi, Biuletyn firmy La Radiotechnique, TK15-CCMM Nr 1416A.
- [8] WOJTOWICZ B., SYNAK R.: Układ kluczy tranzystorowych sterowanych transformatorowo poprzez dwójnik formujący, przeznaczony do pracy w układach pamięci ferrytowej, Pat. nr 56854.

## СИСТЕМА ВЫБОРКИ АДРЕСОВ

## ЗАПОМИНАЕЩЕГО ОПЕРАЦИОННОГО УСТРОЙСТВА РАО 6

#### Резрие

Предметом работы является описание системы выборки здресных координат операционного запоминарщего устройства на ферритових сердечниках - РАО 6.

Эта система содержит диоднур матрицу, адресные ключи и цепи выборки ключей. Диодная матрица /рис.1/ содержит 4 диода в линии. Выборка отдельных шин матрицы происходит при помощи транзисторных ключей управляемых трансформаторами. Одна диодная матрица с ключеми служит для выборки 64 линий х или у блока содержащего 4096 слов. Ток в избранной линии определяется таковым генератором [5], общим для цепей выборки линий х или у четырёх блоков.

Схема выборки ключей тоже общая для такого же числа схем выборки линий /рис.3/. Схема составляет матрицу, элементами которой являются транзисторный депифратор и транзисторные ключи схемы управления тоже трансформаторные.

Задачей дешифратора /рис.4/ является декодирование информации, заклоченной в адресном регистре.

Выход дешифратора присоединен к одному концу первичных обмоток трансформаторов пары ключей /считывание и запись/ четырех блоков. Другой конец этих первичных обмоток подключен к соответствующему двуполоснику Z, присоединейному к ключам схем управления. В зависимости от того который блок был избран и какова фаза работы запоминающего устройства – считывание или запись – ведущем является один из 8 ключей схемы управления и ток проходит через двуполосник Z к обмотке трансформатора, избранной дешифратором. В результате, ключ

Принцип постройки адресных ключей указан на рис.6 [8]. Ток в нервичной обмотке трансформатора формируется при помощи выше упомянутого двуполосника Z сложенного из элементов \* R<sub>1</sub>, R<sub>2</sub>, L и C. Такая схема, по отношению к конвенциональной /рис.2a/ имеет то преимущество, что управление транзистора в небольшой степени зависит от ширины управляющего импульса. Это показывают рис.5 и 7. Анализ действия двуполосника проведен в разделе 4. Что касается практического изготовления клочей, они помещены на типовых пакетах запоминающего устройстве. Один пакет содержит 2 схемы по 8 клочей /рис.8/, соответственно соединенных, благодаря чему её можно использовать неносредственно для выборки 8 шин матрицы выборки линий. Максимальный ток ключа 0,4 А, время включения меньше 50 исек, а время выключения меньше 80 исек.

#### ADDRESS SELECTION CIRCUITS OF THE OPERATIONAL STORAGE PAO 6

#### Summary

The subject of the paper is the description of coordinate address selection circuits of the operational storage PAO 6.

These circuits contain: a diode matrix, address switches and a system selecting them. The diode matrix /fig. 1/ has 4 diodes per line. The matrix rails are selected by means of transformer coupled transistor switches. One diode matrix with switches serves to select 6A lines X or Y of a block containing 4096 words. The current of the selected line is determined by the current generator [5] common for the systems of selecting lines X or Y of four blocks.

The system of the switches selecting is also common for switches of four blocks /fig. 3/. This systems forms a matrix the elements of which are the transistor decoder and the transistor switches /also transformer coupled/ of the control system. The decoder /fig. 4/ has to decode information contained in the address register.

The decoder output is connected with one end of the initial wiring of transformers of a pair of switches /read and write/ of four blocks. The other end of this wiring is connected with the Z two-terminal in turn connected with the control system switches. Depending on the block and the storage operation phase being read or write, one of 8 control system switches is on, and the current flows through the Z two-terminal to the wiring of transformers selected by the decoder. Finally, the switch connected with the transformer is on.

The principle of constructing the address switch is given in fig. 6 [8]. The current in the transformer initial wiring is formed by means of the above mentioned two-terminal Z composed of elements  $R_1$ ,  $R_2$ , L and C.

Such a system in relation to a conventional one /fig. 2a/ has the advantage that the control of the transistor is little dependent on the width of the control pulse. This is shown in fig. 5 and 7. The analysis of two-terminal operation is presented in chapter 4.

As far as the practical realization of switches is concerned, they are placed in typical storage packets. One typical packet contains 2 sets of 8 switches /fig. 8/ appropriately connected, due to which the set can be directly used to select 8 rails of the time selecting matrix. The maximum switch current is 04A, the time of switching on is less than 50 µs, and the time of switching off - less than 80 µs.



681.327.12:681.327.66.042.15

Prace IMM Zeszyt 3 © 1971.12

> UKŁADY TORU ODCZYTU PAMIĘCI OPERACYJNEJ PAO 6 Marian JOZANIS

> > Prace zlożono 30.08.1969

Omówiono warunki pracy układów odczytu informacji w pamięci operacyjnej PAO 6 oraz przedyskutowano wymagania stawiane tym układom. Podano opis i analizę zastosowanego rozwiązania układowego. Sformułowano równanie określające napięcie na złączu baza-emiter tranzystora jako funkcję temperatury i punktu pracy. W wyniku analizy układu otrzymano równanie charakteryzujące pracę dyskryminatora /stopień róźnicowy z pojemnościowym dodatnim sprzężeniem zwrotnym/ przy progowych poziomach sygnałów.

## SPIS TREŚCI

1.	WSTEP	138
2.	WYMAGANIA STAWIANE UKŁADOM TORU ODCZYTU PAMIĘCI PAO 6 I WA-	
	RUNKI ICH PRACY	140
3.	OPIS UKŁADÓW TORU ODCZYTU PAMIĘCI PAO 6	145
3.1.	Przedwzmacniacz	145
3.2.	Wzmacniacz z układem dyskryminacji	146
4.	ANALIZA WYBRANYCH ZAGADNIEŃ UKŁADÓW TORU ODCZYTU PAMIĘCI	
	PAO 6	148
4.1.	Schemat zastępczy tranzystora	148
4.2.	Napięcie asymetrii pary tranzystorów w stopniu różnicowym	
	i jego dryf	149
4.3.	Analiza układu dyskryminacji toru odczytu PAO 6	152
4.4.	Charakterystyka $U_{\mu} = f(U_{g})$ . Obliczenia i wyniki pomiarów	165
5.	PODSUMOWANIE	170
Liters	atura	171

# 1. WSTEP

W pamięciach typu 3D z czterema uzwojeniami jedno uzwojenie, nazywane uzwojeniem odczytu, jest wykorzystywane wyłącznie do identyfikacji stanu magnetycznego rdzeni odpowiadających pewnej liczbie adresów jednego z bitów słowa. W części odczytowej cyklu pracy pamięci, pomiędzy końcami tego uzwojenia pojawia się sygnał, którego amplituda zależy od stanu magnetycznego rdzenia o wybranym adresie. Jedynce odpowiada sygnał o amplitudzie dV, większej od amplitudy sygnału zera /dV\_/. Oprócz sygnałów użytecznych występują również sygnały zakłócające. Mianowicie, prądy połówkowe, z których składa się prąd przemagnesowujący rdzeń o wybranym adresie, przepływając przez uzwojenia adresowe powodują częściowe przemagnesowanie innych rdzeni znajdujących się na przewodach uzwojeń adresowych. Ze względu na nieidealną prostokątność pętli histerezy rdzeni oraz asymetrię sprzężeń elektromagnetycznych pomiędzy uzwojeniem odczytu a uzwojeniami adresowymi, na końcu uzwojenia odczytu w czasie przepływu prądów połówkowych zapisu lub odczytu mogą pojawić się sygnały /zakłócenia/ o amplitudach większych od amplitudy sygnałów dV, i dVo. Obniżenie amplitudy sygnałów zakłócających osiąga się przez takie ułożenie przewodu uzwojenia odczytu, aby niezależnie od adresu wybranego rdzenia, sygnały od każdej odpowiednio ustalonej pary rdzeni częściowo przemagnesowywanych odejmowały się, a przeniki indukcyjne kompensowały\* . Efektem ubocznym takiego ułożenia przewodu odczytu jest uzależnienie polarności sygnału dV, i dV, od adresu wybranego rdzenia. Sygnały zakłócające mają polarność zależną zarówno od adresów jak i stanu rdzeni częściowo przemagnesowywanych [14].

<sup>\*/</sup> Pełnej kompensacji zakłóceń, których przyczyną jest częściowe przemagnesowywanie się rdzeni /core delta noise signals/, praktycznie nie meżna osiągnąć [7], [14]. W pamięciach o dostatecznie dużych czasach cyklu, przy symetrycznym względem masy obciążeniu keńców uzwojenia odczytu przeniki pojemnościowe wywołują symetryczne względem masy sygnały zakłócające, a nie kompensujące się przeniki indukcyjne są przyczyną zakłócających sygnałów różnicowych.

Uzwojenia odczytu, obejmujące wszystkie adresy danego bitu słowa wraz z układami wzmacniania i dyskryminowania sygnału dV1, nazywane są torem odczytu jednego bitu. Główną funkcją układów toru odczytu jest odróżnienie sygnału dV, od sygnału dVo i sygnałów zakłócających. Ponieważ obniżenia amplitudy sygnałów zakłócających do poziomów mniejszych od amplitudy sygnału dV, nie można osiągnąć dla całego cyklu pracy pamięci /nawet, jeżeli liczba rdzeni objętych jednym uzwojeniem odczytu jest ograniczona do typowej dła pamięci tego typu liczby 4096 [7], [14]/, zachodzi konieczność wyróżnienia przedziału czasowego, w którym może pojawić się sygnał dV (dV) od pozostalej części cyklu pracy pamięci /jest to tzw. strobowanie/. Wybór układu w torze odczytu, na który podaje się impuls strobujący zależy m.in. od liczby uzwojeń odczytu przypadających na jeden bit, topologii układów i jakości wykorzystywanych elementów konstrukcyjnych. Wymienić tu można następujące rozwiazania:

- strobowanie na wejściu wzmacniaczy /przedwzmacniaczy/,
- strobowanie w układach wzmacniających /przedwzmacniacz, wzmacniacz/,
- strobowanie na wejściu układu dyskryminacji,
- strohowanie w układzie dyskryminacji,
- strobowanie za torem odczytu /np. w układach na styku toru odczytu z rejestrem informacji/,
- strobowanie w dwóch różnych miejsoach /zwykle jeden strob wyróżnia część toru odczytu związaną z jednym uzwojeniem odczytu, a drugi odpowiednią część cyklu pracy pamięci/.

Jeszcze większa różnorodność rozwiązań występuje w topologii wzmacniaczy i układów dyskryminacji. Ogólnie biorąc można jednak stwierdzić, że:

- wzmacniacze toru odczytu są stopniami różnicowymi,
- stopnie różnicowe są bądź szerokopasmowymi wzmacniaczami prądu stałego bądź prądu zmiennego /ze sprzężeniami pojemnościowymi lub transformatorowymi/.

Niżej zostaną omówione wymagania stawiane układom toru odczytu oraz w jakim stopniu zostały spełnione w torze odczytu pamięci operacyjnej PAO 6.

W dalszej części przeprowadzona będzie analiza wybranych zagadnień związanych z omawianym torem odczytu oraz porównanie wyników obliczeń i pomiarów dla tzw. sygnałów progowych.

# 2. WYMAGANIA STAWIANE UKŁADOM TORU ODCZYTU PAMIĘCI PAO 6 I WA-RUNKI ICH PRACY

W pracy [8] podjęto próbę sformułowania wymagań stawianych układom toru odczytu. Stopień ich spełnienia zależy nie tylko od topologii układów, wykorzystywanych elementów ale i od miejsca doprowadzenia impulsu strobującego. Rozpatrzmy jak tor odczytu PAO 6, którego schemat blokowy pokazano na rys.1, spełnia stawiane mu wymagania. Tor ten zawiera: cztery uzwojenia odczytu, oztery przedwzmacniacze<sup>\*/</sup>, wzmacniacz i układ



Rys. 1. Schemat blokowy toru odczytu PAO 6

Układ może być rozbudowany i mieć osiem przedwzmacniaczy. Do każdego przedwzmacniacza podłączone jest jedno uzwojenie odczytu dyskryminacji. Strobowane są tylko przedwzmacniacze. Przedwzmacniacze i wzmacniacz są stopniami różnicowymi prądu stałego. Dyskryminator jest również stopniem różnicowym z dodatnim sprzężeniem zwrotnym /dokładniejsze omówienie układów toru odczytu PAO 6 podano w pkt. 3/.

Zaletą rozwiązania pokazanego na rys. 1 jest złagodzenie niektórych wymagań stawianych układowi dyskryminacji i wzmacniaczowi oraz nieznaczna ilość sprzętu przypadająca niezależnie na każde uzwojenie odczytu. Wadą - zaostrzenie wymagań stawianych przedwzmacniaczowi. Dokładniejsze omówienie warunków pracy, wymagań i parametrów układów toru odczytu pamięci PAO 6, podano niżej.

## Impedancja wejściowa wzmacniacza odczytu

W uzwojeniu odczytu, jak to opisano wyżej, oprócz sygnału użytecznego występują sygnały zakłócające. Szybkość zmian sygnałów zakłócających, zwłaszcza przeników, jest na ogół kilkakrotnie większa od szybkości zmian sygnałów użytecznych. Ze względu na skończone wartości pojemności i indukcyjności przewodu odczytu, sygnały na końcach uzwojenia odczytu moga pojawiać się z opóźnieniem porównywalnym z szybkością ich zmian. W niektórych przypadkach, ze względu na opóźnienia i odbicia, zachodzi konieczność rozpatrywania uzwojenia odczytu jako układu o stałych rozłożonych. Dlatego parametrami określanymi dla uzwojenia odczytu są, oprócz oporności omowej, impedancja falowa i opóźnienie. W przypadku pamięci PAO 6, impedancja falowa wynosi około 300 Q , opóźnienie sygnału 20 ÷ 30 ns, oporność omowa 27 Q . Przy pracy w warunkach dopasowania bez odbić - impedancja wejściowa wzmacniacza wynosi 300 Ω ; sygnały dV, i dV, na wejściu wzmacniacza są o około 10% mniejsze od sygnałów z rdzenia.

.

Czas zaniku stanów nieustalonych we wzmacniaczu po silnym przesterowaniu

Parametr ten jest bardzo istotny wtedy, gdy tranzystory wzmacniaczy toru odczytu mają punkt pracy w obszarze aktywnym przez cały cykl pracy pamięci. W rozwiązaniu według schematu blokowego z rys. 1 parametr ten nie jest krytyczny, ponieważ wzmacniać sygnały może tylko ten przedwzmacniacz, na który podany jest sygnał strobujący /np. S1/. Ponieważ strobowania dokonuje się tylko wtedy, gdy na końcach uzwojenia odczytu może pojawiać się bądź sygnał dV<sub>1</sub>, bądź sygnał dV<sub>0</sub>, wzmacniacz z założenia nie może być przesterowany. Wadą takiego rozwiązania jest możliwość pojawienia się sygnałów zakłócających od strobu. W przypadku PAO 6, przez odpowiedni dobór tranzystorów oraz rozmieszczenie elementów konstrukcyjnych, zakłócenie od strobu obniżono do poziomu nie większego niż 4 mV w odniesieniu do wejścia przedwzmacniacza.

## Szerokość pasma przenoszenia stopni wzmacniających

Szerokość pasma częstotliwości przenoszonych przez wzmacniacze toru odczytu wynosi w zależności od cyklu pracy i typu pamięci – od kilku do kilkudziesięciu MHz. W niektórych rozwiązaniach, dla lepszego rozróżnienia sygnału dV<sub>1</sub> od pozostałych, celowo ogranicza się szerokość pasma bądź od góry bądź od dołu [13]. Pasmo wzmacniaczy toru odczytu PAO 6 wynosi około /O ÷ 15/MHz/<sup>\*/</sup>. Przez dołączenie pojemności do wspólnego dla wszystkich czterech przedwzmacniaczy wejścia wzmacniacza, można ograniczyć pasmo od góry do wymaganej wartości.

## Współczynnik tłumienia sygnałów symetrycznych

Na końcach uzwojenia odczytu występują, głównie pod wpływem przeników pojemnościowych z uzwojeń adresowych i uzwoje-

Sposób określania wymaganej szerokości pasma wzmacniaczy odczytu podano w pracy Goldsticka i Eleina /"Design of Memory Sense Amplifiers" - IRE Trans. vol. EC-11, pp. 236-253 April 1962/.
nia zakazu, sygnały symetryczne względem ziemi. Sygnały te, przy nieznacznej asymetrii wzmacniaczy bądź ich obwodów wejściowych, powodują pojawienie się na wyjściu wzmacniacza sygnałów różnicowych. Wymagane jest, aby współczynnik tłumienia sygnałów symetrycznych /w literaturze angielskiej nazywany Common Mode Rejection Ratio/ był nie mniejszy od 40 dB. Wartość tego współczynnika dla wzmacniaczy toru odczytu PAO 6 jest rzędu 60 dB.

### Czas zaniku stanów nieustalonych w dyskryminatorze

Efektywny czas pracy dyskryminatora współpracującego ze wzmacniaczem odczytu stanowi na ogół 0,1 ÷ 0,2 cyklu pracy pamięci. Jeżeli w ciągu pozostałej części cyklu na wejście dyskryminatora nie są podawane sygnały o amplitudach bliskich poziomowi dyskryminacji /tak jest w PAO 6/, czas ten może być przeznaczony na zregenerowanie nominalnego poziomu dyskryminacji po ostatnim zdyskryminowanym sygnale dV<sub>1</sub>.

W przypadku, gdy strobowania dokonuje się na wyjściu dyskryminatora /a nie we wzmacniączach bądź samym dyskryminatorze/, wymagania odnośnie czasu zaniku stanów przejściowych, w wyniku których ma zostać przywrócony nominalny poziom dyskryminacji,są bardzo zaostrzone, ponieważ inne sygnały /np.od częściowego przemagnesowania innych rdzeni/ mogą być większe od napięcia progowego układu i wystepować w najbliższym otoczeniu sygnału użytecznego dV<sub>1</sub> /dV<sub>0</sub>/. W przypadku ogólnym wymagana wartość tego czasu wynosi, w zależności od czasu cyklu pamięci i konkretnych rozwiązań schematowych, od kilku do kilkudziesięciu nanosekund.

# Inne parametry układu dyskryminacji, uwzględniane przy ocenie jego przydatności w torze odczytu

Oprócz omówionego wyżej czasu przywracania nominalnego poziomu dyskryminacji, innym parametrem służącym do oceny szybkości dyskryminatora jest wymagany minimalny czas trwania wartości szczytowej dyskryminowanego sygnału. W układzie z toru odczytu PAO 6 czas ten wynosi około 15 ns.

Dyskryminator o wystarczająco dobrych parametrach częstotliwościowych można ponadto scharakteryzować następującymi wielkościami:

- maksymalną amplitudą sygnału wejściowego, która nie wywołuje na wyjściu dyskryminatora żadnego sygnału,
- minimalną amplitudą sygnału wejściowego, która wywołuje na wyjściu sygnały o pełnej amplitudzie,
- stałością wymienionych sygnałów wejściowych,
- wymaganiami dotyczącymi impedancji źródła sygnałów dyskryminowanych,
- poziomem sygnałów wyjściowych,
- impedancją wyjściową,
- przydatnością do dyskryminowania sygnałów dodatnich i ujemnych na tym samym poziomie, bez konieczności wstępnego prostowania.

Średnia arytmetyczna wymienionych wyżej granicznych amplitud sygnału wejściowego określa próg dyskryminacji, a ich różnica zakres niejednoznaczności progu dyskryminacji. Im mniejszy jest próg dyskryminacji i zakres jego niejednoznaczności, tym prostsze i ekonomiczniejsze mogą być układy poprzedzające w torze dyskryminator, który ma odróżniać sygnały o małej różnicy amplitud.

Układ dyskryminatora toru odczytu PAO 6 oparto na wzmacniaczu różnicowym z pętlą dodatniego sprzężenia zwrotnego. Ponieważ pętla sprzężenia zwrotnego jest wspólna dla sygnałów obydwu polarności, właściwości dynamiczne układu dyskryminacji praktycznie nie zależą od tego, czy sygnał jest dodatni czy ujemny. Ze względu na małą obciążalność i konieczność dostosowania się do poziomów typowych dla układów logicznych, dodano za układem dyskryminacji stopień wzmacniający na jednym tranzystorze.

## 3. OPIS UKŁADÓW TORU ODCZYTU PAMIĘCI PAO 6

## 3.1. Przedwzmacniacz

Na rys. 2 pokazano schemat ideowy przedwzmacniacza oraz układów z nim współpracujących. W stanie spoczynkowym tranzystory T1, T2, T3 przedwzmacniacza oraz tranzystor T<sub>s</sub> układu strobowania mają punkt pracy w obszarze odcięcia. Punkt



Rys. 2. Przedwzmacniacz toru odczytu PAO 6 oraz układy współpracujące z nim

1 - przedwzmacniacz, 2 - uzwojenie odczytu, 3 - układ strobowania /jeden dla 25 bitów bloku o pojemności 4096 słów/, 4 - wzmacniacz z układem dyskryminacji /jeden dla czterech lub ośmiu przedwzmacniaczy danego bitu - patrz rys. 4/, 5 - układ stabilizujący punkt pracy stopni różnicowych /jeden dla wszystkich przedwzmacniaczy i wzmacniaczy PAO 6/ pracy tranzystorów T1, T2, T3 w czasie odczytu jest w obszarze aktywnym, ponieważ tranzystor  $T_s$ , wspólny dla wszystkich przed-wzmacniaczy danego bloku, jest w nasyceniu.

Suma prądów emiterowych tranzystorów T1 i T2 /~ 4 mA/, równa prądowi kolektora tranzystora T3, jest określona w przybliżeniu wyrażeniem  $\alpha_{3} \frac{E_{p} - U_{BE_{3}} - U_{CE_{5}}}{R_{3}}$ . Czas włączania przedwzmacniaczy zależy od czasu narastania impulsu strobującego /tranzystory T1, T2, T3 mają  $f_{T} \approx 300$  MHz, a dla impulsu strobującego pracują w układzie OB/. Szerokość impulsu strobującego zależy od tego, jak długo tranzystor T<sub>2</sub> jest w nasyceniu. Koniec impulsu strobującego odpowiada chwili, w której zaczynają maleć prądy przemagnesowujące rdzenie; początek strobu jest dobierany tak, aby uzyskać optymalny stosunek sygnału dV<sub>1</sub> do amplitudy zakłóceń /w tym dV<sub>0</sub>/. Obciążeniem dla przedwzmacniacza jest impedancja wejściowa wzmacniacza.

## 3.2. Wzmacniaz z układem dyskryminacji

Schemat wzmacniacza i współpracującego z nim układu dyskryminacji pokazano na rys. 3<sup>¥/</sup>.





Patent Nr 58316

Impedancja wejściowa stopnia różnicowego, zawierającego m.in. tranzystory T4, T5, T6, stanowi obciążenie dla tego przedwzmaoniacza, którego tranzystory mają punkt pracy w obszarze aktywnym. Dyskryminator, do którego należą tranzystory T7, T8, T9 ma jedną wspólną dla sygnałów obydwu polarności pętlę dodatniego sprzężenia zwrotnego /elementy R14, R15 i C1/. Próg dyskryminacji zależy od rozpływu prądów kolektorowych tranzystorów T4 i T5 pomiędzy opornikami R9 ÷ R13 i określony jest w przybliżeniu spadkiem napięcia na opornikach R11 /R12/ i R14. Rozpływ tych prądów może być regulowany przez zmianę pokazanego na rysunku zewnętrznego źródła napięciowego U<sub>H</sub>. W nominalnych warunkach pracy U<sub>H</sub> = O.

Działanie układu dyskryminacji jest następujące. W stanie spoczynkowym, gdy sygnał różnicowy na wyjściu wzmacniacza jest bliski zera, napięcie na bazie tranzystora T9 jest bardziej dodatnie od napięć na bazach tranzystorów T7 i T8, które są w stanie odcięcia. W stanie odcięcia jest również tranzystor T10. Gdy sygnał różnicowy jest dostatecznie duży, a znak taki, że prąd kolektorowy tranzystora T4 jest mały /a T5 duży/, napięcie na bazie T7 może być bardziej dodatnie niż na bazie T9. Jeżeli prąd kolektora tranzystora T4 zmniejszy się dostatecznie, różnica napięć pomiędzy bazami tranzystorów T9 i T7 będzie bliska zera, punkt pracy obu wymienionych tranzystorów znajdzie się w obszarze aktywnym. W takich warunkach tranzystory T7 i T9 tworzą wzmacniacz różnicowy z dodatnim sprzężeniem zwrotnym, a dzięki temu przejście punktu pracy tranzystora T9 w obszar odcięcia jest dostatecznie szybkie. Zmiana punktu pracy tranzystora T9 powoduje wejście w nasycenie tranzystora T10. Stan taki odpowiada zdyskryminowaniu sygnału dV,. Powrót układu do stanu spoczynkowego może rozpocząć się dopiero wtedy, gdy sygnał różnicowy będzie mniejszy od tego, który wywołał przejście punktu pracy tranzystora T7 w obszar aktywny. Różnica amplitud sygnałów powodujących najpierw odcięcie T9 a potem T7 /tzw. histereza/ jest nie mniejsza od 0.35V. Przed podaniem kolejnego sygnału układ powinien wrócić do stanu spoczynkowego. Czas trwania stanów przejściowych, po

zakończeniu których zostanie odtworzona nominalna wartość progu, jest rzędu 4.6 t /t stała czasu określona w pkt. 4, o wartości rzędu 200 ns/.

Dla sygnałów różnicowych przeciwnej polarności, gdy maleje prąd tranzystora T5 /a T4 rośnie/, rolę tranzystora T7 w dyskryminatorze przejmuje tranzystor T8. Dokładniejsze określenie progu dyskryminacji i wielkości, które wpływają na jego zmiany podano w pkt. 4.3.

# 4. ANALIZA WYBRANYCH ZAGADNIEŃ UKŁADÓW TORU ODCZYTU PAMIĘCI PAO 6

Celem przeprowadzonej niżej analizy jest sformułowanie zależności charakteryzujących pracę układu dyskryminacji i stopni różnicowych oraz ocena czułości najważniejszych parametrów tych układów na zmiany temperatury otoczenia i punktu pracy.

## 4.1. Schemat zastępczy tranzystora

Przyjęty do analizy stopni różnicowych schemat zastępczy tranzystora, poprawny dla prądu stałego i niezbyt wielkich częstotliwości pokazano na rys. 4. Nieliniowy układ równań, opisujący związki między napięciami i prądami w obszarze aktywnym /rys. 4b/, otrzymuje się z równań Ebersa i Molla przy założeniu, że prądy zerowe są wielokrotnie mniejsze od prądów w wybranym punkcie pracy, a napięcia na złączach emiterowych i kolektorowych są co do wartości bezwzględnej kilkakrotnie większe od napięcia  $V_{\rm T} = \frac{k_{\star} {\rm T}}{q}$  /T - temperatura w skali Kelvina,  $\frac{k}{q} = 0.08625$  [mV/°C] /. Powyższe uproszczenia są słuszne dla stosowanych w układzie epiplanarnych tranzystorów krzemowych /np. 2N2369/, nawet dla stosunkowo dużego zakresu prądów [5].



Rys. 4. Schemat zastępczy tranzystora w obszarze aktywnym, przyjęty do analizy układów toru odczytu

Równanie opisujące zależność prądu emiterowego /kolektorowego/ od temperatury T, przy napięciu na złączu baza-emiter wynoszącym U<sub>be</sub>, jest następujące [2], [3]:

$$I_{E}(T) = A \cdot T^{T} \cdot e^{\frac{O_{be} - V_{go}}{V_{T}}} /1/$$

- gdzie: A stała, zależna od geometrii tranzystora, a niezależna praktycznie od temperatury i napięć,
  - V<sub>go</sub> szerokość pasma zabronionego, ekstrapolowana dla temperatury zera bezwzględnego i wynosząca dla tranzystorów krzemowych n-p-n około 1,205V,
  - n współczynnik, przyjmujący dla tranzystorów krzemowych n-p-n wartość 1,5,

Vm - napięcie określone wyżej<sup>#/</sup>.

4.2. Napięcie asymetrii pary tranzystorów w stopniach różnicowych i jego dryf

Stopnie różnicowe występują w torze odczytu pamięci PAO 6 trzykrotnie: w przedwzmacniaczu, wzmacniaczu i dyskryminato-

- 149 -

W niektórych publikacjach występuje odwrotność wielkości V<sub>T</sub>, oznaczana przez  $\Omega$  lub  $\lambda$ . Dla T = 23°C, V<sub>T</sub>  $\approx$  26 mV.

rze. W każdym z wymienionych układów, oporności, przez które płyną prądy bazy lub kolektora są nie większe od kilkuset omów. W takich warunkach, ze względu na bardzo małe wartości prądów zerowych w tranzystorach krzemowych, ich wpływ na sygnał asymetrii i jego dryf może być w interesującym nas zakresie napięć pominięty. Główną przyczyną asymetrii i jej zmian będzie różnica napięć na złączu baza emiter<sup>\*/</sup>.

Przyjmując, że prąd emitera  $I_E$  jest ustalony i niezależny od temperatury T, można na podstawie równania /1/ określić napięcie  $U_{be}(T)$  na złączu emiterowym dla temperatury T, gdy znamy  $U_{be}(T_0)$  dla temperatury T, to jest, zakładając że:

$$I_{E}(T) = I_{E}(T_{o}),$$

możemy napisać:

A.  $T^{n}e^{\frac{U_{be}(T)-V_{go}}{V_{T}}} = A \cdot T^{n}_{o} e^{\frac{U_{be}(To)-V_{go}}{To}}$ 

a stad po odpowiednich przekształceniach mamy:

$$U_{be}(T) = U_{be}(To) \cdot \frac{T}{T_o} - V_{go} \frac{T - T_o}{T_o} + \frac{nkT}{q} \ln \frac{T_o}{T}$$

Zależność zbliżoną do /2/ podano w [3]. Należy zauważyć, że w literaturze. np. [9] podaje się zależność typu  $\frac{dU_{ER}}{dT}$  |  $I_{ER} \approx -C$  gdzie C  $\approx$  (1,8 ÷ 2,3) mV/°C. Z zależności /2/ /lub podanej w [3] / widać, że wymieniana w literaturze

121

<sup>m/</sup> Różnice w wartościach parametru ∝/lub β / nie mają decydującego wpływu na dryf napięcia asymetrii w stopniu wejściowym /przedwzmacniacz/, ponieważ rezystancja źródła jest rzędu 30 Ω, a prądy baz rzędu 50 µA. Napięcie asymetrii wywołane różnicą prądów baz rzędu 10 µA na rezystancji źródła i różnicy oporności rb /np. Δ rb ≈ 20 Ω przy średniej wartości rb ~ 50 Ω / nie przekracza 0,5 mV, a dryf jest odpowiednio mniejszy. Zbliżone wartości α w parze tranzystorów są jednak konieczne, ponieważ dla różnych α nie można - bez dodatkowych zabiegów symetryzujących parę tranzystorów - uzyskać dużego współczynnika tłumienia sygnałów symetrycznych. wielkość C przy niezbyt dużym zakresie zmian temperatury otoczenia może być uważana za stałą, <u>zależną od wybranego punktu</u> <u>pracy w temperaturzę</u> T<sub>o</sub>. Ten ostatni fakt nie jest w literaturze podkreślany, a ponadto brak oceny ilościowej jego wpływu na zmianę wartości C.

Równanie /2/ można wykorzystać do wyznaczenia różnicy napięć U<sub>be</sub> dwóch tranzystorów  $T_1$  i  $T_2$ , mających tę samą temperaturę złącza T, jeżeli znamy tę wielkość dla temperatury  $T_0$ . Równanie takie ma postać:

$$\Delta U_{be_{1,2}} (T) = \left[ U_{be_{1}}(T_{o}) - U_{be_{2}}(T_{o}) \right] \cdot \frac{T}{T_{o}}$$
 /3/

Na podstawie podanego na schemacie zastępczym tranzystora /rys. 4/ równania UL

oraz równania /1/, możemy napisać następujące równanie, analogiczne do równania /3/, to jest:

$$\Delta \mathbf{U}_{be_{1,2}}(\mathbf{T}) = \mathbf{V}_{\mathbf{T}} \ln \frac{\mathbf{I}_{\mathbf{ES}_{2}}(\mathbf{T})}{\mathbf{I}_{\mathbf{ES}_{1}}(\mathbf{T})} + \mathbf{V}_{\mathbf{T}} \ln \frac{\mathbf{I}_{\mathbf{E}_{1}}}{\mathbf{I}_{\mathbf{E}_{2}}},$$

gdzie I<sub>ES1(2)</sub> jest określone równaniem:

$$I_{ES_{1}(2)}(T) = A_{1}(2) \cdot T^{n} \cdot e^{-\frac{V_{go}}{V_{T}}}$$

138/

Równanie /3/ i równoważne mu równanie /3a/ można z kolei zapisać w postaci:

$$\Delta U_{be_{1,2}} = \Delta C_{1,2} \cdot T_{\bullet}$$

Parametr  $\Delta C_{1,2}$  określa przyrost różnicy napięć bazaemiter dwóch tranzystorów /dryf/ przy zmianie temperatury złącza obydwu tranzystorów o 1°C. Równania określające wartość tego parametru w zależności od punktów pracy i geometrii tranzystorów są następujące:

$$\Delta C_{1,2} = \frac{k}{q} \ln \frac{A_2}{A_1} + \frac{k}{q} \ln \frac{I_{E_1}}{I_{E_2}}, \qquad /4/$$
$$\Delta C_{1,2} = \frac{U_{be_1}(T_o) - U_{be_2}(T_o)}{T_o} \cdot /4a/$$

Przyjmując, że prądy emiterów obydwu tranzystorów są takie same, a tak jest lub powinno być w stopniach różnicowych w nominalnych warunkach pracy, możemy na podstawie równania /3a/ napisać:

$$\Delta U_{be_{1,2}}(T) = \frac{Tk}{q} \ln \frac{A_2}{A_1}$$
 . /5/

Z równań /4/ i /5/ wynika, że do uzyskania małego dryfu, tranzystory muszą mieć zbliżone wartości parametru A, a to można z kolei osiągnąć przez odpowiednie ich dobieranie /parowanie/. Na zagadnienie to zwrócono szczególną uwagę, a rezultaty uzyskane w wyniku podjętych prac /różnice napięć U<sub>be</sub> rzędu 1 mV/ uznano za w pełni zadowalające<sup>#/</sup>.

## 4.3. Analiza układu dyskryminacji toru odczytu PAO 6

Przyjęty do analizy schemat dyskryminatora oraz sposób jego sterowania ilustruje rys. 5. Pokazane na tym rysunku generatory prądowe  $/J_0 - \Delta J_0/i / J_0 + \Delta J_0/$ , odpowiadają prądom kolektorowym tranzystorów stopnia różnicowego. Generator

Patent Nr 58416 "Sposób dobierania par tranzystorów".

prądowy J określa sumę prądów emiterowych tranzystorów  $T_7$  i  $T_9$  dyskryminatora. Założenie, że suma prądów emiterowych tranzystorów dyskryminatora jest stała spełnione jest z dużą dokładnością do chwili, gdy napięcie na bazie  $T_7$  jest równe napięciu na bazie  $T_9$  w stanie spoczynkowym /stan, dla którego  $I_{E7} = 0$ ,  $\frac{dU_0}{dt} = 0$ /. Ten zakres zmian napięć jest najbardziej istotny dla pracy układu. Wpływ prądów zerowych tranzystora T8 przy  $\Delta J_0 > 0$ , ze względu na ich małą wartość w porównaniu do pozostałych, jest pomijany. W analizie wykorzystano schemat zastępczy tranzystora pokazany na rys. 4.



Rys. 5. Schemat układu dyskryminacji przyjęty do analizy

Układ pokazany na rys. 5, przy założeniu, że punkty pracy obydwu tranzystorów są w obszarze aktywnym i  $R_9 = R_{10}$ ,  $R_{11} = R_{12}$ , może być opisany następującym układem równań:

$$V_{0}(t) = \frac{R_{9}}{2} \cdot \frac{m}{1+m} \cdot I_{B7}(t) + R_{9} \cdot \frac{m}{1+m} \cdot J_{0} + \frac{R_{13}}{1+m} \left[ I_{B9}(t) + C \frac{dU_{0}(t)}{dt} \right], \qquad /6/$$

$$\begin{split} v_{1}(t) &= v_{0}(t) = \frac{R}{2} \cdot \frac{2+m}{1+m} \cdot I_{B7}(t) - R \Delta J_{0}(t) + \frac{R}{1+m} J_{0} - \\ &= \frac{R_{11}}{2} \cdot \frac{m}{1+m} \left[ I_{B9}(t) + C \cdot \frac{dUc(t)}{dt} \right], \quad /7/\\ U &= R_{15} \left[ \propto_{7} I_{E7}(t) = C \cdot \frac{dUc(t)}{dt} \right] = - V_{0}(t) - U_{c}(t) - \\ &= R_{14} \left[ I_{B9}(t) + C \cdot \frac{dUc(t)}{dt} \right], \quad /8/\\ v_{1}(t) + r_{b7}^{*} \cdot I_{B7}(t) + U_{be7}(t) = V_{0}(t) + R_{14} \left[ I_{B9}(t) + \right. \\ &+ C \cdot \frac{dUo(t)}{dt} \right] + r_{b9}^{*} \cdot I_{B9}(t) + U_{be9}(t), \quad /9/ \end{split}$$

$$I_{E7}(t) + I_{E9}(t) = J,$$
 /10/

gdz .. e:

$$R = \frac{R_9 \cdot R_{11}}{R_9 + R_{11}}, \qquad /11/$$

$$m = \frac{2 R_{13}}{R_9 + R_{11}} \cdot \frac{12}{12}$$

Warunki początkowe zostaną omówione niżej.

Jeżeli tylko jeden tranzystor ma punkt pracy w obszarze aktywnym, np. T<sub>9</sub> /lub T<sub>7</sub>/, powyższy układ równań można uważać za obowiązujący nadal, pod warunkiem, że:

 w równaniu /9/ zamiast symbolu U<sub>be7</sub> /odpowiednio U<sub>be9</sub>/ wstawi się symbol U<sub>BE7</sub> /odpowiednio U<sub>BE9</sub>/, rozumiejąc pod nim różnicę napięć pomiędzy bazą i emiterem tego tranzystora, którego punkt pracy jest w obszarze odcięcia, • w pozostałych równaniach przyjmie się, że  $I_{E9} = J$ ,  $I_{E7} = I_{B7} = 0$  /odpowiednio  $I_{E7} = J$ ,  $I_{E9} = I_{B9} = 0$ /, a za niewiadome będzie się uważać napięcia  $V_0$ ,  $V_1$ ,  $U_c$ .

Układ równań /6/ do /10/ można zredukować do następującego układu dwóch równań:

$$U_{c}(t) + \tau \frac{dU_{c}(t)}{dt} = U_{o} + \frac{R_{A}}{A} \cdot I_{E7}(t),$$
 (13/

A. 
$$\tau \frac{dU_{c}(t)}{dt} = e(t) - \varepsilon [I_{E7}(t)],$$
 /14/

w którym dla zwiększenia zwartości zapisu, wprowadzono następujące oznaczenia pomocnicze:

$$e(t) = R \cdot \frac{J_o}{1 + m} - R \cdot \Delta J_o(t),$$
 /15/

$$\varepsilon \left[I_{E7}(t)\right] = V_T \ln \frac{J - I_{E7}(t)}{I_{E7}(t)} \cdot \frac{I_{ES7}}{I_{ES9}} -$$

/16/

+ 
$$(r_7 + r_9) \cdot I_{E7}(t) + r_9 \cdot J_{e7}(t)$$

$$\mathbf{r}_7 = (1 - \alpha_7) \left( \mathbf{r}_{b7}' + \frac{\mathbf{R}}{2} \cdot \frac{2 + \mathbf{m}}{1 + \mathbf{m}} \right),$$

$$\mathbf{r}_9 = (1 - \alpha_9) \left( \mathbf{r}_{b9} + \mathbf{R}_{14} + \frac{\mathbf{R}_{11}}{2} \cdot \frac{\mathbf{m}}{1 + \mathbf{m}} \right), \quad /17/$$

$$\tau = c \left( R_{15} + R_{14} + \frac{R_{13}}{1 + m} \right),$$
 /18/

$$A = \frac{R_{14} + \frac{R_{11}}{2} \cdot \frac{m}{1+m}}{R_{15} + R_{14} + \frac{R_{13}}{1+m}},$$
 /19/

$$R_{A} = A \cdot \left[ \propto 7R_{15} + (1 - \alpha 9) \left( R_{14} + \frac{R_{13}}{1 + m} \right) - \right]$$

+ 
$$(1 - \alpha_7) \cdot \frac{R_9}{2} \frac{2 + m}{1 + m}$$
], /20/

 $U_0 = -U - R_9 \cdot \frac{m}{1 + m} \cdot J_0 - (1 - \alpha_9) \left( R_{14} + \frac{R_{13}}{1 + m} \right) J_0 \cdot /21/$ 

Równania /14/ i /16/ mają sens tylko wtedy, gdy  $I_{E7}(t) \neq 0, J$ .

Wielkości określone równaniami pomocniczymi mają następującą interpretację:

- e(t) jest różnicą napięć pomiędzy bazami tranzystorów T<sub>7</sub> i T<sub>9</sub> - patrz /7/, gdy prądy baz i kondensatora są równe zeru /tzn. jest to sem źródła sygnałów/,
- $\mathcal{E}[I_{E7}(t)]$  jest sumą spadków napięć wywołanych przez sem e'/t/ przy przerwanej pętli sprzężenia zwrotnego /patrz 14/ dla  $\frac{dUo}{dt} \equiv 0/$ ,
- $r_7(r_9)$  oporność dwójnika widzianego od strony emitera tranzystora  $T_7/T_9/$  włączonego pomiędzy bazę wewnętrzną i masę przy odłączonym tranzystorze  $T_9/T_7/$ ,
- t stała czasu z jaką przeładowuje się kondensator, gdy prądy tranzystorów są stałe /patrz 13/ dla I<sub>E7</sub>(t) = const. /np. 0 lub J/,
- $R_A$  jest opornością, na której wystąpiłby sygnał sprzężenia zwrotnego o wartości  $R_A$  ·  $I_{E7}(t)$ , gdyby wartość pojemności C była nieskończenie duża /patrz/13/ i /14/ dla  $U_c(t) \equiv U_0/$ ,

- 156 -

W dalszej analizie przyjmiemy, że do chwili podania sygnału e(t) napięcie na kondensatorze było równe U<sub>o</sub>, natomiast za chwilę początkową przyjmiemy **takie**  $t = t_p$ , dla którego:

$$U_{c}(tp) = U_{o} - \Delta U_{c}(tp), \qquad /22/$$

gdzie  $\Delta U_{c}(tp)$  jest przyrostem napięcia na kondensatorza w czasie jaki upłynął od stanu spoczynkowego układu, do chwili gdy obydwa tranzystory mają punkt pracy w obszarze aktywnym, a wzmocnienie układu w pętli sprzężenia nie przekroczyło wartości 1. Takie sformułowanie warunków początkowych oznacza, że przyczyną każdego przyrostu napięcia na kondensatorze jest sygnał e(t), a jest wygodne dlatego, że wtedy forma zapisu funkcji e(t) może być wybrana niezależnie od wielkości pozostałych, np.:

• 
$$e(t) = R\left[\frac{J_o}{1+m} - \Delta J_o \cdot e^{-\left(\frac{t}{\delta}\right)^2}\right],$$
 /23a/

• 
$$e(t) = R \left[ \frac{J_o}{1+m} - \Delta J_o, \cos^2 \frac{t}{\tau_1} \right] dla - \frac{\pi}{2} \tau_1 < t < \frac{\pi}{2} \tau_1, /23b/$$

• 
$$e(t) = R \left[ \frac{J_0}{1 + m} - \Delta J_0 \left( 1 - e^{-\frac{t}{\tau_2}} \right) \right] dla t > 0.$$
 /23c/

Wielkość  $\Delta U_{c}(t_{p})$ , gdyby to było potrzebne, może być wyznaczona metodami przybliżonymi /np. linearyzacja charakterystyk U<sub>be</sub> = U<sub>be</sub>(I<sub>E</sub>) dla dostatecznie małych I<sub>E7</sub>/.

Równania /13/ i /14/ są równaniami różniczkow,mi liniowymi dla funkcji  $U_c(t)$ . W wyniku ich rozwiązania można uzyskać dwa równania określające  $U_c(t)$ . Eliminując z tych równań funkcję  $U_c(t)$  otrzymamy równanie:

$$\int_{tp}^{t} \left\{ \varepsilon \left[ I_{E7}(x) \right] + R_{A} \cdot I_{E7}(x) e^{-\frac{t-x}{\tau}} \right\} dx =$$

$$= \int_{tp}^{t} e(x) dx - \tau \cdot A \cdot \Delta U_{c}(t_{p}) \cdot \left( 1 - e^{-\frac{t-t_{p}}{\tau}} \right), \qquad /24/$$

zawierające już tylko jedną nieznaną funkcję  $I_{F7}(t)$ .

Równanie to po zróżniczkowaniu względem t przyjmuje postać:

/24a/

$$\varepsilon \left[ I_{E7}(t) \right] + R_{A} \cdot I_{E7}(t) - \frac{R_{A}}{\tau} \cdot e^{-\frac{t}{\tau}} \int_{tp}^{t} I_{E7}(x) e^{\frac{x}{\tau}} dx =$$
$$= e(t) - A \cdot \Delta U_{c}(tp) \cdot e^{-\frac{t-tp}{\tau}}.$$

Jest to równanie całkowe, nieliniowe, nie mające rozwiązania w dziedzinie funkcji elementarnych. Gdyby celem tej analizy było znalezienie analitycznego wyrażenia umożliwiającego obliczenie  $I_{\rm E7}$  dla różnych t, można by było skorzystać z metod przybliżonych.

Ponieważ celem tej analizy nie jest poszukiwanie analitycznego wyrażenia określającego  $I_{E7}(t)$ , ale wyznaczenie parametrów układu dyskryminatora, dalsze zainteresowania zostaną ograniczone do zbadania pochodnej prądu  $I_{E7}(t)$  względem t, tzn.:

- poszukiwana będzie taka minimalna wartość prądu  $I_{E7}$ /lub maksymalna  $I_{E9} = J - I_{E7}$ /, dla której pochodna może być nieokreślona, np. nieskończenie duża /taka sytuacja odpowiada punktom pracy tranzystorów, w otoczeniu których wzmocnienie układu dla przyrostu sygnałów różnicowych jest bliskie jedności/,
- poszukiwana będzie taka minimalna wartość t = to, dla której układ ma wzmocnienie bliskie lub równe jedności, ale pochod-

na  $\frac{d I_{E7}(t)}{dt}$  jest różna od  $\infty$  /może to np. odpowiadać maksymalnej wartości I<sub>E7</sub>, punktowi przegięcia funkcji I<sub>E7</sub>(t), ograniczonemu – ale nieskończenie szybkiemu wzrostowi I<sub>E7</sub>(t). Istnienie takiego t<sub>o</sub> jest możliwe np. wtedy, gdy sygnał przekracza pewną progową wartość.

Do wyznaczenia omawianej pary  $[I_{E7}(t_0), t_0]$ , jeżeli ona istnieje, wykorzystamy równanie /24a/. Równanie to po zróżniczkowaniu można zapisać następująco:

$$\left\{ \frac{d \varepsilon \left[ I_{E7}(t) \right]}{d I_{E7}(t)} + R_A \right\} \cdot \frac{d I_{E7}(t)}{d t} = \frac{d e(t)}{d t} + \frac{A \cdot \Delta U_c(tp)}{\tau} \cdot e^{-\frac{t-tp}{\tau}} + \frac{R_A}{\tau} I_{E7}(t) - \frac{R_A}{\tau^2} \cdot e^{-\frac{t}{\tau}} \int_{tp}^{t} I_{E7}(x) \cdot e^{\frac{X}{\tau}} dx \cdot \frac{A \cdot \Delta U_c(tp)}{\tau} dx \cdot \frac{A \cdot \Delta U_c(tp)}{\tau} dx \cdot \frac{A \cdot \Delta U_c(tp)}{\tau} \right\}$$

Przyjmując, że został osiągnięty punkt pracy, w którym:

$$\frac{d \varepsilon \left[I_{E7}(t)\right]}{dI_{7}(t)} + R_{A} = 0, \qquad /26/$$

a jednocześnie pochodna jest ograniczona, tzn.:

$$\frac{d I_{E7}(t)}{dt} \bigg|_{t = t0} \neq \infty, \qquad /27/$$

musi być równa zeru prawa strona równania /25/ tzn. można<sup>#/</sup> napisać, że:

Jeżeli jest spełnione /26/, a nie jest spełnione /27/, wtedy dla t nieco mniejszych od t<sub>0</sub>, musi być spełnione /27/ dla ograniczonej wartości prawej strony równania /25/. Ponieważ jak to wynika z równania /24/, I<sub>g7</sub>(t) jest funkcją ciągłą, zaś na e(t) można nałożyć ograniczenia, nP: dwukrotną różniczkowalność w otoczoniu t<sub>0</sub>, równania /26/ i /27/ można uważać nadal za spełnione w sensie granicy lewostronnej.

$$-\frac{R_{A}}{\tau} \cdot e^{-\frac{to}{\tau}} \int_{tp}^{to} I_{E7}(x) \cdot e^{\frac{x}{\tau}} dx = -\left[\tau \frac{de(t)}{dt} + A \cdot \Delta U_{c}(tp) e^{-\frac{t-tp}{\tau}} + R_{A} \cdot I_{E7}(t)\right]_{t=to}$$
(28/

Zastępując w równaniu /24a/ składnik z całką prawą stroną otrzymanego przed chwilą równania i redukując wyrazy podobne, otrzymujemy:

$$\varepsilon \left( I_{E71} \right) = \left[ e(t) + \frac{de(t)}{dt} \right]_{t = t0}$$
(29)

gdzie przez I<sub>E71</sub> oznaczono mniejszy pierwiastek równania /26/.

Równanie /29/ nie jest rozwiązaniem równania /24a/, a jedynie równaniem wyznaczającym w układzie współrzędnych / $I_{E7}(t)$ , t/ punkt, przez który przechodzą takie funkcje  $I_{E7}$ , które są rozwiązaniem równania /24a/ i osiągają wartości większe lub równe  $I_{E71}$ , przy tym nachylenie krzywej w tym punkcie nie jest na podstawie podanych rozważań określone jednoznacznie.

Równanie /29/ można interpretować następująco:

- jeżeli istnieje takie t, dla którego jest ono spełnione, to sygnał e(t) zostanie zdyskryminowany,
- minimalna wartość t = to, dla której równanie to jest spelnione określa poziom dyskryminowanego sygnału e(to).

Rozwiązania równania /29/ nie zależą bezpośrednio od warunków początkowych, ale to równanie zostało sformułowane przy założeniu, że takie warunki mogą być wyznaczone.

Wzmocnienie napięciowe układu w pętli sprzężenia zwrotnego dla przyrostu sygnału jest funkcja punktu pracy tranzystorów /tzn.  $I_{E7}$ ,  $I_{E9} = J - I_{E7}$ /.Wzmocnienie to jest określone równaniem:

- 160 -

$$K_{R_{A}} = \left| \frac{\frac{R_{A}}{d \left[ \epsilon \left( I_{E7} \right) \right]}}{d I_{E7}} \right|^{*}$$

Równanie analogiczne do równania /29/ można sformułować i dla sygnałów powodujących zmianę punktu pracy tranzystora  $T_9$ z obszaru odcięcia /drugi stan quasispoczynkowy układu/ do obszaru aktywnego. W takim równaniu zamiast $\epsilon(I_{E71})$  wystąpiłby składnik  $\epsilon(I_{E72})$ , gdzie  $I_{E72}$  jest większym pierwiastkiem równania /26/. Natomiast prawa strona równania /29/, ogólnie rzecz biorąc może mieć nieco inną interpretację. Pierwiastki równania /26/, po uwzględnieniu równania /16/ określającego  $\epsilon(I_{E72})$ , są następujące:

$$I_{E7_{1}} = \frac{J}{2} \left[ 1 - \sqrt{1 - \frac{4 v_{T}}{J(R_{A} - r_{7} - r_{9})}} \right], \quad /30a/$$

$$I_{E7_2} = \frac{J}{2} \left[ 1 + \sqrt{1 - \frac{4 v_{T}}{J(R_A - r_7 - r_9)}} \right] \cdot /30b/$$

Dla prądu I<sub>E7</sub> mniejszego od I<sub>E7</sub> i większego od I<sub>E7</sub> wzmocnienie dla przyrostów sygnału jest mniejsze od jednóści, a wewnątrz przedziału /I<sub>E7</sub>, I<sub>E72</sub>/ większe od jedności.

Wyrażenie  $\frac{4 V_T}{J(R_A - r_7 - r_9)}$  jest na ogół dużo mniejsze od jedności /np.  $V_T = 26 \text{ mV}, 9J = 4 \text{ mA}, r = R_A - r_7 - r_9 = 300 \Omega$  /. Dlatego stosując przybliżenie /przybliżenie to nie jest konieczne, ale po jego zastosowaniu zwiększa się przejrzystość wprowadzanych zależności i zwartość zapisu/: $\sqrt{1-x} = 1 - \frac{1}{2}x$ , zamiast zależności podanych wyżej można przyjąć, że:

$$I_{E7_1} \approx \frac{V_T}{r} , \qquad /30c/$$
$$I_{E7_2} \approx J - \frac{V_T}{r} \qquad /30d/$$

gdzie wprowadzono oznaczenie pomocnicze:

$$r = R_A - r_7 - r_9.$$
 /31/

Wyrażenia  $\varepsilon(I_{E7_1})$  i  $\varepsilon(I_{E7_2})$  mogą być teraz zapisane w postaci:

$$\varepsilon_1 \equiv \varepsilon (I_{E7_1}) \cong V_T \ln \frac{rJ - V_T}{V_T} - \frac{r_7 + r_9}{r} V_T + r_9 \cdot J +$$

+ 
$$V_{\rm T} \ln \frac{I_{\rm Es7}}{I_{\rm Es9}}$$
, /32a/

$$\varepsilon_{2} \equiv \varepsilon \left( I_{E7_{2}} \right) \cong V_{T} \ln \frac{V_{T}}{rJ - V_{T}} + \frac{I_{7} + I_{9}}{r} V_{T} - r_{7} \cdot J - V_{T} \ln \frac{I_{E87}}{I_{E89}}, \qquad (32b)$$

a równanie /29/, po uwzględnieniu równania /15/, jako równanie:

$$\Delta J(t) + \tau \frac{d \Delta J_0(t)}{dt} = \frac{J_0}{1 + m} - \frac{\varepsilon_1}{R} , \qquad (33)$$

służące do wyznaczania takiego t = t<sub>o</sub> /jeżeli istnieje/, w którym osiągana jest taka wartość sygnału  $\Delta J(t)$ , dla której  $I_{E7} = I_{E7_1}$ . Sygnał odczytanej z pamięci jedynki /dV<sub>1</sub>/ jest często aproksymowany funkcją typu V . e . Sygnałowi temu w omawianym torze odczytu odpowiada sygnał prądowy:

$$\Delta J_{o}(t) = \Delta J_{o} \cdot e^{-\left(\frac{t}{6}\right)^{2}}$$
 /34/

Wstawiając tak określoną funkcję  $\Delta J_o(t)$ do równania /33/, otrzymujemy: /+\2

$$dJ_0 \cdot e^{-\frac{\pi}{5}} \cdot \left(1 - 2\frac{\tau \cdot t}{6^2}\right) = \frac{J_0}{1 + m} - \frac{\xi_1}{R}$$

Równanie to może być przepisane w postąci:

$$\Delta J_{o} \left(1 - 2 \cdot \frac{\tau \cdot t}{6^{2}}\right) = \left(\frac{J_{o}}{1 + m} - \frac{\varepsilon_{1}}{R}\right) \cdot e^{-\left(\frac{t}{6}\right)^{2}}$$
 (35/

i rozwiązane /np. graficznie/ względem t dla konkretnych danych o układzie i sygnale.

Na rys. 6 pokazano krzywe odpowiadające lewej i prawej stronie równania /35/ dla dwóch różnych wartości amplitudy sygnału  $\Delta J_0$ , oznaczonych odpowiednio  $\Delta J_{01}$  i  $\Delta J_{02}$ . Punktom przecięcia krzywych /oznaczonym \*/ odpowiada chwila, w której przekraczany jest próg dyskryminacji. Z rys. 6 widać, że dyskryminacja odbywa się na części narastającej sygnału, a moment dyskryminacji sygnałów o małych amplitudach jest tym bliższy chwili t = 0 /tzn. wartości szozytowej sygnału/, im mniejsza jest wartość wielkości t<sub>d</sub> =  $\frac{\delta^2}{2\tau}$ . Z tego względu  $\tau$ winno być możliwie duże. Wartość  $\tau$  nie może jednak być zbyt duża, ponieważ, jak to wynika z równania /13/, czas zaniku stanów przejściowych po zdyskryminowaniu sygnału dV<sub>1</sub>, jest



Rys. 6. Wykresy lewej i prawej strony równania /35/

określony wyrażeniem typu U.e  $\tau$ . Dlatego powinna być spelniona nierówność 4,6 $\tau \leq 0,8T$ , gdzie T jest czasem cyklu pracy pamięci<sup>\*</sup>.

Należy zauważyć, że sygnały o amplitudach mniejszych od pewnej amplitudy progowej /na rys. 6 takiemu sygnałowi odpowiada  $\Delta J_{o2}$ /, nie będą zdyskryminowane /w sensie pełnego odcięcia tranzystora  $T_9$ /, a na wyjściu układu może pojawić się impuls o niepełnej amplitudzie.

Z równania /33/ wynika, że próg dyskryminacji zależy od stałości wielkości  $\varepsilon_1$ , R, J<sub>o</sub>m, T.

Dla oceny układu dyskryminacji jako samodzielnego układu istotny jest wpływ zmian  $\varepsilon_1$  przy zmianach temperatury otoczenia oraz prądu J.

Na podstawie równania /32a/ możemy napisać, że:

$$\frac{\partial \varepsilon_{1}}{\partial T} \cdot dT = \left( \ln \frac{rJ - V_{T}}{V_{T}} \cdot \frac{I_{ES7}}{I_{ES9}} + \frac{V_{T}}{r \cdot J - V_{T}} - \frac{r_{T} + r_{9}}{r} \right) \frac{k}{q} dT \approx \\ \approx \left( \ln \frac{r \cdot J}{V_{T}} \cdot \frac{I_{ES1}}{I_{ES9}} - \frac{r_{T} + r_{9}}{r} \right) \frac{k}{q} dT,$$

$$\frac{\partial \varepsilon_{1}}{\partial \varepsilon_{2}} = \left( \frac{V_{T}}{r} \right) - \frac{V_{T}}{r} = \left( \frac{V_{T}}{r} \right) \frac{k}{q} dT,$$

$$\frac{\partial \varepsilon_1}{\partial J} dJ = \left(\mathbf{r}_9 + \mathbf{r} \frac{\mathbf{v}_T}{\mathbf{J}\mathbf{r} - \mathbf{v}_T}\right) \cdot dJ \approx \left(\mathbf{r}_9 + \frac{\mathbf{v}_T}{J}\right) dJ.$$

Z równania dla  $\frac{\partial \epsilon_1}{\partial t}$ dT widać, że próg dyskryminacji zależy od członu  $\frac{\partial \epsilon_1}{\partial t}$ , który charakteryzuje asymetrię tranzystorów /patrz równanie /3a//.

Z równania określającego  $\frac{\partial \epsilon_1}{\partial J}$  dJ widać, że wpływ zmian prądu J na zmianę  $\epsilon_1$  /a więc i progu dyskryminacji/ jest tym

Bfektywny czas pracy układu nie przekracza 0.2 T. W pozostałej części cyklu /0.8T/ muszą zakończyć się stany przejściowe, a nominalny próg dyskryminacji odtworzony z dokładnością do 1%.

mniejszy im mniejsza jest wartość oporności r<sub>9</sub> /tzn. oporności wejściowej tranzystora T9 pracującego w układzie OB/.

Ocena wpływu zmian parametrów R i m, które zależą od stabilności oporników nie nastręcza trudności.

Równania /32a/ i /32b/ określają graniczne wartości poziomów napięciowych  $\varepsilon_1$  i  $\varepsilon_2$ , dla których możliwe jest osiągnięoie prądu  $I_{E7}/I_{E9}/z$  przedziału  $\left(J - \frac{v_T}{T}, \frac{v_T}{T}\right)$ , zapewniającego w pętli dodatniego sprzężenia zwrotnego wzmocnienie większe od jedności. Wyróżnienia stanów pracy dyskryminatora dla sygnałów wolnozmiennych można dokonać na podstawie wartości sygnału

$$a \equiv R \left( \frac{J_o}{1+m} - \Delta J_o \right)$$

- jeżeli e >  $\varepsilon_1$ , wtedy tranzystor  $T_7$  jest w stanie odcięcia,
- jeżeli e <  $\mathcal{E}_2$ , wtedy tranzystor  $T_q$  jest w stanie odcięcia,
- jeżeli  $\varepsilon_1 > e > \varepsilon_2$  i szybkość zmian e jest dostatecznie mała, wtedy tranzystory T<sub>7</sub> i T<sub>9</sub> mogą na przemian przewodzić tzn. będzie generacja impulsów /w zależności od czasu trwania e(t), odpowiednio ciąg impulsów, grupa impulsów bądź jeden impuls/.

Należy zauważyć, że doprowadzenie układu do stanu generacji można uzyskać przy ustalonej wartości  $\Delta J_0$ , przez **smianę** prądu  $J_0$ . Na rys. 3 pokazano napięcie U<sub>H</sub>, któremu odpowiada włączenie generatora prądowego o wartości U<sub>H</sub>/R<sub>9</sub>. W zależności od znaku i wartości U<sub>H</sub>, próg dyskryminacji jest większy (U<sub>H</sub> < 0) lub mniejszy (U<sub>H</sub> > 0). Bardziej szczegółowe dane o takim wykorzystywaniu napięcia U<sub>H</sub> podano w pkt. 4.4.

4.4. Charakterystyka  $U_{H} = f(U_{g})$ . Obliczenia i wyniki pomiarów

Dla całego układu odczytu, nazywanego zwykle wzmacniaczem odczytu, można, podobnie jak dla układu dyskryminacji, okreś-

lić sygnały progowe w odniesieniu do wejścia przedwzmacniaoza, tzn.:

- minimalną amplitudę sygnału na wejściu przedwzmacniacza, wywołującą na wyjściu sygnał o pełnej amplitudzie /~ 5 V/,
- maksymalną amplitudę sygnału na wejściu przedwzmacniacza, która na wyjściu układu wywołuje sygnał o dostatecznie małej amplitudzie /~ 0.5 V/.

W układzie odczytu PAO 6 różnica określonych wyżej sygnałów progowych jest stosunkowo mała / < 1mV/, i dlatego w dalszej części opracowania wielkości te będą nazywane po prostu sygnałami progowymi.

Sygnały progowe są zwykle określane dla nominalnych warunków pracy układu.

W czasie badania pamięci, dla określenia poziomów: minimalnego sygnału dV, i maksymalnej amplitudy sygnałów zakłócających, celowo zmienia się warunki pracy układu tak, aby sygnały progowe mogły być większe /mniejsze/ niż w nominalnych warunkach pracy. Pożądane jest, aby taka zmiana mogła być dokonana jednocześnie we wszystkich układach i to o taką samą wartość. Parametr, który wywołuje taką zmianę, powinien umożliwiać określenie wartości badanych sygnałów. W omawianym torze odczytu, jak to powiedziano już w pkt. 4.3 takim parametrem jest napięcie Uu. W nominalnych warunkach pracy układu  $U_{\rm H} = 0 \ V_{\bullet}$  Dla  $U_{\rm H} > 0(U_{\rm H} < 0)$  sygnaly progowe są mniejsze /większe/. Jeżeli znana jest charakterystyka  $U_{H} = f(U_{s})$ , /przez Ug oznaczono progową sem źródła sygnałów różnicowych, sterujących przedwzmacniaczem/, to znając U<sub>H</sub> można określić U. Charakterystyka ta może być wyznaczona na podstawie danych eksperymentalnych lub odpowiednich obliczeń opartych na analizie warunków pracy układu sterowanego sygnałem U\_.

Równanie charakterystyki  $U_{\rm H} = f(U_{\rm g})$ , zostanie sformułowane na podstawie równania /33/ oraz równań opisujących stopnie różnicowe bez dodatniego sprzężenia zwrotnego /odpowiednio zaadoptowane równania /14/ i /16/, opisujące stopień różnicowy z dodatnim sprzężeniem zwrotnym przez pojemność C/. Przy-

stosowanie równań /14/ i /16/ sprowadza się do tego, że:

- w równaniu /14/ należy przyjąć  $\frac{dU_c}{dt} = 0$ , zaś e(t) uważać za odpowiednią sem źródła sygnałów różnicowych,
- w równaniach /14/ i /16/ uważać & za sumę spadków napięć wywołanych przez sem sterującą odpowiednie stopnie różnicowe /przewzmacniacz, wzmacniacz/.

Ponadto przyjmiemy, że stopnie różnicowe /rys. 2 i 3/ są symetryczne<sup>%/</sup>, tzn.

- $R_1 = R_2$ ,  $R_5 = R_6$ ,  $R_{21} = R_{22}$ ,  $R_{23} = R_{24}$ ,  $R_9 = R_{10}$ ,  $R_{11} = R_{12}$ , •  $\alpha_1 = \alpha_2 = \alpha_1$ ,  $r_{b1} = r_{b2} = r_b$ ,  $I_{Es1} = I_{Es2}$ ,  $r_{e1} = r_{e2}$ , •  $\alpha_4 = \alpha_5 = \alpha_{11}$ ,  $r_{b4} = r_{b5} = r_b$ ,  $I_{Es4} = I_{Es5}$ ,  $r_{e4} = r_{e5}$ .
- Odpowiednie równania mogą być teraz zapisane w postaci: • dla przedwzmacniacza /rys. 2/:
- $$\begin{split} \mathbf{U}_{s}(t) &= \mathbf{V}_{T} \ln \frac{\mathbf{I}_{c\bar{2}} + 2\Delta \mathbf{I}_{E1}(t)}{\mathbf{I}_{c\bar{3}} 2\Delta \mathbf{I}_{E1}(t)} + \mathbf{r}_{I} \Delta \mathbf{I}_{E1}(t) \stackrel{\text{MM}}{\longrightarrow}, \qquad /36/\\ \text{gdzie: } \mathbf{r}_{I} &= \frac{2\mathbf{R}_{5} \cdot \mathbf{R}_{7}}{2\mathbf{R}_{5} + \mathbf{R}_{7}} + 2 \cdot (1 \alpha_{I}) (\mathbf{r}_{b}^{*} + \mathbf{r}_{6}^{*} + \mathbf{R}_{1}), \end{split}$$

$$\Delta I_{E_1} = \frac{I_{E1}(t) - I_{E2}(t)}{2}$$

• dla wzmacniacza /rys. 3/:

 $2\alpha_{I} \cdot R_{21} \cdot \Delta I_{E1} = V_{T} \ln \frac{J_{o} + \Delta J_{o}(t)}{J_{o} - J_{o}(t)} + \frac{r_{II}}{\alpha_{II}} \cdot \Delta J_{o}(t), \qquad /37/$ 

Obilinentia wienemo or

- \*/ Każdą asymetrię można i należy uważać za część sygnału różnicowego sterującego stopień wejściowy /przedwzmacniacz/. Miarą napięciowej asymetrii układu jest połowa różnicy sygnałów progowych U różnych znaków /angielski: Offset voltage/.
- HE/Tu i dalej przez I /I / oznaczono prąd kolektora /emitera/tranzystora o numerze k. K K

gdzie: 
$$r_{II} = \frac{2R_{23} \cdot R_{25}}{2R_{23} + R_{25}} + 2(1 - \alpha_{II})(r_b + r_e + R_{21})$$
  
 $J_o = \frac{1}{2}\alpha_{II} \cdot I_{c6},$   
 $\Delta J_o(t) = \alpha_{II} \cdot \frac{I_{E5}(t) - I_{E4}(t)}{2},$ 

• dla układu dyskryminacji współpracującego ze wzmacniaczem /rys. 3 1 5/:

2

$$\tau \cdot \frac{\Delta J_{o}(t)}{dt} + J_{o}(t) = \frac{J_{o}}{1 + m} - \frac{U_{H}}{R_{0}(1 + m)} - \frac{\varepsilon_{1}}{R}, /38/$$

gdzie: R, m, T, E, są wielkościami określonymi przez równania /11/, /12/, /18/, /32a/, zaś U<sub>H</sub> napięciem zmieniającym próg dyskryminatora.

Na rys. 7 pokazano wykresy  $U_{H} = f(U_{S})$  uzyskane na podstawie pomiarów i obliczeń. Do pomiarów wykorzystano losowo wybrany układ z uruchomionego prototypu PAO 6. W czasie pomiarów przedwzmacniacz był strobowany impulsem o szerokości 250 ns. Pomiędzy bazy tranzystorów przedwzmacniącza włączono źródło napięcia stałego o oporności wewnętrznej 75 2 i regulowanej amplitudzie. Dla ustalonej wartości napięcia U<sub>H</sub> mierzono progową wartość sygnału wejściowego U\_.

Obliczenia wykonano przy założeniu, że tranzyštory mają dla T = 25°C następujące, średnie wartości parametrów:

 $\mathbf{n}_{b} = 50 \Omega$ ,  $\mathbf{r}_{e} = 0 \Omega$ ,  $\mathbf{U}_{be} \Big|_{\mathbf{I}_{E}} = 0.68 \ \forall$ ,  $\alpha = 0.98 (\beta = 49)$ .  $\mathbf{I}_{E} = 2 \ \mathrm{mA}$ 

Jako założenie upraszczające przyjęto, że dla sygnałów gowych  $\frac{dJ_{1}(t)}{dt} = 0 / tzn.$ , że układ dyskryminatora ma progowych wzmocnienie równe 1 wtedy, gdy sygnał różnicowy sterujący ten układ ma wartość maksymalną/.



Rys. 7. Zależność pomiędzy napięciem zmieniającym próg dyskryminacji /U<sub>H</sub>/ a sygnałem wejściowym /U<sub>g</sub>/ o wartości progowej

- e dla każdego U<sub>H</sub> oblicza się AJ, spełniające równanie /38/,
- dla obliczonego ΔJ<sub>o</sub>, oblicza się ΔI<sub>E1</sub>, spełniające równanie /37/,
- dla obliczonego ΔI<sub>E1</sub>, oblicza się U<sub>S</sub> spełniające równanie /36/.

Wykresy podane na rys. 7 dotyczą dwóch wariantów:

 $A/R_7 = 0\Omega$ ,  $R_{13} = 470 \Omega$ ,  $B/R_7 = 20\Omega$ ,  $R_{13} = 1,2 k\Omega$ .

Nominalne poziomy sygnałów progowych układu odczytu w obydwu wariantach są zbliżone, natomiast charakterystyki  $U_{\rm H} = f(U_{\rm S})$  różnią się dość istotnie /zwłaszcza zakresem, który w przybliżeniu można uważać za liniowy/.

Pewne rozbieżności pomiędzy wynikami obliczeń i pomiarów zwłaszcza dla dużych co do wartości bezwzględnej napięć  $U_{\rm H}$  wynikają z przyjętego uproszczenia, polegającego na tym, że nie uwzględniono wpływu  $U_{\rm H}$  na prąd J, od którego zależy  $\epsilon_1$  a więc i próg dyskryminacji.

Wykonano również pomiary kontrolne na kilkudziesięciu układach, które pracowały w modelu bądź prototypie pamięci PAO 6. W czasie tych badań mierzono m.in. poziomy sygnałów progowych U<sub>s</sub> obydwu polarności przy U<sub>H</sub> = +4V, OV i -2,5V. Wartości sygnałów U<sub>s</sub> wynosiły odpowiednio: 6mV ± 3,5 mV, 26 mV ± 4 mV, 42 mV ± 4,5 mV.

#### 5. PODSUMOWANIE

W omówionym torze odczytu PAO 6 przedwzmacniacze i wzmacniacze są szerokopasmowymi wzmacniaczami różnicowymi prądu stałego.

8

Wprowadzając strobowanie w przedwzmacniaczach wyeliminowano możliwość przesterowania wzmacniacza i układu dyskryminacji przez sygnały różne od dV<sub>1</sub> oraz uzyskano ekonomiczne rozwiązanie, ponieważ drugi stopień wzmocnienia i układ dyskryminacji są wspólne dla kilku przedwzmacniaczy /nawet do ośmiu/. Strobowanie przedwzmacniaczy umożliwiło również zastosowanie prostego układu dyskryminacji o niskim progu i silnym dodatnim sprzężeniu zwrotnym. Mały i stabilny próg dyskryminacji umożliwił z kolei zastosowanie wzmacniaczy o niskim wzmocnieniu.

Wadą przyjętego rozwiązania, ze względu na brak odpowiednich par tranzystorów wykonywanych fabrycznie, jest konieczność parowania tranzystorów. Zagadnieniu temu poświęcono wiele uwagi, a opracowana metoda dobierania par tranzystorów umożliwiła ominięcie i tej trudności.

Opisane układy toru odczytu pracowały poprawnie w prototypie PAO 6, który był badany min. w zakresie temperatur otoczenia od 5°C do 50°C, a w badaniach laboratoryjnych pracowały zgodnie z przewidywaniami w zakresie temperatur -5°C + +80°C.

## Literatura

- JONSON B.: Sense Amplifier Fits any Memory. Electronics, September 1966: 39 18, 89 - 94.
- [2] WIDLAR R.J.: Core Memory Sense Amplifiers Designs Using an Integrated Dual Comparator, Fairchild Semiconductor, Application Report, May 1966: RR 149.
- [3] WIDLAR R.J.: An Exact Express of the Thermal Variation of the Emiter for Bas Voltage of Bi-Polar Transistor, Proceedings of the IEEE, January 1967: 55, 1, 96-97.
- [4] WIDLAR R.J.: Same Circuit Design Techniques for Linear Integrated Circuits, IEEE Trans. on Circuits Theory, December 1965: 12, 586-596.
- [5] GIBBSONS, J.F., HORN R.D.: A Circuit with Logaritmic Transfer Response over 9 Decades, IEEE Trans. on Circ., September 1967: Th. CT-11, 378-384.
- [6] HOFFAIT A.H., THORTON C.D.: Limitations of Transistor DC Amplifiers, Froc. IEEE, February 1964: 52, 179-184.
- [7] TSUI F.: Improving the Performance of the Sense-Amplifier Circuit Through Pre-Amplification Strobing and Noise-Matched Clipping, IRE Transactions of Electronic Computer, October 1962:677-688.

- [9] GOLDE W.: Wzmacniacze tranzystorowe małej częstotliwości prądu stałego szerokopasmowe, Warszawa 1967.
- [10] AZJAN J. i inni: Tranzystory w układach z dodatnim sprzężeniem zwrotnym /tłumaczenie z rosyjskiego/, Warszawa 1961.
- [11] SMIRNOV V.I.: Kurs vyskej matematiki, Moskva 1953: I, II.
- [12] THORNTON R.D. i inni: Multistage Transistor Circuits /SEEC, Volume 5/, John Wiley and Sons, 1965.
- [13] PATEL A.M., SUMILAS J.W.: A 2,5D Ferrite Memory Sense Amplifier, IEEE I. Solid-State Circuits, 1966: 09.SC-1/1/, 58-63.
- [14] BROWN J.R.: First-and-Second-Order Ferrite Memory Core Characteristics and Their Relationship to System Performance, IEEE Trans. on Electr. Comp., August 1966: EC-13, 4, 483-501.

## УСИЛИТЕЛЬ СЧИТЫВАНИЯ ДЛЯ ОПЕРАТИВНОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА РАО 6

#### Резрие

В статье описнваются условия работы, требования и величины основных параметров усилителя считывания /п:-1,2 и 3/ примененного в запоминающем устройстве РАО 6 построенном на ферритовых сердечниках с выборкой по системе 3D, 4W. В п:-4 анализуются некоторые проблемы связанные с примененным усилителем считывания. В особенности сформулировано уразнение /2/, определяющее напряжение на переходе база-эмиттер транзистора как функция температуры Т и напряжения на переходе база-эмиттер U<sub>be</sub> /T<sub>o</sub>/ для температуры T<sub>o</sub>.

Хороно известное из литератури [2], [3], уравнение /1/ /определялащее связь между током эмиттера, напряжением на переходе база-эмиттер и физическими параметрами/, а также известнур эквивалентнур схему транзистора /рис.4/ использовано для формулировки уравнения /За/, спределяланого разницу напряжений на переходах база-эмиттер транзисторов дифференцального усилителя как функцир температуры Т, параметра А /характеризурщего геометрир транзистора/, а также тока эмиттера I<sub>г</sub>.

Било показано /уравнения /4/ и /5//, что равенство токов эмиттера в транзиоторах дифференциального усилителя/получаемое на пример как следствие применения резисторов разных величин в цепях эмиттера или базы/ не гарантирует малой величины Сноса разницы напряжения на переходах база-эмиттер транзисторов.

В п.4.3 анализуется работа дискриминатора /дифференциальный усилитель с положительной обратной связьр/ для пороговых амплитуд сигналов. Нелинейная эквивалентная схема транзистора /рись4/ была использована анализу. Схема анализованной цепи показана на рис.3а принята в анализу на рис.5.

В результате проведенного анализа было формулировано уравнение /29/. Оно определяет в системе координатов [I<sub>P7</sub>(t), t] точку через которур проходят такие решения уравнения /24/, которым отвечает  $dI_{P7}(t)$ 

Било ноказано, что если уравнение /29/ выполнено, то это происходят независимо от начальных условий и конечной скорости изменения ошгнала е (t) если до подачи этого сигнала цепь была в состоянии покоя. Интерпретация уравнения /29/ указана для конкретной формы сигнала e(t)/уравнение /35/, рис.6./

В пункте 4.4 указан способ вычысления характеристик U<sub>H</sub> = 1(U<sub>S</sub>) /U<sub>H</sub>-напряжение, которое изменяет порог дискрыминатора, U<sub>A</sub>-амилитуда сигнала на входе предусилителем/ для цепи сложенной из предусилителя /рис.2/, усилителя и дискриминатора /рис.3/, с учетом нелинейности характеристики  $I_{\rm E} = f(U_{\rm be})$ .

На рис.7 показаны характеристики U<sub>H</sub> = f(U<sub>S</sub>) начерчены на основании данных, полученных из вычислений и измерений.

#### A SENSE AMPLIFIER FOR THE CORE STORAGE PAO 6

#### Summary

The paper gives a description of operation conditions, demands and basic parameter values of the sense amplifier applied to the coincidence /3D. 4W/ core storage PAO 6 /pp. 1. 2 and 3/.

In point 4 some problems connected with the sense amplifier used are analyzed. In particular equation /2/ is formulated, determining the voltage on the transistor base-emitter junction as the function of temperature T, and the voltage on the base-emitter junction U /T / at the besperature T. Equations /1/ known from the literature /2/, /3//de-termining the connection between the emitter current, voltage on the base-emitter junction and physical parameters/, and the well-known transistor equivalent circuit /fig. 4/ were used to formulate the equation /3a/, that determines voltage difference on the base-emitter junction of transistors of differential stage as the function of the T temperature junction of parameter A /characterizing the transistor geometry/. as well as the emitter currents I ...

It has been shown /equations /4/ and /5// that the equality of emitter currents of differential stage transistors /e.g. gained by applying resistors of various values in emitter or base circuits/ does not guarantee a small value of the drift of voltage difference base-emitter.

In point 4.3. the discriminator operation is analyzed /different degree with a positive feedback/ at the threshold voltage. Nonlinear transistor equivalent circuit /fig. 4/ was used to the analysis. The scheme of the analyzed circuit is shown in fig. 3, and accepted to be analyzed in fig. 5.

Equation /29/ was formulated as the result of the analysis made. It determines in the set of coordinates [1, (t), t] the point through which pass also solutions of the equation /24/ corresponding to dIE7(t)

--- > =0 .

dt It has been shown that if the equation /29/ is satisfied, this occurs independently on initial conditions, and the finite speed of the e(t) signal changes, if the circuit was not excited before the signal had been send. The interpretation of equation /29/ is given for a concrete form of signal e(t) equation /35/ /fig. 6/.

In point 4.4 the way is given of computing the characteristic  $U_{\rm H} = f(U_{\rm g}) / U_{\rm H} - voltage that changes the discrimination threshold, <math>U_{\rm g} - {\rm signal}$  on the preamplifier input/ for a set composed of a preamplifier /fig. 2/, amplifier and discriminator /fig. 3/, the nonlinearity of the characteristic  $I_{p} = f(U_{p})$  being considered. Characteris-tics  $U_{p} = f(U_{p})$  drawn on the basis of data obtained from computation and measurements are given in fig. 7.



681.326.3:681.327.66.042.15

Prace IMM Zeszyt 3 © 1971.12

> ZESPÓŁ STEROWANIA PAMIĘCI PAO 6 Andrzej ŚWITALSKI Pracę złożono 25.08.1970

W artykule opisano zespół sterowania zaprojektewany dla potrzeb pamięci operacyjnej PAO 6. Omówiono parametry czasowe impulsów sterujących. Podano sposób realizacji zespołu sterowania; za najlepszy uznano taki, którego zasadniczym elementem opóźniającym jest linia elektromagnetyczna. Zespół sterowania zrealizowano ze standardowych układów. logicznych S-50 i układów specjalnych. W zakończeniu artykułu omówiono wnioski wynikające z zastosowania zespołu w modelu i prototypie pamięci PAO 6 i PAS 6.

## SPIS TREŚCI

1.	WSTEP	177
2.	OMÓWIENIE PARAMETRÓW CZASOWYCH IMPULSÓW STERUJĄCYCH	178
3.	SPOSÓB REALIZACJI ZESPOŁU STEROWANIA	180
4.	UKŁADY ELEKTRONICZNE ZESPOŁU	183
5.	ZAKOŃCZENIE	188
Lit	teratura	188

1. WSTEP

Zadaniem zespołu sterowania pamięci ferrytowej jest wytworzenie impulsów potrzebnych do zapewnienia właściwej kolejności i czasu pracy poszczególnych zespołów elektroniki pamięci. Konstrukcja zespołu sterowania musi spełniać wymagania wynikające z parametrów wejściowych wszystkich zespołów pamięci, które w wielu wypadkach różnią się znacznie między sobą.

Impulsy sterujące takimi zespołami jak: wzmacniacze toru odczytu, klucze wybierania adresu i generatory prądowe odznaozają się specyficznymi parametrami, gdyż każdy z tych zespołów wymaga odmiennych poziomów impulsów sterujących o różnych amplitudach napięcia i prądu. Układy wchodzące w skład zespołu sterowania poza wypracowaniem impulsów dostosowanych do wymagań poszczególnych zespołów pamięci, muszą zapewnić również wysoką stabilność położenia w czasie impulsów sterujących.

W literaturze brak szczegółowych informacji dotyczących konstrukcji zespołów sterowania pamięci. Większość znanych rozwiązań pamięci traktuje zespół sterowania jako odrębną jednostkę umożliwiającą współpracę asynchronicznie działających bloków maszyny cyfrowej z synchronicznie pracującą pamięcią. Układy wchodzące w skład zespołów sterowania są indywidualnie dostosowywane do potrzeb odpowiednich pamięci.

Przedstawiony w niniejszym artykule zespół sterowania został zaprojektowany dla potrzeb pamięci PAO 6.

## 2. OMÓWIENIE PARAMETRÓW CZASOWYCH IMPULSÓW STERUJĄCYCH

W celu określenia parametrów impulsów sterowania należy wziąć pod uwagę:

- typ logicznej organizacji pamięci
- czas cyklu pracy
- parametry dynamiczne elementów nośnika /rdzenie ferrytowe/
- rodzaje przyjętych dla pamięci mikrooperacji
- wymagania odnośnie stabilności sygnałów sterowania
- parametry czasowe i elektryczne układów elektroniki.
Ogólne założenia dla zespołu sterowania pamięci PAO 6 ujęte zostały w pracy [1]. Przyjęta organizacja logiczna, czas cyklu i parametry użytego rdzenia wyznaczają harmonogram podstawowych sygnałów sterujących, przedstawiony na rysunku 1.



# Rys. 1. Harmonogram czasowy podstawowych sygnałów sterujących S - impuls startu, E - sterowanie kluczy adresowych, D - sterowanie generatorów prądowych, F - strob wzmacniaczy odczytu, G - sterowanie kluczy zakazu, R - koniec mikrooperacji

Zasadniczym parametrem, który w sposób istotny wpływa na oałość konstrukcji pamięci jest stabilność impulsów sterująoych. Dotyczy to zwłaszcza wzajemnego położenia w czasie pary impulsów fazy odczytowej, sterujących wzmacniacze odczytu /impuls strobujący/ i generator prądu przełączającego rdzenie ferrytowe. Wynika to z faktu, że badanie sygnału z płatu nośnika informacji odbywa się w wąskim przedziale czasu, uwarunkowanym pierwotnymi i wtórnymi parametrami rdzenia [2].

Próby analitycznej oceny dopuszczalnych zmian położenia impulsu strobu nie dały zadowalających wyników, obliczenia te są źmudne i mało precyzyjne, szczególnie w fazie projektu wstępnego. Dokładną ocenę dopuszczalnych rozrzutów położenia impulsu strobu można uzyskać drogą pomiarów. Pomiary takie przeprowadzono w zestawie symulującym pamięć 3D, który umożliwiał określenie w warunkach dynamicznych interesującego nas parametru. Zestaw zawierał: układ 128 rdzeni, układy impulsowych źródeł prądowych oraz wzmacniacz odczytu. Rdzenie połączono w sposób podobny jak w uprzednio cytowanej pracy [2], tak aby uzyskać tzw. najgorszy przypadek jaki wystąpić może w płacie o pojemności 4 K. Pomiar obejmował określenie granic obszaru poprawnej pracy przy zmianie wartości prądów wzbudzających i progu dyskryminacji wzmacniacza odczytu dla różnych wartości położenia sygnału strobu i temperatury otoczenia. Jako kryterium prawidłowej pracy zestawu przyjęto poprawność zapisu i odczytu informacji.

Pomiary fizycznego modelu projektowanej pamięci umożliwiły wybór optymalnego położenia impulsu strobu względem impulsu prądu przełączającego oraz ocenę dopuszczalnych zmian przesunięcia czasowego impulsu strobu od wartości nominalnej. Przesunięcie impulsu strobującego wzmacniacza odczytu względem czoąa impulsu sterującego generator prądowy wynosi 300 ns, a dopuszczalna niestabilność ± 25 ns. Zmiana położenia impulsu strobu o ± 25 ns powodowała, że obszar poprawnej pracy określony dla wartości nominalnych malał o 30% zarówno dla zmian progu dyskryminacji, jak też zmian prądów przełączających. Przy powyższych zmianach położenia impulsu strobu obszary poprawnej pracy były jeszcze zadowalające i przekraczały marginesy przyjęte dla pamięci.

# 3. SPOSÓB REALIZACJI ZESPOŁU STEROWANIA

Realizacja zespołu sterowania wymaga uwzględnienia konieczności zamiany poziomów logicznych na poziomy układów specjalnych oraz obciążalności prądowej impulsów sterujących /tabela 2/.

W wyniku analizy różnych rozwiązań układów formowania impulsów uznano za najlepszy taki zespół, którego zasadniczym elementem opóźniającym jest linia elektromagnetyczna. Wykorzystanie linii opóźniającej wymaga dodatkowych układów pobudzania, układów formujących impulsy oraz układów wyjściowych [3].

Tabela 1

700067	Tionho	Poziomy impulsu		Prąd wejś-	
Despor	układów	górny	dolny	nego ukła- du	
Wzmacniacze odczytu	25	-12V	<u>-</u> 24⊽	4,2 mA	
Klucze adre- sowe	8	+12₹	OV	50 mA	
Klucze za- kazu	25	+4,5V	OV	8 mA	
Generatory prądowe	2	+12₹	ov	86 mA	

Parametry impulsów sterujących zespołami pamięci

Przy wyborze układów elektronicznych położono nacisk na to, aby układy współpracujące z linią opóźniającą odznaczały się dużą szybkością działania, celem wyeliminowania niekontrolowanych opóźnień w zespole. Na podstawie wyników pomiarów dopuszczalnej niestabilności, postawiono wymaganie, aby zmiany opóźnienia linii wytwarzającej omówioną parę impulsów /prąd generatora i impuls strobu/ nie przekraczały  $\pm$  5 ns, co przy wymaganych zmianach temperatury otoczenia pamięci o 35°C daje współczynnik stabilności temperaturowej linii  $\gamma = 0.5 \cdot 10^{-3} 1^{\circ}$ C. Stąd na niekontrolowane czasy w układach elektronicznych pozostaje dopuszczalna zmiana opóźnień  $\pm$  20 ns.

Schemat blokowy zespołu sterowania przedstawia rys. 2.

W skład zespołu wchodzą: przerzutniki P<sub>A</sub> warunkujące generację odpowiednich grup impulsów w zależności od wykonywanej mikrooperacji, układy monostabilne P<sub>M</sub> wyznaczające sze-



Rys. 2. Schemat blokowy zespołu sterowania

rokość impulsów propagowanych w liniach opóźniających, linie opóźniające L, nadajniki linii opóźniających N sterujące linie opóźniające, separatory S formujące impulsy sterujące, odbiorniki linii O będące układami wyjściowymi zespołu.

Zespół sterowany jest przez jeden z impulsów S, określających wykonanie odpowiedniej mikrooperacji.

Ciągi sterujące generowane są na dwóch liniach opóźniających; linia pierwsza L<sub>1</sub> generuje impulsy fazy odczytowej, linia druga L<sub>2</sub> impulsy fazy zapisowej.

Generację impulsów sterujących inicjują układy monostabilne  $P_{M1}$  i  $P_{M2}$  pobudzające odpowiedni nadajnik  $N_1$  lub  $N_2$ , który generuje impuls w linii opóźniającej. Czas trwania generowanego impulsu wyznacza położenie odczepu linii, z którego poprzez separatory  $S_{10}$  lub  $S_{12}$  utworzona jest pętla sprzężenia zwrotnego. Sprzężenie to określa czas wyłączenia działającego w danej chwili układu  $P_M$ , co warunkuje zakończenie generacji impulsu.

Formowanie impulsów o odpowiedniej szerokości dokonywane jest metodą sumowania impulsu propagowanego w linii opóźniającej za pomocą bramek wejściowych separatorów S, dołączonych odpowiednio do odczepów linii. Ukształtowane impulsy pobudzają układy odbiorników linii, które sterują odpowiednimi zespołami elektroniki pamięci; każdy z tych zespołów /w sumie cztery/ współpracuje z osobnym blokiem nośnika informacji.

## 4. UKLADY ELEKTRONICZNE ZESPOŁU

# 4.1. Zestaw układów

Zespół sterowania zrealizowany jest ze standardowych układów logicznych S-50 [6] i układów specjalnych. W skład układów specjalnych wohodzą: linia opóźniająca z separatorami, nadajnik linii z układem monostabilnym i odbiornik linii z transformatorowo-tranzystorowymi kluczami wyjściowymi. Przy projektowaniu powyższych układów szczególną uwagę zwrócono na zapewnienie dużej szybkości działania układów, celem wyeliminowania niekontrolowanych opóźnień w zespole. Dlatego tranzystory we wszystkich układach za wyjątkiem kluczy wyjściowych pracują bez nasycenia.

Układy zostały zaprojektowane metodą najgorszego przypadku przy założeniu zmian parametrów elementów odpowiadających długiemu okresowi eksploatacji. Wybór elementów konstrukcyjnych przeprowadzony został pod kątem zapewnienia dużej niezawodności.

# 4.2. Linia opóźniająca

Linia opóźniająca jest elementem pasywnym zbudowanym z ogniw pochodnych typu m, przy użyciu cewek z rdzeniami zamkniętymi, jeden rdzeń na ogniwo [4, 5].

Schemat linii opóźniającej przedstawia rys. 3.



# Rys. 3. Schemat linii opóźniającej

## Dane linii opóźniającej:

- liczba ogniw połączonych łańcuchowo
- opóźnienie jednostkowe ogniwa
- oporność falowa linii
- częstotliwość graniczna
- tlumienie na 1 µs opóźnienia
- współczynnik stabilności temperaturowej

n = 97  $t_{10} = 12,5 \text{ ns}$   $Z_0 = 36.2$ fgr = 14,5 MHz A  $\leq 1,5 \text{ db}$  $\gamma = 0,5 \cdot 10^{-3} 1/^{\circ}\text{C}$  Rozwiązanie konstrukcyjne linii umożliwia dołączenie bramek separatorów do dowolnych ogniw.

# 4.3. Nadajnik linii z układem monostabilnym

Nadajnik linii /rys. 4/ jest układem przeznaczonym do pobudzania linii opóźniającej. Nadajnik sterowany jest poprzez układ monostabilny, który pobudzany jest z układów logicznych przez bramki RC. Wykorzystanie układu monostabilnego pozwala uniknąć przypadkowego wygenerowania impulsów sterujących w momencie włączenia zasilania pamięci. Zmiana stanu przerzutnika odbywa się poprzez układy bramkujące RC, które wyzwalają przerzutnik od ujemnego skoku napięcia przyłożonego do jednego z wejść, podczas gdy pozostałe wejścia winny znajdować się na potencjale dodatnim.

W stopniu wyjściowym nadajnika linii zastosowano układ pracujący w stanie aktywnym, z przełączaniem prądu w emiterze. Układ taki zapewnia dużą oporność wyjściową, co eliminuje wpływ zmian oporności wyjściowej układu na dopasowanie linii.



Rys. 4. Schemat nadajnika linii z układem monostabilnym i symbol logiczny

W przyjętym rozwiązaniu układ nadajnika pobudza linię opóźniającą generując w niej impuls na poziomie dolnym + 1,5V; poziom górny impulsu wyznacza dzielnik złożony z oporników dopasowujących linię /rys. 3 - R1, R2/.

Dane nadajnika linii z układem monostabilnym:

nA
18
18
ıs
18

# 4.4. Odbiornik linii z kluczem

Odbiornik linii jest układem wyjściowym zespołu sterowania. Schemat ideowy oraz symbol logiczny odbiornika przedstawia rys. 5.



Rys. 5. Schemat odbiornika linii i symbol logiczny układu

Konfiguracja układu zapewnia realizację funkcji logicznej odpowiadającej funkcji ZAKAZ /AB/. W odbiorniku linii wyróżnić można układ dwóch tranzystorów T1 i T2 pracujących jako przełącznik prądu oraz klucz wyjściowy na tranzystorze T3.

W zależności od względnej różnicy napięć między bazami tranzystora T1 i tranzystora T2 prąd emiterowy /określony naprężeniem - U i opornikiem R<sub>5</sub>/ przepływa przez tranzystor T1 bądź przez tranzystor T2. W drugim przypadku zostaje wysterowany poprzez transformator Tr klucz tranzystorowy T3.

Układ odbiornika jako całość ma dwa rodzaje wejść. Wejścia A przeznaczone są do współpracy z układami techniki S-50. Występuje tu dwuargumentowa bramka diodowa. Zastosowany w niej układ dzielnika oporowego Ro i R<sub>10</sub> zapewnia odpowiednie przesunięcie poziomu napięć. Wejścia B przeznaczone są do współpracy z linią opóźniającą. Zastosowano tu wieloargumentową bramkę diodową. Dla zwiększenia jej oporności wejściowej, pomiędzy tą bramką a bazą tranzystora T1 wprowadzony został układ wtórnika emiterowego zbudowany na tranzystorze T4. Wejścia B zostały przystosowane do poziomów sygnałów sterujących +6V i +1,5V /przychodzących z linii/.

Klucz wyjściowy na tranzystorze T3 przewodzi dla przypadku, gdy z linii podawany jest sygnał +1,5V, a od strony wejść A sygnał +4,5V.

Zarówno kolektor jak i emiter klucza wyjściowego nie są dołączone do określonego potencjału dzięki separacji przez transformator wejściowy, co stwarza dużą swobodę w sposobie włączenia tego klucza do obwodów sterowanych.

Dane układu odbiornika linii przy prądzie wyjściowym klucza I<sub>k</sub> = 200 mA są następujące:

•	maksymalna	wartość średniego czasu propagacji	t	=	25	ns
•	maksymalny	czas zbocza narastającego	tnm	=	20	ns
•	maksymalny	czas zbocza opadającego	tom	=	40	ns
•	maksymalna	liczba kluczy połączonych				
	równolegle		n =	3		

# 5. ZAKOŃCZENIE

Przedstawiony w pracy zespół sterowania zastosowany został w modelu i prototypie pamięci PAO 6 i PAS 6. Wyniki pomiarów modelu zespołu oraz badań pamięci pozwalają na sformułowanie następujących wniosków:

- zespół sterowania jest w dużym stopniu jednostką uniwersalną, co również umożliwia stosowanie go do innych typów pamięci,
- sposób generacji impulsów sterujących za pomocą linii opóźniających zapewnia wysoką stabilność oraz dużą łatwość dobierania odpowiednich przedziałów czasowych,
- zastosowanie w zespole układów wyjściowych w postaci kluczy transformatorowo-tranzystorowych umożliwia otrzymywanie impulsów wyjściowych na różnych poziomach, co znacznie wpływa na uproszczenie elektronicznych układów specjalnych pamięci i jednocześnie zapewnia proste przejście z poziomów logicznych techniki S-50 na odpowiednie poziomy elektroniki pamięci,
- wszystkie układy wchodzące w skład zespołu pracowały poprawnie przy szerokich zmianach napięć zasilających, wykazując jednocześnie wysoką odporność na działanie zakłóceń i podwyższonej temperatury /+50°C/.

# Literatura

- [1] WRZESZCZ Z. i inni: Charakterystyka i sposób realizacji pamięci PAO 6, Prace IMM, w niniejszym zeszycie.
- [2] REESE BROWN J.: First and Second-Order Ferrite Memory Core Characteristics and Their Relationship to System Performance, IEEE Transaction on Electronic Computers, August 1966.
- [3] RENWICK W.: Digital Storage Systems, London 1964.
- [4] STORER I.E.: Passive Network Synthesis, New York 1957.
- [5] AVINOR M.: Pulse Response of Delay Lines, The Radio and Electronic Engineer, October 1966.
- [6] Praca zbiorowa: Cyfrowa Technika Krzemowa S-50, IMM, Warszawa 1969.

# БЛОК УПРАВЛЕНИЯ ЗАПОМИНАРШЕГО УСТРОЙСТВА РАО 6

## Резрие

В статье описан блок управления для запоминарщего устройства РАО 6. Рассмотрены импульсные параметры схем управления. Подан способ постройки блока управления. Блок, которого основным элементом является электромагнитная линия, был принят как найлучний. Он был построен из стандартных логических схем s-50 и из специальных блоков. В конце статьи рассмотрены заключения следующие с использования этого блока управления в модели и прототипе запоминарщих устройств РАО 6 и РА\$ 6.

## THE PAO 6 STORAGE CONTROL SYSTEM

## Summary

The article describes a control system designed for the operational storage PAO 6. The control pulse time parameters are considered. The means are given of realizing the control system. The system in which the principal delaying element constitute electromagnetic lines, is considered the best. The control scheme is realized of standard logical schemes S-50 and special schemes. In the end of the article conclusions are discussed, resulting from this system application to a model and prototype of PAO 6 storage.

621.311.6:681.327.66.042.15

Prace IMM Zeszyt 3 © 1971.12

> ZASILANIE PAMIĘCI OPERACYJNEJ PAO 6 Stanisław ZAGÓRNY Pracę złożono 20.08.1970

Omówiono zasilanie pazięci operacyjnej PAO 6 i swiązane z tym problemy. Przedstawiono powstawanie szkodliwych napięć zakłóceń w obwodach zasilania, jako wynik impulsowego charakteru obciążenia zasilanych układów. Dużo uwagi poświęcone analizie tych zakłóceń i sposobom ich zmniejszenia. Podano także charakterystyki źródeł energii prądu przemiennego i prądu stałego oram przykłady rozwiązań elektryczno-konstrukcyjąych wybranych układów stabilizatorów napięć.

## SPIS TREŚCI

1.	WSTEP
2.	CECHY CHARAKTERYSTYCZNE ODBIORNIKÓW ENERGII 192
2.1.	Rodzaje obciążeń odbiorników
2.2.	Zakłócenia w obwodach zasilania
2.2.1.	.Fizyczne podstawy powstawania i tłumienia zakłóceń 193
2.2.2.	Składowe prądów w przewodach zasilania i ziemi 195
2.2.3.	Parametry przewodów zasilania
3.	CECHY CHARAKTERYSTYCZNE ŹRÓDEŁ ENERGII /PRĄDE ZMIENNEGO I
	STALEGO/ 196
3.1.	Energetyczna sieć zasilająca
3.2.	Źródła emergii prądu stałego i ich funkcjonalne cechy 197
3.3.	Rozprowadzenie napięć stałych
3.4.	Rozwiązania elektryczno-konstrukcyjne wybranych układów sta-
	bilimatorów
3.5.	Kentrola i sygnalizacja źródeł zasilania 203
4.	ZAKOÁCZENIE
Liters	atura

## 1. WSTEP

Układy zasilania są nieodłączną częścią urządzeń elektronicznych i ich poprawne działanie w dużym stopniu zależy od prawidłowego rozwiązania tych układów.

Artykul niniejszy omawia zasilanie układów pamięci operacyjnej PAO 6, zarówno ściśle specjalizowanych jak i standardowych układów elektronicznych techniki S-50.

Impulsowy charakter obciążenia powoduje, że rozprowadzenie energii odgrywa zasadniczą rolę w prawidłowym rozwiązaniu zagadnienia zasilania. Decyduje ono o zakłóceniach występujących w przewodach zasilania, będących wynikiem procesów przejściowych zachodzących w nich przy przełączaniu się układów elektronicznych. Zagadnienie to szerzej opisano w pracy [1], za którą podano tu tylko ważniejsze aspekty. Przedstawiono także zabiegi konstrukcyjno-elektryczne w układach zasilania pamięci PAO 6 w celu zmniejszenia zakłóceń, jak również podano przykłady rozwiązań schematowych zastosowanych układów stabilizatorów.

## 2. CECHY CHARAKTERYSTYCZNE ODBIORNIKÓW ENERGII

## 2.1. Rodzaje obciążeń odbiorników

Cechą charakterystyczną odbiorników energii /układów zasilanych/ pamięci jest ich impulsowy pobór prądu. Zmiany obciążenia wnoszone przez układy funkcjonalne pamięci wynikają z różnego charakteru odbiorników energii, wszystkie jednak stanowią dla źródeł zasilających odbiorniki, pobierające w funkcji czasu prądy o różnych wartościach.

Największe zmiany obciążenia /w zakresie od 30% do 100%/ występują w źródle +40V, które dostarcza energii dla układów adresowych oraz obwodów zakazu układów informacji. Źródło to wraz ze źródłami napięć -25V, -16V, + 12V można zaliczyć do źródeł zasilających wyłącznie specjalizowane układy pamięci, przy czym źródła napięć -16V i -25V służą do zasilania wzmacniaczy odczytu układów informacji pamięci, natomiast źródło napięcia +12V/0,02A zasila układy generujące prądy adresowe.

Pozostałe źródła zasilające: +12V, -12V, +4,5V, -4,5V zaliczamy do źródeł, których obciążenie w funkcji czasu zmienia się w stosunkowo niewielkich granicach /w zakresie od 80% do 100%/. Źródła te służą głównie do zasilania standardowych układów elektronicznych techniki S-50 oraz w znacznie mniejszym stopniu do zasilania specjalizowanych układów elektronicznych pamięci.

Inną charakterystyczną cechą układów zasilania pamięci pperacyjnej PAO 6 jest to, że rozdzielają one napięcie + 12V na dwa niezależne źródła. Przyjęcie takiego rozwiązania wynika z konieczności rozdzielenia na dwie grupy układów zasilanych, wymagających napięcia zasilającego o tej samej wartości nominalnej, ale z możliwością niezależnej regulacji.

# 2.2. Zakłócenia w obwodach zasilania.

2.2.1. Fizyczne podstawy powstawania i tłumienia zakłóceń

Układy logiczne pamięci łączą się ze sobą dwiema drogami: a/ przewodami sygnałów oraz b/ przewodami zasilania. Jedne służą do przekazywania informacji w postaci impulsów prądu i napięcia, drugie natomiast służą do doprowadzenia energii prądu stałego z niskonapięciowych źródeł. Jeśli układy zasilane są z jednégo źródła, wówczas do dostarczenia energii potrzebne są dwa przewody: doprowadzający, tzw. "gorący" i powrotny, tzw. "zimny". Bardzo często jednak zachodzi konieczność zasilania układów kilkoma napięciami z różnych źródeł. Wówczas w celu zmniejszenia liczby przewodów stosuje się jeden przewód powrotny dla wszystkich źródeł i łączy się go zwykle z korpusem urządzenia, nazywając uziemieniem lub po prostu ziemią [2].

W pamięci PAO 6 wybrano rozwiązanie pośrednie, polegające na wydzieleniu niektórych źródeł przez doprowadzenie od nich energii do zasilanych odbiorników niezależnymi liniami; energię od pozostałych źródeł rozprowadzono w sposób przedstawiony wyżej, z zastosowaniem wspólnego przewodu ziemi. Przyjęcie takiego rozwiązania jest wynikiem konieczności wydzielenia obwodów o dużym zakresie zmian prądów w funkcji czasu, a zatem rozdzielenia i zmniejszenia zakłóceń powstających na przewodach zasilania i pochodzących od tych prądów.

W stanie ustalonym /jeśli układy nie są przełączane/ w przewodach zasilania płyną prądy o określonej wartości. W tym przypadku warunkiem prawidłowej pracy układów zasilania jest takie ich zaprojektowanie, aby spadki napięć na przewodach zasilania stanowiły małą część wartości nominalnej napięcia, czyli aby spadki te nie przekraczały wymaganej dopuszczalnej wartości.

Podczas przełączania układów następuje zmiana obciążenia źródeł zasilania. W przewodach zasilania płyną prądy impulsowe, w wyniku czego powstają chwilowe szkodliwe spadki napięć. Nie powinny one przekraczać określonej dopuszczalnej wartości. Dla każdego przewodu zasilania są różne i zależą od typu elementów dołączanych, ich rozmieszczenia i warunków pracy. Zjawiska związane ze zmianą prądu występują aż do chwili ustalenia się w przewodach zasilania wartości prądu odpowiadającej nowemu poborowi prądu ze źródła zasilania. W przewodzie ziemi płynie prąd sumaryczny, w skład którego mogą wchodzić zarówno przyrosty prądów zasilania jak i prądy obwodów sygnałowych. Zachodzi to wówczas, gdy przewód ziemi wykorzystywany jest także jako przewód powrotny dla obwodów sygnałowych.

Przedstawione wyżej spadki napięcia powstające na impedancji przewodów przy przepływie prądów chwilowych powodują pojawienie się sygnału zakłócającego. Wartość tego sygnału zależy od wartości skoku prądu oraz impedancji, która w ogólnym przypadku jest zespolona i długości linii.

Analiza podstawowych procesów zachodzących w przewodach zasilania prowadzi do wyrażenia określającego wartość napięola zakłóceń  $e_n$  [1]:  $e_n = 1/2. I \cdot Z_1 \cdot I \cdot n$ 

- gdzie: I skok prądu w przewodzie zasilania wywołany zmianą stanu elementu logicznego
  - Z1- jednostkowa impedancja przewodu
  - 1 długość linii
  - n liczba przełączanych elementów /odbiorników/

Z przedstawionego wyżej wyrażenia widać, że w celu zmniejszenia zakłóceń należy dążyć do zmniejszenia: prądu elementu, impedancji jednostkowej i długości przewodu zasilania oraz liczby dołączonych elementów.

2.2.2. Składowe prądów w przewodach zasilania i ziemi

Ponieważ zakłócenia na przewodach zasilania i ziemi powstają na skutek zmian prądów pobieranych przez układy logiczne, choąc określić napięcie zakłóceń należy znać podstawowe parametry prądu tych układów. Są to: składowa zmienna przełączania, czyli przyrost prądu oraz czas przełączania.

Prądy układów logicznych mają dwie składowe:

- a/ składową własną prądu elementu, która płynie przez punkty dołączenia tego elementu do dwóch jakichkolwiek przewodów zasilania,
- b/ składową prądu sprzężenia, która płynie w obwodzie sygnału jakichkolwiek dwóch elementów.

W układach impulsowych przełączania elementów z jednego stanu w drugi towarzyszą przepływy prądów zarówno własnych jak i sprzężenia; znajomość ich jest niezbędna do zastosowania określonych sposobów likwidowania zakłóceń.

# 2.2.3. Parametry przewodów zasilania

Występujące na przewodach zasilania i ziemi zakłócenia zależą od charakteru i wartości ich oporności. Przewody zasilania wykonywane są zwykle w postaci przewodów miedzianych o przekroju okrągłym bądź prostokątnym, a nawet w postaci płaszczyzn metalowych. Przewodnik wykonany w takiej lub innej postaci charakteryzuje się różnymi wartościami indukcyjności własnej, co decyduje o wartości amplitudy zakłóceń. Można więc stwierdzić [1], że np. dla czasów narastania impulsów prądu mniejszych od 0,5 µs przy średnicy przewodu powyżej 0,5 mm oporność czynna stanowi poniżej 5% oporności indukcyjnej. Stąd wniosek, że o zakłóceniach na przewodach zasilania współczesnych urządzeń cyfrowych decyduje oporność indukcyjna.

# 3. CECHY CHARAKTERYSTYCZNE ŹRÓDEŁ ENERGII /PRĄDU ZMIENNEGO I STAŁEGO/

# 3.1. Energetyczna sieć zasilająca

Energetyczna sieć zasilająca 3x380/220 V jest powszechnie wykorzystywana jako źródło energii. Układy zasilania zaś są przetwornikiem energii, na wejście których doprowadza się energię w postaci prądu przemiennego, uzyskując na wyjściu napięcia stałe stabilizowane.

Zaletami sieci zasilającej są jej dostępność i powszechność. Natomiast do wad zaliczyć można istniejące w sieci stany nieustalone, które przenosząc się na wyjście źródeł stałych w zasadniczy sposób mogą wpływać na parametry stabilizowanych napięć zasilających i poprawną pracę pamięci. Występowanie w sieciach energetycznych stanów nieustalonych wynika z faktu dołączania do nich dużych obciążeń, powstawania zwarć itp., co prowadzi do znacznych spadków a nawet krótkotrwałych zaników napięcia [3].

Walka z tego rodzaju ujemnymi zjawiskami polega na galwanicznej separacji odbiorników energii od sieci. Dokonuje się tego, stosując agregaty maszynowe przy jednoczesnym wykorzystywaniu zasobników energii w postaci koła zamachowego umieszczanego na mechanicznej osi silnik-prądnica. Półśrodkami w walce z zakłóceniami są filtry przeciwzakłóceniowe, które zostały zastosowane w zasilaniu pamięci PAO 6. Pierwszy bowiem sposób walki ze stanami nieustalonymi stwarza szereg problemów natury eksploatacyjnej i ekonomicznej i dlatego bywa stosowany tam, gdzie jest konieczny.

# 3.2. Źródła energii prądu stałego i ich funkcjonalne cechy

Schemat blokowy zasilania pamięci PAO 6 przedstawiono na rys. 1.

Wszystkie źródła zasilania można podzielić na dwie grupy. Do źródeł pierwszej grupy zaliczamy: +12V, -12V, +4,5V, -4,5V, + 40V, -25V, których prądy obciążenia wynoszą po kilka amperów, a do źródeł drugiej grupy zaliczamy źródła o prądach obciążenia nie przekraczających kilkudziesięciu mA. Są to źródła -16V i +12V.

Budowa pamięci jako niezależnej jednostki funkcjonalnej, pociągnęła za sobą konieczność budowy własnego zasilacza, zawierającego wszystkie niezbędne elementy zasilania. Każde ze źródeł zasilających posiada niezależny stabilizator. Ale zespół transformatora jest już wspólny dla wszystkich układów prostowniczo-stabilizacyjnych. Prowadzi to do uzyskania mniejszych gabarytów, kosztów i ciężaru całego zasilacza, którego objętość stanowi około 30% objętości szafy pamięci operacyjnej PAO 6. Zastosowanie trójfazowej transformacji napięcia i prostowania trójfazowego dwukierunkowego pozwoliło na uzyskanie stosunkowo małej amplitudy tętnień napięć wyprostowanych i ograniczenia się tylko do filtrów pojemnościowych.

Regulację napięcia wyjściowego zastosowano w źródłach /+12V, +40V/, których zmiana napięcia służy do profilaktycznej kontroli pamięci. Pozostałe źródła posiadają tylko elementy służące do doregulowania napięć wyjściowych na żądaną wartość nominalną.

Niestabilność napięć wyjściowych źródeł pamięci jest nie gorsza od 2%. Uwzględnia ona następujące składniki niestabil-



Rys. 1. Zasilanie PAO 6. Schemat blokowy

- 198

ności związane ze zmianą: prądu obciążenia, napięcia wejściowego, temparatury /w zakresie temperatur pracy pamięci +5°C ÷ + 35°C/, dryftu napięcia oraz tętnień.

Układy stabilizatorów zabezpieczono elektronicznym bezpiecznikiem tranzystorowym, uzyskując odporność układów zasilania na przeciążenia i zwarcia.

# 3.3. Rozprowadzenie napięć stałych

Biorąc pod uwagę przyczyny powstawania zakłóceń przedstawione w pkt. 2.2 starano się przy rozwiązywaniu problemu rozprowadzenia energii w pamięci PAO 6 stosować różne możliwe sposoby mające na celu zmniejszanie zakłóceń.

Przyjęte sposoby ograniczenia zakłóceń wywoływanych przez prądy w obwodach zasilania sprowadzają się do następujących zasad i z tym związanych zabiegów:

1. Zmniejszenia szybkości zmian prądów w poszczególnych przewodach zasilania za pomocą indywidualnych kondensatorów odsprzęgających. Kondensatory te umieszczano zarówno na wyjściu źródeł zasilania jak i na pakietach przy punktach dołączenia układu elektronicznego do przewodów zasilania. Tak dołączone i naładowane do wartości napięcia zasilania kondensatory, odgrywają rolę jakby indywidualnych źródeł zasilających dany układ, skracając przez to długość drogi przepływu prądów własnych i prądów sprzężenia elementów w przewodach zasilania, prowadząc tym samym do powstawania mniejszego poziomu zakłóceń.

2. Zmniejszenia własnych i wzajemnych indukcyjności przewodów zasilania za pomocą kompensacji strumienia magnetycznego, wywoływanego prądami w przewodach zasilania. Uzyskano to dzięki zastosowaniu szyn zasilających w postaci płaskich przewodów /mniejsza indukcyjność w porównaniu z przewodem okrągłym/, wykonanych z taśmy miedzianej o szerokości 30 mm i długości nie przekraczającej 70 cm. Dodatkowo z uwagi na magnetyczne sprzężenia między przewodami uzyskano zmniejszenie wypadkowej indukcyjności. Ten sposób zmniejszenia zakłóceń na przewodach zasilania dotyczy tylko prądów własnych /które są równe i przeciwnie płynące w przewodach zasilania/, natomiast zmniejszenie zakłóceń od prądów sprzężeń zrealizowano przez zastosowanie par skręconych przewodów do okablowania logicznego.

3. Odbiorniki, których obciążenie zmienia się w stosunkowo dużych granicach okablowano niezależnymi torami od zacisków wyjściowych źródeł zasilania aż do punktów zasilania układów odbiorczych.

# 3.4. Rozwiązania elektryczno-konstrukcyjne wybranych układów stabilizatorów

Jednym z prostszych układów stabilizujących, który charakteryzuje się dobrymi parametrami elektrycznymi jest stabilizator szeregowy. Tranzystor regulacyjny włączony jest w nim w szereg z obciążeniem. Wadą układu jest znaczna strata mocy przy dużych wahaniach napięcia wejściowego /dla pamięci przyjeto sieć zasilającą o dopuszczalnych wahaniach +10%, -15%/.

Układ stabilizatora szeregowego został wybrany do realizacji źródeł o stosunkowo dużych prądach /pierwszej grupy/. Wybór tego układu wynika z możliwości uzyskania wymaganych parametrów elektrycznych źródeł oraz z wyżej zaznaczonej prostoty, a za tym i pewności pracy układu.

Stabilizatory napięć o stosunkowo małych prądach obciążenia rozwiązano jako układy równoległe, ponieważ w konkretnych warunkach zasilania pamięci ten typ stabilizatora okazał się korzystniejszy /niż układ szeregowy/, z uwagi na mniejsze zużycie sprzętu przy zapewnieniu wymaganych parametrów elektrycznych.



Rys. 2. Schemat szeregowego stabilizatora napięcia

I. 201 -



# Rys. 3. Schemat równoległego stabilizatora napięcia

- 202 -

Stabilizatory napięć rozwiązano pod względem elektryoznokonstrukcyjnym w sposób polegający na oddzieleniu toru prądowego od napięciowego, co umożliwia doprowadzenie napięcia pobierania zwrotnego na wzmacniacz napięciowy wprost z samego obciążenia. Uzyskuje się dzięki temu stabilizację napięcia na samym odbiorniku /ściślej w punktach zwarcia /połączenia/ torów: napięciowego i prądowego/.

Zastosowanie wzmacniacza różnicowego jako wzmacniacza napięciowego oraz skompensowanej termicznie diody Zenera dla otrzymania napięcia odniesienia, pozwoliło na uzyskanie temperaturowego współczynnika napięcia rzędu 0,02%/1°C.

# 3.5. Kontrola i sygnalizacja źródeł zasilania

Zadaniem układów kontroli i sygnalizacji jest właściwe kierowanie procesem włączania i wyłączania napięć oraz podawanie informacji o poprawności pracy układów zasilania pamięci.

I tak, samoczynne wyłączenie zasilania pamięci zachodzi w przypadku przeciążenia w obwodzie napięcia sieci zasilającej lub też zaniku którejkolwiek z faz.

Zanik dowolnego napięcia stałego nie powoduje odłączania zasilania, a jest tylko sygnalizowany optycznie, za pomocą lampek sygnalizacyjnych związanych z odpowiednimi napięciami zasilającymi.

Zachowanie zapisu informacji w pamięci przy włączaniu i wyłączaniu zasilania zostało zapewnione przez określoną kolejność załączania napięć zasilających. Jako ostatnie załączane jest w pamięci PAO 6 napięcie +12V zasilające układy generujące prądy adresowe. Zapewnia to zachowanie wyżej przedstawionego zapisu.

# 4. ZAKONCZENIE

W artykule niniejszym starano się przedstawić zjawiska zachodzące w obwodach zasilania, wynikające z impulsowego charakteru obciążenia układów pamięci oraz problemy wynikające z tych zjawisk przy rozwiązywaniu układów zasilania. Również starano się przedstawić wpływ rozwiązań elektryczno-konstrukcyjnych źródeł zasilających i systemu rozprowadzenia energii na ograniczanie poziomu zakłóceń, powstających w obwodach zasilania.

Pod względem konstrukcyjnym zasilacz zrealizowano w formie zamkniętego zespołu, przystosowanego do wbudowania w szafę pamięci [4].

Na podstawie badań działania zespołu zasilania należy stwierdzić, że w większości przypadków uzyskano znacznie lepszą niestabilność źródeł zasilania od podanych 2%.

# Literatura

- [1] PIEKIELIS W.G., SIMMES W.I.: Parazitnyje sviazi i navodki v bystrodiejstvujuscih EMC, Izdatielstvo Nauka i Tiehnika. Mińsk 1967.
- [2] ZAGÓRNY S.: Niektóre aspekty systemów zasilania EMC, ETO Nowości, 1969: 3-4.
- [3] ŻYDANOWICZ J.: Elektroenergetyczna automatyka zabezpieczeniowa, Wydawnictwa Naukowo-Techniczne, Warszawa 1966.
- [4] WRZESZCZ Z. i inni: Charakterystyka i sposób realizacji pamięci PAO 6, Prace IMM, w niniejszym zeszycie.

## ПИ ТАНИЕ ОПЕРАЦИОННОГО ЗАПОМИНАВЩЕГО УСТРОЙСТВА РАО 6

## Резрме

В статье представлены проблемы связанные с проектированием блока питания операционного запоминарщего устройства РАО 6. Они касартся вопросов помех в источниках переменного тока, проектирования стабилизаторов напряжения постоянного тока, распределения мощности постоянного тока и связаных с этим помех.

Много внимания посвящается проблемам возникания и гамения помех на проводах питания. Для этой цели применяртся соответственные конструкционные решения блока питания операционного запоминарщего устройства РАО 6.

Учитывая импульсном потребление тока нагрухки указан характер и параметры проводов питания. Подчеркнуты недостатки промышленной сети питания. Указаны средства, которые следовало бы применить с целью их устранения, с одновременным представлением связенных с этим эксплуатационных затруднений и затрат.

Поданы примеры схем стабилизаторов напряжения, а также описаны избранные и применённые в РАО 6 электрические конструкционные репения этих стабилизаторов. В конце статьи указана цель применения систем управления и сигнализации, а также их функций. THE SUPPLY UNIT OF THE PAO 6 OPERATIONAL STORAGE

#### Summary

The article presents problems connected with the designing of the supply unit of the PAO 6 operational storage. They concern the questions of noise in alternatic current sources, designing of direct current voltage stabilizers and direct current power distribution. Attention has been drawn to the problems of noise arising and dumping on supply wires. For this purpose adequate constructional solutions were applied to the operational storage PAO 6. The pulse current intake by means of the receivers /supplied circuits/ being taken into account the character and parameters of the supply wires were presented. The drawbacks of the industrial supply network were pointed out. Given preventive measurements that optionally should be applied to be eliminated as also exploitation troubles and costs connected with.

Examples of voltage stabilizing circuits are given. Selected and applied in PAO 6 electric-constructional solutions of the above stabilizers are described. The purpose of applying the control and signalization systems is given in the final part of the article and their functions presented.

681.327.66.042.15.001.4

Prace IMM Zeszyt 3 © 1971.12

> BADANIA MODELU I PROTOTYPU PANIĘCI OPERACYJNEJ PAO 6 Jan RYŻKO Andrzej Sikorski

> > Prace zlożono 3.09.1970

Opisano metodę badania i wyniki pomiarów ferrytowej pamięci operacyjnej o pojemności 16 tysięcy słów 25-bitowych i cyklu 2 µs. Badania obejmowały również bloki nośnika informacji i wykazały spełnienie wszystkich wymagań przyjętych przy projektowaniu pamięci.

## SPIS TREŚCI

WSTEP	208
METODYKA BADAŃ	209
Uwagi wstępne	209
Określenie kryterium poprawnej pracy urządzenia	210
Wybór parametrów zewnętrznych	211
Oszacowywanie obszaru sprawności	216
PRZEBIEG BADAŃ	218
BADANIE MODELU	220
Określenie kryterium sprawności pamięci	220
Wybór punktu pracy modelu w odniesieniu do parametrów ze-	
wnetrznych	223
Oszacowanie obszaru sprawności modelu	225
Inne pomiary modelu	228
BADANIE PROTOTYPU	233
BADANIE BLOKÓW NOŚNIKA INFORMACJI	239
PODSUMOWANIE	241
utura	242
	WSTĘP METODYKA BADAŃ Uwagi wstępne Określenie kryterium poprawnej pracy urządzenia Wybór parametrów zewnętrznych Oszacowywanie obszaru sprawności PRZEBIEG BADAŃ BADANIE MODELU Określenie kryterium sprawności pamięci Wybór punktu pracy modelu w odniesieniu do parametrów ze- wnętrznych Oszacowanie obszaru sprawności modelu Inne pomiary modelu BADANIE PROTOTYPU BADANIE BLOKÓW NOŚNIKA INFORMACJI PODSUMOWANIE

## 1. WSTEP

Przedstawione w niniejszym opracowaniu badania pamięci operacyjnej PAO 6 składały się z dwóch etapów. Każdy etap obejmował badania innego obiektu. Pierwszym z badanych obiektów był model pamięci o niepełnej pojemności informacyjnej, zawierający 4096 słów 16 bitowych. Drugim obiektem był prototyp pamięci.

Zadania stawiane badaniom modelu pamięci były wielcrakie. Pierwszym celem pomiarów było sprawdzenie poprawności ogólnej koncepcji pamięci. Jako dalsze zadania należy wymienić: określenie parametrów funkcjonalnych modelu, określenie stopnia niewrażliwości pamięci na wpływy zewnętrzne, uzyskanie wyników pozwalających na ustalenie wartości nominalnych parametrów regulowanych, a także uzyskanie wstępnych danych do oceny niezawodności pamięci. Wyniki uzyskane podczas badań były podstawą do opracowania warunków technicznych, jak również miały służyć do ewentualnego wprowadzenia koniecznych korekt konstrukcyjnych.

Pomiary prototypu pamięci realizowane w drugim etapie badań miały na celu określenie parametrów funkcjonalnych pamięci, a w szczególności sprawdzenie czy są spełnione wymagania warunków technicznych. Wyniki pomiarów pozweliłyby ocenić wprowadzone do prototypu zmiany /w stosunku do modelu/ i dostarczyły dalszych danych do oceny niezawodności pamięci.

Badania te, chociaż przeprowadzene były zarówno na różnych obiektach oraz miały inne zadania do spełnienia, to jednak oparte były na tej samej metodyce postępowania.

Posługując się tą samą metodą wykonano również badania bloków nośnika informacji przesnaczonych do prototypu pamięci.

W pierwszej części opracowania przedstawiono metodykę badań, mastępnie opracowano na tej podstawie programy badań modelu 1 prototypu pamięci i wreszcie wyniki badań modelu, bloków nośnika informacji i prototypu pamięci. Podano również ustalone wymagania odnośnie warunków technicznych opierając się na omówionych wynikach bażań.

# 2. METODYKA BADAN

# 2.1. Uwagi wstępne

Model i prototyp pamięci, a także częściowo bloki nośnika informacji badane były zasadniczo według tego samego schematu postępowania. Postępowanie to składa się z trzech kolejnych punktów:

- o okreálenia kryterium poprawnej pracy urządzenia
- wyboru parametrów zewnętrznych
- ossacowania obszaru poprawnej pracy

Spośród wszystkich parametrów służacych do określenia stanu urządzenia wyodrębnia się niektóre, mianowicie te, których wartości można stosunkowo łatwo ustaląć. Nazwano je parametrami sewnętrznymi. Wszystkie pozostałe parametry nazwano parametrami wewnetrznymi. Obszarem sprawności, ozyli obszarem poprawnej pracy, w przestrzeni parametrów zewnętrznych nazwano zbiór wszystkich punktów tej przestrzeni, dla których urządzenie pracuje poprawnie. W omawianej przestrzeni, w trakcie eksploataoji urządzenia, przesuwa się zarówno punkt pracy /tzn. zmieniają się wartości parametrów zewnetrznych/, jak też zmieniają się granice obszaru poprawnej pracy - w wyniku zmian wartości parametrów wewnętrznych. Znając wiec obszar sprawności badanego urządzenia można wyciągać wnioski o jego niezawodności. Im obszar sprawności jest większy, to prawdopodobieństwo wyjścia punktu pracy z tego obszaru jest mniejsze. Znajomość obszaru sprawności, zwłaszcza przy kilku temperaturach otogzenia, pozwala oceniać odporność urządzenia na wpływy czynników zewnętrznych. Znajomość obszaru sprawności pozwala również na optymalny wybór nominalnego punktu pracy.

Z przedstawionych powodów, uwzględnienie w warunkach technicznych odpowiednich wymagań dotyczących obszaru poprawnej pracy zapewnić może właściwe funkcjonowanie skontrolowanych egzemplarzy urządzenia. Oceny obszaru sprawności mają też zastosowanie w okresowych badaniach konserwacyjnych, pozwalają bowiem na wczesne wykrycie możliwości wyjścia punktu pracy z obszaru sprawności, tzn. powstania stanu niesprawności urządzenia.

Metodyka ta została opracowana podczas badań pamięci operacyjnej typu PAO 5 i została częściowo opublikowana w pracy [1]. W niniejszym artykule szczegółowo opisany jest drugi punkt metodyki - wybór parametrów zewnętrznych, który w pracy [1] potraktowany był pobieżnie.

# 2.2. Określenie kryterium poprawnej pracy urządzenia

Dla urządzeń cyfrowych, takich jak na przykład pamięć operacyjna można przyjąć, że stan poprawnej pracy występuje wtedy, gdy w czasie testowania pamięci odpowiednio dobranym zestawem testów krytycznych urządzenie testująco-kontrolne nie wykrywa żadnych przekłamań informacji. Testowanie pamięci polega na wpisywaniu do niej odpowiednich układów informacji, które następnie po pewnych zakłóceniach odczytuje się oraz sprawdza, czy w czasie wykonywania tych operacji nie nastąpiło jakieś przekłamanie.

Warunek nieprzekłamywania informacji podczas testowania powinien być uściślony przez określenie wymagań dla parametrów impulsów wyjściowych. Parametry te mogą być sprawdzane dodatkowymi pomiarami, lecz także kontrolowanie ich można włączyć do testowania, przez takie wyregulowanie aparatury testującej, aby wykazywała ona poprawność informacji jedynie wtedy, gdy otrzyma z testowanego urządzenia impulsy o zadanych parametrach. Ustalenie odpowiednich testów, takich aby stwarzały dla badanej pamięci najtrudniejsze warunki pracy spośród tych jakie mogą wystąpić podczas właściwej eksploatacji, jest jednym z istotniejszych punktów badań. Zasadniczą sprawą jest ustalenie w tych testach właściwych, najtrudniejszych układów przechowywanej informacji /worst case patterns/.

Wybór testów krytycznych dokonany na podstawie znajomości konstrukcji pamięci, a w szczególności w oparciu o istniejące rozszycie przewodów w bloku nośnika informacji można w dalszej fazie badań weryfikować na podstawie wstępnej oceny obszaru poprawnej pracy. W wyniku tej weryfikacji testy, dla których obszar poprawnej pracy jest duży i obejmuje analogiczne obszary innych testów, mogą być usunięte z zestawu testów krytycznych.

# 2.3. Wybór parametrów zewnętrznych

Po zdefiniowaniu stanu sprawności badanego urządzenia następną czynnością jest określenie zbioru parametrów zewnętrznych tego urządzenia. W przestrzeni tych właśnie parametrów oszacowany będzie obszar sprawności urządzenia. Parametry zewnętrzne wyodrębnione są ze zbioru tzw. parametrów wejściowych. W dużym skrócie można określić, że parametry zewnętrzne są to takie parametry wejściowe urządzenia, które spełniają następujące warunki:

- wartości ich można regulować
- zniany ich wartości wpływają na poprawność pracy urządzenia
  w ozasie eksploatacji urządzenia wartości ich ulegają zmianom albo ulegają zmianom wartości innych parametrów wejściowych, których wpływ na poprawność pracy jest taki sam jak wpływ rozpatrywanego parametru.

W dalszym ciągu zostanie opisany sposób ustalania, które z párametrów wejściowych są parametrami zewnętrznymi. Ustalenie to wykonywane jest na podstawie znajomości konstrukcji rozpatrywanege urzędzenia oraz na podstawie wstępnych danych eksploatacyjnych i przewidywanych zmian starzenżowych.

Ze sbieru wszystkich parametrów wejściowych X urządzenia wyedrębnia się podsbiór X<sub>R</sub> sawierający wszystkie parametry x, które mogą być regulowane, tzn. takie, którym można w wymaganym sakresie zmieniać wartości.

Tak wieo":

$$X_{R} = \left\{ x \in X : W_{R}(x) \right\}$$
 /1/

gdsie w<sub>p</sub>(x) - warunek możliwości regulacji parametru x.

Spoáród elementów zbioru  $X_R$  wybiera się następnie te parametry, które będą spełniały przynajmniej jeden z warunków  $w_A$  i  $w_B$ .

Na warunek w<sub>A</sub> składają się dwa wynagania: pierwsze, aby wartości rospatrywanego parametru ulegały zmianom podczas skaploatacji urządzenia, tzn.:

$$\mathbf{w}_{A1}(\mathbf{x}) = \left[\mathbf{x}(\mathbf{t}) \neq \text{const}\right]$$
 /2/

drugie, aby mniany tego parametru miały wpływ na poprawność pracy rozpatrywanego urządzenia. Wpływ ten można określać poprzez zmiany przekroju obszaru sprawności w przestrzeni pozostałych parametrów zewnętrznych, wywołane zmianą wartości rozpatrywanego parametru, co można zapisać następująco:

$\mathbf{w}_{A2}(\mathbf{x}') = \left[ \mathbf{s}^{\left(\mathbf{x}_{\mathbf{z}} - \mathbf{x}'\right)} (\mathbf{x}' = \mathbf{x}_{\mathbf{x}}' \right]$	$\lim_{n \to \infty} \neq S^{(X_z - x')}(x' = x_{nom} + \Delta x') ] /3/$
gdzie: $s^{(X_{z-x'})}(x'=x'_{o}) -$	przekrój przez obszar sprawności w
	tości jednego wymiaru przestrzeni

W przypadku, gdy poprawność pracy urządzenia określona jest przez podanie pewnego obszaru sprawności w przestrzeni

Symbolika logiczna w niniejszej pracy stosowana jest według podręcznika H. Rasiowej - "Wstęp do logiki matematycznej i teorii mnogości", Ossolineum 1966.

parametrów wyjściowych /tzn. parametrów przebiegów wyjściowych/, to wpływ ten można określać przez stwierdzenie zależności któregokolwiek parametru wyjściowego od rozpatrywanego parametru tzn.:

$$W_{A2}(x) = \sum_{y \in Y} [y(x) \neq const]$$
 /4/

Drugi warunek w<sub>B</sub> wymaga, aby poprzez zmiany wartości rozpatrywanego parametru można było kompensować wpływ zmian innego parametru lub kilku parametrów, nie spełniających warunku możliwości regulacji na poprawność pracy układu. Wymaganie io pociąga za sobą spełnienie przez rozpatrywany parametr warunku w<sub>A2</sub> oraz występowanie tego samego typu zależności obszaru sprawności od parametrów kompensowanych jak od parametru kompensującego. Poza tym parametry kompensowane muszą spełniać warunek w<sub>A1</sub>. Tak więc, gdy w<sub>K</sub> (x; x<sub>a1</sub>,..., x<sub>aj</sub>) oznaczać będzie warunek kompensacji przez parametr x wpływu parametrów wejściowych x<sub>a1</sub>,..., x<sub>aj</sub> na poprawność pracy urządzenia, to warunek w<sub>B</sub> można przedstawić następująco:

$$\mathbf{w}_{B}(\mathbf{x}) = \mathbf{w}_{K}(\mathbf{x}; \mathbf{x}_{a1}, \dots, \mathbf{x}_{aj}) \wedge \prod_{i=1}^{d} \mathbf{w}_{A1}(\mathbf{x}_{ai})$$
  $(5)$ 

Tak więc zbiór parametrów zewnętrznych X<sub>Z</sub> można określić:

$$X_{Z} = \left\{ x \in X_{R} : W_{A1}(x) \land W_{A2}(x) \lor W_{B}(x) \right\}$$
 /6/

Gdy wśród parametrów zewnętrznych spełniających warunek W<sub>B</sub> znajduje się taki parametr x<sub>p</sub>, za pomocą regulacji którego można kompensować wpływy zmian wartości większości pozostałych parametrów wejściowych, to zakres wartości tego parametru dla którego układ pracuje poprawnie, może służyć jako pomocnicza miara poprawności pracy. Parametr taki, nazwany parametrem poprawnej pracy, musi wpływać na pracę najistotniejszych fragmentów badanego urządzenia.

W urządzeniach techniki cyfrowej omawiany parametr należy szukać wśród parametrów wpływających bezpośrednio na zdolność rozróżniania sygnałów odpowiadających informacji "O" i sygnałów odpowiadających informacji "1", gdyż poprawność pracy takich urządzeń jest równoznaczna z niewystępowaniem przekłamań informacji.

Jakie znaczenie ma tak określona miara poprawności pracy?

Ze spełnienia przez parametr x<sub>p</sub> warunku kompensacji względem dużej liczby parametrów x wynika, że wielkość zakresu poprawnej pracy dla x<sub>p</sub> jest miarą stabilności urządzenia względem zmian tych parametrów. W tym właśnie znaczeniu można uważać powyższy zakres jako miarę potencjalnej poprawności pracy.

Warunek możliwości regulacji  $w_R(x)$  oznacza, że wartości parametru x można w pewnym zakresie zmieniać płynnie lub skokowo w sposób kontrolowany. Przy czym zakres ten powinien być kilkakrotnie szerszy /przynajmniej 3-krotnie/ od ewentualnych wahań wartości tego parametru podczas eksploatacji urządzenia.

Chociaż warunki  $w_A$  i  $w_B$  składają się z kilku, wydawałoby się niezależnych wymagań, takich jak warunki:  $w_{A1}$  i  $w_{A2}$ , to jednak wymagań tych nie można traktować osobno, lecz trzeba je rozpatrywać łącznie. Jest to spowodowane tym, że występujące zmiany wartości parametru, narzucane przez warunek  $w_{A1}$ , mają znaczenie tylko wtedy, gdy wpływ ich na poprawność pracy urządzenia jest stosunkowo duży. Na omawiane zmiany wartości parametrów składają się zarówno chwilowe, odwracalne wahania, jak i powolne zmiany starzeniowe.

Wstępną czynnością dla każdego rozpatrywanego parametru jest określenie wielkości spodziewanych odchyleń od wartości nominalnych. Potrzebne jest jedynie bardzo zgrubne oszacowanie tej wielkości, zresztą tylko takie określenie jest możliwe do uzyskania.

Parametry spełniające warunek  $w_A$  wybiera się równocześnie z parametrami spełniającymi warunek  $w_B$ . Sprawdzenie warunku  $w_{A2}$  w takiej formie jak występuje we wzorze /3/ wymega początkowego przyjęcia całego zbioru parametrów a następnie ich redukcji, jest więc niepraktyczne. Taki sam zbiór parametrów
zewnętrznych uzyska się sprawdzając spełnienie warunku WA2 w następujący sposób.

W pierwszym kroku postępowania do zbioru przyjmuje się te parametry, dla których zmiana ich wartości od wartości nominalnej o wielkość około trzykrotnie przewyższającą spodziewane w eksploatacji odchylenia powoduje niepoprawną pracę urządzenia /w przypadku parametru spełniającego warunek w<sub>B</sub> uwzględnia się wpływ zmiany parametru kompensowanego o trzykrotną wartość spodziewanych odchyleń/.

W drugim kroku rozpatruje się pary parametrów i do zbioru X<sub>Z</sub> przyjmuje takie pary, dla których zmiana wartości jednego parametru, w takim zakresie jak w poprzednim kroku, zmienia istotnie zakres poprawnej pracy drugiego parametru, przy czym wielkość tych zmian powinna być wyraźnie większa od dokładności pomiarów. W pierwszym rzędzie do rozpatrywanych par parametrów jako jeden z nich przyjmuje się któryś z parametrów wybranych w pierwszym kroku.

Postępowanie to można kontynuować dalej rozpatrując trójki, a potem czwórki parametrów itd., przyjmując te parametry, których zmiana wartości wywołuje istotne zmiany obszaru sprawności w przestrzeni pozostałych dwóch, trzech itd. parametrów. Jednak już w pierwszych dwóch krokach postępowania wybiera się na ogół te parametry, które mają istotny wpływ na poprawną pracę urządzenia.

Bardzo pomocne w sprawdwaniu, które parametry spełniają warunek w<sub>A</sub> lub w<sub>B</sub>, jest wcześniejsze określenie parametru poprawności pracy. Gdy parametr ten jest już określony, to w drugim kroku opisywanego powyżej postępowania sprawdza się czy odohylenia od wartości nominalnych rozpatrywanych parametrów zmieniają marginesy parametru  $x_0$ .

Dla porównywania wpływu poszczególnych parametrów na poprawność pracy badanego urządzenia potrzebne jest wprowadzenie dla tych parametrów jakichá unormowanych jednostek. W przypadku, kiedy parametry te są względem siebie ortogonalne /są od siebie niezależne/ byłoby to określenie miary przestrzeni tych parametrów.

Ponieważ przedstawiana metoda służy do oszacowywania prawdopodobieństwa pozostania punktu pracy w obszarze sprawności, potrzeba wprowadzić takie jednostki, w których jednakowe odchylenia od wartości nominalnych byłyby dla każdego parametru jednakowo prawdopodobne.

Przykładowo, gdyby występowały parametry: U<sub>1</sub> o wartości nominalnej 25V i stabilności 1%-wej, oraz I<sub>2</sub> o wartości nominalnej 1A i stabilności 5%-wej, można przyjąć jako jednostki: dla U<sub>1</sub> - 0,25V, zaś dla I<sub>2</sub> - 0,05A. Tak więc dla parametrów mniej stabilnych jednostki te będą odpowiednio większe niż dla parametrów o większej stabilności.

# 2.4. Oszacowywanie obszaru sprawności

Po sdefiniowaniu stanu sprawności urządzenia i obreśleniu przestrzeni parametrów zewnętrznych można przystąpić do oszacowywania obszaru poprawnej pracy. Wyznączenie ścisłych granic obszaru w przestrzeni o liczbie wymiarów większej niż trzy jest bardzo złożone, a praktycznie na ogół niewykonalne. Dlatego też obszar taki można jedynie oszacowywać różnymi przybliżonymi sposobami.

Wierschołkami rozpatrywanej kostki są punkty w n-wymiarowej przestrzeni parametrów zewnętrznych, których wszystkie współrzędne różnią się od wartości nominalnych o a jednostek /ustalonych tak jak w punkcie 2.3/. Punkt nominalny leży w środku tej kostki. Określanie wierzchołków wielowymiarowej kostki pelega więc na równeczesnym marginesowaniu wszystkich parametrów zewnętrznych. Analogicznie jak przy zwykłym marginesowaniu poszukiwana jest największa kostka, która jeszcze mieści się w obszarze poprawnej pracy. Tak więc dla wszystkich naroży kostki, których jest 2<sup>n</sup>, badane urządzenie powinno pracować poprawnie. Dla wygody posłużono się następującym zapisem naroży kostki: po ustaleniu kolejności współrzędnych wstawia się 1, gdy wartość parametru jest większa od wartości nominalnej, 0 gdy wartość parametru jest mniejsza od wartości nominalnej /co do wartości bezwzględnej/. Przykładowo zapis 00110 oznacza punkt, dla którego 1, 2 i 5 współrzędna ma obniżoną wartość, zaś 3 i 4 współrzędna ma wartość wyższą od nominalnej.

Ponieważ toleranoje poszozególnych parametrów są zależne od ustawień innych parametrów, obszar sprawności jest na ogół nieregularny i różne z 2<sup>n</sup> badanych kierunków są w różnym stopniu krytyczne. Kierunek, dla którego najszybciej urządzenie wychodzi z obszaru sprawności nazywany kierunkiem krytycznym.

Istnienie tylko jednego kierunku wyraźnie bardziej krytycznego od pozostałych świadczy o źle dobranym nominalnym punkcie pracy, który leży blisko brzegu obszaru sprawności. Punkt ten należy przesunąć w kierunku przeciwnym do krytycznego. Typowym przypadkiem dla układów cyfrowych jest występowanie dwóch takich kierunków, z których jeden związany jest z dużymi zakłóceniami, drugi zaś z małymi sygnałami.

Dla stwierdzenia jakiej wielkości kostka 2<sup>n</sup>-wymiarowa wpisuje się w obszar sprawności wystarczą więc jedynie badania dla odchyleń krytycznych. Tak więc sprowadza się to do wykonywania pomiarów jedynie dla tych kierunków, co do których nie mamy pewności, że nigdy nie będą krytycznymi.

Dwuwymiarowy przekrój obszaru sprawności wzyskuje się badąjąc poprawność pracy urządzenia podczas zmieniania wartości dwóch wybranych parametrów, przy ustalenych wartościach pozostałych parametrów. Aby wyznaczyć takie dwuwymiarowe przekroje należy przedtem ustalić, jakimi płaszczyznami będzie przecinany obszar sprawności, tzn. dla jakich par parametrów określane będą obszary poprawnej pracy oraz w jakim miejscu będzie ten obszar przecinany, czyli jak zostaną ustalone wartości pozostałych parametrów. Uznano, że do tych par należy przede wszystkim wybierać takie parametry, których tolerancje będą ulegać zmianom wskutek zmian starzeniowych różnych parametrów wewnętrznych. Wyboru tego dokonuje się na podstawie znajomości konstrukcji badanego urządzenia oraz opierając się na ewentualnych przewidywaniach zmian starzeniowych.

Pozostałe parametry zewnętrzne można ustawić na przykład na ich wartości nominalne. Można je też ustawić tak, aby uzyskać dodatkową informację o wpływie tych pozostałych parametrów na badany obszar sprawności. Takim ustawieniem jest przesunięcie wartości tych parametrów o pewną ustaloną wielkość w kierunku krytycznym. Gdy istnieje kilka kierunków krytycznych, obszary należy określać dla tych kilku ustawień.

Określiwszy już kierunki odchyleń od punktu nominalnego trzeba jeszcze zastanowić się nad wielkościami tych odchyleń. Wielkości te powinny z jednej strony być na tyle duże, aby ich wpływ dał się zaobserwować, z drugiej strony warunki pracy układu badanego nie powinny zbytnio odbiegać od warunków typowych dla okresu eksploatacji. Wydaje się, że celowe byłoby odchylenie każdego parametru o wielkość zbliżoną do jednostki omawianej w punkcie 2.3.

# 3. PRZEBIEG BADAŃ

Każdy z badanych obiektów /model pamięci, bloki nośnika informacji prototypu i prototyp pamięci/ wymagał odmiennych pomiarów i dlatego opracowano dla nich oddzielne programy badań. Do wszystkich tych pomiarów wykorzystywano przyrząd do badania pamięci MOPS 4 [2] oraz odpowiednie oscyloskopy pomiarowe. Ze względu na to, iż pomiar bloków nośnika informacji różni się od pomiarów kompletnych modułów pamięciowych, opisany on został na końcu.

Przy badaniu modelu należało najpierw dokonać wyboru testów pomiarowych zarówno jeśli chodzi o rodzaj wpisywanej informacji, jak i kolejność wykonywanych mikrooperacji. Następnie. zgodnie z przytoczonymi rozważaniami ogólnymi, należało dokonać wyboru parametrów zewnętrznych, przy czym w pierwszej fazie można wytypować większą liczbę tych parametrów, a nastepnie, na podstawie wstępnych wyników eksperymentalnych, wyeliminować niektóre z nich. Teraz, na podstawie pomiarów podstawowych charakterystyk pamięci, można określić wstępne obszary pracy i dokonać korekty punktu pracy, ewentualnie wprowadzić zmiany układowe dla powiększenia tych obszarów. Mając optymalny punkt pracy można przystąpić do oszacowania obszaru sprawności pamięci poprzez jednoczesne zmiany wybranych parametrów zewnętrznych, tworząc w ten sposób n-wymiarową kostkę dla odchyleń odpowiadających odpowiedniemu procentowi. Poswala to na określenie kierunków krytycznych, to znaczy takich kombinacji odchyleń, przy których marginesy pamięci są najwęższe. Drugą grupę pomiarów, mających na celu oszacowanie obszaru sprawności modelu, stanowią dwuwymiarowe przekroje tego obszaru zdejmowane dla wybranych par parametrów. Wykorzystuje się przy tym informację o kierunkach krytycznych. Pomiary modelu obejmowały też badania funkcjonalne i temperaturowe.

Badania prototypu przeprowadzone były w okresie, gdy opracowane już były wstępne warunki techniczne dla modułu pamięciowego, toteż zasadniczy tok badań zgodny był z kolejnymi punktami tych warunków, Chodziło tu o zweryfikowanie dokonanego uprzednio przy modelu doboru testów, parametrów zewnętrznych, a także optymalnego punktu pracy. Następnie, podobnie jak w przypadku modelu, oszacowano obszar sprawności prototypu. Wymagania odnośnie warunków technicznych były tu rozszerzone o charakterystyki, pozwalające na oszacowanie "zapasów" uzyskanych dla poszczególnych parametrów.

Pomocniczym parametrem poprawności pracy jest napięcie progowe wzmacniaczy odczytu  $U_{\rm H}$ , określane dla wszystkich kombinacji odchyleń napięć marginesowych o 5%. Dla określenia wpływu położenia impulsu strobującego przy 2% najbardziej niekorzystnych odchyleń napięć marginesowych wykreślono charakterystykę  $U_{\rm H} = f(sF)$ . Określono też granice  $U_{\rm H}$  przy 5% zmianach innych napięć oraz podstawowe charakterystyki pamięci  $U_{xy} = f(U_x)$  przedstawiające obszar pracy pamięci we współrzędnych prądów wzbudzających. Ponadto sprawdzono poprawność pracy prototypu przy pracy ciągłej w okresie 48 godzin. W temperaturach granicznych /10 i 40°C/ określono U<sub>H</sub> dla 2% zmian napięć marginesowanych, a charakterystykę U<sub>H</sub> = f(sF) zdjęto dla nominalnych wartości innych parametrów tak jak i charakterystykę U<sub>xy</sub> = f(U<sub>z</sub>).

W przypadku badań bloków nośnika informacji dla prototypu pamięci chodziło po prostu o ich kontrolę zgodnie z warunkami technicznymi, a przede wszystkim o wykrycie błędów montażu, ewentualnie złych rdzeni. Ze względu na brak specjalistycznych przyrządów do dynamicznej kontroli ramek i bloków, pomiar dokonywany był w modelu pamięci i dlatego zastosowano tu metody jak przy badaniu kompletnych modułów pamięciowych. Rozszerzono tylko temperaturowy zakres pomiarów przyjmując temperatury graniczne O i 50°C i przeprowadzono podstawowe pomiary przewidziane dla prototypu. Aby umożliwić łatwiejsze usuwanie uszkodzeń sprawdzono oddzielnie poszczególne zespoły ramek, a po zmontowaniu skontrolowano poprawność przey całych blokéw.

# 4. BADANIE MODELU

## 4.1. Określenie kryterium sprawności pamięci

Nodel pamięci PAO 6 posiadał zmniejszoną pojemność /40% słów 16 bitowych/ w skosunku do projektu pamięci /16 384 słowa 25 bitowe/. W trakcie badań był on wyposażony w symulator bleku nośnika informacji zawierający importowane ramki firmy Plessey na rdzeniach PC 315, różniących się nieco parametrami /mniejsze prądy wzbudzające, większa wrażliwość na zmiany temperatury/ od rdzeni 6F3 jakie przewidziane były do prototypu.

Wybór najkrytyczniejszego testu rozpeczęto od wyboru postaci zapisywanej informacji. Jak wiadomo [3], najbardziej nie-. korzystna postać informacji w pamięci koincydencyjnej związana jest ze sposobem prowadzenia uzwojenia odozytu w stosunku do kierunków prądów wzbudzających. Celem zniesienia się zakłóceń od rdzeni wzbudzonych impulsami połówkowymi uzwojenie odozytu przechodzi przez połowę rdzeni zgodnie z kierunkiem prądów wzbudzających, a przez połowę w przeciwnym kierunku. Jeśli informacje zapisane w obu tych grupach rdzeni dopełniają się, występuje największe zakłócenie wypadkowe. Dla systemu uzwajania istniejącego w płatach badanego modelu najkrytyczniejsza wpisywana informacja ma postać

Postać tę oznaczać będziemy symbolem WCP /Worst Case Pattern/. Można ją zrealizować na przyrządzie MOPS 4, gdzie w polu 4x4 przełączników ustawia się kombinację odpowiadającą informacji w pierwszych ozterech wierszach i kolumnach, która to informacja jest następnie negowana po wybraniu kolejnych 16 i 256 adresów.

Dla porównania krytyczności postaci informacji wprowadzono też dodatkowe testy, np. często spotykana tzw. podwójna szachownica przesunięta o jeden wiersz i jedną kolumnę w stosunku do początku układu współrzędnych oznaczona tu jako test 1; ta sama szachownica, ale tak jak poprzednio z negacjami po 16 i 256 adresach oznaczona jako test 2, oraz same jedynki i same zera. Dla każdego z testów istnieją trzy rodzaje pracy. Określają one rodzaj i kolejność wykonywanych mikrooperacji. Rodzaj 1 jest najbardziej skomplikowany, oprócz zwykłych mikrooperacji zapisu i odczytu z regeneracją zawiera również tzw. operacje z czekaniem, gdzie zapis nie następuje bezpośrednio po odczycie, ale po pewnym czasie, co pozwala na bardziej efektywne wykorzystanie pamięci. Rodzaj ten wpisuje ponadto automatycznie informację prostą i jej dopełnienie. Natomiast dwa następne rodzaje zawierają tylko zwykłe operacje zapisu i odczytu, przy ozym w rodzaju trzecim stosowana jest negacja podanej postaci informacji.

bo porównań testów wykorzystano przyjęty parametr poprawności pracy U<sub>H</sub>, którego zakres jest pewną miarą stosunku sygnału do zakłócenia. W ten sposób parametr ten pozwala ocenić poprawną pracę wszystkich podstawowych podzespołów w pamięci. Wyniki pomiaru granicznych wartości U<sub>H</sub> dla wszystkich rozpatrywanych kombinacji podaje Tabela 1. Widać z niej, że najbardziej krytyczny jest 1 rodzaj pracy, natomiast nie ma większych różnic pomiędzy sprawdzanymi testami. Najmniejsze marginesy występują, jak się można było spodziewać, dla WCP; tak więc ten test został przyjęty jako kryterium poprawnej pracy pamięci.

Tabela 1

Rodzaj testu	Rodzaj pracy	U <sub>HD</sub> /-/	U <sub>HG</sub> /+/
	1	4 <sup>38</sup>	3,3
0	2	4 <sup><b>x</b></sup>	3,2
	3	4 <sup>¥</sup>	3,1
1	1 - 3	2,9	4 <sup>36</sup>
Are and	1	2,8	0,7
test 1	2	2,8	2,9
	3	2,8	3,2
	1	2,8	0,7
test 2	2	2,8	2,3
Constant States	3	2,8	2,5
	1	2,8	0,7
WCP	2	2,8	2,0
	3	2.8	2.4

Zakresy napięcia U<sub>H</sub> dla różnych rodzajów testów i pracy

ograniczenie zakresu regulacji

W trakcie określania parametrów zewnętrznych pamięci uzyskano dane, które wykazały konieczność wprowadzenia pewnych zmian w układach pamięci /m.in. we wzmacniaczach odczytu/. Badania te pozwoliły też dobrać optymalny punkt pracy.

Podstawowymi parametrami określającymi obszar pracy pamięci koincydencyjnej są prądy wzbudzające, przy czym odróźnia się tu zwykle prądy odozytu, zapisu i zakazu [4]. W omawianym przypadku prądy wzbudzające określone są poprzez napięcia zasilające U<sub>xv</sub> i U<sub>z</sub>, które stanowią główne parametry zewnętrzne pamięci. Wstępne pomiary wykazały, że optymalna wartość napięcia U określającego prąd zakazu, wynosiła około 35V, a więc różniła się znacznie od nominalnej wartości tego napięcia /50V/. Postanowiono odpowiednio powiększyć oporności szeregowe w obwodach zakazu, aby przy napięciu nominalnym uzyskać optymalną amplitudę prądu /212 mA/. W dalszym ciągu określono wpływ innych parametrów na marginesy U<sub>H</sub>. Dla napięcia +12V i -12V nie stwierdzono widocznego wpływu w zakresie ich regulacji. Napięcie +4,5V wykazuje ograniczenie od góry przy wartości 4,88V /+8,5%/, gdzie ujawnia się jego wpływ na sieć sterowania. Napięcie -25V wykazuje natomiast ograniczenie od dołu dopiero przy -22V /-12%/ i można przyjąć, że napięcie to należy do mniej "czułych". Bardziej zmieniają się granice U<sub>N</sub> przy zmianach położenia impulsu strobującego. Położenie to określone jest odczepami linii opóźniającej /parametr sF/. Najszerszy zakres dopuszczalnych zmian U<sub>H</sub> występuje przy odczepie linii oznaczonym numerem 45, natomiast optymalny punkt pracy w obszarze  $U_{H} = f(sF)$ , posiada współrzędne: odczep 44, -1V. Ograniczenia dla wyższych numerów odczepów są bardziej krytyczne. Pomiar  $U_{H} = f(U_{rr})$  pozwoliż określić optymalną wielkość napięcia  $U_{xy} = 11, 1V$ , co odpowiada prądowi wzbudzającemu współrzędne 237 mA. Optymalna wartość U<sub>H</sub> wynosi tu również -1V. Po wspomnianej uprzednio zmianie oporności w obwodach zakazu, optymalną ze względu na U<sub>H</sub> jest nominalna wartość  $U_z = 50V$ , przy czym prąd  $I_z = 210$  mA. Przebieg  $U_H = f(U_z)$  wykazuje silny wpływ  $U_z$  na górną granicę  $U_H$ . Na podstawie tych pomiarów przyjęto następujące wartości nominalne:  $U_z = 50V$ ;  $U_{xy} = 11,2V$ ; sF - odczep 45.

Jako parametry zewnętrzne pamięci wytypowano wstępnie następujące napięcie zasilające i odczepy linii:  $U_{\rm H}$ ; sF;  $U_{\rm Z}$ ; +4,5V; +12V; -12V; -25V.

Dla wybranego punktu pracy określono graniczne wartości U<sub>H</sub> przy jednoczesnych zmianach wszystkich parametrów zewnętrznych o 5% /zmiana sF wynosiła ±1 pozycję, to znaczy 12,5 ns/. Otrzymano w wyniku 128 kombinacji, podobnie jak w przytaczanych wynikach pomiarów w pracy [1]. Kolejność punktów ze względu na wygodę pomiarów została ustalona według kodu Greya, to znaczy tak, aby kolejno następujące punkty różniły się między sobą ustawieniem tylko jednej pozycji. W 22 punktach pamięć nie pracowała poprawnie przy żadnej wartości napięcia U<sub>H</sub>. Ponieważ 16 z powyższych 22 punktów stanowią takie, w których zwiększono napięcia nominalne 4,5V i -12V o 5%, a o 12V zmniejszono o 5%, przy dowolnych ustawieniach pozostałych parametrów, analizowano pracę pamięci dla tej kombinacji odchyleń i znaleziono, że wina leży w układach sterowania. Po zmianie dzielnika ustalającego wartość progową napięcia kluczy ponownie zdjęto marginesy U<sub>H</sub> dla wszystkich kombinacji odchyleń parametrów zewnętrznych. Tym razem we wszystkich 128 punktach istniał zakres poprawnej pracy pamięci, jednakże dla pewnych kombinacji występował on dopiero poniżej -1,5V. Najbardziej ograniczony zakres pracy uzyskuje się dla wcześniejszego położenia impulsu strobującego, podwyższenia U\_v i obniżenia napięcia U, najszerszy zaś - dla odwrotnej kombinacji. Ograniczenia od strony ujemnych napięć U<sub>H</sub> występują dla wcześniejszego położenia impulsu strobującego, obniżonego napięcia U i 4,5V, a podwyższonego 12V. Stąd określono kierunki krytyczne dla następującej kolejności parametrów zewnętrznych /kolejne symbole 0,1 lub x w ciągu określającym kierunek krytyczny odpowiadają tym parametrom/: sF, U\_v; 4,5V;

12V; -12V; 25V; U<sub>z</sub>. Są to kombinacje: 0110xx0 /wartości pozycji 5 i 6 nie odgrywają roli/ i 0001xxx. Ponieważ dla obu krytycznych kierunków napięcia -12V i 25V nie odgrywają istotnej roli, postanowiono w dalszych pomiarach wyeliminować je z parametrów zewnętrznych pamięci. Tak więc ostatecznie parametrami zewnętrznymi zostały wielkości: sF; Uxy; 4,5V; 12V i U<sub>z</sub>.

## 4.3. Oszacowanie obszaru sprawności modelu

Z uzyskanych wyników nasuwają się sugestie odnośnie zmiany punktu pracy, a mianowicie przesunięcie impulsu strobującego w prawo oraz podwyższenie napięcia U<sub>z</sub>. Zmieniono nominalną wartość sF na 46. Dla odchyleń poszczególnych parametrów o 4% uzyskano poprawną pracę pamięci dla wszystkich kombinacji. Tym razem nominalna wartość U<sub>H</sub> wypada -1,6V, a dopuszczalne wahania 0,2V. Od góry ograniczenia występują przy podwyższonym napięciu U<sub>XY</sub> i obniżonym napięciu +50V /U<sub>z</sub>/ oraz na ogół przy cofniętym impulsie strobującym. Natomiast największe ograniczenia od dołu występują dla kombinacji 10011 /dla podanej kolejności parametrów zewnętrznych/.

Po wprowadzeniu zmian korygujących punkt pracy przystąpiono do zdejmowania dwuwymiarowych przekrojów obszaru pracy pamięci. Na rysunku 1 pokazane są charakterystyki  $U_{xy} = f(U_z)$ dla nominalnych wartości pozostałych parametrów oraz 2% odchyleń w krytycznych kierunkach. Obszar pracy /nie zamknięty na rysunku/ ma charakterystyczny kształt trójkąta prostokątnego. Na osiach współrzędnych podane są też skale prądowe. Wspomkierunki krytyczne powodują przesunięcie granic obszaniane ru o około 1,5%. Według tych charakterystyk celowe byłoby przesunięcie punktu pracy w kierunku wyższych napięć U i U v, jednakże występują tu ograniczenia ze względu na stosowane półprzewodniki. Charakterystyki te związane są ściśle z parametrami bloku nośnika informacji. Przy zmianach napięcia U, o ± 20% nie osiągnięto lewej i prawej granicy obszaru. Przy  $U_z = 50V$  nominalna wartość  $U_{xy} = 11,2V$  wypada w środku zakresu, a dopuszczalne zmiany tego napięcia wynoszą około 5%.



Rys. 1. Przebiegi U<sub>xy</sub> =  $f(U_z)$  dla punktu nominalnego i kierunków krytycznych

.



Rys. 2. Przebiegi  $U_{H} = f(U_{z})$  dla punktu nominalnego i kierunków krytycznych

- 227 -

Rysunek 2 przedstawia przekroje we współrzędnych U<sub>z</sub> i U<sub>H</sub>. Tutaj środek obszaru posiada współrzędne U<sub>z</sub> = 53V /I<sub>z</sub>=222 mA/ i U<sub>H</sub> = -0,9V. Dopuszczalne zmiany U<sub>z</sub> wynoszą wówczas około 10%, a U<sub>H</sub> może zmieniać się od -2,6V do +0,7V. Widać tu silny wpływ kierunków krytycznych na położenie charakterystyk.

Ostatri rodzaj charakterystyk odpowiadających dwuwymiarowym przekrojom obszarów pracy to krzywe U<sub>H</sub> =  $f(U_{XY})$  przedstawione na rysunku 3. Tutaj wpływ kierunków krytycznych jest mniej znaczny. Środek obszaru posiada współrzędne: U<sub>XY</sub> = 11,1V /I<sub>XY</sub> = 238 mA/ i U<sub>H</sub> = -1,2V. Dopuszczalne zmiany U<sub>XY</sub> wynoszą ponad 5%, a U<sub>H</sub> może tu zmieniać się od -2,8V do +0,4V.

## 4.4. Inne pomiary modelu

Przeprowadzono także różne pomiary funkcjonalne dla nominalnego punktu pracy / $U_z = 50V$ ,  $U_{xy} = 11,2V$ , sF - odczep 46/. Najkrótszy cykl pamięciowy określony dla pierwszego rodzaju pracy wynosił 2,25 µs, dla rodzaju 2 - 1,82 µs i dla rodzaju 3 -1,75 µs. Pomiaru dokonywano pomiędzy czołami kolejnych impulsów strobujących. Dłuższy cykl w pierwszym rodzaju pracy spowodowany jest wtrąceniem opóźnienia /czekania/ pomiędzy mikrooperacje odczytu i regeneracji. Minimalny czas dostępu, definiowany tu jako odstęp pomiędzy czołem impulsu sterującego odczytu a czołem informacji na wyjściu pamięci, wynosi dla wszystkich rodzajów pracy 0,8 µs.

Sprawdzono też poprawność wykonywania wszystkich operacji pamięciowych. Dla zbadania zachowania się modelu w funkcji temperatury wykonano pomiary obszarów pracy pamięci w obniżonej i podwyższonej temperaturze otoczenia. Ograniczono się tu do trzech rodzajów krzywych, rezygnując ze zdejmowania zależności  $U_{H^{=}} f(U_{XY})$ . Nie mierzono też charakterystyk dla warunków nominalnych, a jedynie dla kierunków krytycznych. Temperaturę określano za pomocą sond umieszczonych w różnych punktach modelu. Przy obniżeniu temperatury otoczenia do około 5°C temperatura w poszczególnych punktach była od 2°C do 13°C wyższa



Rys. 3. Przebiegi  $U_{H} = f(U_{xy})$  dla punktu nominalnego i kierunków krytycznych

aniżeli temperatura otoczenia, Po 20 minutach różnica ta wynosiła ponad 20°C. W tej temperaturze charakterystyki  $U_x = (U_z)$  nie zmieniły kształtu, a jedynie przesunęły się w stronę wyższych napięć  $U_{xy}$ . Przy  $U_z = 50V$  dopuszczalny zakres zmian  $U_x$  wynosi 11 - 12,35V / $U_{xyopt} = 11,7V$  co odpowiada prądowi 253 mA/. Jest to fizycznie zrozumiałe, gdyż obniżenie temperatury spowodowało wzrost siły koercji rdzeni, a tym samym konieczność podwyższenia amplitudy prądów wzbudzających.

Charakterystyki  $U_{\rm H} = f(U_{\rm Z})$  wykazują duże przesunięcie dla obu kierunków krytycznych i wypadkowy obszar jest niewielki, a środek jego ma współrzędne  $U_{\rm Z} = 48V$  i  $U_{\rm H} = -0,9V$ . Dopuszczalne tolerancje wynoszą około 6% dla napięcia  $U_{\rm Z}$  i  $\stackrel{+}{=} 0,7V$ dla  $U_{\rm H}$ .

Obszar pracy we współrzędnych  $U_{\rm H} = f(sF)$  wykazuje również znaczne zawężenie dla pierwszego z wymienionych kierunków krytycznych, przy czym kształt obszaru nie ulega zmianie. Współrzędne wypadkowego obszaru mają wartość sF = 44 odczep i  $U_{\rm H} = -1,3V$ . Dopuszczalne są wówczas przesunięcia o dwa odczepy /25 ns/ położenia impulsu strobującego, a zmiany  $U_{\rm H}$ nieco ponad 1V.

Tak więc pomiary wykazały dość znaczny wpływ obniżenia temperatury na obszary pracy pamięci, przy czym współrzędne środków tych obszarów różnią się nieco od przyjętych wartości nominalnych.

Analogiczne pomiary wykonano w temperaturze podwyższonej, która wynosiła 41 - 43°C. Temperatury wewnątrz pamięci sięgały wówczas 60°C. Zmiany charakterystyk mają na ogół przeciwny charakter aniżeli zmiany przy obniżonej temperaturze. I tak krzywe U =  $f(U_z)$  wykazują przesunięcie obszaru pracy w kierunku mniejszych napięć U v. Dla U = 50V pamięć pracuje poprawnie przy U = 9,9 - 11,6V, a więc U v opt wynosi tu 10,8V /229 mA/. Uwzględniając zarówno niskie jak i wysokie temperatury otrzymuje się wąski zakres U = 11 - 11,6V z optymalną wartością 11,3V odpowiadającą prądowi 243 mA. Dla wysokich temperatur widać ograniczenie obszaru  $U_{xy} = f(U_z)$  od strony większych napięć  $U_{\pi}$  /około 60V/.

Przebiegi  $U_{\rm H} = f\left(U_{\rm z}\right)$  dla podwyższonej temperatury wykazały przesunięcia dla obu kierunków krytycznych, przy czym obszar wspólny przesunięty jest w stronę wyższych napięć  $U_{\rm z}$  /U<sub>opt</sub> = 54V/. Uwzględniając uzyskane poprzednio wyniki dla obniżonej temperatury otoczenia otrzymuje się znacznie mniejszy wypadkowy obszar pracy, w którym można wybrać punkt pracy o współrzędnych  $U_{\rm z}$  = 50V,  $U_{\rm H}$  = -1V<sub>V</sub> przy czym dopusztzalne tolerancje  $U_{\rm z}$  wynosić będą zaledwie około 1,5%.

Charakterystyki  $U_{H} = f(sF)$  pokazują zmniejszenie obszaru dla drugiego z wymienionych kierunków krytycznych od strony dodatnich napięć  $U_{H}$ . Optymalną wartością sF dla wspólnego obszaru jest odczep 45.

Podsumowując otrzymane wyniki badań tempera/turowych można stwierdzić, że model pamięci PAO 6 poprawnie pracuje w zakresie temperatur od 5°C do 42°C. Ponieważ istnieją obszary poprawnej pracy wspólne dla powyższego zakresu temperatur przy równoczesnych odchyleniach wszystkich parametrów zewnętrznych o  $\pm$  2% /sprawdzone dla najkrytyczniejszych kierunków/, można dobrać taki punkt nominalny, który zapewni sprawność pamięci w powyższym zakresie temperatur.

Dodatkowo zbadano też wpływ wzajemnej zmiany prądów  $I_x$  i  $I_y$  na obszar pracy pamięci. W tym celu zdjęto charakterystykę  $I_x = f(I_y)$  pokazaną na rys. 4, gdzie zaznaczone są graniczne punkty pracy pamięci. Uzyskany obszar na kształt wydłużony w kierunku prostej  $I_x = C - I_y$ , co świadczy o tym, że o poprawności pracy decyduje suma  $I_x + I_y$ , a w znacznie mniejszym stopniu zmiany poszczególnych prądów. Obszar ten jest znaczny i w stosunku do jego środka dopuszczalne są 20% zmiany wartości poszczególnych prądów. Wybrany punkt pracy  $/I_x = I_y = 240$  mA/ znajduje się bliżej prawej górnej granicy obszaru. Niezgodność środka obszaru z wybranym punktem pracy może być wynikiem podwyższonej temperatury otoczenia, w której przeprowadzono pomiar /27°C/. Dla dokładniejszego spraw-



Rys. 4. Obszar  $I_x = f(I_y)$  dla nominalnych wartości pozostałych parametrów

dzenia wpływu wzajemnej zmiany prądów I<sub>x</sub> i I<sub>y</sub> zdjęto charakterystyki U<sub>H</sub> = f(U<sub>z</sub>) dla prądów obu współrzędnych jednakowych i różniących się o 5%. Uwzględniono oba przypadki I<sub>x</sub> > I<sub>y</sub> i I<sub>y</sub> > I<sub>x</sub>. Powodem dokonywania pomiarów tego typu była hipoteza, że fakt prowadzenia uzwojenia zakazu równolegle do uzwojenia x wprowadza pewną niesymetrię, którą można skompensować nierównością prądów obu współrzędnych. Otrzymane wyniki pokazały, że wpływ niesymetrii jest niewielki, przy czym mniej korzystny jest przypadek I<sub>x</sub> > I<sub>y</sub>, zwłaszcza dla większych napięć U<sub>z</sub>.

# 5. BADANIE PROTOTYPU

Wyniki badania modelu pamięci posłużyły do opracowania warunków technicznych zgodnie z metodyką tworzenia tych warunków [1]. W warunkach tych jako stan sprawności pamięci przyjęto poprawną pracę przy teście, w którym przy informacji WCP i jej dopelnieniu wykonywane są w pamięci wszystkie mikrooperacje w określonej kolejności. Jako parametry zewnętrzne przyjęto napięcia  $U_{xv}$ ,  $U_z$  i  $U_t$  /+12V/. Sprawdzanie odbywa się w temperaturach 25, 10 i 40°C, przy czym w dwóch ostatnich przypadkach stosuje się mniejsze odchylenia napięć zasilających /2%/. Charakterystyka U<sub>H</sub> = f(sF) musi ležeć na zewnątrz trapezu pokazanego na rys. 5. Ponadto warunki techniczne zawierają odpowiednie wymagania funkcjonalne /czasy cyklu i dostępu/ oraz mechaniczno-klimatyczne i eksploatacyjne. Bezwzględne wartości poszczególnych parametrów nie mogły być tu przyjęte z badań modelu pamięci, ponieważ w prototypie wprowadzono pewne zmiany w układach elektronicznych i zastosowano inne rdzenie /Philips 6F3/, które charakteryzują się około 25% wyższą wartością nominalnego prądu wzbudzającego w stosunku do rdzeni PC315 stosowanych w modelu. Doświadczalnie znaleziono następujące wartości współrzędnych nominalnego punktu pracy prototypu pamięci, a mianowicie  $U_{H} = Ov$ ,  $sF_{N} = 21$ ,  $U_{xvN} = 13v$ ,  $U_{zN} = 45V$  i  $U_{tN} = 12v$ . Zerowa wartość  $U_{H}$  upraszcza układy zasilania. Obniżenie U, pozwoliło zmniejszyć za-



234 .

klócenia, a jednocześnie było korzystne ze względu na ograniczenia napięciowe tranzystorów i diod.

Pięcioprocentowe odchylenia marginesowanych napięć zasilających nie powodują zmniejszenia napięcia progowego U<sub>H</sub> poniżej <sup>±</sup> 1V /Tabela 2/. Widać tutaj, iż większe ograniczenia występują w prototypie od strony napięć ujemnych, a więc do uzyskania pełnej symetrii należałoby zwiększyć wzmocnienie wzmacniaczy odczytu. Widzimy też, że najbardziej krytyczne kierunki odchyleń jakie tu wystąpiły /010 i 000/ różnią się od tych kierunków określonych w warunkach technicznych /100 i 011/. Świadczyć to może o niezupełnie optymalnym dobraniu punktu pracy pamięci /zwłaszcza duża czułość na obniżenie U<sub>Xy</sub>/, a także o odrębnych właściwościach prototypu w stosunku do modelu, na którym były te kierunki ustalone.

Tabela 2

$U_{t_N} = 12V; U_{XY_N} = 13V; U_{E_N} = 45V; SF_N = 21$ temp. + 25					
Lp.	Ūxy	Uz	υ <sub>t</sub>	U <sub>HD</sub> /-/	U <sub>HG</sub> /+/
1	0	0	0	1,12	2,35
2	0	0	1	1,2	2,28
3	0	1	0	1,1	2,2
4	0	1	1	1,15	2,1
5	1	0	0	1,94	2,42
6	1	0	1	1,9	1,7
7	1	1	0	1,87	2,1
8	1	1	1	1,9	2,05

Zakresy napięcia U<sub>H</sub> dla 5% odchyleń napięć marginesowanych

Zgodnie z warunkami technicznymi wykonano analogiczne pomiary w temperaturze obniżonej i podwyższonej, przy czym odchylenia poszczególnych napięć wynoszą tu 2%. W temperaturze  $6^{\circ}$ C /Tabela 3/. Jeszcze bardziej widać wpływ zbyt małych prądów wzbudzających i małego wzmocnienia wzmacniaczy odczytu. Niemniej we wszystkich punktach przy U<sub>H</sub> = 0 pamięć pracowała poprawnie /temperatura była o 4<sup>°</sup>C niższa od temperatury podanej w warunkach technicznych dla tego rodzaju pomiaru/. Drugi z kierunków krytycznych podany w warunkach technicznych okazał się tu rzeczywiście najbardziej krytyczny.

Tabela 3

Graniczne napięcie U<sub>H</sub> dla 2% odchyleń napięć w obniżonej temperaturze

$U_{t_N} = 12V; U_{XY_N} = 13V; U_{Z_N} = 45V; SF_N = 21$ temp. 6°C						
Lp,	Uxy	Uz	Ut	U <sub>HD</sub> /-/	U <sub>HG</sub> /+/	
1	Q	0	Q	0,1	1,9	
2	0	0	1	0,1	1,9	
3	0	1	0	0,1	1,85	
4	0	1	1	0,1	1,8	
5	1	0	0	0,9	1,8	
6	1	0	1	0,95	1,8	
7	1	1	0	0,9	1,75	
8	1	1	1	0,95	1,7	
9	UxyN	UzN	Utn	0,3	1,9	

W temperaturze podwyższonej  $/40^{\circ}$ C - Tabela 4/ nadal ograniczenia występowały głównie od strony ujemnych napięć U<sub>H</sub>, aczkolwiek były mniej krytyczne. Najmniejsza wartość U<sub>HD</sub> wystąpi dla kombinacji 000, co również potwierdza celowość podwyższenia napięć zasilających. Interesujący jest tu fakt, że wartości granicy górnej U<sub>H</sub> uległy podwyższeniu w stosunku do niskiej temperatury, a więc zakłócenia w podwyższonej temperaturze nie wzrosły lub też lepiej się skompensowały.

Charakterystyki  $U_{\rm H} = f(sF)$  przedstawia rys. 5. Widzimy, że spełnione są tu wymagania omówionych warunków z zapasem ponad 0,5V napięcia  $U_{\rm H}$ . Od dołu wyraźne ograniczenie daje drugi kierunek krytyczny, natomiast od góry obszar zamykają częściowo krzywa dla warunków nominalnych, a częściowo dla pierwszego kierunku krytycznego. Usytuowanie punktu pracy w tych krzywych wydaje się poprawne, aczkolwiek przesunięcie impulsu strobującego na odczep 22 poprawiłoby symetrię usytuowania punktu pracy względem lewej i prawej granicy obszaru.

Tabela 4

Graniczne napięcie U<sub>H</sub> dla 2% odchyleń napięć w podwyższonej temperaturze

$U_{t_N} = 12 V; U_{xy_N} = 13 V; U_{z_N} = 45 V; SF_N = 21; temp, 40°C$						
Lp.	Uxy	Uz	Ut	U <sub>HD</sub> /-/	U <sub>HG</sub> /+/	
1	0	0	0	0,95	2,0	
2	0	0	1	1,05	2,22	
3	0	1	0	1,0	2,25	
4	0	1	1	1,0	2,17	
5	1	0	0	1,4	2,3	
6	1	0	1	1,45	2,35	
7	1	1	0	1,25	2,27	
8	1	1	1	1,3	2,28	
9	N	N	N	1,24	2,22	

Rysunek 6 przedstawia charakterystyki  $U_{xy} = f(U_z)$  w trzech temperaturach 8,25 i 40°C. Pomiar ten potwierdza słuszność wybranego uprzednio położenia nominalnego punktu pracy. Wartość U\_x = 13V leży mniej więcej w środku zakresu pracy tego napięcia i odpowiade prądom wzbudzającym I\_x = 370 mA, co jest wartością nominalną dla rdzenia 6F3. Optymalne napięcie zakazu wypada w zakresie 43-46V, co odpowiada nieco większym prądom, ale warunki katalogowe badania ramek i bloków przewidują prąd zakazu 405 mA. Z charakterystyk tych widać, że od strony większych wartości U\_x ogranicza zdecydowanie wysoka temperatura, natomiast od strony niskich wartości tego parametru krzywe dla 8 i 25°C przeplatają się nawzajem.

Powtórzono również i dla prototypu omawiany przy badaniu modelu wpływ zróżnicowania prądów obu współrzędnych względem siebie. Pomiar taki wykazał nieistotność tego wpływu na przekrój obszaru pracy U = f(sF), a nawet pewne jego zmniejszenie.



Rys. 6.  $U_{xy} = f(U_z)$  dla prototypu

- 238 -

Takie pomiary przy zróżnicowanych wzajemnie amplitudach prądów zapisu, odczytu i zakazu wykazały, że nie powoduje to istotnych różnic w stosunku do pracy przy wartościach nominalnych.

Kontynuując próby znalezienia optymalnego zróżnicowania wymienionych trzech rodzajów prądów zmierzono graniczne wartości U<sub>H</sub> dla wszystkich kombinacji odchyleń tych prądów o 3%. Tabela 5 podaje wyniki tego pomiaru w temperaturze 25°C. Najszersze marginesy uzyskano dla kombinacji 110 i 111. Aralogiczne pomiary przeprowadzone w 8 i 40°C potwierdziły ts rezultaty.

Tabela 5

Lp.	I <sub>xy0</sub>	I <sub>xyz</sub>	Iz	U <sub>HD</sub> /-V/	U <sub>HG</sub> /+V/
1	0	0	0	1,4	2,5
2	0	0	1	1,4	2,3
3	0	1	0	0,6	0,6
4	0	1	1	0,8	1,4
5	1	0	0	2,4	1,0
6	1	0	1	2,45	1,1
7	1	1	0	1,9	2,5
8	1	1	1	2,0	2,2
9	N	N	N	1,6	2,5

Graniczne napięcie U<sub>H</sub> dla 3% odchyleń prądów wzbudzających

Ponadto w omawianych badaniach prototypu przeprowadzono wszystkie pozostałe pomiary przewidziane w warunkach technicznych. Prototyp pamięci PAO 6 spełnił wymagania tych warunków.

# 6. BADANIE BLOKOW NOŚNIKA INFORMACJI

Badanie bloku nośnika informacji za pomocą modelu pamięci i przyrządu do sprawdzania kompletnych pamięci, jak to miało



Rys. 7. Obszar pracy  $U_{xy} = f(U_x)$  dla zespołu ramek bloku nośnika informacji oznaczonego Nr 2

- 240 -

miejsce w opisywanym przypadku, różni się od powszechnie stosowanych metod. Zaletą takiego systemu jest stworzenie rzeczywistych warunków pracy bloku, jednakże do badań wykorzystuje się bardzo rozbudowane urządzenia, a o prostych uszkodzeniach w bloku należy wnioskować na podstawie skomplikowanej analizy błędów odczytywanej informacji.

Tak jak wapomniano w programie badań, mierzone były oddzielnie poszczególne zespoły ramek, zawierające 40% słów 28 bitowych /w tym 3 bity zapasowe/. Zespołów takich było cztery. Zakres temperatur, w których przeprowadzano badania bloku, był szerszy aniżeli przy badaniu modułu pamięci i zawierał się w granicach od 5 do 50°C. Badania przeprowadzone zostały w modelu pamięci odpowiednio dostosowanym do tego celu.

Przykładowo na rys. 7 pokazano charakterystykę  $U_{z} = f(U_z)$ dla zespołu Nr 2. Z wykresów widzimy, że górna część obszaru ograniczona jest krzywą dla 50°C, a dolna – dla 0°C. Zmiana granicznej wartości U<sub>zy</sub> wynosi średnio 1V dla zmiany temperatury o 50°C zarówno dla dolnej jak i dla górnej granicy obszaru, co daje współczynnik zmiany siły koercji rzędu 0,15% na stopień.

Uwzględniając wykresy wszystkich zespołów, współrzędne środka obszaru pracy można wybrać jako U<sub>z</sub> = 47V i U<sub>zy</sub> = 12,7V, co odpowiada prądom I<sub>z</sub> = 395 mA i I<sub>zy</sub> = 380 mA, przy czym dopuszozalne odchylenia wynoszą tu ponad 6%.

# 7. PODSUMOWANIE

W pracy przedstawiono metodykę badań oraz wyniki pomiarów modelu i prototypu pamięci PAO 6, jak również wyniki kontroli bloków nośnika informacji wykonanych dla wspomnianego prototypu.

Wyniki pomiarów uzyskane podczas badań modelu pamięci dostarczyły wszystkich oczekiwanych informacji. Potwierdziły one poprawność zarówno ogólnej koncepcji pamięci, jak i rozwiązań poszczególnych jej układów. Pozwoliły także na wprowadzenie nieznacznych poprawek usprawniających model. Badania dostarczyły danych potrzebnych do opracowania tymozasowych warunków technicznych dla pamięci. Warunki te służyły za podstawę do badań prototypu pamięci, a także bloków nośnika informacji.

Badania prototypu wykazały pełną sprawność pamięci PAO 6 w różnych zaostrzonych warunkach pracy, takich jak 5% zmiany wzystkich napięć zasilających, a także w temperaturach od 6° do 40°C. Potwierdziło to również słuszność wprowadzonych zmian konstrukcyjnych.

Pełna ocena niezawodności pamięci mogłaby być dokonana dopiero po odpowiednio długiej eksploatacji większej liczby egzemplarzy pamięci.

#### Literatura

- [1] SIKORSKI A., DANDA J.: Badanie i kontrola ferrytowej pamięci operacyjnej, IMM Nowości Techniczne 1967:3.
- [2] DAMDA J., FURMAN H.: Tester MOPS4 do kontroli rdzeniowych pamięci operacyjnych, Prace IMM w niniejszym zeszycie.
- [3] RYŻKO J.: Właściwości rdzeni stosowanych w nowoczesnych panięciach ferrytowych IMM, ETO Nowości 1968:4.
- [4] RYŽKO J.: Wpływ parametrów rdzeni na obszar pracy pamięci koincydencyjnej, IMM ETO Nowości 1969:1.
- [5] WOLSZCZAK S., OBLAMSKI A.: Wizualna kontrola stanów ferrytowej pamięci operacyjnej, Prace PIT, 1970:68.
- [6] OBLAMSKI A., WOLSZCZAK S.: Urządzenie do wizualnej kontroli stanów panięci, Prace IMM, 1971:1.

#### Резрме

В начале рассмотрены методы исследований примененных для проведения измерений. Они заключают определение критерия работоспособности устройства, выбор его внешних параметров и оценку области работоспособности. Критерием работоспособности запоминарщего устройства принято отсутствие ложние информации однаруживаемой контрольным устройством во время испытаний критическими тестами. Параметром работоспособности принято диалазон порогового напряжения усилителей считывания U при котором запоминардее устройство работает исправно. Внешними параметрами принято все питарцие напряжения, а также помещенные начала стробирурдего импульса в функции времени. Оценка области работоспособности заклрчает вписывание В него в-мерного куба /где п-число внешних параметров/, а также нахождение его дву-меримых разрезов. Во время вписы-Вания куба следует уточнить величину отклонений отдельных параметров. Из 2<sup>в</sup> комбинаций мы выбираем так называемые Критические направления то есть такие комбинации отклонения внешних параметров, при которых запоминающее устройство выходит за переделы области работоспособности.

Исследование модели также заключает проверку критичности тестов приготовленных к измерениям. Потом был определен исходный пункт работь устройства и критические направления. Для упроцения, питарцие напряжения не проявлярцие отчётливого влияния на область работоспособности запоминарцего устройства били устранены из внешних параметров. Во время описывания п-меримого куба было проведено исправление номинального пункта работы. Последней стадией измерения модели была двумерная область работоспособности с критической установкой остальных внешних параметров . Добавочно проведено измерения в функции длины цикла работы запоминардего устройства и тем-пературы /в дианазоне 5-40°С/, а также определено влияние ИЗМЕНЕНИЯ ОТНОВЕНИЯ АМПЛИТУД ВОЗОУЖДЕВЕНХ ТОКОВ ОСОМХ КООРДИнатов / х и у / и отношения тока считывания и записи к работе запоминарщего устройства. Эти измерения позволярт фиксировать технические условия по которым был исследован прототип запоминарщего устройства. Следовательно, эти измерения не ДОЛЖНЫ ОМЛИ ЗАКЛДЧАТЬ МНОГИХ ВСТУПИТЕЛЬНЫХ СТАДИЙ ТАКИХ КАК определение критических направлений итп., хотя их критичность была проверена.

Абсолютные величины номинального пункта работы были тут другие ввиду применения сердечников другого типа, а также изменения схем и увеличения объёма накопителя. Основной диапазон измерений был такой же как в модели. Для контроля блоков носителя информации запоминарцего устройотва, ввиду отсутствия соответственных специальных устройств, использовано измерительный состав для проведения выше указанных чеспедований.

Проведённые измерения подтверждарт исправность концепции разработанного запоминарщего устройства и решений отдельных схем, а также они позволили ввести соответствурщее исправнения.

THE INVESTIGATION OF THE OPERATIONAL STORAGE PAO 6 MODEL AND PROTOTYPE

#### Summary

The introduction discusses the method of investigation applied to perform measurements. It encompasses the determination of the efficiency criterion of the device, the choice of its external parameters and the estimation of the reliable work area. As the storage reliability criterion was accepted, the lack of information errors discovered by the testing device during measurements carried out by means of critical tests. As the operation reliability parameter the scope of sense amplifier threshold voltage is accepted at which the storage operation is correct. But as external parameters all supply voltages were recognized as also the time of the beginning of the strobing pulse. The estimation of the correct operation area includes the writing in it of a n-dimensional block /where n is the number of external parameters/ and finding its two-dimensional sections. When writing in the block one had to fix the magnitudes of deviations of separate parameters. From among 2 combinations, we choose the so-called critical directions, i.e. such combinations of external parameter deviations, with which the storage leaves the efficiency area most quickly.

The examination of the model also includes the report of the critical nature of tests prepared to measurements. Then the work point of the system and critical directions were determined. For the sake of simplicity the supplying voltages not showing a distinct influence on the storage work area, were eliminated from external parameters. While describing the n-dimensional block, the nominal point of work was corrected. The last stage of the model measurement were two-dimensional sections of work area, at a critical setting up of the remaining external parameters. The shape of the latter ones for separate parameter pairs was different. The measurements within the function of the storage cycle length and temperature /from 5 to 40° C/ were performed additionally. Also the influence of the change of the relation of current amplitudes exciting both coordinates /x and y/ and relations of reading and writing currents upon the storage work were determined.

These measurements allowed to fix technical conditions according to which the storage prototype has been examined. Thus these measurements did not encompass many introductory stages such as fixing critical directions and so on, although their critical nature had been checked.

Absolute values of the nominal work point were here different because of the use of storage cores of an other kind, and also setting changes and an increased storage capacity. The principal scope of measurement was analogous as in the model.

Because of a lack of a appropriate specialized devices a measurement set was used, serving to carry out the above discussed investigations, as well as to control the core stacks.

The performed measurement ascertained the correctness of storage development and the solutions of separate systems. They also permitted to introduce some corrections.



621.317.799:681.327.66.042.15.001.4

Prace IMM Zeszyt 3 © 1971.12

> TESTER MOPS 4 DO KONTROLI RDZENIOWYCH PAMIĘCI OPERACYJNYCH

> > Jerzy DAŃDA Henryk FURMAN Pracę złożono 25.08.1970

Dokonano przeglądu testerów pamięci rdzeniowych i omówiono ich właściwości. Następnie opisano tester opracowany w IMM, który był podstawą opracowania różnych urządzeń do badań pamięci rdzeniowych i ich podzespołów.

## SPIS TREŚCI

1.	WSTEP	247
2.	WYMAGANIA STAWIANE TESTEROWI DO BADANIA RDZENIOWYCH PANIĘCI	
	OPERACYJNYCH	249
3.	OPIS TESTERA MOPS 4	252
4.	ZAKOŃCZENIE	258
Li	teratura	258

# 1. WSTEP

Wieloletnia praktyka w dziedzinie konstrukcji i produkcji rdzeniowych pamięci operacyjnych doprowadziła do powszechnego stosowania specjalnych urządzeń zwanych testerami, wykorzystywanych przy:

- · opracowywaniu nowych typów pamięci,
- uruchamianiu i sprawdzaniu pamięci w warunkach produkcji przemysłowej,

" Patent nr 65301

 okresowym profilaktycznym badaniu pamięci w czasie jej eksploatacji w systemie cyfrowym oraz w sytuacjach awaryjnych.

Testery dla dwóch pierwszych grup zastosowań są przyrządami autonomicznymi o różnym stopniu uniwersalności, umożliwiającymi badania pamięci o różnych pojemnościach informacyjnych i różnych czasach cyklu pamięciowego.

Są to przyrządy o różnym stopniu zautomatyzowania wprowadzonym w celu sprawnego przeprowadzania badań. Skrajnym przykładem automatyzacji są testery pracujące pod kontrolą małej maszyny cyfrowej służącej do sterowania sekwencjami działań sprawdzających, ustawianiu warunków testowania, redagowania i wydawania wyników badań oraz danych o lokalizacji uszkodzeń. Testery tego typu używane są aktualnie do badania ramek i bloków pamięciowych.

Testery dla trzeciej grupy zastosowań są z reguły przyrządami wbudowanymi do systemu pamięciowego, zwykle dostarczanymi na oddzielne życzenie odbiorcy, ich użyteczność jest niewątpliwa w takich systemach cyfrowych, w których nie ma możliwości przeprowadzenia programowej lokalizacji uszkodzenia /np. w EMC wyposażonych tylko w jeden moduł pamięci operacyjnej/. Budowa tych testerów jest bardzo prosta ze względu na: dostosowanie do badania tylko jednego typu pamięci, ograniczenie możliwości funkcjonalnych urządzenia do najniezbędniejszych oraz rezygnację z większości udogodnień, istotnych tylko przy przeprowadzaniu dużej liczby pomiarów.

Tester MOPS 4, będący przedmiotem niniejszej pracy, należy do grupy przyrządów autonomicznych i może być wykorzystywany zarówno przy opracowaniu rdzeniowych pamięci operacyjnych o czasach cyklu > 1 µs i pojemnościach do 16384 słów 36 bitowych, jak i przy kontroli oraz uruchamianiu pamięci w warunkach produkcji przemysłowej. Znaczny stopień uniwersalności zapewnia mu m.in. wbudowanie generatora informacji umożliwiającego wpisywanie tzw. wzorów najtrudniejszych informacji /"worst case patterns"/ charakterystycznych dla większości spotykanych sposobów uzwajania ramek pamięciowych. Przystosowanie testera do sprawdzania pamięci w warunkach produkcji przemysłowej uzyskano przez wprowadzenie automatyzacji wykonywania pewnych sekwencji czynności często powtarzanych przy uruchamianiu i określaniu obszarów sprawności pamięci. Uzyskano w ten sposób zmniejszenie ilości potrzebnych manipulacji i uproszczenie obsługi.

# 2. WYMAGANIA STAWIANE TESTEROWI DO BADANIA RDZENIOWYCH PAMIĘ-CI OPERACYJNYCH

Właściwości typowych testęrów wynikające z publikacji [1 + 8] mogą być określone za pomocą następujących wymagań:

- zapis informacji do poszczególnych słów badanej pamięci,
- odczyt informacji z poszczególnych sków badanej pamięci,
- generacja informacji wzorcowej, która zapisywana jest do poszczególnych słów,
- porównanie informacji odczytanej z badanej pamięci z informacją wzorcową uprzednio zapisaną,
- sygnalizacja niezgodności informacji odczytanej z informacją wzorcową wraz z lokalizacją, polegającą na podaniu adresu miejsca pamięciowego oraz płaszczyzny bitowej, gdzie nastąpiło przekłamanie.

Realizację takich wymagań może zapewnić tester złożony z następujących bloków:

- licznika adresującego
- generatora informacji
- układów porównujących
- układów wytwarzających impulsy sterujące /określające rodzaj operacji/.

Zadaniem LICZNIKA ADRESUJĄCEGO jest generacja sekwencji liczb binarnych, które podawane na wejścia adresowe pamięci określają adres miejsca pamięciowego, w którym dokonywana jest operacja zapisu lub odczytu.

GENERATOR INFORMACJI dostarcza do wejść informacyjnych pamieci informacje, które zapisywane są w poszczególnych miejssach pamięciowych. Do poszczególnego słowa pamięciowego zapisuje się informację jednakową dla wszystkich bitów tego miejsca pamięci. Różni się natomiast zawartość poszczególnych miejsc pamięciowych w funkcji adresu miejsca pamięciowego. To uzależnienie informacji od adresu, zapewniające wprowadzenie do badanej pamięci informacji, która stwarza dla wzmacniaczy odczytu najtrudniejsze warunki rozróżniania sygnału zer od jedynek jest zadaniem generatora informacji. Sekwencja impulsów podawanych na wejścia informacyjne i będąca odpowiednią funkcją adresów miejso pamięciowych tworzy wzór najtrudniejszy [9]. Wzór ten uzależniony jest od sposobu prowadzenia przewodu odczytu w ramce pamięciowej, stąd dla określonego typu pamięci jest ustalony. Aby istniała możliwość sprawdzenia przechowywania zera 1 jedynki w każdym miejsou pamięciowym w warunkach najtrudniejszych dla pracy wzmacniaczy odczytu, musi istnieć możliwość zapisania dopełnienia testu najtrudniejszego. Dla celów kontroli wprowadza się jeszcze możliwość zapisania do wszystkich miejsc pamięciowych jednakowej informacji, złożonej z samych zer lub samych jedynek.

Tak więc ostatecznie generator informacji musi generować:

- Same Zera
- same jedynki
- wzór najtrudniejszy
- dopełnienie wzoru najtrudniejszego

UKLADY PORÓWNUJĄCE sprawdzają poprawność przechowywania przez pamięć zapisanej informacji i w przypadku wykrycia błędu wysyłają sygnał, który jest wykorzystywany do zatrzymania pracy licznika adresującego. Zatrzymanie pracy licznika adresującego w chwili wykrycia błędu umożliwia określenie adresu przekłamującego słowa na podstawie stanu wskaźników świetl-
nych, dołączonych do wyjść adresowych licznika. Płaszczyznę bitową powstania błędu określa się na podstawie stanu wyjść poszczególnych układów porównania, które są dołączone do wyjść informacji z pamięci odpowiadających poszczególnym płaszczyznom bitowym [10]. Jeśli tester jest wykorzystywany do badań pamięci, przy których lokalizacja błędu nie jest potrzebna, to zatrzymywanie pracy licznika sygnałem błędu może być wyłączone, a występujące błędy będą ignorowane.

UKŁADY WYTWARZAJĄCE IMPULSY STERUJĄCE dołączone są do wejść sterujących pamięci. Przy dostarczeniu do wejścia pamięci impulsu sterującego zapisem zostaje wykonany zapis informacji przyłożonej do wejść informacyjnych pamięci, pod adres określony stanem licznika adresującego. Przy dostarczeniu do pamięci impulsu do wejścia sterującego odczytem na wyjściu informacyjnym pamięci pojawia się informacja odczytana z aktualnie wybranego przez licznik adresowy miejsca pamięciowego.

Ze względu na właściwości systemu rdzeniowej pamięci operacyjnej, operacja odczytu i operacja zapisu składa się z dwóch faz. Przy zapisie, w czasie trwania pierwszej fazy cyklu operacji, dokonuje się skasowania informacji znajdującej się w pamięci, w drugiej fazie cyklu występuje właściwy zapis. Operacja odczytu składa się z fazy odczytu i fazy regeneracji. Regeneracja umożliwia długotrwałe przechowywanie informacji w pamięci przez ponowne zapisanie tej, która była odczytana, a została zniszczona przy odczycie.

Organizacja opracowywanych obecnie pamięci dla EMC umożliwia pracę pamięci nie tylko pełnymi operacjami kasowanie/zapis i odczyt/regeneracja nazywanymi w mowie potocznej zapis i odczyt, ale również częściami cyklu obejmującymi jedną fazę operacji odczyt - bez regeneracji i zapis - bez kasowania, co umożliwia zwiększenie szybkości pracy maszyn cyfrowych.

Do zainicjowania pracy pamięci tylko częścią cyklu tester musi dostarczyć dodatkowych impulsów sterujących nazywanych impulsami cyklu dzielonego lub przerywanego, które w przypadku

## 3. OPIS TESTERA MOPS 4

Tester MOPS 4 składa się z następujących zespołów:

- zegara,
- licznika adresującego,
- generatora informacji,
- układów porównujących,
- układu wytwarzania impulsów sterujących,
- układu sterowania.

Schemat blokowy testera przedstawia rys. 1.



Rys. 1. Schemat blokowy testera MOPS 4

ZEGAR dostaroza do układów testera impulsów taktujących, określających czas trwania cyklu pamięciowego oraz umożliwiających synchroniczną współpracę wszystkich zespołów testera.

LICZNIK ADRESUJĄCY składa się z 17 ogniw, z których 14 wykorzystywanych jest do wybierania adresów, a 3 do sterowania układów wytwarzających odpowiednie sekwencje impulsów sterujących.

Wyjścia z każdego ogniwa licznika i każde wyjście ad.resowe dołączone są do gniazd kontaktowych, w których przez wymianę zwieracza można zmieniać sposób wybierania adresów.

Pierwsze dwa ogniwa części adresowej X i pierwsze dwa ogniwa części adresowej Y licznika wykorzystywane są do wytwarzania ciągów impulsów wpisywanych do pamięci. Wszystkie ogniwa licznika wyposażone są we wskaźniki świetlne, na podstawie których można określić adres powstania błędu oraz rodzaj operacji, przy której nastąpiło przekłamanie.

GENERATOR INFORMACJI dostarcza trzech rodzajów informacji: samych zer, samych jedynek i dowolny rodzaj wzoru najtrudniejszego. Wzór najtrudniejszy zmieniany jest automatycznie albo ręcznie na jego dopełnienie. Przy operacjach odczytu generator informacji dostarcza do układów porównania informację wzorcową.

UKŁADY PORÓWNUJĄCE dołączone są do wszystkich wyjść informacji z pamięci, po jednym układzie porównującym dla każdej plaszczyzny bitowej.

Każdy układ porównujący może być indywidualnie odłączany, umożliwiając ignorowanie błędów z dowolnej płaszczyzny bitowej. Sygnały błędu z układów porównania są wykorzystywane przez układ sterowania do zatrzymania pracy licznika adresującego.

UKŁAD WYTWARZANIA IMPULSÓW STERUJĄCYCH dostarcza czterech rodzajów impulsów inicjujących wykonywanie operacji: odczyt/ reneneracja, kasowanie/zapis, odozyt/przerwa, przerwa/zapis. Impulsy sterujące dla operacji odczyt/regeneracja i kasowanie/ zapis wytwarzane są grupami, w których liczba impulsów odpowiada liczbie wybieranych grupowo adresów, wybraniu każdego adresu odpowiada jeden impuls sterujący.

Impulsy sterujące dla zainicjowania operacji odczyt/przerwa i przerwa/zapis występują również grupami, ale parami dla każdego wybranego adresu. W pierwszej części cyklu pamięciowego powtarzanego przy wybieraniu każdego adresu wykonywana jest operacja odczyt/przerwa, a w drugiej części cyklu wykonywana jest dla tego samego adresu operacja przerwa/zapis.

UKŁAD STEROWANIA współpracujący z wszystkimi zespołami testera dostaroza w określonej sekwencji grup impulsów sterujących i informacji w taki sposób, że możliwe są trzy rodzaje pracy testera, nazywane testami.

Przykładowo na rys. 2 i 3 przedstawiono harmonogramy testera przy wybieraniu 16384 adresów, grupami po 4096 adresów.

Wykres A przedstawia przebieg napięcia wyjściowego z najwyższego stopnia tej części licznika adresującego, która przeznaczona jest do wybierania pierwszej grupy adresów od 0 do 4095 adresu przyłożonego do 12 wejścia adresowego pamięci. Przebiegów napięciowych na 11 wyjściach niższych stopni licznika adresującego odpowiadających 11 początkowym wejściom adresowym pamięci nie pokazano dla zwiększenia przejrzystości rysunku.

Wykres B przedstawia przebieg napięcia na tym stopniu licznika adresującego, który dołączony jest do 13 wejścia adresowego pamięci i powoduje wybieranie drugiej grupy od 4096 do 8191 adresu.

Wykres C przedstawia przebiegi napięcia na 14 wejściu adresowym pamięci, powodującym wybieranie trzeciej i czwartej grupy adresów od 8192 do 12287;i od 12288 do 16383 adresu.

Wyjścia adresowe z licznika adresującego zostały tak dołączone do wejść adresowych pamięci, aby wybieranie każdej z



ozterech grup po 4096 adresów pamięci było powtarzane osiem razy.

A,B,C - wyjscia adresowe odpowiadające cyklowi zmiany 4096, 8192, 16384 adresów D - grupy 4096 impulsów sterujących iniciujących

- grupy 4096 impulsów sterujących inicjujących operację kasowanie/zapis
- grupy 4096 impulsów sterujących inicjujących operację odczyt/regeneracja
- F grupy 4096 impulsów sterujących inicjujących operację odczyt/przerwa
- G grupy 4096 impulsów sterujących inicjujących operację przerwa/zapis
- H poziomy określające automatyczną zmianę informacji. Poziomowi "O" odpowiada wpisywanie informacji prostej, a poziomowi "1" odpowiada wpisywanie informacji dopełnionej

Przy powtarzaniu wybierania tej samej grupy adresów na wyjściach impulsów sterujących do pamięci występują impulsy w taki sposób, że jednorazowemu wybieraniu grupy 4096 adre-

16

sów odpowiada podanie grupy 40% impulsów sterujących jednego typu, inicjujących wykonanie jednego rodzaju operacji. Kolejność występowania grup impulsów na poszczególnych wyjściach sterujacych, przy powtarzaniu wybierania grup adresów, przedstawiają wykresy D - G z rys. 2 i 3.



Rys. 3. Harmonogram pracy testera MOPS 4 przy teście 2

A,B,C - wyjścia adresowe odpowiadające cyklowi zmiany 4096, 8192, 16384 adresów D - grupy 4096 impulsów sterujących inicipiacych

- grupy 4096 impulsów sterujących inicjujących operację kasowanie/xapis
- grupy 3 x 4096 impulsów sterujących inicjujących operację odczyt/regeneracja

Przy teście 1 tester dostarcza sekwencji impulsów sterujących do wykonywania przez pamięć czterech rodzajów operacji przy automatycznej zmianie informacji na jej dopełnienie.

E

W pierwszym cyklu wybrania 40% adresów wykonywane jest przez pamięć operacja kasowanie/zapis. Dla sprawdzenia poprawności wykonywania tej operacji zostają ponownie wybrane te same co poprzednio adresy pamięci lecz teraz wykonywane są operacje odczyt/regeneracja.

Przy trzecim wybraniu tej samej grupy 4096 adresów, w pierwszej połowie cyklu wybrania każdego adresu pamięć wykonuje operację odczyt/przerwa, a w drugiej połowie cyklu operację przerwa/zapis. Operacja odczyt/przerwa sprawdza poprawność wykonania regeneracji przy drugim powtórzeniu wybierania adresów.

Przy czwartym powtórzeniu wybierania adresów dla sprawdzenia poprawności wykonania operacji przerwa/zapis, wykonywane są ponownie operacje odczyt/regeneracja. Następnie informacja zostaje automatycznie zmieniona na jej dopełnienie i przy 5, 6, 7 i 8 powtórzeniu wybierania tej samej grupy adresów, zostają ponownie wykonane takie same operacje, w tej samej co poprzednio kolejności.

Po sprawdzeniu pierwszej grupy 40% adresów dla informacji prostej i dopełnionej, licznik adresujący wybiera następną grupę 40% adresów przy powtarzaniu sekwencji impulsów sterujących i informacji zgodnie z harmonogramem pracy przedstawionym na rys. 2 aż do wybrania wszystkich 16384 adresów.

Test 2 umożliwia sprawdzenie poprawności pracy pamięci przy wielokrotnym odczytywaniu informacji, w tym celu po pierwszym wybraniu wszystkich 16384 adresów pamięci, impulsy zapisu – operacji kasowanie/zapis zostają automatycznie wyłączone. Dalsza praca pamięci odbywa się przy wykonywaniu tylko jednej operacji odczyt/regeneracja.

Harmonogram pracy testera przy teście 3 jest taki sam jak przy teście 2, ale informacja wpisywana do pamięci jest dopełnieniem informacji wpisywanej przy teście 2.

Poza automatyczną zmianą harmonogramu wewnętrznego, układ sterowania zmienia automatycznie częstotliwość zegara, która może być inna przy teście 1 niż przy 2 i 3, i realizuje opóźniony start automatyczny testera po zatrzymaniu jego pracy sygnałem błędu. Czas opóźnienia może być określony przez operatora w granicach od 100 msek do 10 sek. Dłuższe czasy opóźnia są wykorzystywane w przypadku notowania danych o lokalizacji przekłamań.

# 4. ZAKONCZENIE

Tester MOPS 4 został opracowany w Zakładzie Pamięci Wewnętrznych IMM w 1967 r. Oprócz użycia przy uruchamianiu, pomiarach obszarów sprawności i wielodobowej nieprzerwanej pracy pamięci PAO 6, tester był używany do sterowania zespołów badających płaty i układ wewnętrzny pamięci. Model testera był wielokrotnie modyfikowany np. na wybieranie większej liczby adresów i do badań specjalnych przy stosowaniu testów i sekwencji pomiarowych aktualnie opracowywanych w IMM. W czasie 3-letniej pracy testera w zasadzie nie zaobserwowano w nim uszkodzeń. Dalsze prace prowadzone w IMM nad testami do badania pamięci operacyjnych idą w kierunku zwiększenia ich uniwersalności przez zastosowanie większej ilości sekwencji testów wyjściowych.

## Literatura

- [1] Prospekt firmy Ampex Corporation 1964,
- [2] Philips Data Handbook, Components and Materials, part 5, September 1967.
- [3] Plessey Automation Data Equipment Publication No 3012/1.
- [4] Prospekt firmy Computer Control Company Inc. 1966,
- [5] Rese Engineering Inc. Technical Bulletin No 59 C, 60F.
- [6] Short Form Catalog, Computer Test Corporation, Bulletin No 64 C.
- [7] Ulotka firmy Digital Equipment Corporation "Tester for Word Address or Coincident Current Memories Latest Addition to Digital Line",
- [8] Prospekt firmy Leokheed Electronics Company "Lec Memory Devices and Systems", 1965,
- [9] KITOVIĆ V.V.: Operativnyje zapeminajužčije ustrojstva na ferritevyh serdečnikah i tenkich magnitnyh plenkah, Izdatelstvo Emergia, Moskva 1965.
- [10] WRZESZCZ Z.: Przedziały zmienności parametrów generatorów wzbudzających ferrytewy blok nośnika informacji w pamięci koincydencyjnej, Prace IMM, Warszawa, 1970:1.

#### ТЕСТЕР MOPS-4 ДЛЯ КОНТРОЛЯ ЗАПОМИНАDЩЕГО УСТРОЙСТВА НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ

#### Резрие

Для наладки, проведения измерений и разработки иовых типов запоминающих устройств применяются разные типы тестеров, вырабатывающих соответственные последовательности адресных информационных управляющих импульсов.

Тестер моРS-4 разработанный в Институте Математических Мавин в Варшаве, приспособлен для лабораторных исследований и проверки в условиях промышленного производства разных типов запоминарцих устройств на ферритовых сердечниках с адресным циклом не меньшим чем 1 дсек и ёмкостью 16384 36-онтовых сдов.

Тестер поставляет все электрические импульсы нужные для исследования запоминарцих устройств на ферритовых сердечниках, а также определяет координаты возникания олибки, после находки которых начинает (самостоятельно дальнейшур проверку запоминарцего устройства. Контроль считывания информации произвольно избранного разряда слова может быть выключена.

Для облегчения обслуживания и исклочения возможности онибочной настройки, параметры отдельных систем автоматически изменяются с изменением работы тестера.

Внбор решения работы тестера производится одном переключателём.

Отдельные режимы работы тестера приспособлены к проверке отделённых подсистем и контроля действия операции в запоминающем устройстве.

При использования тестера к другим типам запоминарнего устройства, последовательность электрических импульсов на отдельных выходах тестера можно изменять переменяя соответ ствущеме замыкатели. THE MOPS-4 TESTER FOR OPERATIONAL CORE STORAGE CONTROL

## Summary

Various types of testers supplying appropriate arithmetic addresses, information and control sequences to the storage inputs are used to put in operation, measure and develop new types of storages.

The tester MOPS-4, elaborated in the Institute of Mathematical Machines, is adapted to laboratory investigations and checking various types of core storages, the cycle of which is not less than 1 µs, capacity 16,384 words per 36 bits under the circumstances of industrial production. The tester supplies all electric pulses needed to examine core storages and determines the coordinates of error arising. Next, it starts automatically to further storage checking. Errors from freely choosen bit planes can be neglected.

For service simplification and to exclude the possibility of an erroneous setting the parameters of separate schemes change automatically with the change of the tester operation. The choice of the tester operation is made using one button only.

Separate kinds of tester operations are adapted to check definite subsets and to control the correctness of performing operations within the storage.

While using the tester to another storage type the sequences of electric pulses on separate outputs of the tester can be changed by means of an exchange of test-links /short circuiting switch/.

# AUTORZY ARTYKUŁÓW ZAMIESZCZONYCH W ZESZYCIE 3 "PRAC IMM"

## CHARAKTERYSTYKA I SPOSOB REALIZACJI PAMIECI PAO 6

Zdzisław WRZESZCZ mgr inż. Studia ukończył na Wydziale Elektroniki Politechniki Warszawskiej. Od roku 1959 pracuje w Instytucie Maszyn Matematycznych zajmując się projektowaniem i badaniami układów techniki analogowej i cyfrowej. Od kilku lat pełni funkcję kierownika Zakładu Pamięci Wewnętrznych. Jest autorem szeregu opracowań i publikacji poświęconych ww układom, a w szczególności zagadnieniom pamięci wewnętrznych maszyny cyfrowej.

Bohdan WOJTOWICZ mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. Od 1958 r. pracuje w Instytucie Maszyn Matematycznych, zajmując się projektowaniem i badaniem układów elektronicznych, początkowo w urządzeniach wejściowych maszyn cyfrowych, a następnie ich części centralnej. Obecnie pracuje w dziedzinie operacyjnych pamięci ferrytowych na stanowisku kierownika pracowni. Jest autorem opracowań i publikacji dotyczących metod projektowania i badania cyfrowych układów półprzewodnikowych, w tym również metod opartych na zastosowaniu maszyn matematycznych.

Sławomir WOISZCZAK inż. Ukończył studia w 1956 r. na Wydziale Łączności Wieczorowej Szkoły Inżynierskiej w Warszawie. Początkowo pracował w Polskim Radio i Instytucie Łączności, a od 1959 r. w Zakładzie Pamięci Wewnętrznych Instytutu Maszyn Matematycznych na stanowisku adiunkta. Zajmuje się układami elektronicznymi i makrostrukturą logiczną ferrytowych pamięci operacyjnych i z tego zakresu posiada szereg publikacji.

Janusz RUDZKI mgr inż. Ukończył Wydział Mechaniczno-Technologiczny Politechniki Warszawskiej w 1954 r. W tym samym roku rozpoczął pracę jako asystent w Katedrze Metrologii Technicznej P.W. Od 1960 r. pracuje w Instytucie Maszyn Matematycznych, zajmując się zagadnieniami konstrukcji maszyn cyfrowych i ich urządzeń peryferyjnych. Jest kierownikiem Zakładu Konstrukcyjnego w IMM. Publikował artykuły w czasopismach: "Prace IMM", "Mechanik".

#### PROCES TWORZENIA FERRYTU Li-Ni-Zn

Władysław CIASTOŃ dr inż. Po skończeniu Wydziału Matematyczno-Fizycznego i Chemicznego Politechniki Wrocławskiej zrobił dyplom w 1951 r. w Zakładzie Chemii Nieorganicznej. W 1958 r. rozpoczął pracę w Instytucie Maszyn Matematycznych. Od 1968 r. do 1971 r. pełnił funkcję Dyrektora Zakładu Doświadczalnego IMM. Zajmował się pracami badawozo-technologicznymi nad ferrytami stosowanymi w maszynach cyfrowych, głównie ferrytami o prostokątnej pętli histerezy. Z wymienionej dziedziny posiada 10 publikacji, 2 patenty, kilka opracowań technologicznych. W 1964 r. za udział w opracowaniu i uruchomieniu produkcji ferrytów w dziedzinie postępu technicznego otrzymał państwową nagrodę II stopnia. W późniejszych latach otrzymywał 5-krotnie nagrody Przewodniczącego KNiT za opracowania technologiczne i uzyskał dyplom doktora nauk technicznych.

Mieczysław MICHALSKI prof. nadzw. dr. Ukończył Wydział Matematyczno-Przyrodniczy Uniwersytatu Lwowskiego. Od 1927 r. pracował w wyższych uczelniach i instytutach badawczych, kolejno na Uniwersytecie Lwowskim, w Chemicznym Instytucie Badawczym w Warszawie, w Instytucie Naukowo-Badawczym Przemysłu Węglowego, na Uniwersytecie Warszawskim i Politechnice Warszawskiej. Obecnie pracuje w Instytucie Chemii Ogólnej i Technologii Nieorganicznej Politechniki Warszawskiej. Zajmuje się zagadnieniami elektrochemii i polarografii. Jest autorem licznych publikacji.

# BLOK NOŚNIKA INFORMACJI PAMIĘCI PAO 6

Zbigniew SZCZĘSNY mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. Od 1959 r. pracował w Zakładzie Doświadczalnym Instytutu Maszyn Matematycznych, zajmując się opracowywaniem konstrukcji i technologii elementów magnetycznych do układów elektronicznych maszyn cyfrowych. Obecnie pracuje na stanowisku kierownika Pracowni Nośników Informacji, zajmując się opracowywaniem płatów i bloków rdzeniowych do pamięci operacyjnych i stałych oraz nowymi opracowaniami w zakresie nośników na cylindrycznych warstwach magnetycznych. Jest autorem szeregu publikacji.

# GENERATOR IMPULSÓW PRĄDOWYCH DO PAMIĘCI OPERACYJNEJ PAO 6 UKŁADY WYBIERANIA ADRESÓW PAMIECI OPERACYJNEJ PAO 6

Romuald SYNAK mgr inż. W roku 1960 ukończył Wydział Łączności Politechniki Gdańskiej. Od roku 1961 pracuje w Instytucie Maszyn Matematycznych, początkowo w Zakładzie Doświedczalnym, obecnie w Zakładzie Pamięci Wewnętrznych na stanowisku adiunkta. Zajmuje się układami logicznymi do maszyn cyfrowych i układami elektronicznymi do pamięci ferrytowych. Jest autorem szeregu publikacji.

#### UKLADY TORU ODCZYTU PAMIĘCI OPERACYJNEJ PAO 6

Marian JOZANIS mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. W latach 1960-63 pracował w Biurze Konstrukcyjnym Zakładu Doświadczalnego Instytutu Maszyn Matematycznych. Od roku 1964 pracował w Zakładzie Techniki Cyfrowej IMM, zajmując się projektowaniem i badaniem układów elektronicznych. Obecnie pracuje w Zakładzie Pamięci Wewnętrznych, w dziedzinie operacyjnych pamięci ferrytowych. Z tego też zakresu posiada publikacje.

#### ZESPÓŁ STEROWANIA PAMIĘCI PAO 6

Andrzej ŚWITALSKI inż. Ukończył Wieczorową Szkołę Inżynierską w Warszawie. Od roku 1950 zaczął pracę w Grupie Aparatów Matematycznych w Państwowym Instytucie Matematycznym. Obecnie pracuje w Zakładzie Pamięci Wewnętrznych IMM, zajmując się pamięciami operacyjnymi. Jest autorem kilku publikacji.

## ZASILANIE PAMIĘCI OPERACYJNEJ PAO 6

Stanisław ZAGÓRNY mgr inż. Ukończył studia na Wydziale Łączności Politechniki Warszawskiej. Pracę w Instytucie Maszyn Matematycznych rozpoczął w 1958 r. w Dziale Układów Podstawowych Maszyn Cyfrowych. W roku 1963 obejmuje kierownictwo Pracowni Systemów Zasilania, a w 1966 r. zostaje adiunktem. Od początku pracy w IMM zajmuje sią konstrukcją układów opartych na elementach półprzewodnikowych, specjalizując się w zagadnieniach systemów zasilania maszyn cyfrowych. Z tego zakresu posiada patent oraz szereg opracowań i publikacji.

## BADANIA MODELU PROTOTYPU PAMIĘCI OPERACYJNEJ PAO 6

Jan RYŻKO mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej. Od roku 1956 pracuje w Instytucie Maszyn Matematycznych, zajmując się pomiarami rdzeni pamięciowych, aparaturą do badania rdzeni, konstrukcją układów przechowywania informacji, organizacją pamięci operacyjnych, pamięci na cienkich warstwach magnetycznych itp. zagadnieniami. Z powyższej tematyki posiada szereg publikacji.

Andrzej SIKORSKI mgr fizyki. Dyplom otrzymał na Wydziałe Matematyczno-Fizycznym Uniwersytetu Warszawskiego. Po ukończeniu studiów pracował w Babryce Półprzewodników "TEWA", a od roku 1962 pracuje w Instytucie Maszyn Matematycznych. Zajmuje się kontrolą elementów magnetycznych, podzespołów pamięci ferrytowych, badaniami niezawodnościowymi pamięci. Powyższej tematyce poświęcił szereg publikacji. Jerzy DAŃDA mgr inż. Studia ukończył na Wydziale Łączności Politechniki Warszawskiej w roku 1959. Od roku 1956 pracuje w Instytucie Maszyn Matematycznych, zajmując się pamięciami operacyjnymi maszyn cyfrowych, w szczególności pamięcią ferrytową. Od roku 1970 pełni obowiązki zastępcy dyrektora IMM d/s naukowo-badawczych. Jest autorem licznych publikacji.

- 265 -

Henryk FURMAN inż. W 1960 r. ukończył Wyższą Szkołę Inżynieryjną. Od 1950 r. pracuje w IMM w Zakładzie Pamięci Wewnętrznych.

W.D.N.Zam. 306/0/72

