

Artur SKÓRKOWSKI
Tadeusz SKUBIS

WZORCOWANIE INDUKCYJNYCH DZIELNIKÓW NAPIĘCIA STOSOWANYCH W TRANSFERZE AC/DC

Streszczenie. W artykule przedstawiono metodę wzorcowania dzielnika indukcyjnego, wykorzystującą ideę układów z przełączanymi kondensatorami. Opracowane zostały algorytmy przełączeń i pomiarów minimalizujące wpływ dokładności zastosowanego przetwornika RMS/DC oraz pojemności pasożytniczych na wyniki wzorcowania. Prezentowana metoda umożliwia wyznaczenie błędu przekładni dzielnika przy częstotliwościach do 1 MHz.

CALIBRATION OF INDUCTIVE VOLTAGE DIVIDER USED IN AC/DC TRANSFER

Summary. The method of calibration of inductive voltage divider (IVD) based on switched capacitors is described. Algorithms minimising influence of the error of RMS/DC converter as well as residual capacitances, are given. The method presented makes it possible to find the in-phase IVD error in the frequency range of up to 1 MHz.

1. WPROWADZENIE

Błędy wzorcowych indukcyjnych dzielników napięcia wyznacza się najczęściej metodą bootstrap lub straddling. Są to metody charakteryzujące się odmiennymi zasadami działania, własnymi algorytmami pomiarów oraz odpowiednimi równaniami do obliczania błędu przekładni badanego dzielnika [1, 2]. Metody te, bazujące na pomiarze składowych napięć błędu, umożliwiają wyznaczenie błędów modułowych i kątowych przekładni przy częstotliwościach akustycznych z niepewnością bezwzględną rzędu 1 ppm. Ze wzrostem częstotliwości rosną trudności pomiaru składowej urojonej napięcia błędu, co uniemożliwia także dokładny pomiar składowej rzeczywistej. Z tego powodu przy częstotliwościach powyżej 100 kHz niemożliwe staje się dokładne wyznaczenie nie tylko błędu kąтового, ale i błędu modułowego.

Prezentowana w artykule metoda umożliwia wyznaczenie błędu δ , przekładni D , zdefiniowanej dla wartości skutecznych napięcia wejściowego i wyjściowego [3]

$$D_i = \frac{U_i}{\sum_{j=1}^{10} U_j}, \quad (1)$$

gdzie: U_i — wartość skuteczna napięcia na badanej sekcji dzielnika, U_j — wartość skuteczna napięcia na j -tej sekcji.

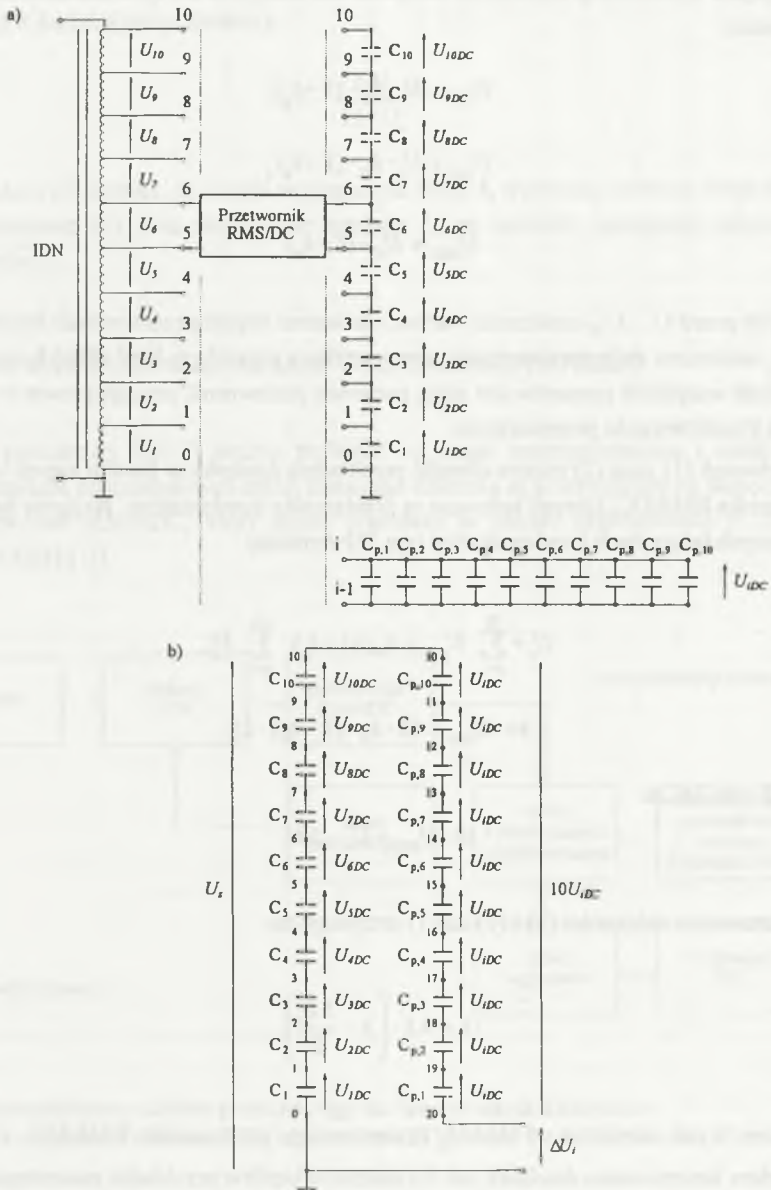
Definicja (1) przekładni dzielnika jest odpowiednia, gdy dzielnik jest stosowany np. w torze kalibracji transferu AC/DC [4, 5, 6]. Oszacowany został wpływ przesunięcia kąтового napięć poszczególnych sekcji na sens definicji (1). Błąd wynikający z sumowania arytmetycznego napięć U_p zamiast geometrycznego, przy przesunięciu kątowym poszczególnych napięć wynoszącym około 1° , przybiera wartość maksymalną 0.4 ppm (przypadek gdy różnica między sumą arytmetyczną i geometryczną jest największa). Zależności fazowe napięć występujących w definicji przekładni dzielnika są w tym przypadku nieistotne i nie wpływają na wynik wzorcowania transferu AC/DC.

2. OPIS METODY WZORCOWANIA DZIELNIKA

Metoda wzorcowania indukcyjnych dzielników napięcia w układzie z przełączanymi kondensatorami polega na wyprostowaniu napięć kolejnych sekcji dzielnika, naładowaniu przełączalnych kondensatorów tymi napięciami i na pomiarze napięć stałych występujących na odpowiednio połączonych kondensatorach. Pomiar napięć stałych umożliwia osiągnięcie większej dokładności wzorcowania niż w przypadku pomiaru napięć zmiennych.

Procedura pomiarowa odbywa się w dwóch fazach (rys.1). W pierwszej fazie następuje kolejne naładowanie połączonych szeregowo kondensatorów $C_{1...C_{10}}$ za pomocą przetwornika RMS/DC przyłączanego do kolejnych sekcji wzorcowanego dzielnika. Kondensatory te są ładowane napięciami $U_{1DC}...U_{10DC}$. Numer indeksu danego napięcia oznacza numer sekcji dzielnika, której to napięcie odpowiada. Ponadto, z sekcji i , dla której będzie wyznaczany błąd przekładni, ładowane są połączone równolegle kondensatory $C_{p,1}...C_{p,10}$ do napięcia U_{iDC} .

Druga faza procedury pomiarowej polega na zmianie połączenia kondensatorów $C_{p,1}...C_{p,10}$ z równoległego na szeregowo i bezpośrednim pomiarze różnicy napięć stałych występujących na obu łańcuchach kondensatorów, tj. $C_{1...C_{10}}$ oraz $C_{p,1}...C_{p,10}$. Różnicę napięć oznaczono przez ΔU , (rys.1b).



Rys.1. Schemat połączenia przełączalnych kondensatorów: a) w pierwszej fazie procedury pomiarowej, b) w drugiej fazie procedury pomiarowej

Fig.1. Diagram of connection of switched capacitors: a) in the first stage of measurement procedure, b) in the second stage of measurement procedure

Napięcia wyjściowe przetwornika RMS/DC dla kolejnych sekcji dzielnika można wyrazić równaniami:

$$\begin{aligned} U_{1DC} &= U_1 \cdot k_U \cdot (1 - \delta_p) \\ U_{2DC} &= U_2 \cdot k_U \cdot (1 - \delta_p), \\ &\vdots \\ U_{10DC} &= U_{10} \cdot (1 - \delta_p) \end{aligned} \quad (2)$$

w których przez $U_1 \dots U_{10}$ oznaczono wartości skuteczne napięć przemiennych kolejnych sekcji, przez k_U oznaczono stałą przetwarzania przetwornika, a przez δ_p jej błąd. Błąd δ_p nie jest znany, ale w czasie wszystkich pomiarów jest stały, ponieważ przetwornik pracuje prawie w tym samym punkcie charakterystyki przetwarzania.

Z równań (1) oraz (2) można określić przekładnię dzielnika w funkcji napięć wyjściowych przetwornika RMS/DC, którymi ładowane są przełączalne kondensatory. Napięcia na szeregowo połączonych łańcuchach kondensatorów (rys. 1b) wynoszą:

$$U_s = \sum_{j=1}^{10} U_{jDC} = k_U \cdot (1 - \delta_p) \cdot \sum_{j=1}^{10} U_j, \quad (3)$$

$$10 \cdot U_{10DC} = 10 \cdot k_U \cdot (1 - \delta_p) \cdot U_i. \quad (4)$$

Z rys. 1b wynika, że:

$$10 \cdot U_{10DC} = U_s - \Delta U_i. \quad (5)$$

Po podstawieniu zależności (3) i (5) do (1) otrzymuje się:

$$D_i = 0.1 \cdot \left(1 - \frac{\Delta U_i}{U_s} \right). \quad (6)$$

Równanie to jest niezależne od błędu δ_p zastosowanego przetwornika RMS/DC.

Celem wzorcowania dzielnika jest wyznaczenie błędów przekładni poszczególnych sekcji dzielnika zgodnie z definicją:

$$\delta_i = -D_i - D_{iN}, \quad (7)$$

gdzie: D_{iN} jest znamionową przekładnią i -tej sekcji dzielnika równą 0,1.

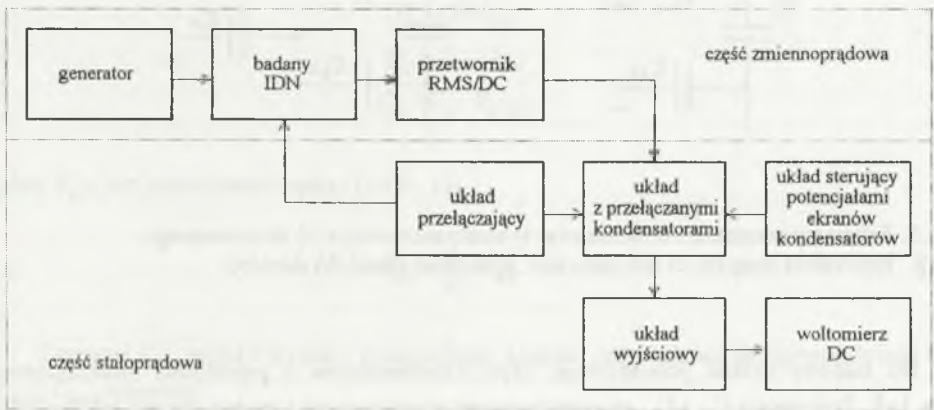
Uwzględniając zależności (6) i (7) otrzymuje się równanie, na podstawie którego można obliczyć błąd δ , badanej sekcji dzielnika:

$$\delta_i = - \frac{\Delta U_i}{10 \cdot U_s} \quad (8)$$

Z równania (8) wynika, że w celu wyznaczenia błędu δ , wystarczy zmierzyć bezpośrednio napięcie różnicowe ΔU , oraz sumaryczne napięcie U_s na łańcuchu szeregowo połączonych kondensatorów C_j .

3. BUDOWA I ZASADA DZIAŁANIA UKŁADU POMIAROWEGO

Układ pomiarowy (rys.2) można podzielić na część zmiennoprądową i część stałoprądową. Napięcia poszczególnych sekcji badanego dzielnika są przetwarzane na napięcia stałe przez przetwornik RMS/DC, który może pracować w paśmie częstotliwości 0...1 MHz (np.: AD536AKH [7]).



Rys.2. Schemat blokowy układu pomiarowego do wzorcowania dzielników

Fig.2. Block diagram of the circuit for calibration of IVD

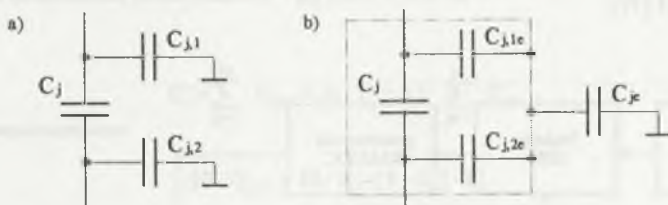
Układ przełączający jest zbudowany ze sterowanych, zgodnie z procedurą opisaną w p. 2, kluczy analogowych. Układ ten łączy przetwornik RMS/DC do kolejnych sekcji dzielnika oraz do odpowiednich kondensatorów styrorefleksowych. Kondensatory umieszczono w ekranach o sterowanych potencjałach (p. 4). Potencjały ekranów w obu fazach procedury pomiarowej są

równe potencjałom „górných okładzin” (okładzin o wyższym potencjale) ekranowanych kondensatorów. Układ wyjściowy podaje na wejście woltomierza DC napięcie różnicowe ΔU_i oraz sumaryczne napięcie U_s .

4. EKRALOWANIE PRZEŁĄCZANYCH KONDENSATORÓW

Jedną z głównych przyczyn powstawania błędów pomiarowych w układzie przedstawionym w p. 3 jest upływność pojemności pasozytnych. Wynika ona ze zmian potencjałów okładek kondensatorów przy ich przełączeniach związanych z przejściem między pierwszą a drugą fazą pomiaru. Szczególnie duże zmiany potencjałów okładek występują w kondensatorach $C_{p,1} \dots C_{p,10}$ przy zmianie ich połączenia z równoległego na szeregowo.

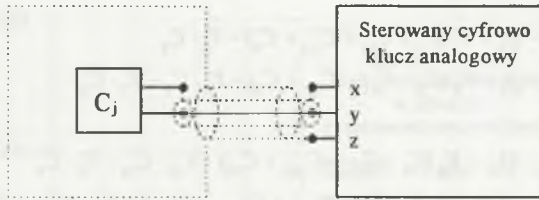
Wpływ pojemności pasozytnych można opisać za pomocą schematu zastępczego kondensatora przedstawionego na rys.3.



Rys.3. Schematy zastępcze kondensatora: a) nieekranowanego, b) ekranowanego
Fig.3. Equivalent diagram of the capacitor: a) without shield, b) shielded

Do budowy układu pomiarowego użyto kondensatorów o pojemności znamionowej $C_j = 1\mu\text{F}$. Pojemności $C_{j,1}$ i $C_{j,2}$ są pojemnościami montażowymi i można przyjąć ich wartość na poziomie 1 pF [8], natomiast pojemności $C_{j,1e}$ i $C_{j,2e}$ są rzędu 10 pF [3]. Pojemność C_{je} będzie przeładowywana z układu sterującego potencjałami ekranów i nie będzie wpływać na dokładność pomiarów.

Wyprowadzenia kondensatorów zostały połączone z układem kluczy analogowych przewodami koncentrycznymi zgodnie ze schematem na rys.4. Ekran wewnętrzny przewodu koncentrycznego jest połączony z wyprowadzeniem okładziny kondensatora o wyższym potencjale równym potencjałowi, jakim jestysterowany ekran kondensatora.



Rys.4. Schemat połączenia kondensatora przełączanego ze sterowanym cyfrowo kluczem analogowym

Fig.4. The diagram of connection between switched capacitor and digitally-controlled analog switch

Przeprowadzono analizę wpływu pojemności pasozytniczych na dokładność wzorcowania dzielników w układzie pomiarowym z kondensatorami nieekranowanymi i ekranowanymi. Określone zostały ładunki elektryczne występujące na okładzinach kondensatorów w pierwszej fazie procedury pomiarowej (rys. 1a). Dla układu pomiarowego z nieekranowanymi pojemnościami (rys. 3a) ładunki zgromadzone na pojemnościach C_j , $C_{j,1}$, $C_{j,2}$ wyrazić można wzorami:

$$\begin{aligned} Q_j &= C_j \cdot U_{jDC} \\ Q_{j,1} &= C_{j,1} \cdot V_{jDC} \\ Q_{j,2} &= C_{j,2} \cdot V_{(j-1)DC} \end{aligned} \quad (9)$$

gdzie V_{jDC} jest potencjałem węzła j ($j = 0, \dots, 10$):

$$V_{jDC} = \sum_{k=1}^j U_{kDC} \quad (10)$$

Potencjał V_{0DC} węzła 0 wynosi 0 (masa układu). Ładunki zgromadzone na pojemnościach $C_{p,j}$, $C_{p,j,1}$, $C_{p,j,2}$ wynoszą:

$$\begin{aligned} Q_{p,j} &= C_{p,j} \cdot U_{jDC} \\ Q_{p,j,1} &= C_{p,j,1} \cdot V_{jDC} \\ Q_{p,j,2} &= C_{p,j,2} \cdot V_{(j-1)DC} \end{aligned} \quad (11)$$

W przypadku gdy jest wyznaczany błąd i -tej sekcji dzielnika potencjały V_{iDC} oraz $V_{(i-1)DC}$ oblicza się zgodnie ze wzorem (10) dla $j = i$. Korzystając z zasady zachowania ładunku oraz metody potencjałów węzłowych ułożono układ 20 równań (12) opisujący bilans ładunków w układzie przełączalnych kondensatorów w drugiej fazie procedury pomiarowej:

$$\begin{cases}
 Q_1 + Q_{1,1} + Q_{2,2} - Q_2 = V_1 (C_1 + C_{1,1} + C_{2,2} + C_2) - V_2 \cdot C_2 \\
 Q_2 + Q_{2,1} + Q_{3,2} - Q_3 = V_2 (C_2 + C_{2,1} + C_{3,2} + C_3) - V_3 \cdot C_3 - V_1 \cdot C_2 \\
 \vdots \\
 Q_9 + Q_{9,1} + Q_{10,2} - Q_{10} = V_9 (C_9 + C_{9,1} + C_{10,2} + C_{10}) - V_{10} \cdot C_{10} - V_8 \cdot C_9 \\
 Q_{10} + Q_{10,1} + Q_{p,10,2} - Q_{p,10} = V_{10} (C_{10} + C_{10,1} + C_{p,10,1} + C_{p,10,2}) - V_{11} \cdot C_{p,10} - V_9 \cdot C_{10} \\
 Q_{p,9} + Q_{p,9,1} + Q_{p,10,2} - Q_{p,10} = V_{11} (C_{p,9} + C_{p,9,1} + C_{p,10,2} + C_{p,10}) - V_{12} \cdot C_{p,9} - V_{10} \cdot C_{p,10} \\
 Q_{p,8} + Q_{p,8,1} + Q_{p,9,2} - Q_{p,9} = V_{12} (C_{p,8} + C_{p,8,1} + C_{p,9,2} + C_{p,9}) - V_{13} \cdot C_{p,8} - V_{11} \cdot C_{p,9} \\
 \vdots \\
 Q_{p,1} + Q_{p,1,1} + Q_{p,2,2} - Q_{p,2} = V_{19} (C_{p,1} + C_{p,1,1} + C_{p,2,2} + C_{p,2}) - V_{20} \cdot C_{p,1} - V_{18} \cdot C_{p,2} \\
 Q_{p,1,2} + Q_{p,1} = V_{20} (C_{p,1,2} + C_{p,1}) - V_{19} \cdot C_{p,1}
 \end{cases} \quad (12)$$

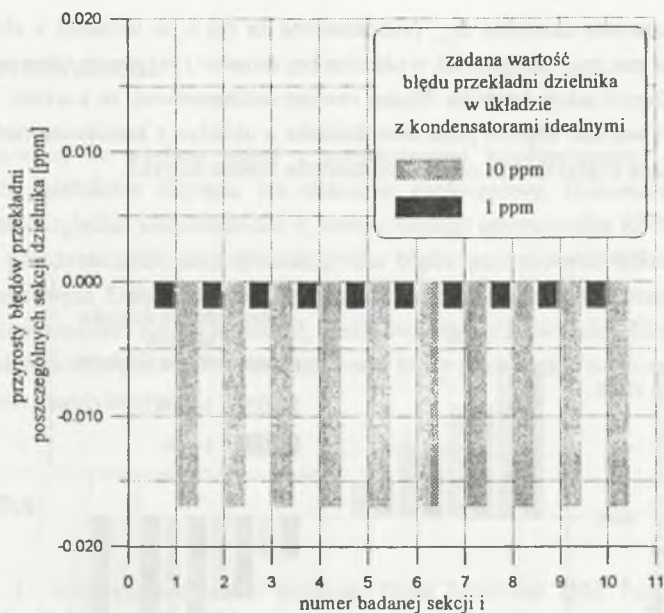
gdzie: $V_1 \dots V_{20}$ — potencjały węzłów 1...20 (rys. 1b). Po podstawieniu równań (9) i (11) do (12) oraz zadaniu wartości napięć stałych $U_{IDC} \dots U_{IODC}$ można wyliczyć potencjał $V_{20} = \Delta U_p$, a następnie na podstawie wzoru (8) błąd $\delta_{i,r}$ badanej sekcji dzielnika.

W przypadku układu pomiarowego z ekranowanymi pojemnościami również wyznaczono równania opisujące ładunki elektryczne okładzin przełączalnych kondensatorów, a następnie układ równań bilansujący te ładunki w drugiej fazie procedury pomiarowej. Podczas tych obliczeń uwzględniono potencjały ekranów kondensatorów. Podobnie jak w poprzednio opisywanym układzie pomiarowym, dla układu z ekranowanymi pojemnościami wyliczono napięcie różnicowe ΔU , oraz błąd $\delta_{i,r}$ badanej sekcji dzielnika.

Podczas symulacji komputerowej dla zadanych wartości błędu δ_i przekładni dzielnika w układzie pomiarowym z kondensatorami idealnymi (bez pojemności pasozytniczych) określono odchyłki napięcia badanej sekcji, które te błędy wywołują. Następnie dla zadanych napięć $U_{IDC} \dots U_{IODC}$, gdzie napięcie sekcji badanej obarczone wcześniej określoną odchyłką, przeprowadzono obliczenia błędu $\delta_{i,r}$ badanej sekcji dzielnika zarówno w układzie pomiarowym z pojemnościami nieekranowanymi, jak i ekranowanymi. Obliczenia wykonano dla wszystkich sekcji dzielnika ($i = 1 \dots 10$) wyznaczając poszczególne błędy $\delta_{i,r}$ oraz porównując je z zadanymi błędami δ_i zgodnie ze wzorem:

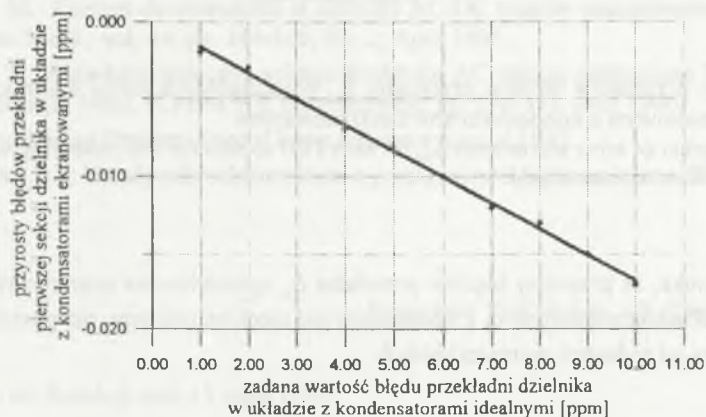
$$\Delta_{\delta,i} = \delta_{i,r} - \delta_i \quad (13)$$

Wyniki tego porównania w postaci przyrostów błędów przekładni $\Delta_{\delta,i}$ poszczególnych sekcji dzielnika przedstawiono na rys. 5 i 7.



Rys.5. Wykres przyrostów błędów przekładni Δ_{δ_i} poszczególnych sekcji dzielnika w układzie pomiarowym z kondensatorami ekranowanymi

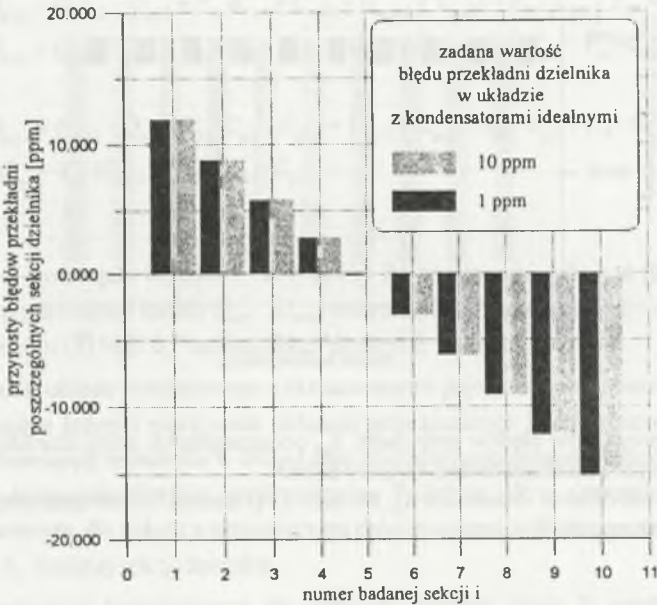
Fig. 5. The diagram of error increments Δ_{δ_i} for each IVD section for the measuring circuit built of shielded capacitors



Rys.6. Zależność $\Delta_{\delta_1} = f(\delta_1)$ dla układu pomiarowego z kondensatorami ekranowanymi

Fig.6. Dependence $\Delta_{\delta_1} = f(\delta_1)$ for the measuring circuit built of shielded capacitors

Błędy wzorcowania dzielnika Δ_{δ_i} , przedstawione na rys.5, w układzie z ekranowanymi kondensatorami, są znacznie mniejsze niż w układzie bez ekranów i przyjmują takie same wartości dla wszystkich badanych sekcji dzielnika. Można również zaobserwować, że wartości tych błędów zależą od zadanych wartości błędów przekładni dzielnika w układzie z kondensatorami idealnymi. Zależność ta, mająca charakter liniowy, przedstawiona została na rys.6.



Rys.7. Wykresy przyrostów błędów przekładni Δ_{δ_i} poszczególnych sekcji dzielnika w układzie pomiarowym z kondensatorami nieekranowanymi

Fig.7. The diagram of error increments Δ_{δ_i} for each IVD section for the measuring circuit built of capacitors without shield

Z rys.7 wynika, że przyrosty błędów przekładni Δ_{δ_i} spowodowane pojemnościami pasywnymi w układzie pomiarowym z kondensatorami nieekranowanymi, dla poszczególnych sekcji, nie zależą od zadanych wartości błędów δ_i .

5. PODSUMOWANIE

Przedstawiony w artykule układ z przełączanymi kondensatorami do wzorcowania indukcyjnych dzielników napięcia ma charakter prototypowy. Dokonana ogólna analiza metrologiczna uwzględniła niedokładności δ_p zastosowanego przetwornika RMS/DC oraz wpływ pojemności pasożytniczych, jako główne źródła błędów wzorcowania dzielnika w opisanym układzie pomiarowym. Dzięki opracowanej i opisanej w punkcie drugim procedurze pomiarowej udało się skompensować niedokładność δ_p zastosowanego przetwornika. Ekranowanie przełączanych kondensatorów pozwoliło zminimalizować błędy pochodzące od zmian potencjałów na pojemnościach pasożytniczych.

LITERATURA

1. Jaskulski J.: Indukcyjne dzielniki napięcia. Prace Naukowe IME Pol. Wr. nr 24, ser. Monografie nr 3, Wrocław 1984.
2. Klonz M., Wilkins F. J., Zirpel R.: A measurement transformer for establishing accurate voltage division in thermal converter measurements up to 1000 V and 100 kHz. IEEE Trans. Instrum. Meas. vol. IM-29, pp. 492-495, 1980.
3. Skubis T., Skórkowski A.: Calibration Method of IVD by Means of Switched Capacitors. IEEE Instrumentation & Measurement Technology Conference, May 19-21, 1997, Ottawa, Canada.
4. Inglis B.D.: Standards for AC-DC transfer. Metrologia, No. 29, pp. 191-199, 1992.
5. Klonz M.: Current developments in accurate AC-DC transfer measurements. IEEE Trans. Instrum. Meas., vol. 44, pp. 363-366, No. 2, April 1995.
6. Skubis T.: Wide-band inductive voltage divider for AC voltage calibrations. Dig. Conf. Prec. Electromagn. Meas. (CPEM'96), Braunschweig, pp. 576-577, June 1996.
7. Katalog Analog Devices: Special linear reference manual 1992.
8. Mulawka J. J.: Układy mikroelektroniczne z przełączanymi pojemnościami. WKiŁ, Warszawa 1987.

Recenzent: Prof. dr hab. inż. Danuta Turzeniecka

Wpłynęło do Redakcji dnia 15 maja 1997

Abstract

The errors of IVD's are measured most often by bootstrap or straddling method, both claiming exact measurement of in-phase and quadrature component error voltages. The methods at acoustic frequencies allow the calculation of the amplitude and angular errors with uncertainty below 1ppm. The difficulties of measurement of the quadrature component error voltage increase with frequency rise. This also limits the measurement accuracy of the in-phase component. At frequencies above 100kHz the possibility of accurate measurement both amplitude and angular errors are strongly limited.

In the work the calibration method of the voltage divider is presented. It is based on the relatively fresh idea of switched capacitors. The method consists in separate rectification of output voltages of all divider winding sections, charging the capacitors to be switched, summation of the voltages by series connection of the switched capacitors and accurate measurement of the adequate constant voltages. The algorithms minimising the rectifier imperfectness influence for both connections and measurements are worked out.

The method allows the calculation of the IVD ratio error, defined for rms values of proper voltages. Such a definition of the ratio seems to be sufficient for the divider applications in calibration chain of the AC/DC transfer. The method allows the IVD amplitude error calculation at frequency up to 1MHz. The phase relations between the voltages defining the standard divider ratio are unessential and do not influence calibration results.