

Jerzy NABIELEC
Zakład Metrologii
Akademia Górniczo-Hutnicza

DŁUGOŚĆ SŁOWA PROCESORA A DOKŁADNOŚĆ KOREKCJI BŁĘDÓW DYNAMICZNYCH WZMACNIACZA POMIAROWEGO - BADANIA SYMULACYJNE

Streszczenie. Niedoskonałe właściwości dynamiczne wzmacniacza pomiarowego są przyczyną powstawania znaczących błędów dynamicznych podczas pomiaru sygnałów odkształconych. W przeprowadzonych badaniach symulacyjnych zastosowano sygnał o kształcie zgodnym z przebiegiem prądu maszyny indukcyjnej zasilanej z falownika napięcia. Do korekcji błędów dynamicznych w czasie rzeczywistym wykorzystano układ dyskretny typu FIR. W układzie korekcyjnym zasymulowano efekt obcinania najmniej znaczących bitów liczb reprezentujących część ułamkową zmiennych, w zależności od liczby bitów rejestru procesora przeznaczonych na zapis mantysy. Zbadano wpływ arytmetyki stałopozycyjnej i zmiennopozycyjnej na dokładność korekcji błędów dynamicznych wnoszonych przez wzmacniacz pomiarowy dla różnych wartości jego stałej czasowej. Oceniono również dokładność korekcji dla różnych szybkości zmian mierzonego sygnału

THE INFLUENCE OF THE PROCESSOR BIT NUMBER TO THE PRECISION OF THE DYNAMIC ERROR CORRECTION OF THE INSTRUMENTATION AMPLIFIER

Summary. Weak dynamic features of the instrumentation amplifier are the source of considerable dynamic errors during measurement of the nonsinusoidal signals. The current of the inverter fed induction drive has been taken under consideration during simulations. A real-time algorithm of these errors correction has been examined with respect to the variable representation in the processor registers. Fixed-point and floating-point arithmetic have been emulated for various bit numbers of fraction representation. The algorithm acts as a scalar product of two vectors. The first one consists of the constant coefficients. The second one contains a number of the most recent values of the measured signal. Precision of the correction algorithm has been examined for various time constant of the amplifier and various slopes of the signal.

1. WPROWADZENIE

Wzmacniacz pomiarowy o dużym wzmacnieniu charakteryzuje się złymi właściwościami dynamicznymi. Zastosowanie wzmacniacza w torze przeznaczonym do pomiaru chwilowych wartości sygnałów o częstotliwości kilku kHz powoduje powstawanie znaczących błędów dynamicznych. Dla dużych wzmacnień dynamikę wzmacniacza można opisać za pomocą inercyjnego obiektu pierwszego rzędu o stałej czasowej T i wzmacnieniu k odpowiadającemu wzmacnieniu wzmacniacza dla składowej stałej.

W pracy [1] zaproponowano metodę korekcji tych błędów w czasie rzeczywistym realizowaną przez procesor sygnałowy. Korekcja ta dotyczy wyników pomiaru prądu wymuszanego przez falownik napięcia w obciążeniu zawierającym rezystancję oraz indukcyjność. Właściwości dynamiczne obciążenia określa stała czasowa T_h . Układ ten reprezentuje obwód jednej fazy nowoczesnego napędu elektrycznego prądu zmiennego. Do przetwarzania sygnału prądowego na napięciowy zastosowano bocznik bezindukcyjny. Badania symulacyjne potwierdziły, że przy odpowiednim doborze parametrów algorytmu korekcyjnego istnieje możliwość zredukowania błędów dynamicznych pomiaru do wartości porównywalnej z błędami wnoszonymi przez 12-bitowy przetwornik A/C. Algorytm korekcyjny polega na mnożeniu skalarnym dwóch wektorów, z których pierwszy składa się z N ostatnich wyników pomiaru rejestrowanej wielkości, drugi natomiast zawiera stałe współczynniki. Do wyznaczenia ich wartości wykorzystano aproksymację wielomianową pierwszego stopnia, określoną na podstawie N próbek mierzonego sygnału. Wyniki badań algorytmu bez uwzględnienia liczby bitów reprezentujących zmienne w procesorze przedstawiono w pracy [1]. Analiza wpływu liczby bitów L reprezentujących zmienne w rejestrach procesora oraz rodzaju stosowanej arytmetyki (stałopozycyjnej lub zmiennopozycyjnej) na dokładność pomiaru z korekcją pozwoli na określenie zasad wyboru procesora oraz minimalizację kosztów układu pomiarowego.

2. REPREZENTACJA LICZBY W REJESTRACH PROCESORA

2.1. Arytmetyka zmiennopozycyjna

Podczas badań symulacyjnych rozważano procesory wykonujące działania przy zastosowaniu arytmetyki stałopozycyjnej i zmiennopozycyjnej.

Do zapisu liczb zmiennopozycyjnych wykorzystano standard IEEE [2], [3] uwzględniający bit znaku S (SIGNUM), pole wykładnika E (EXP) oraz pole części ułamkowej F (FRACTION).

Liczba X w arytmetyce zmiennopozycyjnej interpretowana jest zgodnie z zależnością (1).

$$X = (-1)^S * 2^E * F \quad (1)$$

gdzie: $1 \leq F < 2$,

$S=0$ dla $X>0$, $S=1$ dla $X<0$.

W przypadku operacji zmiennopozycyjnych mantysa każdej liczby reprezentująca wynik pomiaru lub współczynnik algorytmu korektora bądź też cząstkowy wynik operacji

arytmetycznych była obcinana poprzez odrzucenie najmniej znaczących bitów nie mieszczących się w rejestrach procesora o zadanej długości bitów L , przeznaczonych na jej binarny zapis. Podczas symulacji operacja obcinania najmniej znaczących bitów polegała na przemnożeniu mantysy przez 2^L i wyznaczeniu jej części całkowitej (entier), a następnie podzieleniu przez 2^L .

2.2. Arytmetyka stałopozycyjna

Podstawowym problemem pojawiającym się przy zastosowaniu procesora wykonującego operacje stałopozycyjne jest niebezpieczeństwo przepełnienia rejestru arytmometru. Aby do tego nie dopuścić należy oszacować największą liczbę dotyczącą modułu X_{max} , jaka może wystąpić w arytmometrze procesora. Następnie należy wyznaczyć taką potęgę E_{max} liczby 2, która majoryzuje X_{max} oraz wartość dziesiętnego ułamka właściwego F_{max} takiego, aby spełniona była zależność (2).

$$2^{E_{max}-1} < X_{max} = F_{max} * 2^{E_{max}} \quad 0.5 \leq F_{max} < 1 \quad (2)$$

Wszystkie inne liczby, oprócz wyników uzyskiwanych z przetwornika A/C, występujące w trakcie realizacji algorytmu, muszą być normalizowane do wartości $2^{E_{max}}$ i zapisane jako ułamki właściwe. Każdy z tych ułamków podlega operacji obcinania najmniej znaczących bitów odpowiednio do liczby bitów, jaką przeznaczono w procesorze na zapis mantysy. Natomiast liczby naturalne uzyskiwane z 12-bitowego przetwornika A/C muszą być z kolei normalizowane do wartości 2048 i również przedstawiane jako ułamki właściwe. Operacja obcinania nie jest stosowana do wyników uzyskanych z przetwornika.

Zadanie wyznaczania F_{max} oraz E_{max} można przeprowadzić dwoma sposobami. Pierwszy polega na zsumowaniu modułów wszystkich N współczynników, przez które przemnaża się kolejne N ostatnich wyników pomiaru. Tak uzyskane wartości F_{max} oraz E_{max} mogą być dwukrotnie zawyżone w stosunku do wartości występujących w procesorze w trakcie realizacji algorytmu korekcyjnego.

Drugi sposób oszacowania tych wartości wykorzystuje założenie, że jeżeli uzyskiwane wyniki pomiaru przyjmują duże co do modułu wartości, to są one jednakowego znaku. Jeżeli natomiast kolejne wyniki pomiaru zmieniają znak, to ich bezwzględna wartość jest mała w odniesieniu do maksymalnej wartości, jaka może być uzyskana na wyjściu przetwornika A/C. Oszacowanie F_{max} oraz E_{max} polega na wyznaczeniu sumy wszystkich dodatnich współczynników algorytmu korekcyjnego oraz wartości bezwzględnej sumy wszystkich ujemnych współczynników. Większa z tych dwóch wartości stanowi podstawę oszacowania F_{max} oraz E_{max} .

W trakcie badań symulacyjnych oszacowano wartości błędów powodowanych przez obcinanie najmniej znaczących bitów podczas realizacji algorytmu korekcyjnego przy narastającym (inkrementacja) indeksowaniu współrzędnych wektorów oraz malejącym indeksowaniu (dekrementacja). Wskaźnik przyjmuje odpowiednio wartości od 1 do N lub od N do 1. Zasymulowano w ten sposób mechanizm autoinkrementacji lub autodekrementacji adresu pamięci przez układy sterujące w procesorze podczas realizacji algorytmu korekcyjnego. Są to oczywiście tylko dwa przypadki z $N!$ możliwych teoretycznej kolejności realizacji iloczynu skalarnego dwóch wektorów o wymiarze N . Realizacja w rzeczywistym

procesorze pozostałych, nie objętych symulacjami przypadków, wymagałaby utworzenia skomplikowanego i czasochłonnego algorytmu adresowania pamięci. Z tego powodu nie wzięto ich pod uwagę w trakcie badań symulacyjnych.

3. BADANIA SYMULACYJNE

3.1. Parametry symulacji

W trakcie badań symulacyjnych przyjęto, że do uzwojeń jednej fazy nie obracającego się silnika prądu zmiennego załączono skokowo stałe napięcie o wartości $U=300V$. Przyjęto, że rezystancja tego uzwojenia wynosi 7Ω , a elektryczna stała czasowa $T_h=10ms$. Po czasie $0.4 ms$ również skokowo zmieniono wartość napięcia na $0V$. Przepływający prąd mierzono za pomocą bezindukcyjnego bocznika o rezystancji $50m\Omega$, a jego sygnał wyjściowy dopasowano do zakresu 12-bitowego przetwornika A/C przy zastosowaniu wzmacnicza pomiarowego o wzmocnieniu $k=25$ i jednej stałej czasowej $T=16\mu s$. Przyjęto okres próbkowania $T_s = 10\mu s$. Do wyznaczenia skorygowanej chwilowej wartości sygnału wejściowego wykorzystywano $N=10$ jego zmierzonych wartości.

3.2. Błąd dynamiczny

Do pomiaru rzeczywistych sygnałów odkształconych proponuje się zastosować taki tor pomiarowy, którego błędy będą wyznaczone przy zastosowaniu dokładnych przyrządów stałoprądowych. Błędy dynamiczne powinny być porównywalne z błędami stałoprądowymi. Dokładność takiego toru powinna być porównywalna z dokładnością stosowanego przetwornika A/C. Z tego powodu wartość wyznaczonego w chwili t_j dynamicznego błędu pomiaru $e(t_j)$, określona przez równanie (3), została odniesiona do dokładności przetwornika A/C i wyrażona w LSB jako jednostkach.

$$e(t_j) = (\hat{i}(t_j) - i(t_j)) / q \quad t_j = j * T_s, \quad j=1, 2, \dots \quad (3)$$

gdzie: $\hat{i}(t_j)$ – wynik pomiaru z korekcją,

$i(t_j)$ – wartość dokładna mierzonego sygnału,

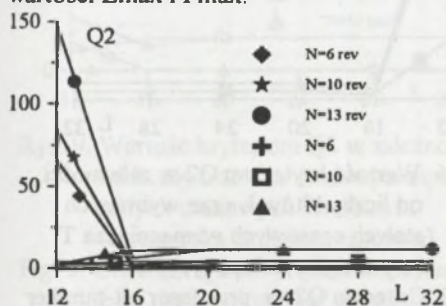
q – rozdzielczość pomiaru sygnału.

Aby porównać dokładność algorytmu korekcyjnego dla różnej liczby bitów L wykorzystywanych do zapisu zmiennych określono dwa kryteria. Pierwsze - Q_{max} przyjmuje wartość równą modułowi maksymalnego błędu. Wartość drugiego Q_2 wyznaczana jest jako suma kwadratów błędów w momentach próbkowania dla badanego przedziału czasu.

3.3. Wyniki badań symulacyjnych

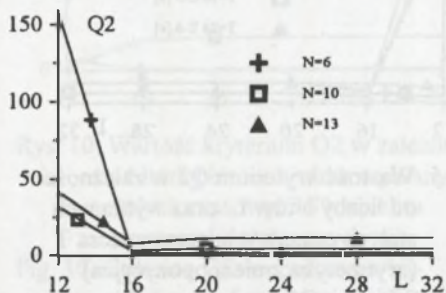
W trakcie badań przyjęto, że część ułamkowa liczb w procesorze będzie zapisywana przy wykorzystaniu 12, 16, 20, 24, 28 oraz 32 bitów.

Na dokładność pracy algorytmu wpływ ma nie tylko liczba bitów reprezentujących zmienne, ale również liczba operacji, jaka jest na nich wykonywana. Z tego powodu oszacowano wartości przyjętych kryteriów dla różnych wartości parametru N , oznaczającego liczbę kolejnych próbek wykorzystywanych przez algorytm. Wyniki tych symulacji dla arytmetyki zmiennopozycyjnej i stałopozycyjnej przedstawiono na rysunkach 1-4. Oznaczenie "rev" wskazuje na sposób wyznaczania wartości skorygowanej pomiaru z zastosowaniem arytmetyki zmiennopozycyjnej przy wykorzystaniu próbek w kolejności odwrotnej do ich uzyskiwania. Dla arytmetyki stałopozycyjnej kolejność wykonywania operacji algorytmu korekcyjnego nie wpływa na wartości kryteriów. Potwierdza to poprawność wyznaczenia wartości E_{max} i F_{max} .



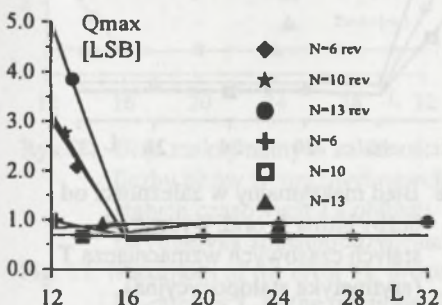
Rys. 1. Wartość kryterium Q2 w zależności od liczby bitów L oraz liczby próbek N algorytmu (arytmetyka zmiennopozycyjna)

Fig. 1. Criterion Q2 vs. processor bit-number L of the fractional for chosen sample-number N of the algorithm (floating-point arithmetic)



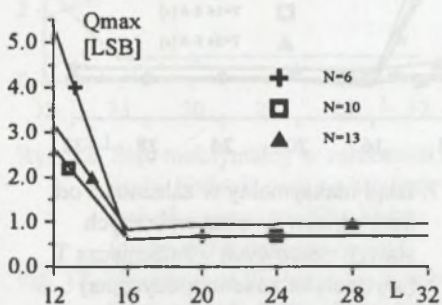
Rys. 2. Wartość kryterium Q2 w zależności od liczby bitów L oraz liczby próbek N algorytmu (arytmetyka stałopozycyjna)

Fig. 2. Criterion Q2 vs. processor bit-number L of the fractional for chosen sample-number N of the algorithm (fixed-point arithmetic)



Rys. 3. Błąd maksymalny w zależności od liczby bitów L oraz liczby próbek N algorytmu (arytmetyka zmiennopozycyjna)

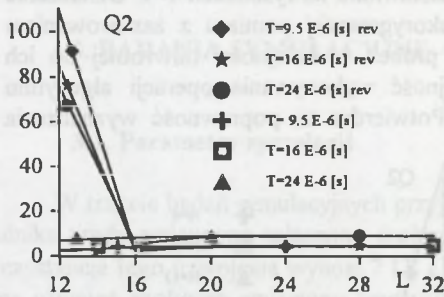
Fig. 3. Maximum of the error vs. processor bit-number L of the fractional for chosen sample-number N of the algorithm (floating-point arithmetic)



Rys. 4. Błąd maksymalny w zależności od liczby bitów L oraz liczby próbek N algorytmu (arytmetyka stałopozycyjna)

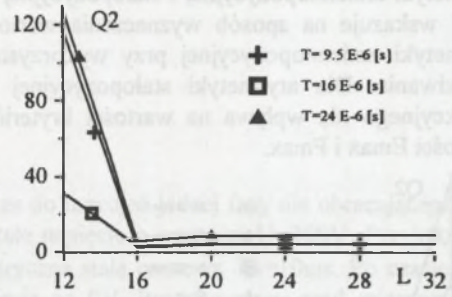
Fig. 4. Maximum of the error vs. processor bit-number L of the fractional for chosen sample-number N of the algorithm (fixed-point arithmetic)

Rozważono kolejno zagadnienie dokładności pracy algorytmu korekcyjnego w przypadku stosowania wzmacniaczy pomiarowych o różnych właściwościach dynamicznych. Na rysunkach 5-8 przedstawiono wartości kryteriów dla różnych stałych czasowych T wzmacniacza pomiarowego.



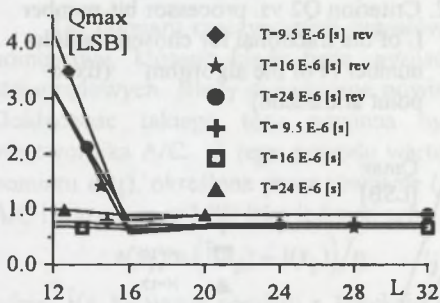
Rys. 5. Wartość kryterium Q_2 w zależności od liczby bitów L oraz wybranych stałych czasowych wzmacniacza T (arytmetyka zmiennopozycyjna)

Fig. 5. Criterion Q_2 vs. processor bit-number L of the fractional for chosen time constant T of the amplifier (floating-point arithmetic)



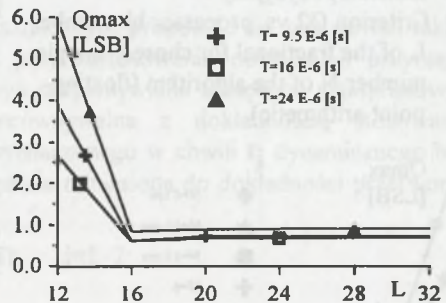
Rys. 6. Wartość kryterium Q_2 w zależności od liczby bitów L oraz wybranych stałych czasowych wzmacniacza T (arytmetyka stałopozycyjna)

Fig. 6. Criterion Q_2 vs. processor bit-number L of the fractional for chosen time constant T of the amplifier (fixed-point arithmetic)



Rys. 7. Błąd maksymalny w zależności od liczby bitów L oraz wybranych stałych czasowych wzmacniacza T (arytmetyka zmiennopozycyjna)

Fig. 7. Maximum of the error vs. processor bit-number L of the fractional for chosen time constant T of the amplifier (floating-point arithmetic)

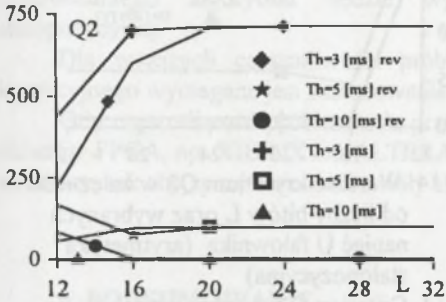


Rys. 8. Błąd maksymalny w zależności od liczby bitów L oraz wybranych stałych czasowych wzmacniacza T (arytmetyka stałopozycyjna)

Fig. 8. Maximum of the error vs. processor bit-number L of the fractional for chosen time constant T of the amplifier (fixed-point arithmetic)

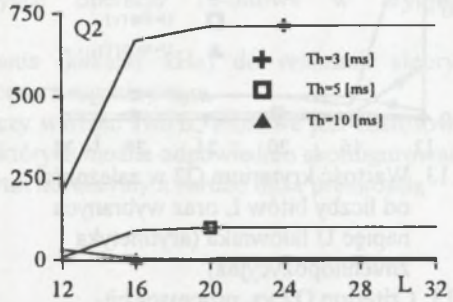
Zbadano również wpływ szybkości zmian mierzonego sygnału na dokładność korekcji. Przeprowadzono symulacje dla różnych stałych czasowych T_h uzwojeń silnika oraz dla

różnych wartości napięcia stałego w falowniku. Wartości kryteriów dla wybranych Th przedstawiono na rysunkach 9-12. Rysunki 13-16 przedstawiają wartości kryteriów dla wybranych napięć falownika U.



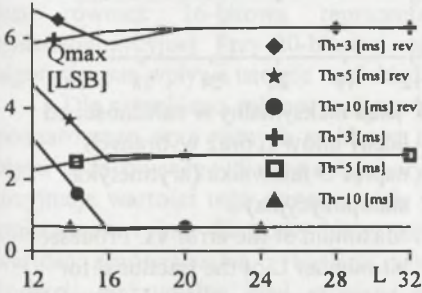
Rys. 9. Wartość kryterium Q2 w zależności od liczby bitów L oraz wybranych stałych czasowych Th obiektu (arytmetyka zmiennopozycyjna)

Fig. 9. Criterion Q2 vs. processor bit-number L of the fractional for chosen time constant Th of the drive (floating-point arithmetic)



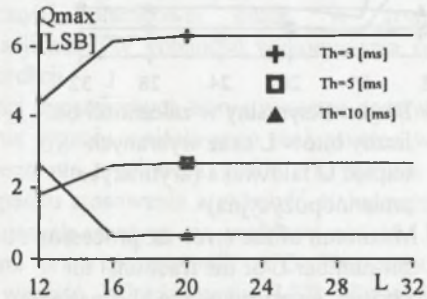
Rys. 10. Wartość kryterium Q2 w zależności od liczby bitów L oraz wybranych stałych czasowych Th obiektu (arytmetyka stałopozycyjna)

Fig. 10. Criterion Q2 vs. processor bit-number L of the fractional for chosen time constant Th of the drive (fixed-point arithmetic)



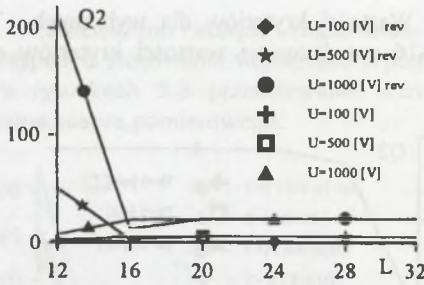
Rys. 11. Błąd maksymalny w zależności od liczby bitów L oraz wybranych stałych czasowych Th obiektu (arytmetyka zmiennopozycyjna)

Fig. 11. Maximum of the error vs. processor bit-number L of the fractional for chosen time constant Th of the drive (floating-point arithmetic)



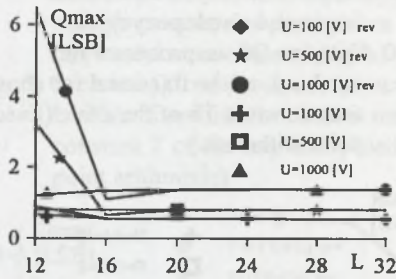
Rys. 12. Błąd maksymalny w zależności od liczby bitów L oraz wybranych stałych czasowych Th obiektu (arytmetyka stałopozycyjna)

Fig. 12. Maximum of the error vs. processor bit-number L of the fractional for chosen time constant Th of the drive (fixed-point arithmetic)



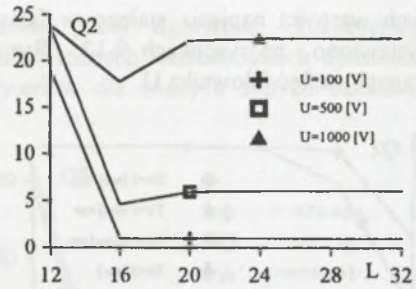
Rys. 13. Wartość kryterium Q2 w zależności od liczby bitów L oraz wybranych napięć U falownika (arytmetyka zmiennopozycyjna)

Fig. 13. Criterion Q2 vs. processor bit-number L of the fractional for chosen inverter voltage U (floating-point arithmetic)



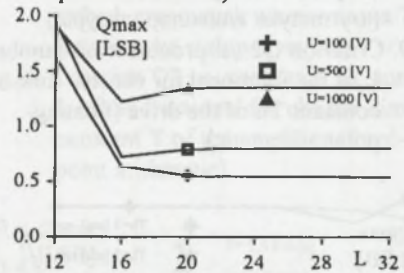
Rys. 15. Błąd maksymalny w zależności od liczby bitów L oraz wybranych napięć U falownika (arytmetyka zmiennopozycyjna)

Fig. 15. Maximum of the error vs. processor bit-number L of the fractional for chosen inverter voltage U (floating-point arithmetic)



Rys. 14. Wartość kryterium Q2 w zależności od liczby bitów L oraz wybranych napięć U falownika (arytmetyka stałopozycyjna)

Fig. 14. Criterion Q2 vs. processor bit-number L of the fractional for chosen inverter voltage U (fixed-point arithmetic)



Rys. 16. Błąd maksymalny w zależności od liczby bitów L oraz wybranych napięć U falownika (arytmetyka stałopozycyjna)

Fig. 16. Maximum of the error vs. Processor bit-number L of the fractional for chosen inverter voltage U (fixed-point arithmetic)

4. REALIZACJA SPRZĘTOWA KOREKCJI

Implementacja w czasie rzeczywistym badanego algorytmu korekcyjnego wymaga wykonania N mnożeń oraz N sumowań. Jeżeli procesor zdąży wykonać te wszystkie operacje pomiędzy kolejnymi momentami otrzymywania nowego wyniku pomiaru, to skorygowana wartość mierzzonego sygnału jest uzyskiwana po czasie potrzebnym na wykonanie jednego mnożenia i jednego sumowania od chwili wpisania najnowszego wyniku pomiaru do rejestru procesora. W następnej kolejności procesor przygotowuje częściowe wyniki korekcji dla następnych, mających nadejść w przyszłości wyników pomiaru.

W przypadku stosowania niskiej (kilka kHz) częstotliwości próbkowania proponowany algorytm może być realizowany przez prosty procesor przy zastosowaniu arytmetyki stałopozycyjnej. Możliwe jest nawet zastosowanie procesora 8-bitowego, który za pomocą odpowiedniego algorytmu będzie wykonywał operacje 16-bitowe w arytmetyce stałopozycyjnej.

Dla wyższych częstotliwości próbkowania (kilkaset kHz) do realizacji algorytmu korekcyjnego wymagane jest zastosowanie procesora sygnałowego.

Gdy częstotliwość próbkowania przekroczy wartość 1MHz, możliwe jest zastosowanie układów FPGA, np. XILINX lub ALTERA, w których można odpowiednio skonfigurować ich struktury, tak aby sprzętowo realizowały algorytm korekcyjny z bardzo dużą prędkością.

5. PODSUMOWANIE

Badany pod względem dokładności obliczeń algorytm korekcyjny może być realizowany w układach nie wymagających wysokiej częstotliwości próbkowania przez niezbyt skomplikowane procesory. Zadawalającą dokładność korekcji uzyskuje się przy zastosowaniu arytmetyki stałopozycyjnej. W tym przypadku 16-bitowa reprezentacja mantysy liczb jest wystarczająca ze względu na dokładność obliczeń. Przy poprawnym oszacowaniu maksymalnej wartości liczb, jakie mogą wystąpić w rejestrach procesora, kolejność wykonywania elementarnych operacji arytmetycznych nie ma wpływu na dokładność korekcji. Wystarczająca jest również 16-bitowa reprezentacja części ułamkowej liczby w arytmetyce zmiennopozycyjnej. Przy 20-bitowej reprezentacji mantysy kolejność wykonywania operacji algorytmu nie wpływa istotnie na dokładność korekcji.

Dla szerokiego zakresu zmian właściwości dynamicznych korygowanego przetwornika pomiarowego oraz różnych szybkości narastania sygnału wejściowego maksymalna wartość błędu oszacowanego dla sygnału skorygowanego nie przekracza 1LSB. Kryterium Q_{max} przyjmuje wartości tego samego rzędu w przypadku stosowania arytmetyki stałopozycyjnej i zmiennopozycyjnej dla liczby bitów reprezentujących mantysę nie mniejszej niż 16. Jest to wartość porównywalna z błędami wnoszonymi przez przetwornik A/C. Bez stosowania korekcji maksymalny błąd pomiaru osiąga wartość kilkudziesięciu LSB. Powoduje to zmniejszenie efektywnej liczby bitów przetwornika A/C z 12 do 5 przy pomiarze wartości chwilowych prądów odkształconych w układach energetycznych zasilanych z falownika. Również kryterium Q_2 osiąga wartości porównywalne dla obydwu rodzajów arytmetyki.

LITERATURA

1. Nabelec J. - 'Polynomial algorithm for DSP dynamic errors correction of current measurement', Proceedings of the Fifth International Symposium on Methods and Models in Automation and Robotics, 25-29 August 1998, Międzyzdroje, Poland, Wydawnictwo Uczelniane Politechniki Szczecińskiej, Vol 2, pp. 489-492
2. DSP96002 IEEE Floating-Point Dual-Port Processor User's Manual, ©MOTOROLA INC. 1989

3. Pogoda Z. - 'Mikroprocesory RISC rodziny Power PC', Wydawnictwo Pracowni Komputerowej Jacka Skalmierskiego, Gliwice 1995

Wpłynęło do redakcji dnia 1 grudnia 1998 r.

Recenzent: Dr hab. inż. Jerzy Jakubiec prof. Politechniki Śląskiej

Abstract

Simulations of the dynamic errors correction of the nonsinusoidal current measurement have been performed. The current of an inverter fed AC drive has been considered as a measured signal. The winding of the machine has been described by the resistance r and the time constant T_h . The noninductive shunt has been used as a current sensor. An instrumentation amplifier of gain k has been described by the first order object of the time constant T . Dynamic errors introduced by the amplifier have been corrected by a real time algorithm performed by DSP. The precision of this correction has been examined with respect to the bit number L of the processor word. For the floating-point the fraction of the variable representation has been truncated with respect to the bit number L . For the fixed-point arithmetic each variable representation has been normalized in such a way that a processor overflow is impossible. Processors of 12, 16, 20, 24, 28 and 32 bit have been taken under consideration.

The algorithm acts as a scalar product of two N dimensional vectors. The first one contains constant coefficients. They were prepared before the beginning of the measurement. The second one is a set of N most recent samples of the measured signal.

Errors of the nonsinusoidal signal measurement with correction have been calculated at sampling moment t_j . Errors have been referred to the A/D converter resolution q . Two criteria have been used for evaluating of the algorithm precision for chosen values of algorithm and signal parameters. The first one - Q_{max} takes the maximum absolute value of the error for the fixed period of time. The second one - Q_2 has been calculated as a sum of the square of the error for the same period of time. In figures "rev" indicates the reversed order of the scalar product.

Simulations have been performed for chosen values of the sample number N , the amplifier time constant T , the machine time constant T_h and the inverter voltage U .

The 16 bit representation of the fraction of the variable for the floating-point arithmetic is sufficient. For the 20 bit representation an order of elementary arithmetic operations is not considerable.

The 16 bit representation of the variable for the fixed-point arithmetic is good enough as well. The order of the arithmetic operations does not affect the algorithm precision.

The dynamic error of the measurement with correction takes the maximum value which is like the error of the 12-bit A/D converter.