

Marian KAMPIK
Damian GONSCZ

UKŁAD WYJŚCIOWY WZORCOWEGO ŹRÓDŁA NAPIĘCIA PRZEMIENNEGO O BARDZO MAŁEJ CZĘSTOTLIWOŚCI*)

Streszczenie. W pracy przedstawiono koncepcję układu wyjściowego wzorcowego źródła napięcia przemiennego o bardzo małej częstotliwości (1 mHz – 100 Hz), w którym do wytworzenia sinusoidalnego napięcia wyjściowego wykorzystano cyfrową syntezę sygnału. Przeanalizowano wpływ układu wyjściowego na wartość skuteczną napięcia wyjściowego oraz przedstawiono strukturę i właściwości przetwornika I/U.

1. WPROWADZENIE

Wzorcowe źródło napięcia przemiennego jest podstawowym modułem kalibratora napięcia przemiennego o bardzo małej częstotliwości (1 mHz – 100 Hz) [1]. Źródło wytwarza napięcie o kształcie sinusoidy złożonej ze schodków. Jego wartość sku-

OUTPUT CIRCUIT OF A LOW-FREQUENCY AC VOLTAGE STANDARD*)

Summary. A concept of the output circuit of a very low-frequency (1mHz - 100Hz) ac voltage standard source is presented. The output sinusoidal voltage signal is digitally synthesized. Sources of uncertainties are pointed out and their influence is estimated.

1. INTRODUCTION

An ac voltage standard source is the main part of a very low-frequency (1 mHz÷100 Hz) ac voltage calibrator. The source produces a sinusoidal waveform voltage consisting of a specific number of steps. The stability of the output ac

*) Praca powstała w ramach projektu badawczego 8 T10C 040 18 finansowanego przez Komitet Badań Naukowych.

*) This work was supported by the Polish State Committee for Scientific Research (project no. 8 T10C 040 18).

teczna jest nastawiana w przedziale od 3,5 V do 7 V. Stabilność wartości skutecznej powinna być rzędu $1 \cdot 10^{-6}$ w czasie jednej godziny od ostatniego wzorcowania. W pracy przeanalizowano wpływ najbardziej istotnych parametrów wpływających na stabilność i niepewność wzorcowania.

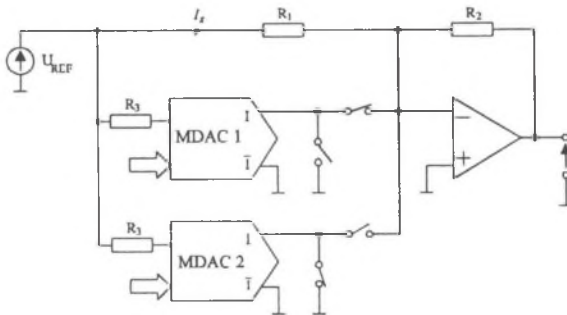
2. STRUKTURA ŹRÓDŁA NAPIĘCIA PRZEMIENNEGO

Schemat źródła napięcia przemiennego przedstawiono na rys. 1.

voltage should be $1 \cdot 10^{-6}$ during one hour from the last calibration. Influence of the most essential parameters on the stability and uncertainty of the calibration is analyzed in the paper.

2. CONFIGURATION OF THE AC VOLTAGE SOURCE

The block diagram of the ac voltage source is shown in Fig. 1.



Rys.1. Schemat blokowy wzorcowego źródła napięcia przemiennego

Fig.1. Block diagram of the ac voltage standard source

Spróbki sygnał sinusoidalny zapisany w pamięci jest przetwarzany na sygnał analogowy za pomocą dwóch mnożących przetworników c/a o wyjściu prądowym (MDAC 1 i MDAC 2). Na ich wejścia podawany jest m -bitowy sygnał binarny z pamięci stałej, w której umieszczona została tablica przyporządkująca n -bitowemu adresowi wartości funkcji sinus.

The sampled sinusoidal signal stored in the memory is converted to an analog signal by means of two current-output multiplying digital to analog converters (MDAC1 and MDAC2). The samples of the sinusoid are stored in a read-only memory. It works as a look-up table. The n -bit address at the input of this table outputs the m -bit binary signal representing

Prąd wyjściowy I_k przetwornika jest równy

$$I_k = \frac{I_{\max}}{2} \left(1 + \sin 2\pi \frac{k}{N} \right), \quad (1)$$

gdzie I_{\max} jest maksymalnym prądem wyjściowym przetwornika, N jest liczbą próbek w pamięci stałej, przypadającą na okres sinusoidy, k jest bieżącym numerem próbki. Sygnał zegarowy CLK (o standardzie TTL) inkrementuje adres pamięci, umożliwiając odczyt zawartości jej kolejnych komórek. Ich zawartość jest podawana na przetworniki c/a. Prądy wyjściowe tych przetworników są podawane na wejście układu przetwornika prąd-napięcie poprzez układ multiplexera składającego się z zespołu czterech kluczy DMOS sterowanych sygnałem napięciowym o standardzie TTL [2]. Klucze te charakteryzują się bardzo krótkim czasem przełączania rzędu 1 ns. Zaletą takiego rozwiązania jest zminimalizowanie zakłóceń szpilkowych, powstających na wyjściach przetworników c/a podczas zmiany słowa wejściowego. W celu uzyskania na wyjściu przetwornika prąd-napięcie sygnału o składowej stałej bliskiej zero, do wejścia przetwornika prąd-napięcie doprowadzono prąd stały I_1 o wartości

$$I_1 = \frac{U_{REF}}{R_1} = \frac{I_{\max}}{2}, \quad (2)$$

Napięcie odniesienia U_{REF} jest przez rezystory R_3 podane na wejścia odniesienia przetworników c/a. Takie rozwiązanie umożliwia łatwą zmianę wartości skutecznego wytwarzanego napięcia przemiennego przez zmianę napięcia odniesienia U_{REF} .

the actual value of the sinusoid. This m -bit signal is applied to the input of the MDACs. The output current of the converter is

where I_{\max} is the full-scale output current of the MDAC, N is the number of steps per period and k is the current step number. The clock signal CLK (of TTL standard) increments the memory address enabling the read-out of the content of its successive cells, which is next applied to the MDACs. The output currents of these converters are applied to the input of the current to voltage converter through the multiplexer circuit consisting of four DMOS transistors controlled by the TTL-standard voltage signal [2]. The switching time of these transistors is very short, about 1ns. The multiplexer reduces the glitches arising at the outputs of the MDACs during the digital input data change. In order to keep the dc component of the output signal of the D/A converter near zero the dc current I_1 is applied to the input of the I/U converter. Its value is

The reference voltage U_{REF} is applied through the resistors R_3 to the reference inputs of the both D/A converters. This configuration allows easy adjusting of the output ac voltage by means of the reference voltage U_{REF} .

3. METODY WZORCOWANIA ŹRÓDŁA

Istnieją trzy metody wzorcowania źródła [3, 4]. Najmniejszą niepewność wzorcowania zapewniają dwie spośród nich: metoda statyczna i metoda termiczna. W metodzie statycznej dokonuje się pomiaru wartości napięcia stałego U_k każdej z próbek wchodzących w skład okresu sygnału wyjściowego źródła. Pomiar ten jest realizowany za pomocą woltomierza napięcia stałego o dużej rozdzielczości i liniowości [5]. Wartość skuteczną U oblicza się z zależności

$$U = \sqrt{\frac{1}{N} \sum_{k=0}^{N-1} U_k^2}, \quad (3)$$

W metodzie termicznej dokonuje się pomiaru wartości skutecznej napięcia wyjściowego za pomocą transferu ac-dc z wykorzystaniem termicznego przetwornika wartości skutecznej (TPWS). Z uwagi na ograniczenia współczesnych TPWS, wzorcowanie metodą termiczną realizuje się dla częstotliwości większych od około 10 Hz. W obu metodach dokonuje się ekstrapolacji wartości skutecznej będącej wynikiem wzorcowania. Jednak ekstrapolacja ta przebiega w przeciwnych kierunkach osi częstotliwości. W przypadku metody statycznej ekstrapolacja odbywa się od $f=0$ Hz w górę, podczas gdy w metodzie termicznej - od częstotliwości kilkudziesięciu Hz w dół.

3. METHODS OF THE SOURCE CALIBRATION

There are three calibration methods [3, 4]. Two of them, static and thermal ones, offer the smallest possible uncertainty of the calibration. In the static method the DC voltage U_k of the each step of the single signal period is measured by means of a high-resolution voltmeter with excellent linearity [5]. The ac voltage is calculated as

The thermal method is based on the ac-dc transfer principle, with a thermal converter (TC) as the standard. Due to the limitations of the available TCs the thermal method is mainly used at frequencies above approximately 10 Hz. In the both presented methods the ac voltage being the calibration result is to be extrapolated along the frequency axis. However, the direction of this extrapolation is different for both the methods. In case of the static method the extrapolation is performed from dc to higher frequencies, whereas in the thermal method it starts at a few tens of Hz and goes down.

4. ANALIZA WPLYWU UKŁADU WYJŚCIOWEGO NA NAPIĘCIE WYJŚCIOWE ŹRÓDŁA

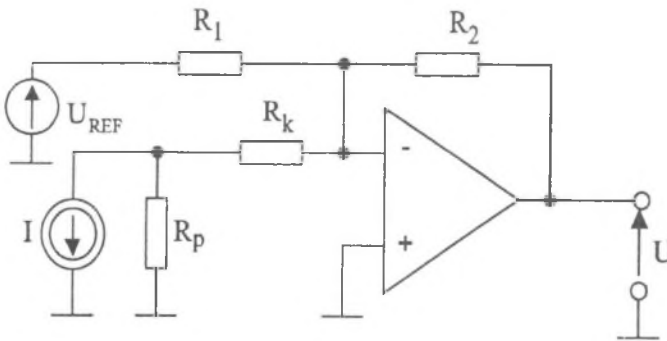
4.1. Wpływ rezystancji klucza analogowego

Rolę multiplexera w układzie wzorcowego źródła napięcia pełni układ czterech kluczy analogowych, zbudowanych z tranzystorów polowych DMOS. Tranzystor polowy tego typu przy małych napięciach dren-źródło zachowuje się jak rezystor, którego wartość można zmieniać o kilka rzędów za pomocą napięcia bramka-źródło. Zastosowane w układzie cztery klucze są wykonane w postaci jednego układu scalonego. Układ kluczy sterowany jest napięciowo sygnałami komplementarnymi o standardzie TTL. Wpływ zmian rezystancji kluczy w stanie włączenia, wywołanych zmianą temperatury i napięcia źródło-dren jest bardzo mały, ponieważ rezystancje wyjściowe przetworników c/a są bardzo duże ($R_p \geq 10 \text{ M}\Omega$). Wpływ zmiany rezystancji klucza na wartość skuteczną napięcia wyjściowego źródła przeanalizowano opierając się na schemacie zastępczym, przedstawionym na rys.2.

4. ANALYSIS OF THE INFLUENCE OF THE OUTPUT CIRCUIT ON THE SOURCE OUTPUT AC VOLTAGE

4.1. Influence of the DMOS transistor channel resistance

The four vertical DMOS field-effect transistors are used in the multiplexer. Assuming the source-drain voltage to be small the transistor behaves like a resistor whose resistance can be changed by several orders by the gate-source voltage. The used transistors are packaged in a single DIP-16 case. The complementary signals with TTL-standard voltage levels control the four DMOS transistors. Because the output resistance of both the D/A converters is very high ($R_p \geq 10 \text{ M}\Omega$) the temperature and source-drain voltage changes of the DMOS channel resistance have very little influence on the output ac voltage.



Rys.2. Wpływ zmian rezystancji R_k na wartość skuteczną napięcia U

Fig.2. Influence of resistance R_k on the output ac voltage

Na rys.2 R_p przedstawia rezystancję wyjściową przetwornika c/a, natomiast R_k modeluje rezystancję klucza w stanie włączenia. Wartość skuteczna napięcia wyjściowego U wynosi

$$U = \frac{U_{\max}}{\sqrt{2}}, \quad (4)$$

gdzie

$$U_{\max} = \frac{R_2 R_p}{R_p + R_k} I_{\max} - \frac{R_2}{R_1} U_{REF}, \quad (5)$$

Względna zmiana wartości skutecznej napięcia wyjściowego U źródła, spowodowana zmianą rezystancji klucza z R_k na R_k' wynosi

$$\delta U = \frac{U' - U}{U}. \quad (6)$$

Dla założonej niepewności δU , maksymalna dopuszczalna zmiana rezystancji klucza analogowego $\pm \Delta R_k$ jest równa

$$\pm \Delta R_k \approx -\delta U (R_p - R_k). \quad (7)$$

Dla $\delta U = \pm 1 \cdot 10^{-7}$, $R_p = 10 \text{ M}\Omega$, $R_k = 60 \text{ }\Omega$ dopuszczalna zmiana rezystancji klucza analogowego wynosi $\Delta R_k = \pm 1 \text{ }\Omega$. Z danych katalogowych wynika, iż zmiana rezystancji kanału klucza, wywołana zmianą temperatury otoczenia o 1 K, jest równa ok. 0,3 Ω . Zatem dopuszczalne wahania temperatury klucza powinny być mniejsze od $\pm 3 \text{ K}$.

This influence can be analyzed using the equivalent schematic diagram shown in Fig.2, where R_p is the output resistance of the D/A converter and R_k represents the on-resistance of the DMOS transistor. The ac voltage U is equal to

The relative ac voltage change U due to the change of the channel resistance from R_k to R_k' is equal to

For the assumed δU the maximum allowable change $\pm \Delta R_k$ of the channel resistance equals

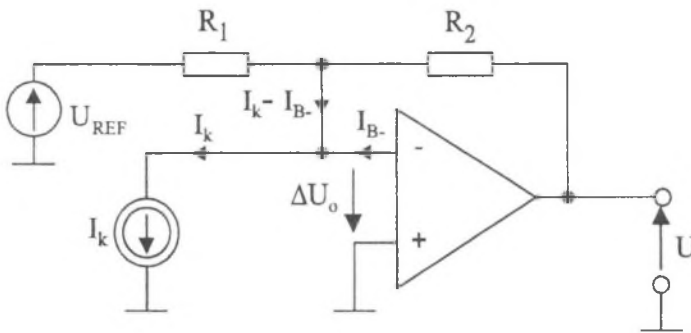
For $\delta U = \pm 1 \cdot 10^{-7}$, $R_p = 10 \text{ M}\Omega$, $R_k = 60 \text{ }\Omega$ the allowable change of the channel resistance is $\Delta R_k = \pm 1 \text{ }\Omega$. The datasheet shows that the change of the channel resistance due to the ambient temperature change of 1K is approximately 0.3 Ω . Hence the temperature fluctuations should be less than $\pm 3 \text{ K}$.

4.2. Wpływ prądu polaryzacji wzmacniacza wyjściowego

Wpływ prądu polaryzacji wzmacniacza wyjściowego na wartość skuteczną napięcia wyjściowego U źródła, przeanalizowano opierając się na schemacie przedstawionym na rys.3.

4.2. Influence of the input bias current of the output amplifier

Influence of the input bias current of the output amplifier on the output ac voltage U is analyzed using the equivalent schematic diagram presented in Fig 3.



Rys.3. Uproszczony schemat zastępczy układu wyjściowego

Fig.3. Simplified schematic diagram of the output circuit

Wartość skuteczną napięcia wyjściowego U' źródła po uwzględnieniu (3) oraz wpływu prądu polaryzującego I_B , wynosi

Taking the equation (3) and influence of the input bias current I_B the output ac voltage U' is given by

$$U' = R_2 \sqrt{\left(\frac{I_{\max}}{2\sqrt{2}}\right)^2 + I_{B-}^2} \quad (8)$$

W celu określenia wpływu prądów polaryzujących na wartość skuteczną napięcia wyjściowego U obliczono względny błąd δU_1 , wywołany zmianą wejściowego prądu polaryzującego

To evaluate the influence of the input bias current on the output ac voltage U the relative voltage error δU_1 due to the input bias current change is defined as

$$\delta U_1 = \frac{U' - U}{U}, \quad (9)$$

gdzie

where

$$U = \frac{I_{\max} \cdot R_2}{2\sqrt{2}} \quad (10)$$

Błąd δU_I jest równy

The error δU_I equals

$$\delta U_I = \sqrt{1 + 8 \left(\frac{I_{B-}}{I_{\max}} \right)^2} - 1 \approx 4 \left(\frac{I_{B-}}{I_{\max}} \right)^2 \quad (11)$$

Maksymalna dopuszczalna zmiana wejściowego prądu polaryzacji wzmacniacza jest równa

The maximum allowable change of the input bias current is equal to

$$|I_{B-}|_{\max} \approx \frac{I_{\max} \cdot \sqrt{\delta U_I}}{2} \quad (12)$$

Dla $\delta U_I = \pm 1 \cdot 10^{-7}$, $I_{\max} = 4$ mA dopuszczalna zmiana prądu polaryzacji wynosi $|I_{B-}|_{\max} = 632$ nA.

For $\delta U_I = \pm 1 \cdot 10^{-7}$ the allowable change of the bias current is $|I_{B-}|_{\max} = 632$ nA.

4.3. Wpływ napięcia niezrównoważenia wzmacniacza wyjściowego

4.3. Influence of the input offset voltage of the output amplifier

Wpływ napięcia niezrównoważenia wzmacniacza wyjściowego na wartość skuteczną napięcia wyjściowego U wyznaczono opierając się na schemacie przedstawionym a rys.3. Napięcie wyjściowe U_k wyrażone jest zależnością

Influence of the input offset voltage of the output amplifier on the output ac voltage U is analyzed using the equivalent schematic diagram shown in Fig.3. The output voltage U_k is given by

$$U'_k = I_k \cdot R_2 - \frac{R_2}{R_1} \cdot U_{REF} \pm \Delta U_o \quad (13)$$

Po uwzględnieniu (3) wartość skuteczna U' napięcia wyjściowego źródła jest równa

Taking (3) the output ac voltage U' is equal to

$$U' = \sqrt{\left(\frac{I_{\max} \cdot R_2}{2\sqrt{2}} \right)^2 + \Delta U_o^2} \quad (14)$$

Napięcie niezrównoważenia ΔU_o wzmacniacza powoduje wystąpienie błędu względnego wartości skutecznej napięcia wyjściowego źródła. Oznaczono go przez δU_U :

$$\delta U_U = \frac{U' - U}{U}, \quad (15)$$

gdzie U jest dane zależnością (10).

Po podstawieniu, błąd δU_U jest równy

$$\delta U_U = \sqrt{1 + \frac{8\Delta U_o^2}{R_2^2 I_m^2}} - 1 \approx \frac{4\Delta U_o^2}{R_2^2 I_m^2} \quad (16)$$

Maksymalna zmiana napięcia niezrównoważenia $\Delta U_{o,\max}$ wzmacniacza wyjściowego przy założonej wartości δU_U jest równa

$$\Delta U_{o,\max} = \frac{R_2 I_m}{4} \sqrt{\delta U_U}. \quad (17)$$

W celu oszacowania $\Delta U_{o,\max}$ przyjęto $\delta U_U = 1 \cdot 10^{-7}$, $I_m = 4$ mA, $R_2 = 5$ k Ω . Wówczas $\Delta U_{o,\max} = 1,58$ mV.

4.4. Wpływ zakłóceń szpilkowych

Skończony czas przełączania kluczy DMOS zastosowanych w układzie multiplexera jest przyczyną występowania zakłóceń szpilkowych na wyjściu przetwornika prąd-napięcie. Kształt pojedynczego zakłócenia przedstawiono na rys.4a. W celu oszacowania wpływu zakłóceń szpilkowych przyjęto, że zakłócenie ma charakter tłumionego przebiegu sinusoidalnego (rys.4b). Przebieg przedstawiony na rys.4b opisuje zależność

The input offset voltage ΔU_o is the reason of the relative output ac voltage error. This error is denoted by δU_U .

Substituting (10) to the equation (15) one obtains

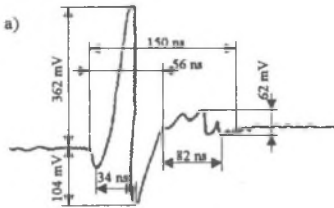
For the assumed value of δU_U the maximum change of the input offset voltage of the output amplifier $\Delta U_{o,\max}$ is

To estimate $\Delta U_{o,\max}$ it was assumed $\delta U_U = 1 \cdot 10^{-7}$, $I_m = 4$ mA, $R_2 = 5$ k Ω . Then $\Delta U_{o,\max} = 1,58$ mV.

4.4. Influence of the glitches

The finite switching time of the DMOS transistors used in the multiplexer circuit results in the glitches at the output of the I/U converter. The waveform of a single glitch taken by means of an oscilloscope is shown in Fig.4a. To evaluate the influence of the glitches it is assumed that the single glitch is a damped sinewave presented in Fig.4b and described by the following equation

$$U_{gl}(t) = A_{gl} \cdot e^{-\frac{t}{2\tau_{gl}}} \cdot \sin\left(\sqrt{\omega_{gl}^2 - \left(\frac{1}{2\tau_{gl}}\right)^2} \cdot t\right). \quad (18)$$



Rys.4. Przebieg typowego zakłócenia szpilkowego (a) oraz jego model (b)

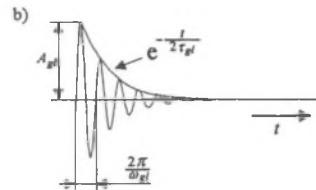


Fig.4. Typical glitch at the output (a) and its model (b)

W jednym okresie wytwarzanego sygnału o częstotliwości f znajduje się N zakłóceń przedstawionych na rys.4b. Przy założeniu, że kształt zakłócającego impulsu jest identyczny dla każdej próbki, wartość skuteczna zakłóceń U_{gl} jest równa

$$U_{gl} \approx \frac{A_{gl}}{2} \sqrt{f \cdot N \left(2 \cdot \tau_{gl} - \frac{1}{2 \cdot \tau_{gl} \cdot \omega_{gl}^2} \right)}. \quad (19)$$

Całkowita wartość skuteczna sygnału na wyjściu źródła jest równa

The total rms voltage at the output equals

$$U_{tot} = \sqrt{\frac{1}{T} \int_0^T [U(t) + U_{gl}(t)]^2 dt}, \quad (20)$$

gdzie $U(t)$ jest napięciem wyjściowym przebiegu nie zawierającego zakłóceń. Błąd względny napięcia δ_{gl} , wywołany wpływem zakłóceń szpilkowych, jest równy

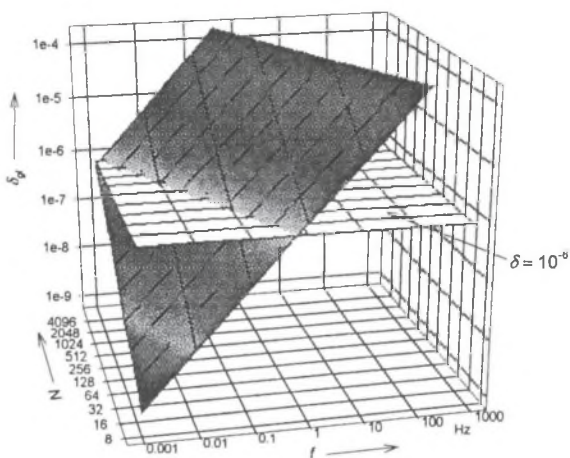
where $U(t)$ is the output voltage without glitches. The relative voltage error δ_{gl} caused by the glitches is defined as follows

$$\delta_{gl} = \frac{U_{tot} - U}{U}. \quad (21)$$

Zależność błędu δ_{gl} wywołanego obecnością zakłóceń szpilkowych od liczby schodków N przypadających na okres oraz od częstotliwości f przedstawiono na rys.5. Obliczenia wykonano przyjmując

$$U = 7,071 \text{ V}, A_{gl} = 362 \text{ mV}, \omega_{gl} = 157 \cdot 10^6 \text{ rad/s}, \tau_{gl} = 30 \text{ ns} .$$

The relationship between the relative error δ_{gl} and the number of steps N per period as well as the frequency f is given in Fig.5. The calculations were performed assuming



Rys.5. Zależność błędu wywołanego obecnością zakłóceń szpilkowych od liczby próbek na okres N oraz od częstotliwości f . Dla porównania pokazano płaszczyznę odpowiadającą $\delta_{gl} = 1 \cdot 10^{-6}$

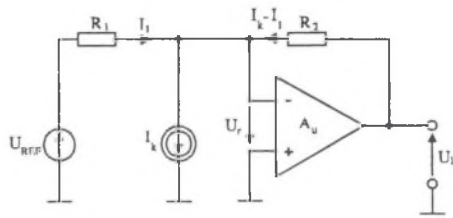
Fig.5. Error due to glitches vs. number of samples per period N and frequency f of the synthesized signal. Shown the plane responding to $\delta_{gl} = 1 \cdot 10^{-6}$

4.5. Wpływ skończonej wartości wzmocnienia wzmacniacza

Wpływ skończonej wartości wzmocnienia A_u wzmacniacza operacyjnego pracującego w układzie przetwornika prąd-napięcie przeanalizowano opierając się na schemacie zastępczym przedstawionym na rys.6.

4.5. Influence of the open loop gain of the operational amplifier

Influence of the open loop gain of the operational amplifier A_u used in the I/U converter is analyzed basing on the equivalent schematic diagram shown in Fig.6



Rys.6 Schemat zastępczy przetwornika I/U

Fig.6. Simplified schematic diagram of the I/U converter

Napięcie wyjściowe U'_k dla k -tej próbki jest równe

The voltage U'_k of the k -th step is

$$U'_k = (I_k - I_1)R_2 - U'_r, \quad (22)$$

gdzie

where

$$I_1 = \frac{U_{REF} + U'_r}{R_1}$$

oraz

and

$$U'_r = \frac{U'_k}{A_u}$$

Po przekształceniach otrzymuje się następującą zależność na U'_k

Rearranging (22) one obtains the following formula

$$U'_k = \frac{T_0}{1 + T_0} \left(I_k R_2 - \frac{R_2}{R_1} U_{REF} \right), \quad (23)$$

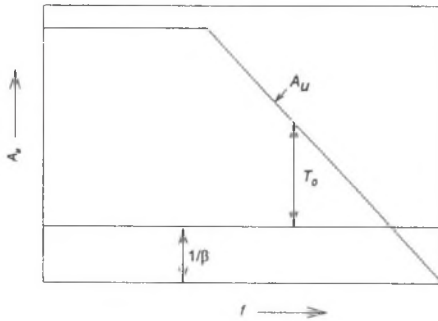
gdzie

where

$$T_0 = A_u \frac{R_1}{R_1 + R_2} = A_u \beta$$

jest stosunkiem zwrotnym. Współczynnik β jest transmittancją obwodu sprzężenia zwrotnego (rys. 7).

is the noise gain. Coefficient β is the transmittance of the feedback network (Fig. 7).



Rys. 7. Zależność między A_u , T_o oraz β

Fig. 7. Relation between A_u , T_o and β

Po uwzględnieniu (1) wartość skuteczna U'_k napięcia wyjściowego jest równa

Taking (1) into account the output ac voltage U'_k is

$$U' = \frac{T_o R_2 U_{REF}}{\sqrt{2}(1 + T_o) R_1} \quad (24)$$

Błąd δU_A spowodowany skończoną wartością współczynnika wzmocnienia wzmacniacza w układzie przetwornika I/U jest równy

The error δU_A owing to the finite open-loop gain of the operational amplifier equals

$$\delta U_A = \frac{U'}{U} - 1, \quad (25)$$

gdzie

where

$$U = \frac{R_2 U_{REF}}{\sqrt{2} R_1}$$

jest napięciem wyjściowym dla $A_u \rightarrow \infty$. Ostatecznie błąd δU_A jest równy

is the output voltage for $A_u \rightarrow \infty$. Finally, the error δU_A is equal to

$$\delta U_A = -\frac{1}{1+T_0} \approx -\frac{1}{T_0}. \quad (26)$$

Dla $\delta U_A < 1 \cdot 10^{-7}$ wartość stosunku zwrotnego T_0 powinna być większa od 140 dB. Warunek ten powinien być spełniony w całym zakresie częstotliwości sygnału wytwarzanego przez źródło. Niespełnienie tego warunku powoduje zmniejszanie napięcia wyjściowego ze wzrostem częstotliwości, co zwiększa niepewność ekstrapolacji niepewności w procesie wzorcowania źródła.

4.6. Wpływ temperaturowego współczynnika skali przetwornika C/A

Wpływ temperaturowego współczynnika skali α przetwornika c/a przeanalizowano opierając się na schemacie zastępczym przedstawionym na rys.6 przy założeniu, że wzmacniacz operacyjny jest idealny. Napięcie wyjściowe U_k źródła jest równe:

$$U_k = R_2 \left[I_k^* \left(1 + \sin 2\pi \frac{k}{N} \right) - \frac{U_{REF}}{R_1} \right], \quad (27)$$

gdzie

$$I_k^* = \frac{I_{\max} (1 + \alpha \Delta T)}{2}.$$

Uwzględniając (3), wartość skuteczna napięcia U na wyjściu źródła jest równa

$$U = \frac{R_2 I_{\max}}{2\sqrt{2}} \sqrt{1 + 2\alpha \Delta T + 3(\alpha \Delta T)^2}. \quad (28)$$

Zastosowane przetworniki c/a charakteryzują się temperaturowym współczynnikiem skali $\alpha \approx 1 \cdot 10^{-5}$ 1/K. Dla $\Delta T = \pm 5$ K zależność (28) można uprościć do postaci

For $\delta U_A < 1 \cdot 10^{-7}$ the value of the noise gain T_0 should be above 140 dB. This condition should be met within the whole range of the output signal frequency. If this condition is not satisfied the output voltage decreases with increase of the frequency. It results in higher uncertainty of extrapolation in the calibration procedure.

4.6. Influence of the MDAC gain temperature coefficient

Influence of the MDAC gain temperature coefficient is analyzed using the equivalent schematic diagram shown in Fig.6 and assuming the operational amplifier to be ideal.

The output ac voltage of the source is

where

Taking into account (3) the source output ac voltage U equals

The gain temperature coefficient of the used MDACs is $\alpha \approx 1 \cdot 10^{-5}$ 1/K. For $\Delta T = \pm 5$ K the equation (28) can be simplified to the form

$$U \approx \frac{R_2 I_{\max}}{2\sqrt{2}} (1 + \alpha \Delta T) . \quad (29)$$

Zatem temperaturowy współczynnik wartości skutecznej napięcia wyjściowego źródła, spowodowany zależnością prądu wyjściowego I_{\max} od temperatury, jest równy w przybliżeniu temperaturowemu współczynnikowi skali przetwornika c/a.

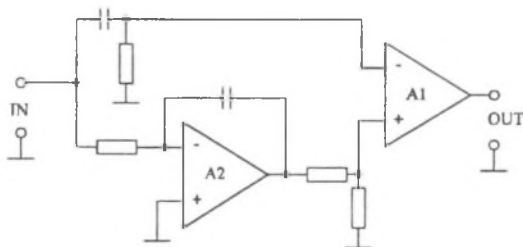
Hence the temperature coefficient of the output ac voltage due to dependence of the MDAC maximum output current I_{\max} on temperature is approximately equal to the temperature coefficient of the MDAC gain.

5. UKŁAD PRZETWORNIKA I/U

5. I/U CONVERTER CIRCUIT

Błąd wzorcowania statycznego zależy od kształtu i stabilności napięcia wyjściowego. W idealnym przypadku sygnał wyjściowy powinien składać się ze schodków o stromych zboczach. W celu spełnienia tych wymagań wzmacniacz wyjściowy powinien charakteryzować się dobrymi parametrami stałoprądowymi, dużą szybkością narastania sygnału i bardzo krótkim czasem ustalania. Z tego powodu zdecydowano się zbudować wzmacniacz operacyjny o dwóch kanałach równoległych (rys.8). W układzie zastosowano dwa wzmacniacze monolityczne: bardzo szybki wzmacniacz A2 oraz szybki wzmacniacz charakteryzujący się bardzo dobrymi parametrami stałoprądowymi A1.

The error of the static calibration depends on the waveshape and stability of the output voltage. In an ideal case the output signal should be a staircase waveform. In order to meet this condition the output amplifier should feature very good dc parameters, high slew rate and very short settling time. Therefore a composite amplifier consisting of the two monolithic amplifiers is used (Fig.8). One of them (A2) is a very fast operational amplifier, whereas the other (A1) is a fast precision operational amplifier.

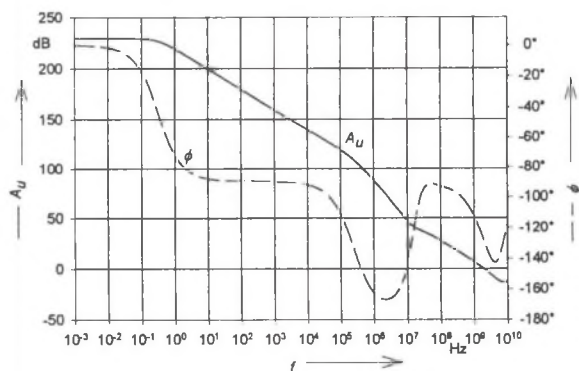


Rys.8. Schemat wzmacniacza z dwoma kanałami równoległymi

Fig.8. Composite amplifier with two parallel channels

Układ charakteryzuje się wejściowym prądem polaryzacji $I_B \approx 1$ nA i wejściowym napięciem niezrównoważenia wzmacniacza ΔU_o rzędu kilkudziesięciu μV , co umożliwia zmniejszenie składowej błęd napięcia wyjściowego, związanej z dryfem tych parametrów do wartości mniejszej od 10^{-7} .

Zależność wzmocnienia i przesunięcia fazowego układu od częstotliwości przedstawiono na rys.9.



Rys.9. Zależność wzmocnienia A_u i przesunięcia fazowego ϕ układu przedstawionego na rys.8 od częstotliwości

The input bias current I_B and the input offset voltage ΔU_o of the composite amplifier are 1 nA and a few tens μV , respectively. It reduces the component output voltage error caused by the drifts to the value below 10^{-7} .

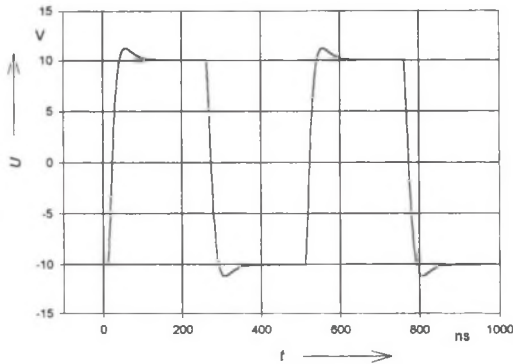
The characteristics of the open loop gain A_u and the phase shift ϕ vs. frequency are shown in Fig.9.

Fig.9. Open loop gain A_u and phase shift ϕ vs. frequency of the composite amplifier shown in Fig.8

Dla napięcia stałego wzmocnienie układu jest równe około 230 dB, zmniejszając się do około 160 dB przy częstotliwości 1 kHz. Zatem w zakresie częstotliwości od 0 do 1 kHz, wartość stosunku zwrotnego T_0 jest większa od 140 dB, co umożliwia zmniejszenie niepewności wywołanej wpływem skończonej wartości wzmocnienia wzmacniacza do wartości mniejszej od $1 \cdot 10^{-7}$. Charakterystykę fazową wzmacniacza ukształtowano w ten sposób, aby margines fazy był równy około 65° . Przebieg

For the dc voltage the open-loop gain equals approximately 230 dB, falling to about 160 dB at 1 kHz. So, within the frequency range from 0 Hz to 1 kHz the noise gain T_0 is higher than 140 dB. It reduces the uncertainty of the output voltage due to the finite value of the open loop gain below $1 \cdot 10^{-7}$. The phase vs. frequency characteristic of the operational amplifier is optimized to obtain the phase margin equal to approximately 65° . The step response of the I/U converter is

czasowy napięcia na wyjściu przetwornika I/U przy skokowej zmianie prądu wyjściowego przetwornika c/a od I_{max} do 0 przedstawiono na rys.10.



shown in Fig.10. To obtain this plot the output current of the MDAC was stepped from I_{max} to 0.

Rys.10. Przebieg napięcia U_{wy} na wyjściu przetwornika I/U w odpowiedzi na skokową zmianę prądu wyjściowego przetwornika c/a

Fig.10. Response of the I/U converter to the rectangular change of the c/a converter output current

6. WNIOSKI

Opracowany wzmacniacz, zastosowany w układzie przetwornika I/U, praktycznie eliminuje wpływ wejściowych prądów polaryzujących, wejściowego napięcia niezrównoważenia oraz skończonej wartości wzmocnienia w otwartej pętli. Największy wpływ na niepewność napięcia wyjściowego ma temperaturowy współczynnik skali przetworników c/a. W celu zmniejszenia tej niepewności do wartości $1 \cdot 10^{-7}$ należy umieścić przetworniki c/a w termostacie zmniejszającym co najmniej 500-krotnie zmiany temperatury otoczenia (termostat powinien utrzymywać stałą temperaturę

6. CONCLUSIONS

The composite amplifier used in the I/U converter practically eliminates the influence of the input bias current, input offset voltage and finite open-loop gain. The temperature coefficient of the MDAC gain has the greatest influence on the output ac voltage. In order to reduce the uncertainty of the output ac voltage to $1 \cdot 10^{-7}$ one should place the MDACs in an oven with temperature fluctuations lower than $\pm 0,01$ K. A better solution is to use the MDACs with lower gain temperature coefficient. The temperature changes influence the channel resistance of the DMOS

z wahaniami rzędu $\pm 0,01$ K). Lepszym rozwiązaniem jest zastosowanie przetworników c/a o mniejszym temperaturowym współczynniku skali. Zmiany temperatury mają wpływ na rezystancję zastosowanych kluczy DMOS. Zmiana rezystancji ich kanału, wywołana zmianą temperatury otoczenia o 1 K jest równa ok. $0,3 \Omega$. Zatem zmiany temperatury tych kluczy powinny być mniejsze od ± 3 K. Z tego powodu wymagane jest umieszczenie ich w termostacie utrzymującym temperaturę z niepewnością rzędu ± 1 K. Ze wzrostem liczby próbek N przypadających na okres wytwarzanego przebiegu oraz ze wzrostem jego częstotliwości zwiększa się wpływ zakłóceń szpilkowych. Zatem celowe jest opracowanie układu multiplexera charakteryzującego się mniejszymi zakłóceniami szpilkowymi.

transistors. This resistance changes by approximately 0.3Ω per 1 K. Hence the temperature variations of these transistors should be lower than ± 3 K. Therefore it is required to place them in an oven with temperature fluctuations lower than ± 1 K. The greater number N of steps per period the higher the influence of the glitches on the output ac voltage. It is reasonable to work out a multiplexer with lower contents of glitches.

LITERATURA

REFERENCES

1. Kampik M., Skubis T.: Wzorcowe źródło napięcia przemiennego o bardzo małej częstotliwości. Mat. Konf. „Systemy pomiarowe w badaniach naukowych i w przemyśle SP'98”, s.87-95, Politechnika Zielonogórska, Zielona Góra 1998.
2. Temic Semiconductors. SD5000/SD5400 N-Channel Lateral DMOS FETs Datasheet.
3. Kampik M., Laiz H., Klonz M.: Comparison of Three Accurate Methods to Measure AC Voltage at Low Frequencies. Proceedings of the IMTC '99. Venice 1999.
4. Kampik M., Gonszc D.: Niepewność wzorcowania kalibratora napięcia przemiennego w pasmie częstotliwości 1 mHz - 100 Hz. Materiały MKM. Białystok 1999.
5. HP 3458A Multimetr. Operating, Programming and Configuration Manual. Hewlett-Packard Company, 1994.

Recenzent: Prof. dr hab. inż. Michał Szyper

Wpłynęło do Redakcji dnia 2 czerwca 1999 r.