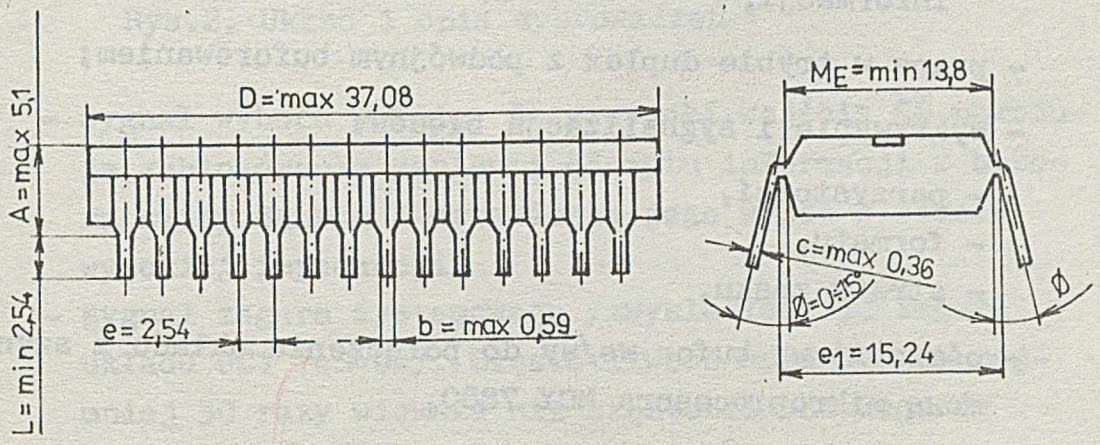
INSTYTUT TECHNOLOGII ELEKTRONOWEJ

PROGRAMOWALNY KOMUNIKACYJNY
UKŁAD WEJŚCIA/WYJŚCIA MCY 7851N

CHARAKTERYSTYKA UKŁADU

MCY 7851 jest uniwersalnym szeregowym układem interfejsu komunikacyjnego, przeznaczonym do asynchronicznego i synchronicznego przesyłania informacji w standardzie znakowym. Dostosowany jest do współpracy z układami systemu mikroprocesorowego opartego na jednostce centralnej MCY 7880. Jednocześnie może pracować jako nadajnik i odbiornik zmieniając słowa równoległe na szeregowe i odwrotnie.
Układ MCY 7851 zrealizowany jest w technologii NMOS z bramką krzemową. Poziomy logiczne sygnałów wejściowych i wyjściowych umożliwiają bezpośrednią współpracę z układami TTL.



Rys.1. Wymiary obudowy MCY 7851N

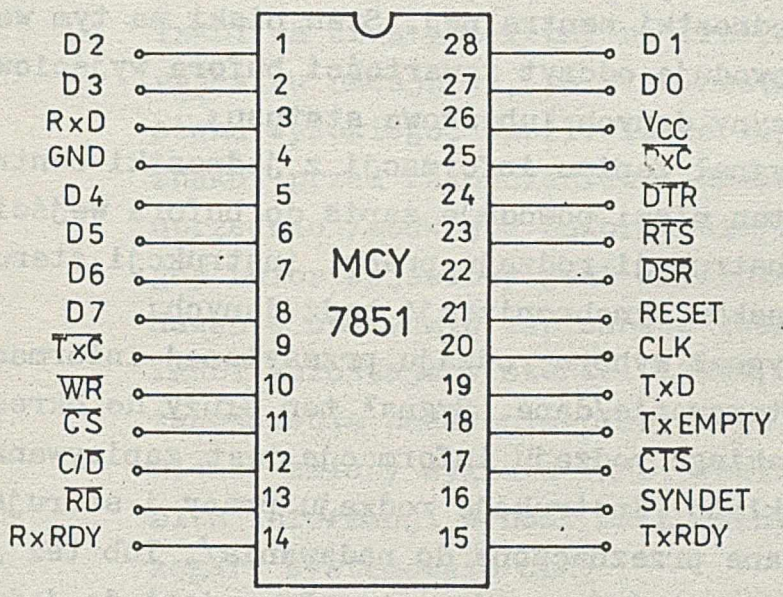
WSTĘPNA KARTA KATALOGOWA

Układ ma następujące cechy charakterystyczne:

- możliwość przesyłania znaków o długości od 5 do 8 bitów;
- częstotliwość przesyłania informacji:
  w trybie synchronicznym:0 do 56 kbodów,
  w trybie asynchronicznym:0 do 9,6 kbodów;
- w trybie synchronicznym:
  - możliwość synchronizacji zewnętrznej /za pomocą wejścia sterującego/ lub wewnętrznej /za pomocą znaków synchronizacji/,
- w trybie asynchronicznym:
  - możliwość przesyłania znaków z częstotliwością 1,16 lub 64 razy mniejszą od częstotliwości zegara,
  - automatyczne wytwarzanie znaku przerwy /ang. break character/,
  - możliwość pracy z 1; 1,5 lub 2 bitami stopu,
  - detekcja błędnego bitu startu podczas odbioru informacji,
- praca w trybie duplex z podwójnym buforowaniem;
- wykrywanie i sygnalizacja błędów:
  - parzystości,
  - formatu,
  - straty znaku,
- ośmiobitowy bufor we/wy do połączenia układu z szyną systemową mikroprocesora MCY 7880,
- możliwość kontroli stanu układu za pomocą odczytu słowa statusu,
- zespół wejść i wyjść przeznaczonych do bezpośredniego sterowania urządzeniem zewnętrznym /modemem/.

BUDOWA UKŁADU I OPIS WYPROWADZEŃ

Układ montowany jest w obudowie 28-wyprowadzeniowej. Opis wyprowadzeń podany jest na rys.2. Poszczególne wyprowadzenia spełniają funkcję:



Rys.2. Układ i opis wyprowadzeń

$\overline{CS}$/WE/ - sygnał wyboru układu. Stan wysoki wejścia $\overline{CS}$ powoduje zablokowanie zapisu i odczytu informacji z bufora szyny danych i ustawienie jego wyjść w stanie wysokiej impedancji;

CLK/WE/ - sygnał zegara systemowego /zwykle faza Ø2 zegara układu UCY 74S424/. Częstotliwość musi być co najmniej 30 razy większa niż częstotliwość zegarów nadajnika i odbiornika dla pracy synchronicznej i 4,5 razy większa dla pracy asynchronicznej;

RESET/WE/ - sygnał sprowadzania układu do stanu początkowego. Zablokowane zostają rejestry nadajnika i odbiornika /ich zawartość jest zachowana/, nie ulega zmianie zawartość bufora we/wy, wyjścia zostają ustawiane w stany: TxE = 1, TxRDY = 0, RxRDY = 0, $\overline{DTR}$ = 0, $\overline{RTS}$ = 1.

Minimalny czas trwania sygnału RESET = 1 wynosi 6 okresów zegara CLK /6 t_{CY}/. Z chwilą zmiany stanu wejścia RESET na 0 staje się możliwe rozpoczęcie pracy układu;

$\overline{RD}$/WE/ - sygnał odczytu informacji z układu interfejsu do jednostki centralnej. Stan niski na tym wejściu powoduje odczyt zawartości bufora wyjściowego szyny danych lub słowa statusu;

$\overline{WR}$/WE/ - sygnał zapisu informacji z jednostki centralnej. Stan niski powoduje zapis do bufora wejściowego instrukcji rodzaju pracy, instrukcji sterującej, znaków synchronizacji, bądź danych;

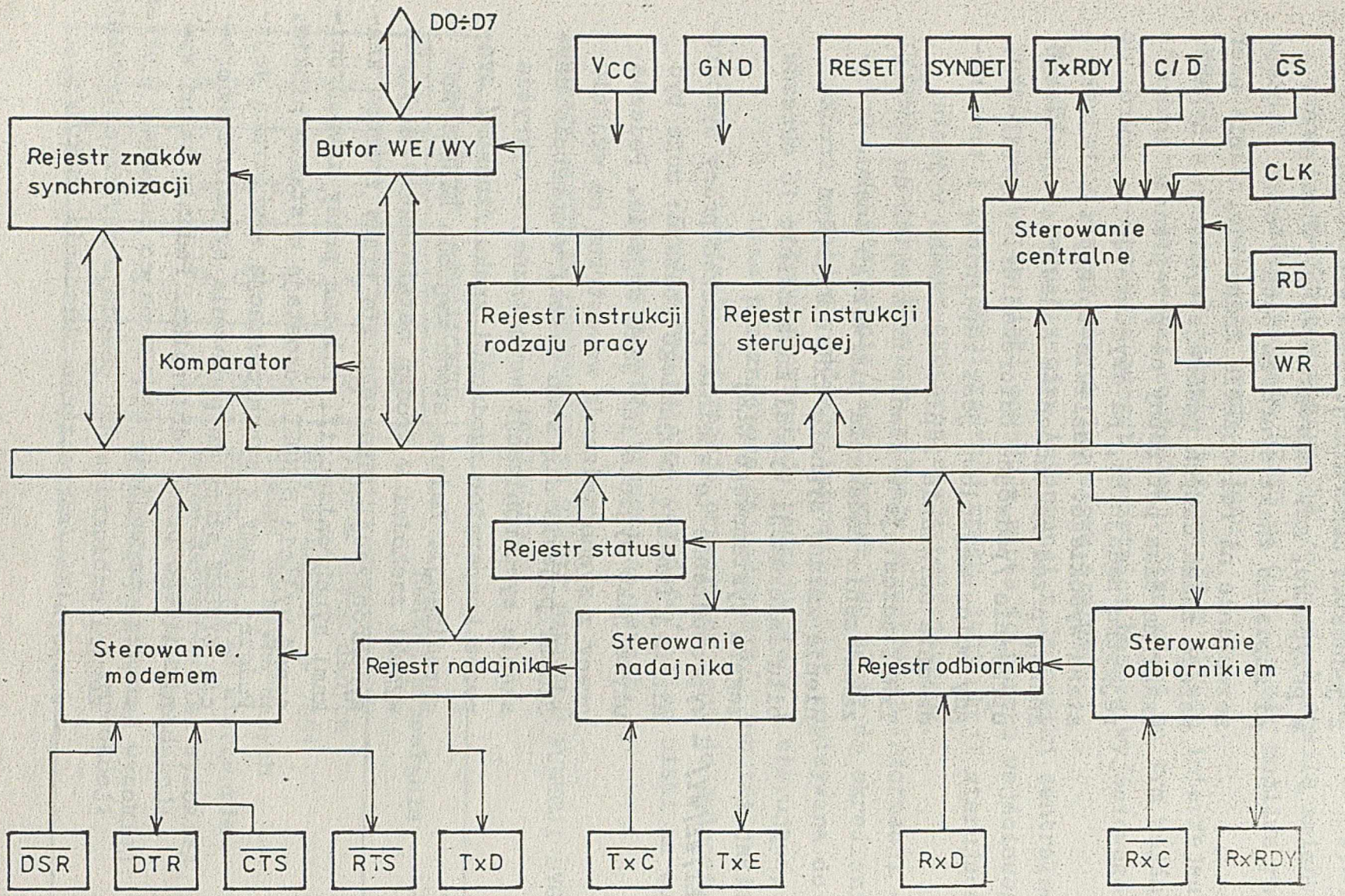
C/$\overline{D}$/WE/ - sygnał wyboru rodzaju przesyłanej informacji - sterowanie/dane. Sygnał ten służy do określenia, jakiego rodzaju informacja jest zapisywana do układu /instrukcje rodzaju pracy i sterująca, czy dane przeznaczone do nadawania/, lub też jakiego rodzaju informacja przesyłana jest do jednostki centralnej /status czy dane/. Stan niski na wejściu powoduje wybór transmisji danych.

RODZAJE PRZESŁAŃ INFORMACJI PO SZYNIE DANYCH W FUNKCJI SYGNAŁÓW STERUJĄCYCH

STANY WEJŚĆ STERUJĄCYCH				Rodzaj przesłania
C/$\overline{D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	7851 ⇒ szyna danych
0	1	0	0	szyna danych ⇒ 7851
1	0	1	0	status ⇒ szyna danych
1	1	0	0	szyna danych ⇒ sterowanie
X	1	1	0	szyna danych ⇒ stan wysokiej impedancji
X	X	X	1	szyna danych ⇒ stan wysokiej impedancji

TxRDY/WY/ - sygnał gotowości nadajnika do odebrania znaku z jednostki centralnej. Stan wysoki pojawia się w przypadku, gdy zaprogramowano rodzaj pracy /i zapisano znaki synchronizacji/ oraz istnieje zezwolenie na rozpoczęcie nadawania. Zapis pierwszego znaku danych powoduje wygaszenie sygnału TxRDY na czas potrzebny na przepisanie znaku do rejestru nadajnika, po czym następuje powrót do stanu wysokiego. Umożliwia to zapis kolejnego znaku, przed zakończeniem nadawania zapisanego uprzednio /podwójne buforowanie/. W przypadku, gdy bufor wejściowy jest zapełniany i trwa nadawanie uprzednio zapisanego znaku wyjścia, TxRDY pozostaje w stanie niskim, aż do chwili zakończenia nadawania pierwszego znaku. Opóźnienie zmiany sygnału TxRDY względem środka bitu informacji wynosi maksymalnie 16 okresów zegara systemowego CLK;

SYNDET/WE/WY/ - wyprowadzenie to spełnia podczas pracy synchronicznej funkcję dwojakiego rodzaju: może być użyte jako wyjście lub jako wejście. Podczas pracy z synchronizacją wewnętrzną na wyjściu SYNDET pojawia się stan wysoki w momencie uzyskania synchronizacji wewnętrznej - wykrycia przez komparator zgodności znaku /znaków/ synchronizacji. Zmiana stanu wyjścia SYNDET na wysoki zachodzi w środku ostatniego bitu znaku synchronizacji /drugiego dla pracy z dwoma znakami synchronizacji/. Podczas pracy asynchronicznej wyjście SYNDET pozostaje w stanie niskim. Podczas pracy z synchronizacją zewnętrzną wejście SYNDET służy do podawania sygnału synchronizującego pracę odbiornika. Podanie stanu wysokiego na wejście SYNDET na co najmniej 1 okres zegara odbiornika $\overline{RxC}$ powoduje zsynchronizowanie odbiornika /rozpoczęcie składania znaków/;



Rys.3. Schemat blokowy

D0-D7/WE/WY/- dwukierunkowa, trójstanowa szyna danych służąca do łączenia interfejsu z jednostką centralną MCY 7880. Przesyłane są po niej dane z/do układu oraz kody instrukcji rodzaju pracy i instrukcji sterującej, znaki synchronizacji oraz słowo statusu;

$\overline{RxC}$-/WE/ *) - wejście zegara odbiornika /kontroli częstotliwości odbioru/. Podczas pracy synchronicznej i asynchronicznej z mnożnikiem 1 x /izosynchronicznej/ częstotliwość zegara $\overline{RxC}$ jest równa częstotliwości odbioru informacji. Podczas pracy asynchronicznej częstotliwość zegara $\overline{RxC}$ jest wielokrotnością częstotliwości przesyłania informacji i może być 16, bądź 64 razy od niej większa. Stan wejścia RxD próbkowany jest narastającym zboczem zegara $\overline{RxC}$;

RxRDY/WY/ - sygnał gotowości odbiornika do przesłania odebranego znaku do jednostki centralnej. Na wyjściu tym pojawia się stan wysoki w momencie odebrania znaku przez układ odbiornika pod warunkiem, że bit RxE instrukcji sterującej ma wartość 1 /zezwolenie na odbiór/. Wyjście RxRDY pozostaje w stanie niskim gdy zakazany jest odbiór danych, lub po rozpoczęciu czytania znaku przez jednostkę centralną /wejście $\overline{RD}$ w stanie niskim/. Stan wyjścia RxRDY może być również testowany programowo podczas odczytu słowa statusu;

RxD/WE/ - wejście szeregowe danych;

$\overline{TxC}$/WE/*) - sygnał zegara nadajnika /kontroli częstotliwości nadawania/. Podczas pracy synchronicznej i asynchronicznej z mnożnikiem 1 x /pracy izosynchronicznej/ częstotliwość zegara $\overline{TxC}$ jest równa częstotliwości nadawania informacji.

---

*) W wielu zastosowaniach istnieje możliwość bądź potrzeba podawania na wejścia $\overline{RxC}$ i $\overline{TxC}$ tego samego przebiegu taktującego; wejścia te mogą być więc w tych przypadkach zwarte ze sobą.

Podczas pracy asynchronicznej częstotliwość zegara $\overline{TxC}$ jest wielokrotnością częstotliwości nadawania informacji i może być 16 lub 64 razy większa. Dane podawane są na wyjściu TxD z opadającym zboczem zegara $\overline{TxC}$;

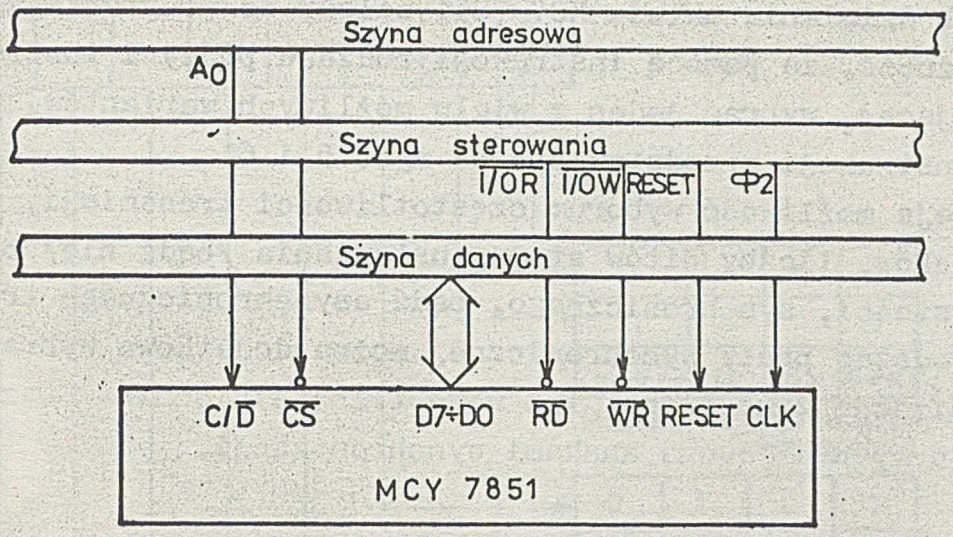
TxE/WY/ - sygnał opróżnienia nadajnika. Wyjście to służy do sygnalizacji jednostce centralnej opróżnienia rejestru nadajnika i braku kolejnego znaku do przesłania /dodatkowy znak może być przechowywany w rejestrze wejściowym buforu WE/WY/. Sygnał ten przyjmuje wartość 1 w przypadkach:

- gdy nie jest zapisywany kolejny znak z jednostki centralnej, w momencie /środku bitu/ nadawania ostatniego bitu informacji wyprowadzonej z rejestru nadajnika,
- podczas pracy synchronicznej w momencie wysyłania ostatniego bitu synchronizacji /w jego środku/, gdy w rejestrze wejściowym bufora WE/WY brak danych. W tym przypadku sygnał trwa do końca bitu, po czym jest automatycznie zerowany poprzez załadowanie kolejnego znaku synchronizacji. Sygnał TxE zerowany jest w momencie zapisu do bufora wejściowego znaku. Dodatkowo stan niski wymuszony jest, gdy w rejestrze wejściowym zapisano kolejny znak przed zakończeniem nadawania poprzedniego. W tym drugim przypadku sygnał TxE nie może przyjąć wartości 1 aż do momentu zakończenia nadawania obu znaków;

TxD/WE/ - wejście szeregowe danych.

STEROWANIE MODEMEM

Układ MCY 7851 ma zespół wejść i wyjść, które mogą być użyte do połączenia z modemem, lub wykorzystane do innych celów /sygnały te realizują funkcje zgodnie z normą RS-232C/.



Rys.4. Sposób połączenia układu interfejsu ze standardową szyną systemową

$\overline{CTS}$/WE/ - sygnał zezwolenia na nadawanie danych. Stan niski na tym wejściu/przy jednoczesnym ustawieniu bitu TxEN instrukcji sterującej na 1/ umożliwia wysyłanie przez nadajnik znaków. Z chwilą pojawienia się na wejściu $\overline{CTS}$ stanu wysokiego praca nadajnika zostaje przerwana, przy czym aktualnie nadawany znak wysyłany jest do końca;

$\overline{DSR}$/WE/ - sygnał ten /Data Set Ready/ - to wskazanie, że modem nie jest w trakcie testowania i zasilanie jest włączone. Stan tego wejścia może być odczytany programowo /bit D7 statusu/;

$\overline{DTR}$/WY/ - sygnał gotowości do odbierania i nadawania danych /Data Terminal Ready/ - informujący, że terminal /interfejs/ jest gotowy do odbierania i nadawania informacji. Stan tego wyjścia określony jest przez bit D1 instrukcji sterującej;

$\overline{RTS}$/WY/ - sygnał gotowości do wysyłania danych /Request To Send/ - informuje modem, że nadajnik gotowy jest do rozpoczęcia nadawania informacji. Stan tej linii określony jest przez bit D6 instrukcji sterującej.

OPIS DZIAŁANIA

Sposób działania układu MCY 7851 zależy od programisty, który ma możność, za pomocą instrukcji rodzaju pracy i instrukcji sterującej, wybrać jeden z wielu możliwych wariantów. Postać obu instrukcji przedstawiono na rys. 5 i 6.
Istnieje możliwość wyboru: częstotliwości transmisji, długości znaków, liczby bitów stopu, ustawiania /bądź nie/ bitu parzystości, synchronicznego, bądź asynchronicznego trybu pracy. Podczas pracy synchronicznej można dodatkowo wybrać synchronizację zewnętrzną, lub wewnętrzną odbiornika oraz pracę z jednym, bądź dwoma znakami synchronizacji.

STAN POCZĄTKOWY

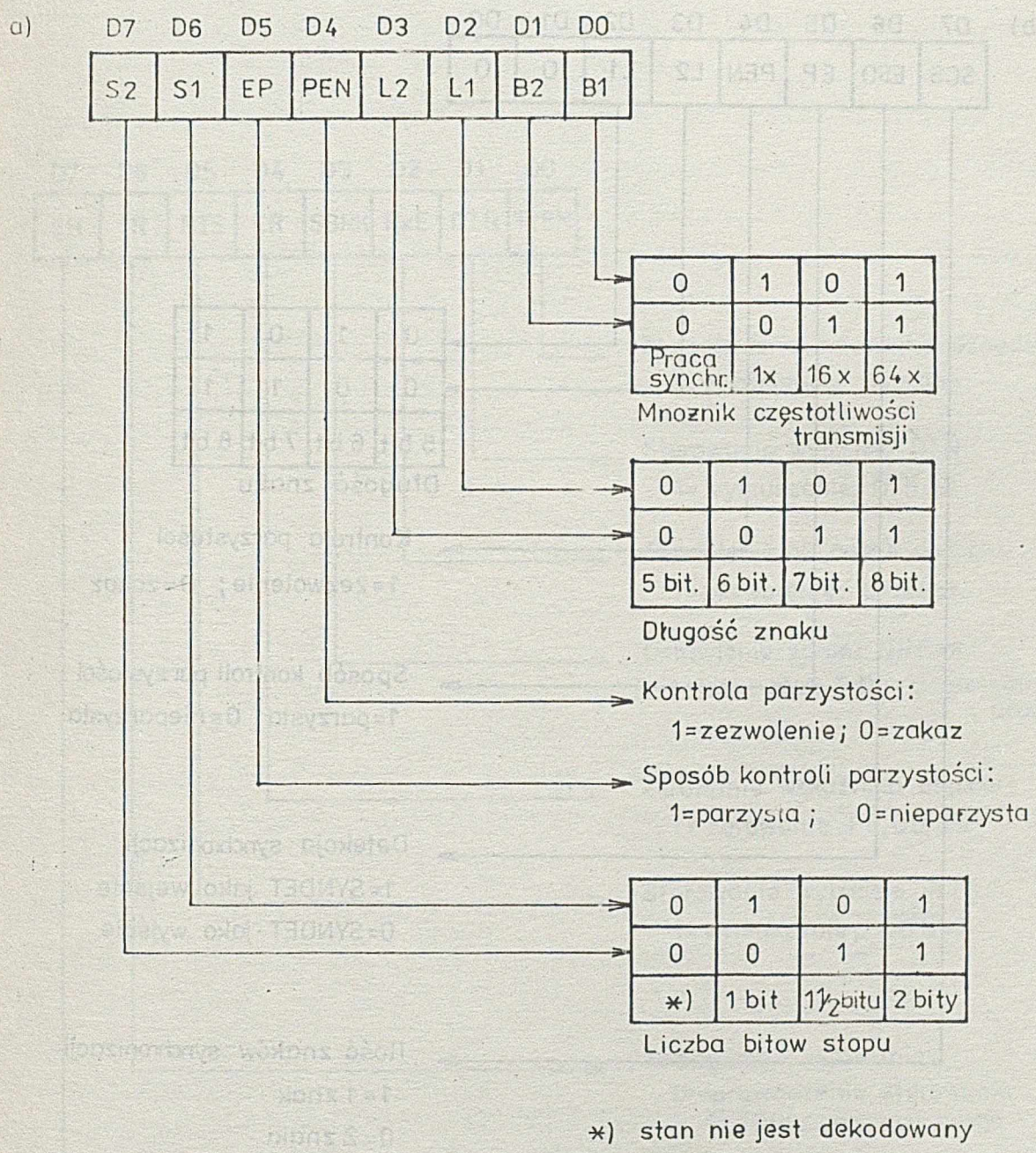
Stan początkowy może być osiągnięty przez podanie na wejście RESET stanu wysokiego, lub programowo - za pomocą bitu IR = 1 - instrukcji sterującej. W obu przypadkach osiąga się identyczny rezultat /patrz opis wejścia RESET/ *).
Z chwilą zmiany stanu wejścia RESET na niski możliwe staje się rozpoczęcie pracy. Musi być ono poprzedzone przez zapisanie instrukcji rodzaju pracy.

PROGRAMOWANIE

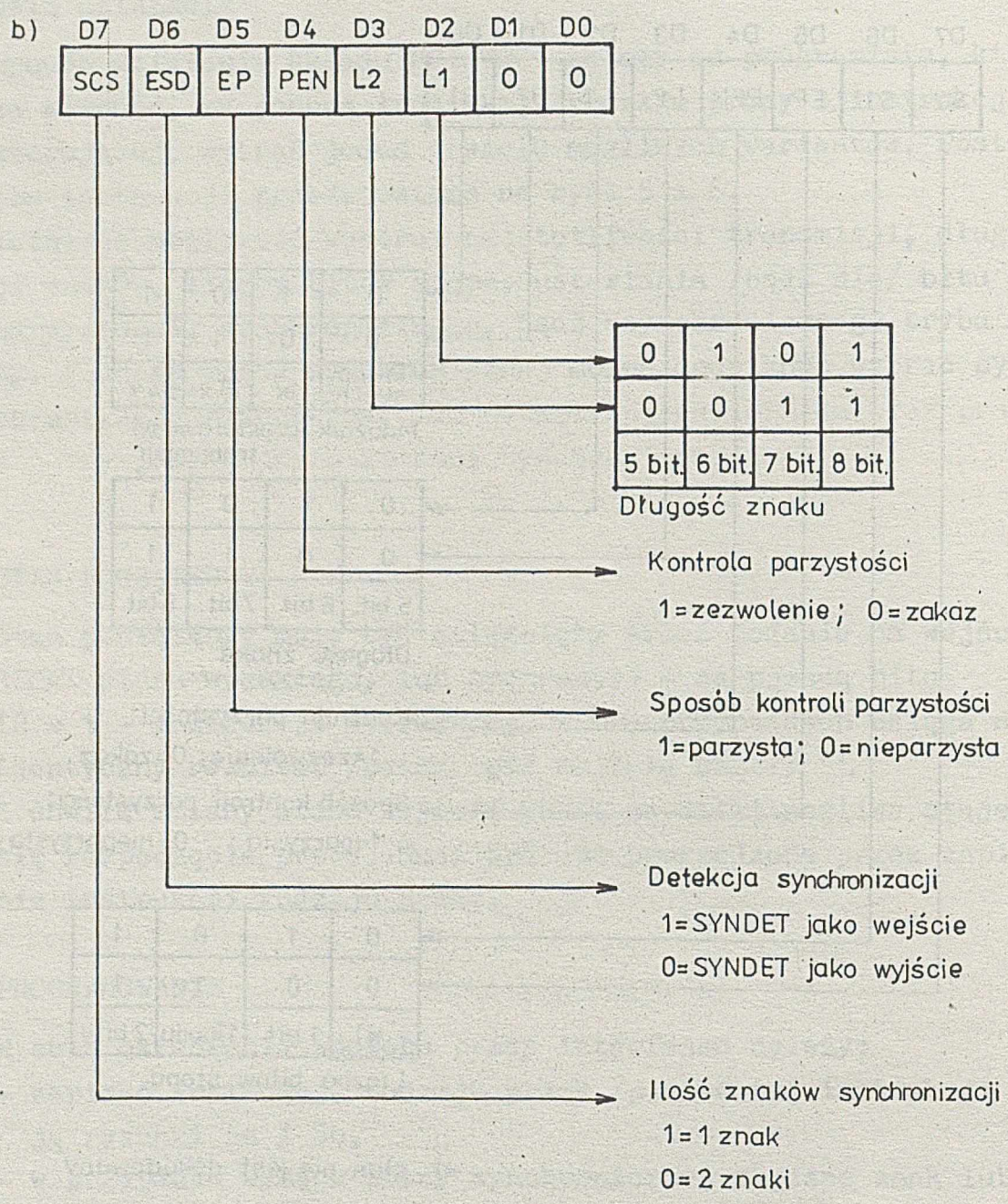
W celu określenia sposobu pracy interfejsu należy:
- zapisać instrukcję rodzaju pracy /postać tej instrukcji podają rysunki 5a i 5b,
- w przypadku wyboru pracy synchronicznej zapisać znak lub znaki synchronizacji. Po zapisie tych znaków, lub po zapisaniu instrukcji rodzaju pracy asynchronicznej, sterowanie wychodzi ze stanu początkowego,

---

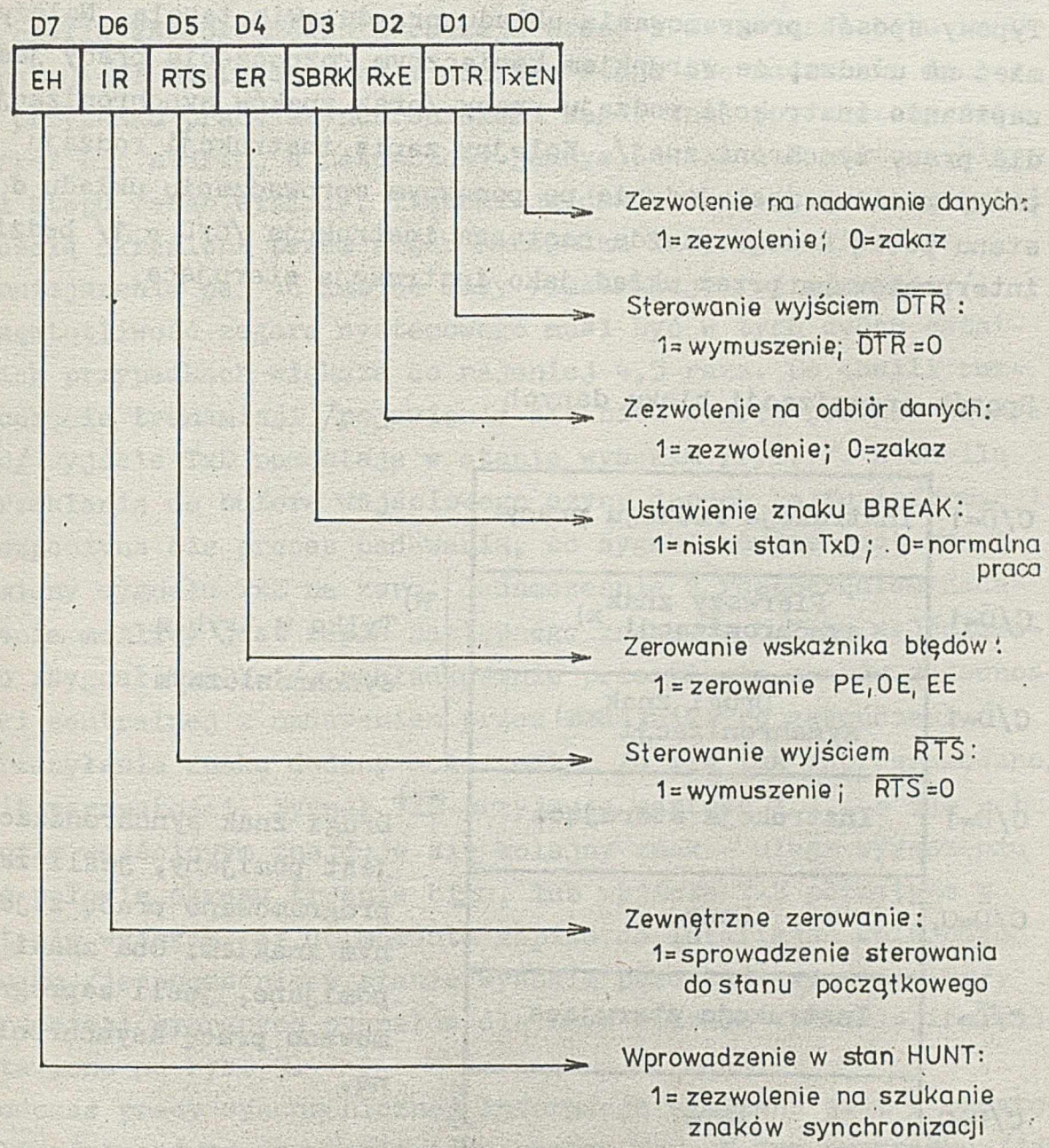
*) Wyjątkiem jest wprowadzenie układu w tryb poszukiwania /ang. hunt/ - resetowanie programowe nie powoduje automatycznego wprowadzenia odbiornika w ten stan.



Rys.5. Postać instrukcji rodzaju pracy: a) dla transmisji asynchronicznej



Rys.5. Postać instrukcji rodzaju pracy: b) dla transmisji synchronicznej

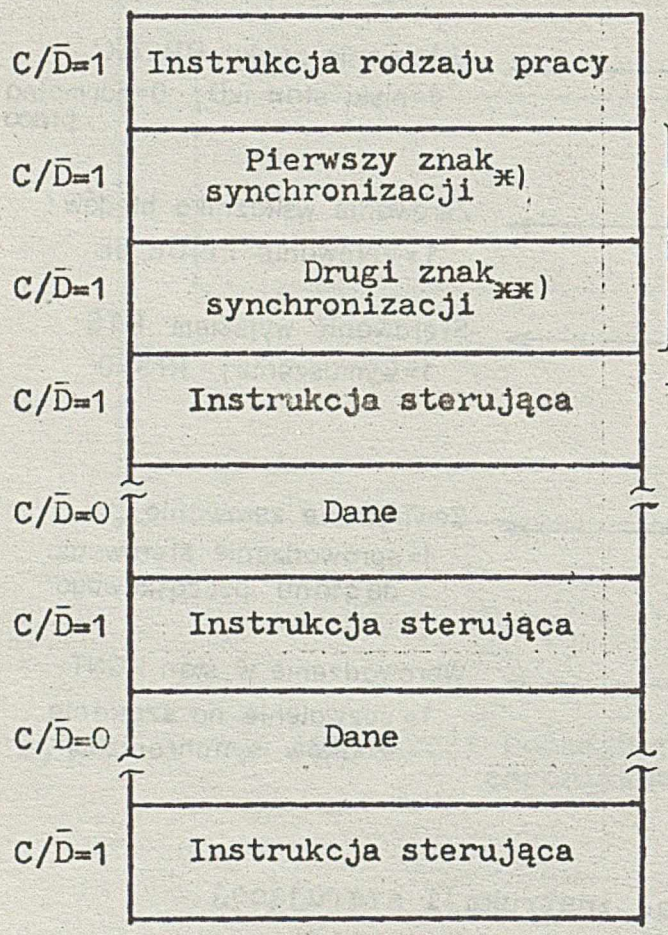


Rys.6. Postać instrukcji sterującej

- zapisać instrukcję sterującą/postać instrukcji sterującej przedstawia rys.6/. Zapis tej instrukcji może być powtarzany wielokrotnie, w zależności od zjawisk zachodzących podczas transmisji z/do interfejsu /np. obsługa przerwań/.

Typowy sposób programowania układu przedstawia tabela. Należy mieć na uwadze, że warunkiem koniecznym rozpoczęcia pracy jest zapisanie instrukcji rodzaju pracy /oraz znaków synchronizacji dla pracy synchronicznej/. Kolejny zapis instrukcji rodzaju pracy możliwy jest jedynie po ponownym sprowadzeniu układu do stanu początkowego. Każda następna instrukcja /C/D = 1/ będzie interpretowana przez układ jako instrukcja sterująca.

Sposób organizacji bloku danych



*) Tylko w trybie synchronicznym

**) Drugi znak synchronizacji jest pomijany, jeśli zaprogramowano pracę z jednym znakiem. Oba znaki są pomijane, jeśli zaprogramowano pracę asynchroniczną.

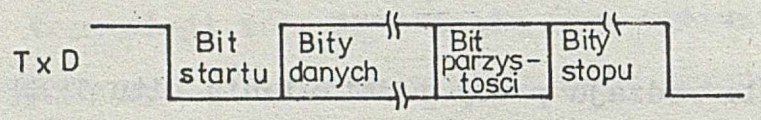
Z chwilą zaprogramowania układu możliwe jest rozpoczęcie jednoczesnej transmisji w obu kierunkach /pełny duplex/.

NADAWANIE

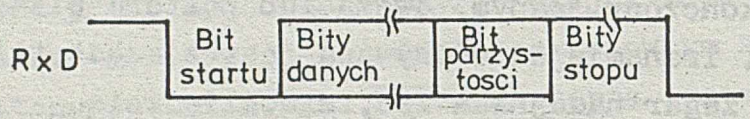
Z chwilą zaprogramowania rodzaju pracy i ustawiania bitu TxEN instrukcji sterującej na 1 możliwe staje się nadawanie danych. W przypadku pracy asynchronicznej każdy znak poprzedzony jest przez bit startu, a zakończony jednym, dwoma lub półtora bitami stopu /stan wysoki/. Transmisja dokonywana jest z częstotliwością określoną przez zegar nadajnika $\overline{TxC}$, z możliwością zmniejszenia jej 16 lub 64 razy /instrukcja rodzaju pracy/. Częstotliwość zegara systemowego musi być w tych dwóch ostatnich przypadkach większa co najmniej 4,5 raza. Do chwili rozpoczęcia transmisji /pojawienia się bitu startu poziomu niskiego/ wyjście TxD pozostaje w stanie wysokim /rys.7/. Z chwilą przesłania do bufora wejściowego szyny danych bajtu informacji rozpoczyna się proces nadawania, co sygnalizowane jest przez zmiany sygnału TxE na zero. Jednocześnie z rozpoczęciem nadawania możliwy jest zapis następnego znaku do bufora wejściowego /sygnał TxRDY=1/, nakładkowanie przesyłania znaków z jednostki centralnej z nadawaniem przez nadajnik. Po zakończeniu przesyłania znaku dodany może zostać /o ile tak zaprogramowano/ bit parzystości. Sygnał TxE przyjmuje wartość 1 i - o ile w buforze wejściowym znajduje się kolejny znak - ulega wygaszeniu po połowie okresu trwania bitu, lub wyjście TxE pozostaje w stanie wysokim, aż do momentu zapisu do interfejsu kolejnego znaku /jednocześnie w stanie wysokim pozostaje wyjście TxD/. Przebiegi wybranych sygnałów dla tego rodzaju transmisji przedstawiono na rys. 9.

Podczas pracy synchronicznej informacja wysyłana jest z częstotliwością równą częstotliwości zegara $\overline{TxC}$. W tym przypadku /jak i pracy asynchronicznej bez podziału częstotliwości/ zegar systemowy musi posiadać częstotliwość co najmniej 30 razy większą, niż zegar nadajnika. Dodatkowo do znaków informacji dołączone są znaki synchronizacji na początku transmisji /wysyłane przez

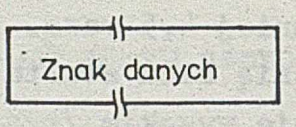
Wyjście nadajnika



Wejscie odbiornika

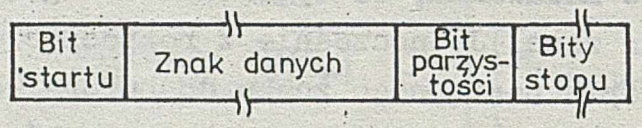


Format transmisji



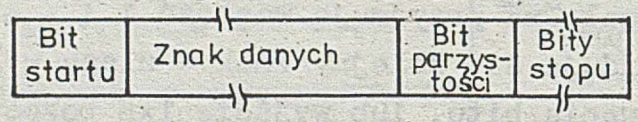
— Bajt danych z jednostki centralnej (5÷8 bitów/znak)

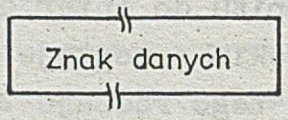
Postać złożonych danych na wyjściu nadajnika TxD



Format odbioru:

dane na wejściu szeregowym (RxD)



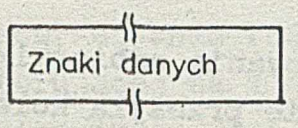


Bajt danych do jednostki centralnej (5÷8 bitów/znak) *)

*) jeśli znak ma mniej niż 8 bitów, nie wykorzystane bity ustawiane są na zero

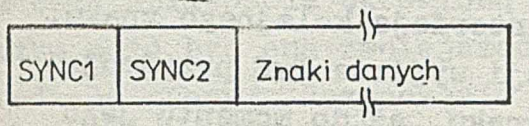
Rys.7. Formaty danych dla pracy asynchronicznej

Format nadawania



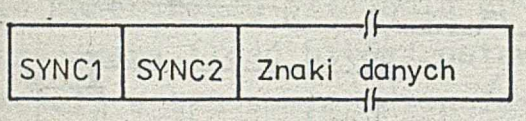
Bajty danych z jednostki centralnej (5÷8 bitów/znak)

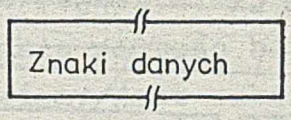
Złożone znaki na wyjściu danych (TxD)



Format odbioru

Dane na wejściu szeregowym (RxD)

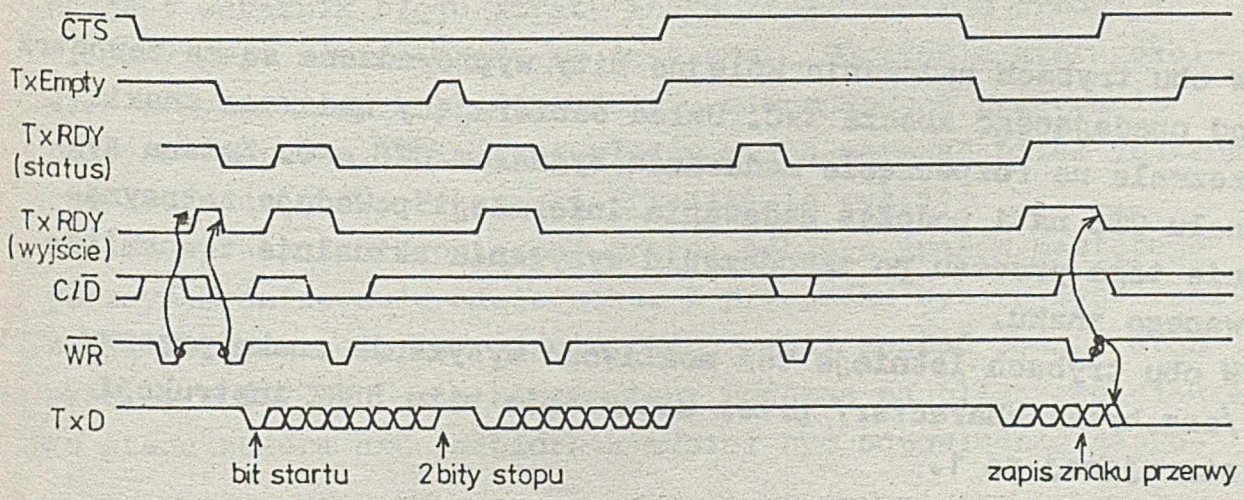




Bajty danych (5÷8 bitów/znak) *)

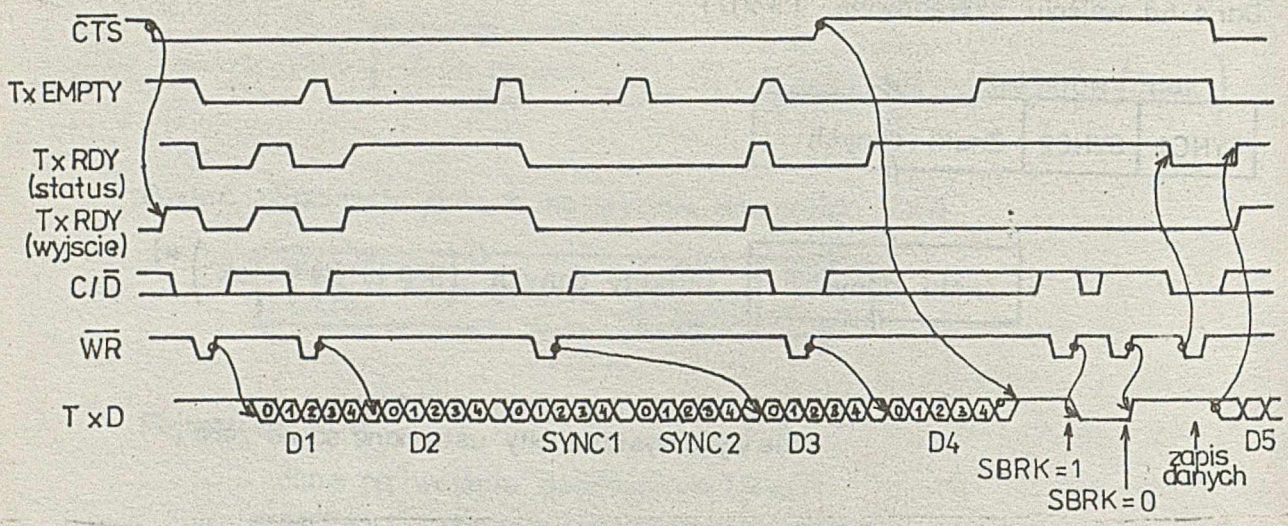
*) jeśli znak ma mniej niż 8 bitów, nie wykorzystane bity ustawiane są na zero.

Rys.8. Formaty danych dla transmisji synchronicznej



Rys.9. Przebiegi wybranych sygnałów dla nadawania asynchronicznego

jednostkę centralną/ dla zsynchronizowania odbiornika oraz w momentach, gdy jednostka centralna nie przesyła kolejnych znaków informacji /bufor wejściowy pusty/. Sytuacja ta odpowiada stanowi wyjść TxE=1 i TXRDY=1. Znak lub znaki synchronizacji wysyłane są aż do otrzymania przez interfejs kolejnego znaku. Podczas nadawania znaku synchronizacji wyjście TxE przyjmuje wartość 1 w środku ostatniego bitu znaku, aż do momentu jego zakończenia. Przebiegi dla nadawania synchronicznego przedstawiono na rys. 10.



Rys.10. Przebiegi wybranych sygnałów dla nadawania synchronicznego

W obu trybach nadawania kolejne bity wyprowadzone są na zewnątrz od opadającego zbocza $\overline{TxC}$. Układ odbierający nadawane znaki zezwala na rozpoczęcie nadawania sygnałem $\overline{CTS}$ = 0. Zmiana sygnału $\overline{CTS}$ na 1 podczas nadawania informacji powoduje zatrzymanie tego procesu po zakończeniu wysyłania aktualnie transmitowanego znaku.

W obu trybach istnieje też możliwość wysyłania znaku przerwy /ang.break character/ przez ustawienie bitu SBRK instrukcji sterującej na 1.

ODBIÓR

Z chwilą zaprogramowania rodzaju pracy i ustawienia bitu RxE instrukcji sterującej na 1 staje się możliwe odbierania znaków przez odbiornik.
Podczas pracy asynchronicznej informacja może być odbierana z częstotliwością określoną przez zegar odbiornika $\overline{RxC}$, przy czym może być ona zmniejszona 16 lub 64 razy /instrukcja rodzaju pracy/. Rozpoczęcie odbioru znaku warunkowane jest pojawieniem się stanu niskiego na wejściu RxD /bit startu - rys.6/. Jest on następnie ponownie próbkowany w swoim nominalnym środku i jeśli nie ma w tym momencie wartości 0 to proces odbierania zostaje przerwany. Po wykryciu bitu startu rozpoczyna się proces składania znaku w rejestrze odbiornika. Po zakończeniu składania znaku /licznik bitów zliczył zaprogramowaną ilość bitów/ ustawiany jest wskaźnik błędu parzystości. W tym samym momencie dokonywane jest przesłanie złożonego znaku do rejestru wyjściowego bufora szyny danych. Sprawdzana jest także wartość bitu stopu i jeśli jest ona nieprawidłowa,ustawiany jest wskaźnik błędu formatu /ang. framing error/. W momencie przesyłania znaku do bufora wyjściowego ustawiany jest sygnał RxRDY, sygnalizujący jednostce centralnej gotowość do przesłania znaku. Sygnał ten jest zerowany przez podanie na wejście $\overline{RD}$ stanu niskiego. W przypadku, gdy przed złożeniem znaku jednostka centralna nie odebrała znaku umieszczonego uprzednio w rejestrze wyjściowym bufora, ustawiany jest wskaźnik błędu straty znaku /ang. overrun error/ i tracony jest nie odebrany na czas znak. Powstanie któregokolwiek z wymienionych błędów odbioru nie powoduje przerwania pracy odbiornika. Wskaźniki błędów można zerować bitem instrukcji sterującej ER. Przebiegi przedstawia rys.11.
Podczas pracy synchronicznej proces odbioru znaków następuje po zsynchronizowaniu odbiornika. W przypadku wyboru synchronizacji zewnętrznej, na wejście SYNDET musi zostać podany stan wysoki, który zostanie zapamiętany podczas najbliższego niskiego stanu zegara $\overline{RxC}$ /odbiornik musiał być odpowiednio zapro-

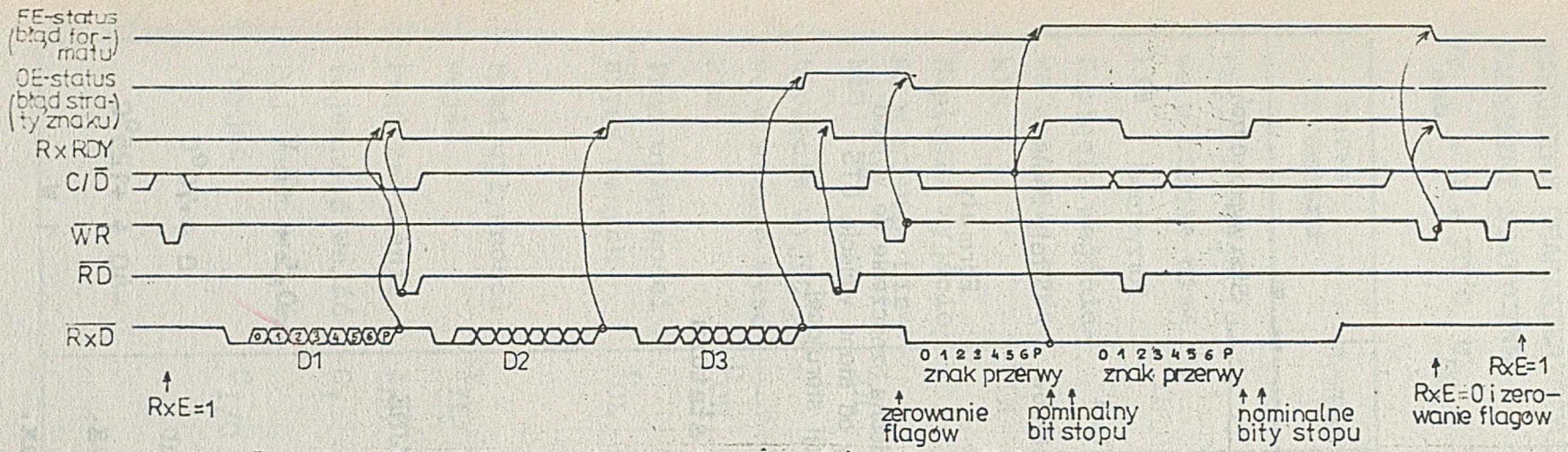
gramowany na tryb poszukiwania - ang. hunt/. Zapamiętanie stanu wysokiego wejścia SYNDET oznacza uzyskanie synchronizacji /sygnał SYNDET = 1 musi trwać minimum przez 1 okres zegara $\overline{RxC}$/.

W przypadku zaprogramowania synchronizacji wewnętrznej, do odbiornika wpisywane są w sposób ciągły kolejne bity. Składane znaki porównywane są z zawartością rejestru znaków synchronizacji. W przypadku pracy z dwoma znakami synchronizacji porównywanie pierwszego znaku synchronizacji dokonywane jest bit po bicie, a drugiego po odebraniu zaprogramowanej liczby bitów. Między wykryciem pierwszego i drugiego znaku synchronizacji nie jest możliwe dokonanie zapisu instrukcji sterującej. Uzyskanie synchronizacji wewnętrznej sygnalizowane jest ustawieniem wyjścia SYNDET w stan wysoki oraz ustawieniem wskaźnika SYNDET. Wyjście SYNDET powraca do stanu niskiego w momencie odczytu statusu przez jednostkę centralną.

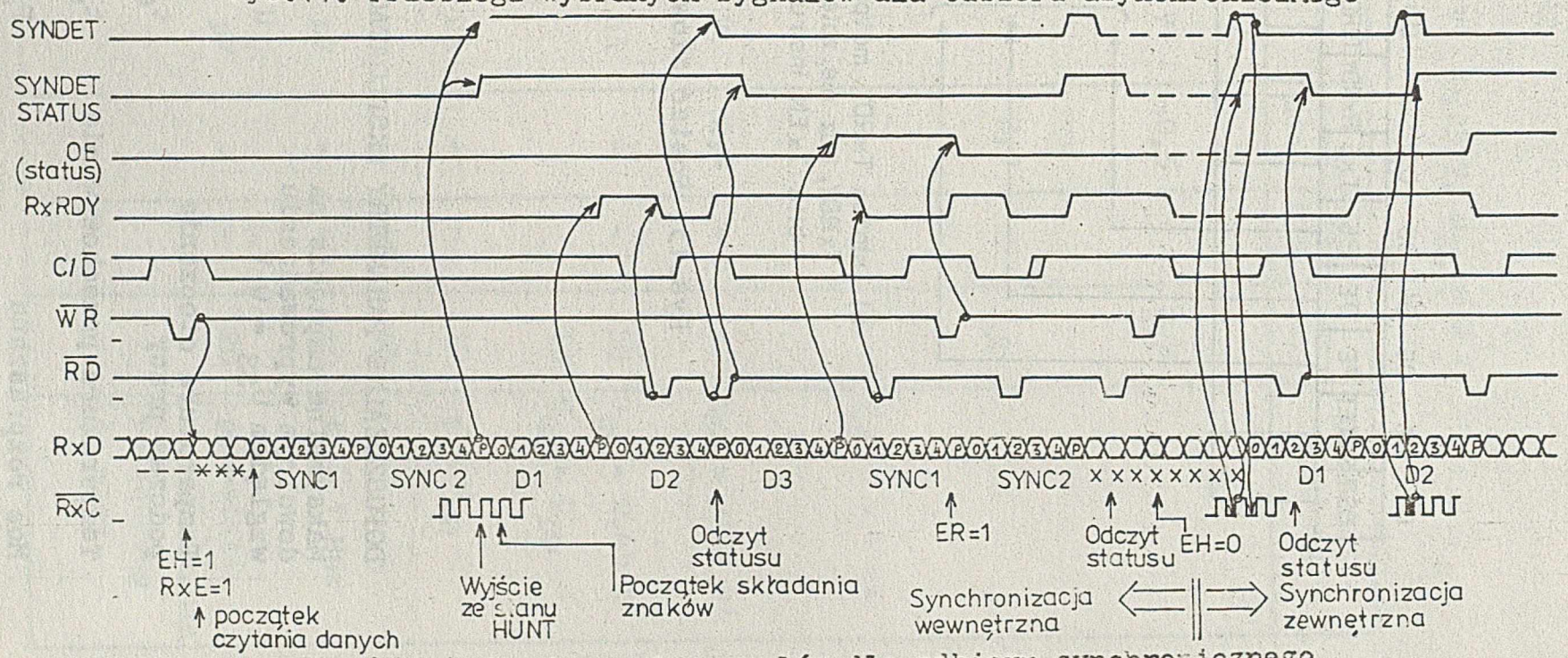
Po uzyskaniu synchronizacji rozpoczyna się proces odbioru znaków, przy czym dokonywana jest detekcja błędów parzystości i straty znaku, tak jak dla pracy asynchronicznej. Złożone znaki przepisywane są do rejestru wyjściowego bufora szyny danych. Wyjście RxRDY działa tak, jak podczas pracy asynchronicznej. Rys.12 przedstawia przykładowe przebiegi dla synchronicznego odbioru informacji

ODCZYT STATUSU

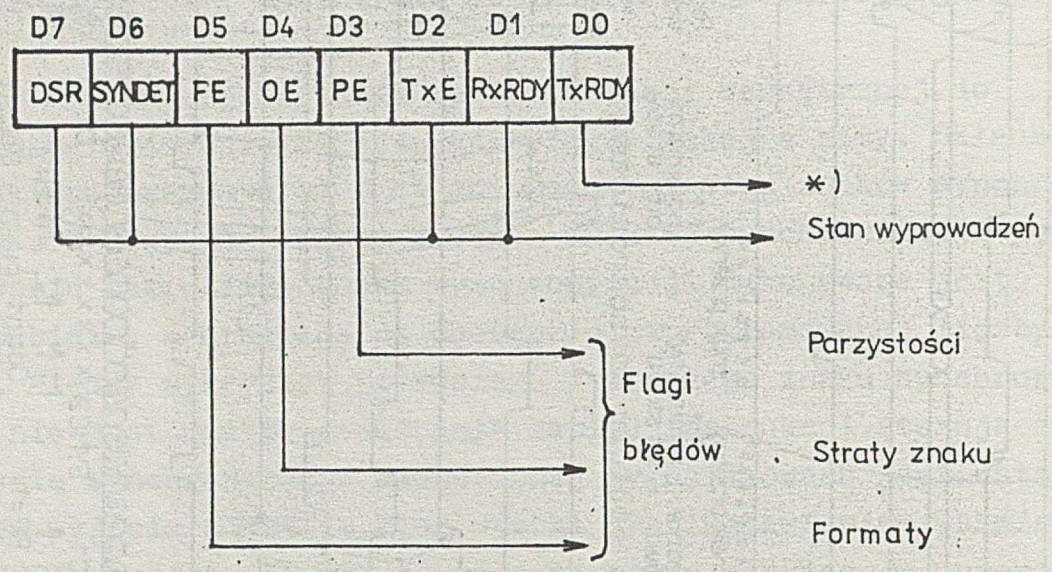
Podczas pracy interfejsu zachodzi konieczność badania stanu, w którym się on znajduje. Kontroli dokonuje się odczytując słowa statusu, którego postać przedstawiona jest na rys. 13. Odczytu dokonuje się ustawiając wejścia $C/\overline{D}$ na 1 i $\overline{RD}$ na 0. Czas aktualizacji słowa statusu wynosi maksymalnie 16 okresów zegara systemowego.



Rys.11. Przebiegi wybranych sygnałów dla odbioru asynchronicznego



Rys.12. Przebiegi wybranych sygnałów dla odbioru synchronicznego



*) status TxRDY ma podobne znaczenie do wyjścia TxRDY, lecz nie zależy od stanu wejścia $\overline{CTS}$ i bitu TxEN instrukcji sterującej

Rys.13. Postać słowa statusu

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Maksymalne napięcie na dowolnym wyprowadzeniu względem U_{SS} = 0 V	U	-0,5 ÷ +7 V
Temperatura otoczenia podczas pracy	$t_{amb.}$	0 ÷ +70°C
Temperatura przechowywania	$t_{stg.}$	-40 ÷ +125°C
Moc rozpraszana	$P_{max.}$	1 W

PARAMETRY CHARAKTERYSTYCZNE

PARAMETRY STATYCZNE

/t_{amb} = 0 ÷ 70°C, U_{DD} = 5 V ± 0,25 V, U_{SS} = 0 V/

Nazwa parametru	Symbol	Jedn.	Wartość			Warunki pomiaru
			min.	typ.	max.	
Napięcie wejściowe w stanie niskim	U_{IL}	V	-0,5	-	0,8	
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2,0	-	U_{CC}	
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	-	0,45	I_{OL} = 1,6 mA
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	2,4	-	-	I_{OH} = -100 μA
Prąd upływności szyny danych	I_{OL}	μA	-	-	-50	U_{OL} = 0,45 V
					10	U_{OH} = U_{DD}
Prąd upływności wejść	I_{IL}	μA	-	-	10	U_I = U_{DD}
Prąd zasilania	I_{DD}	mA	-	45	80	
Pojemność wejść	C_I	pF	-	-	10	f_c = 1 MHz
Pojemność wejść/ /wyjść	$C_{I/O}$	pF	-	-	20	pozostałe wyprowadzenia podłączone do masy

PARAMETRY DYNAMICZNE

/t_{amb} = 0 + 70°C, U_{DD} = 5 V ± 0,25 V, U_{SS} = 0 V/. Parametry szyny danych: uwaga 1.

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru/uwagi
			min.	max.	
1	2	3	4	5	6
CYKL CZYTANIA					
Czas wyprzedzenia adresu względem $\overline{READ}$ = 0	t_{AR}	ns	50	-	Rys.14
Czas podtrzymania adresu po $\overline{READ}$ = 1	t_{RA}	ns	5	-	Rys.14
Szerokość impulsu $\overline{READ}$	t_{RR}	ns	430	-	Rys.14
Opóźnienie danych względem $\overline{READ}$ = 0	t_{RD}	ns	-	350	C_L=100 pF, Rys.14
Czas podtrzymania danych względem $\overline{READ}$ = 1	t_{DF}	ns	25	200	C_L = 100 pF C_L = 15 pF
Czas pomiędzy kolejnymi sygnałami $\overline{READ}$	t_{RV}	t_{CY}	6	-	uwaga 2
CYKL ZAPISU					
Czas wyprzedzenia adresu względem $\overline{WRITE}$ = 0	t_{AW}	ns	20	-	Rys.14
Czas podtrzymania adresu po $\overline{WRITE}$ = 1	t_{WA}	ns	20	-	Rys.14
Szerokość impulsu $\overline{WRITE}$	t_{WW}	ns	400	-	Rys.14
Czas wyprzedzenia danych względem $\overline{WRITE}$ = 1	t_{DW}	ns	200	-	Rys.14

PARAMETRY DYNAMICZNE c.d.

1	2	3	4	5	6
Czas podtrzymania danych względem WRITE = 1	t_{WD}	ns	40	-	Rys.14
INNE PARAMETRY DYNAMICZNE					
Okres zegara	t_{CY}	µs	0,420	1,25	Rys.14,uwaga 3
Szerokość sygnału zegarowego	t_{CW}	ns	220	$0,7t_{CY}$	
Czas narastania i opadania sygnału zegarowego	t_R, t_F	ns	0	50	
Opóźnienie sygnału TxD względem TxC = 0	t_{DTx}	µs	-	1	Rys.12, C_L = 100 pF
Czas wyprzedzenia danych na wejściu RxD względem sygnału próbkującego	t_{SRx}	µs	2	-	Rys.16, C_L = 100 pF
Czas podtrzymania danych na wejściu RxD po sygnale próbkującym	t_{HRx}	µs	2	-	Rys.16, C_L = 100 pF
Częstotliwość zegara nadajnika dla podziału częstotliwości: 1x; 16x; 64x	f_{Tx}	kHz	DC DC	56 520	
Szerokość impulsu zegara nadajnika dla podziału częstotliwości: 1x; 16x; i 64x	t_{TPW}	t_{CY} t_{CY}	12 1	- -	Rys.15
Czas pomiędzy dwoma sygnałami zegara nadajnika dla podziału częstotliwości: 1x; 16x i 64x	t_{TPD}	t_{CY} t_{CY}	15 3	- -	Rys.15
Częstotliwość zegara odbiornika dla podziału częstotliwości: 1x; 16x i 64x	f_{Rx}	kHz kHz	DC DC	56 520	

PARAMETRY DYNAMICZNE c.d.

1	2	3	4	5	6
Szerokość impulsu zegara odbiornika dla podziału częstotliwości: 1x, 16x, i 64x	t_{RPW}	t_{CY} t_{CY}	12 1	-	Rys.16
Czas pomiędzy dwoma sygnałami zegara odbioru dla podziału częstotliwości: 1x, 16x i 64x	t_{RPD}	t_{CY} t_{CY}	15 3	-	Rys.16
Opóźnienie TxRDY względem środka bitu danych	t_{Tx}	t_{CY}	-	16	Rys.17, C_L = 50 pF
Opóźnienie RxRDY względem środka bitu danych	t_{Rx}	t_{CY}	-	20	Rys.17
Opóźnienie SYNDET względem środka bitu danych	t_{IS}	t_{CY}	-	25	Rys.18
Czas wyprzedzenia SYNDET względem RxC = 0	t_{ES}	t_{CY}	-	16	Rys.18
Opóźnienie TxE względem środka bitu danych	t_{TxE}	t_{CY}	-	16	C_L = 50 pF
Opóźnienie sygnałów sterujących względem $\overline{WRITE}$ = 1 /TxE; $\overline{DTR}$, $\overline{RTS}$/	t_{WC}	t_{CY}	-	16	
Czas wyprzedzenia $\overline{DSR}$ i i $\overline{CTS}$ względem $\overline{READ}$	t_{CR}	t_{CY}	-	16	

UWAGI:

1/ Czasy mierzone przy U_{OH} = 2,0 V, U_{OL} = 0,8 V oraz przy obciążeniu jak na rys. 17.

UWAGI c.d.

2/ Czas t_{RV} jest wymagany w trakcie programowania układu/instrukcja rodzaju pracy, znaki synchronizacji, instrukcja sterująca/ oraz zapisu pierwszego znaku danych. Dalsze wpisywanie instrukcji i danych jest dozwolone tylko przy TxRDY = 1.

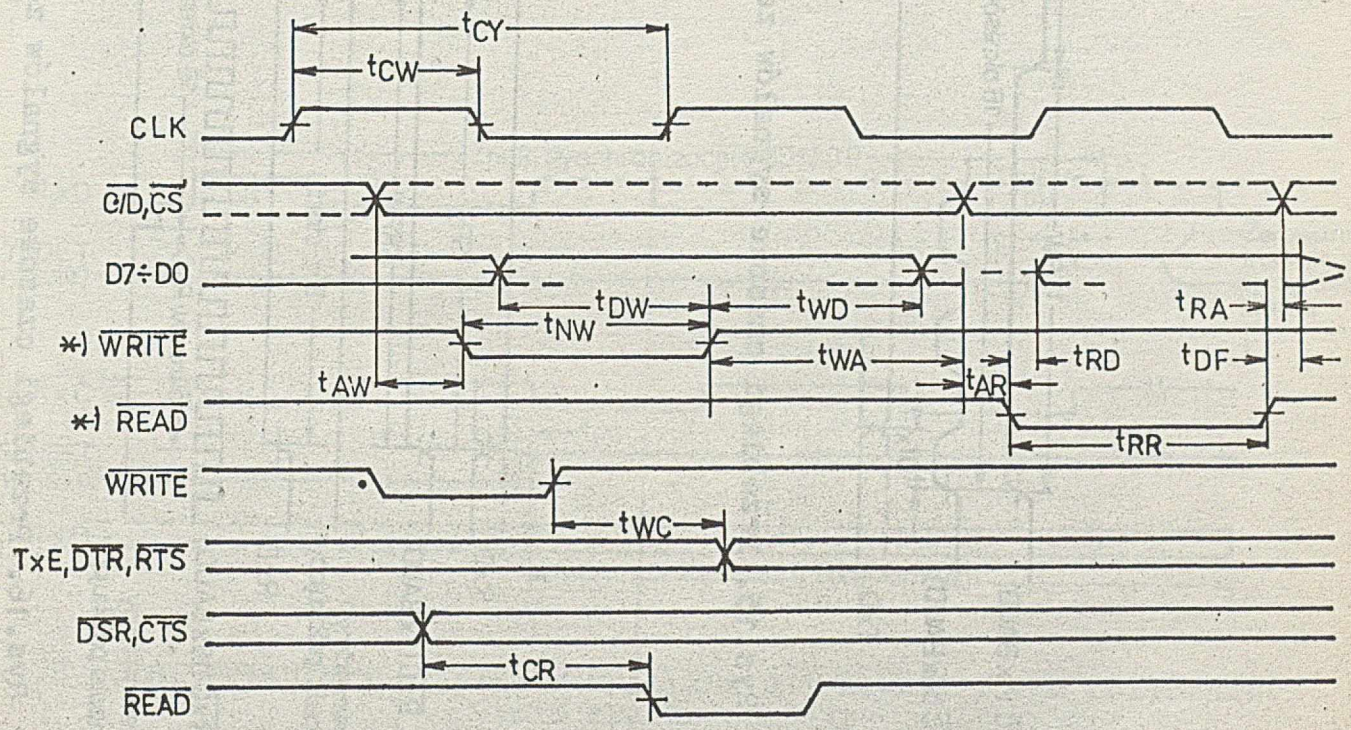
3/ Częstotliwość TxC i RxC mają następujące ograniczenia w stosunku do CLK

dla szybkości 1x szybkość w bodach: f_{Tx} lub $f_{Rx} < \frac{1}{30 \cdot t_{CY}}$.

dla 16x lub 64x szybkość transmisji w bodach:

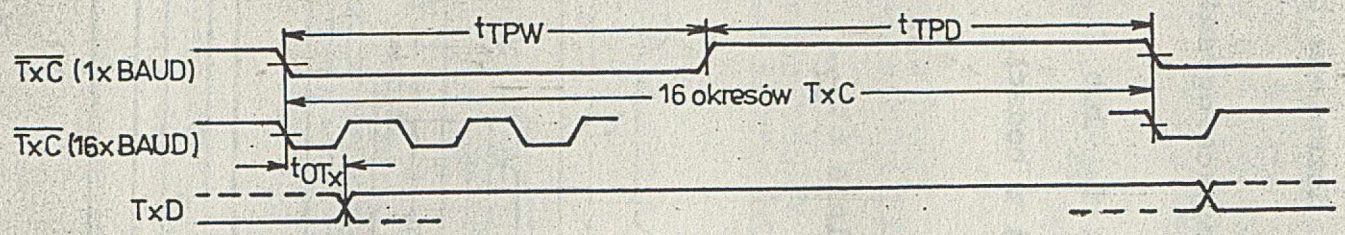
f_{Tx} lub $f_{Rx} \leqslant \frac{1}{4,5\ t_{CY}}$.

4/ Długość impulsu zerowania - minimalnie $6t_{CY}$.

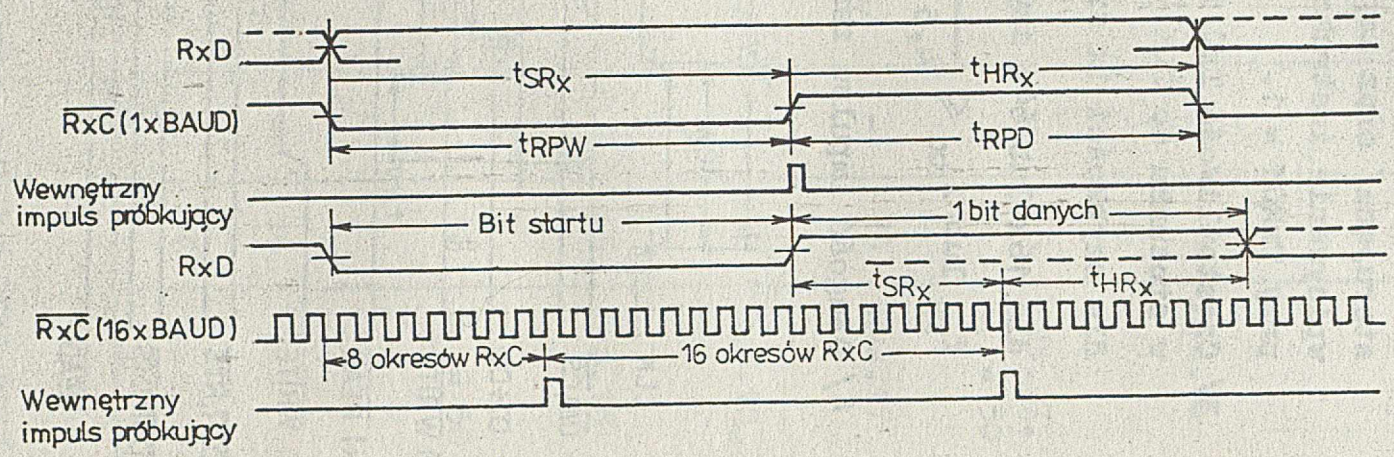


*) Impulsy nie związane w czasie z impulsami zegara CLK

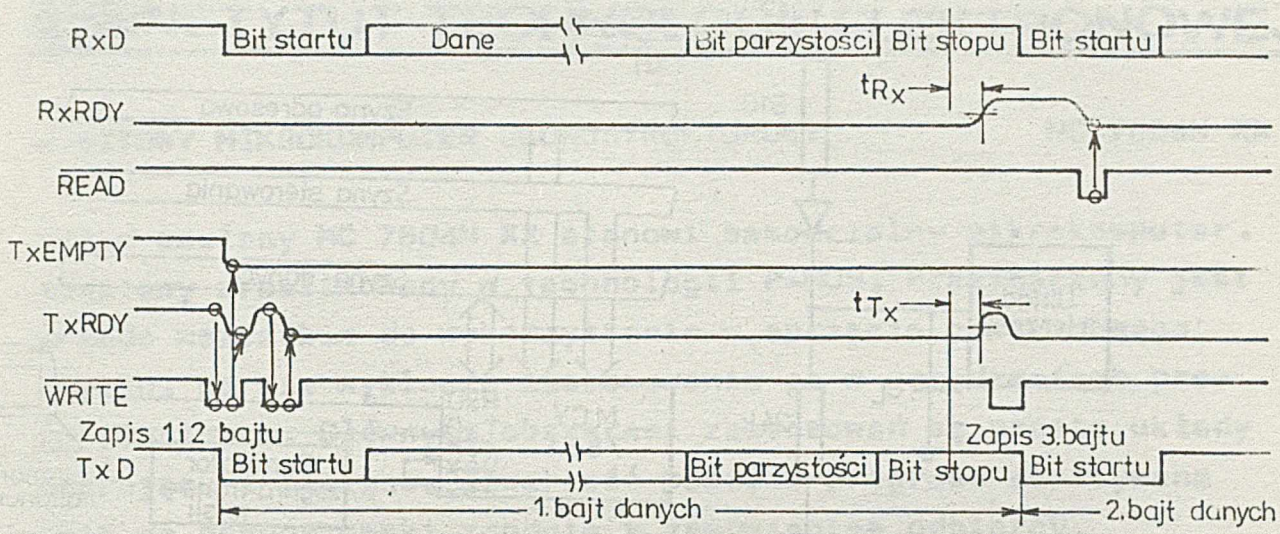
Rys.14. Przebiegi czasowe sygnałów dla cyklu zapisu i odczytu



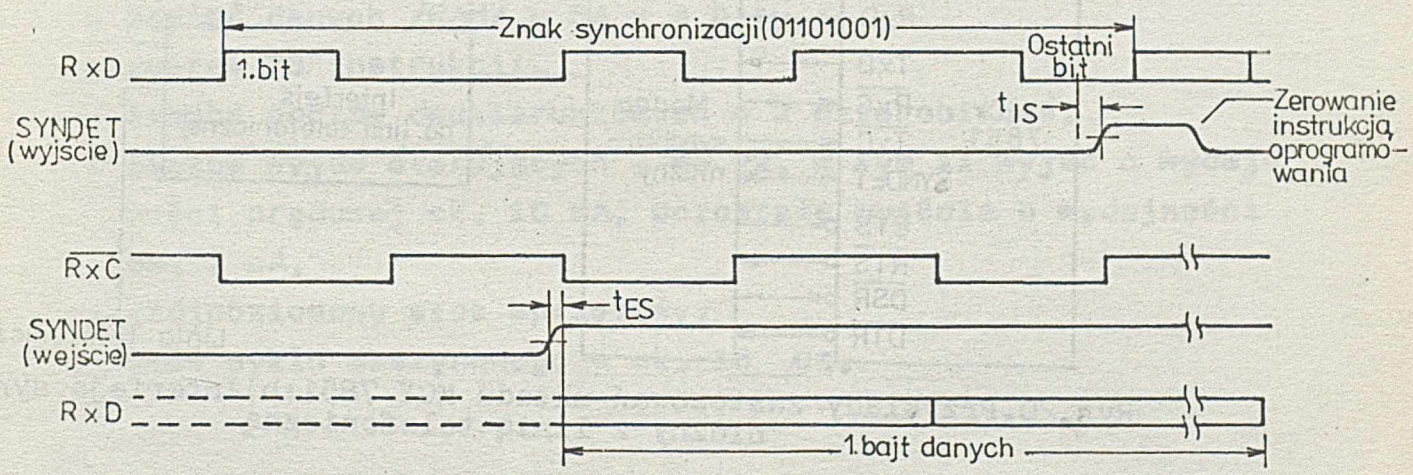
Rys.15. Przebiegi czasowe sygnałów zegarowych i danych nadajnika



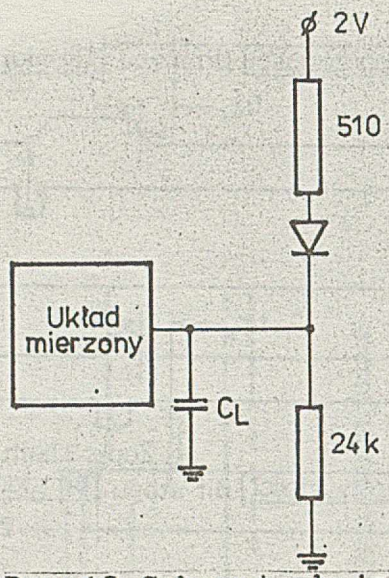
Rys.16. Przebiegi czasowe sygnałów zegarowych i danych odbiornika



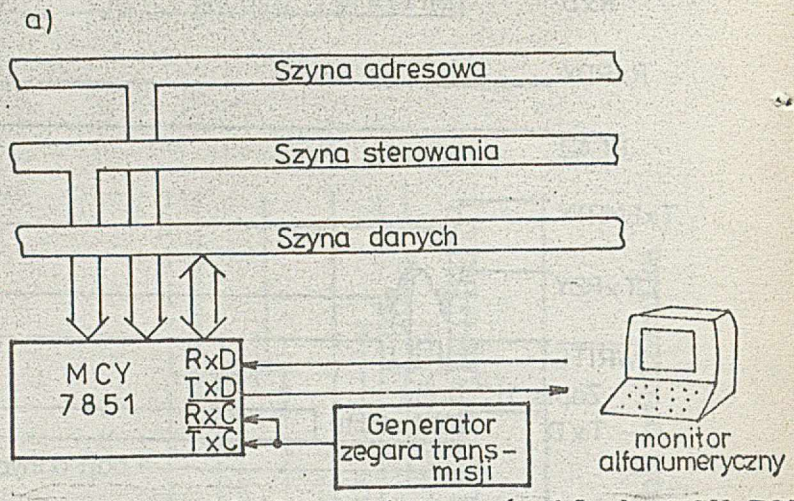
Rys.17. Przebiegi czasowe TxRDY i RxRDY w trybie asynchronicznym



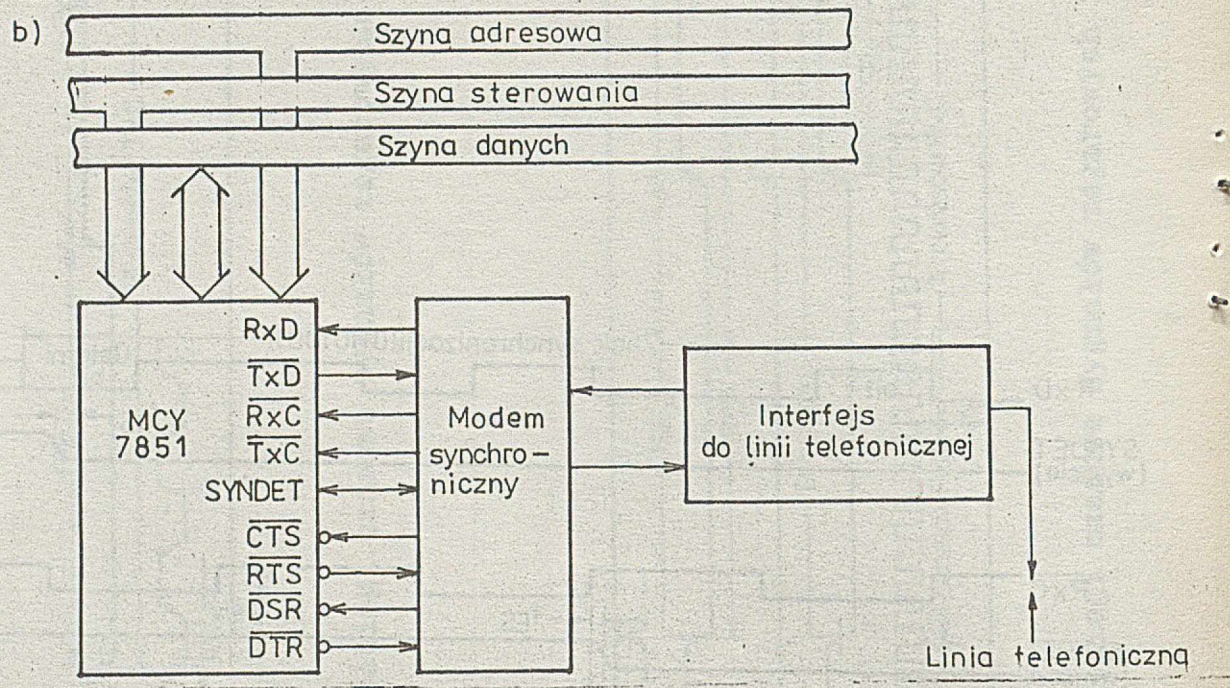
Rys.18. Przebiegi czasowe wewnętrznego i zewnętrznego rozpoznawania synchronizacji



Rys.19.Schemat obciążenia układu MCY 7851 w czasie testowania



Rys.20.Przykłady zastosowań układu MCY 7851: a)asynchroniczny szeregowy interfejs do podłączenia monitora alfanumerycznego



Rys.20.Przykłady zastosowań układu MCY 7851:b)Interfejs synchroniczny z linią telefoniczną

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
tel. 435401
tlx 815647

Druk ZOINTE ITE zam. 107/84 n. 1000

Cena 300zł

PRAWO REPRODUKCJI ZASTRZEŻONE

Maj 1984