INSTYTUT TECHNOLOGII ELEKTRONOWEJ

PAMIĘĆ STATYCZNA RAM 1K

MCY 7102N A
MCY 7102N B
MCY 7102N C
MCY 7102N D

Układ MCY 7102N wraz z podtypami A, B, C i D, zwany dalej MCY 7102N, jest 1024-bitową pamięcią statyczną RAM o organizacji 1024 x 1 bit. Podtypy A, B, C i D różnią się szybkością działania i średnim prądem zasilania. Napięcie zasilania oraz wejścia i wyjścia układu MCY 7102N są dostosowane do bezpośredniej współpracy z układami TTL. Trójstanowe wyjście danych o dużej impedancji w stanie wyłączenia oraz wejście "wybór modułu" zapewniają szerokie możliwości zastosowań układu MCY 7102N w małych i średnich systemach pamięciowych oraz w systemach mikroprocesorowych, m.in. MCS 80. Pamięć MCY 7102N jest układem scalonym wykonanym technologią NMOS z bramką krzemową.

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie dowolnego wyprowadzenia względem U_{SS}	U	-0,5 ÷ +7 V
Moc rozpraszana	P_{max}	1 W
Temperatura pracy	t_{amb}	0 ÷ +70°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125°C

WSTĘPNA INFORMACJA TECHNICZNA

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE (t_{amb} = 0 ÷ +70°C)

Parametr	Symbol	Jedn.	Wartość min.	Wartość max.	Warunki pomiaru
1	2	3	4	5	6
Napięcie zasilania (względem U_{SS} = 0 V)	U_{DD}	V	4,75	5,25	
Prąd upływności wejść (wszystkie wejścia razem)	I_{LI}	/uA	-	10	U_{WE}=0 do 5,25 V
Prąd upływności wyjścia w stanie wysokim	I_{LOH}	/uA	-	10	U_{WM}=2 V, U_{WY}=2,4 V do U_{DD}
Prąd upływności wyjścia w stanie niskim	I_{LOL}	/uA	-	-10	U_{WM} = 2 V, U_{WY} = 0,4 V
Prąd zasilania	I_{DD}	mA	-	55 2,3,4/ 65 1/	Wejścia 5,25 V Wyjście otwarte
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	2,4	-	I_{OH} = -100 /uA
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	0,4	I_{OL} = 2,1 mA
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2	U_{DD}	
Napięcie wejściowe w stanie niskim	U_{IL}	V	-0,5	0,8	
Czas cyklu "Odczyt"	t_{RC}	ns	250 1/ 350 2/ 450 3/ 650 4/		U_{WE}= 0,8 do 2 V czas narastania i opadania impulsów na wejściu 10 ns

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE, c.d.

1	2	3	4	5	6
Czas cyklu "Zapis"	t_{WC}	ns	250 1/ 350 2/ 450 3/ 650 4/	-	
Czas trwania impulsu "Zapis"	t_{WP}	ns	180 1/ 250 2/ 300 3/ 400 4/	-	Poziom odniesienia napięcia na wejściu 1,5 V
Opóźnienie impulsu "Zapis" względem adresu	t_{AW}	ns	20 1,2,3/ 200 4/	-	Poziom odniesienia napięcia na wyjściu 0,8 lub 2 V
Czas trwania danych na wejściu	t_{DW}	ns	180 1/ 250 2/ 300 3/ 450 4/	-	Obciążenie WY: 1 bramka TTL $+C_L$ = 100 pF
Czas zakończenia danych względem początku impulsu WM	t_{CW}	ns	180 1/ 250 2/ 300 3/ 550 4/	-	
Czas dostępu	t_a	ns	-	250 1/ 350 2/ 450 3/ 650 4/	U_{WE} = 0,8 do 2 V czas narastania i opadania impulsów na wejściu 10 ns
Opóźnienie danych na wejściu względem impulsu WM	t_{CO}	ns	-	130 1/ 350 2/ 450 3/ 650 4/	Poziom odniesienia napięcia na wejściu 1,5 V Poziom odniesienia napięcia na wyjściu 0,8 lub 2 V

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE, c.d.

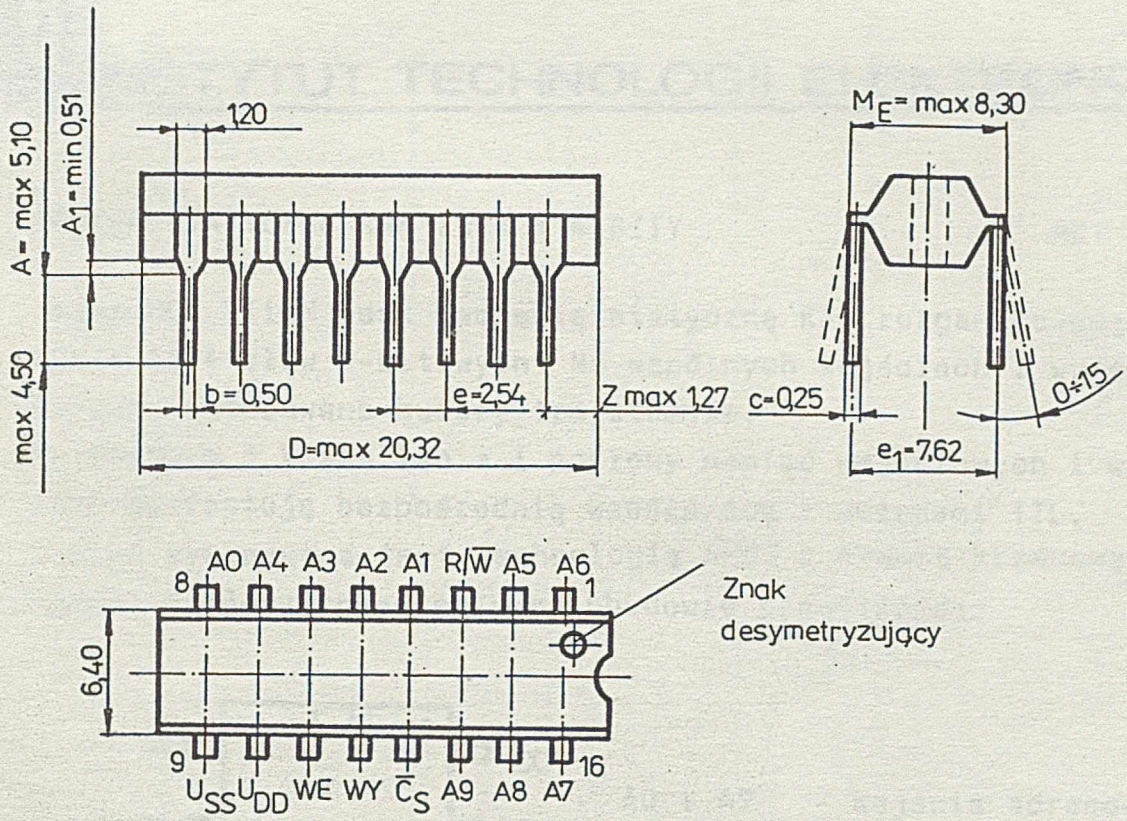
1	2	3	4	5	6
Czas utrzymywania się danych na wyjściu po zakończeniu impulsu adresu	t_{OH1}	ns	40 1,2,3/ 50 4/	-	Obciążenie WY: 1 bramka TTL +C_L = 100 pF
Czas utrzymywania danych na wyjściu po zakończeniu impulsu WM	t_{OH2}	ns	0	-	
Pojemność wejść	C_I	pF	-	5	U_{WE} = 0 V f = 1 MHz
Pojemność wyjść	C_o	pF	-	10	U_{WY} = 0 V f = 1 MHz

1/ MCY 7102N A

2/ MCY 7102N B

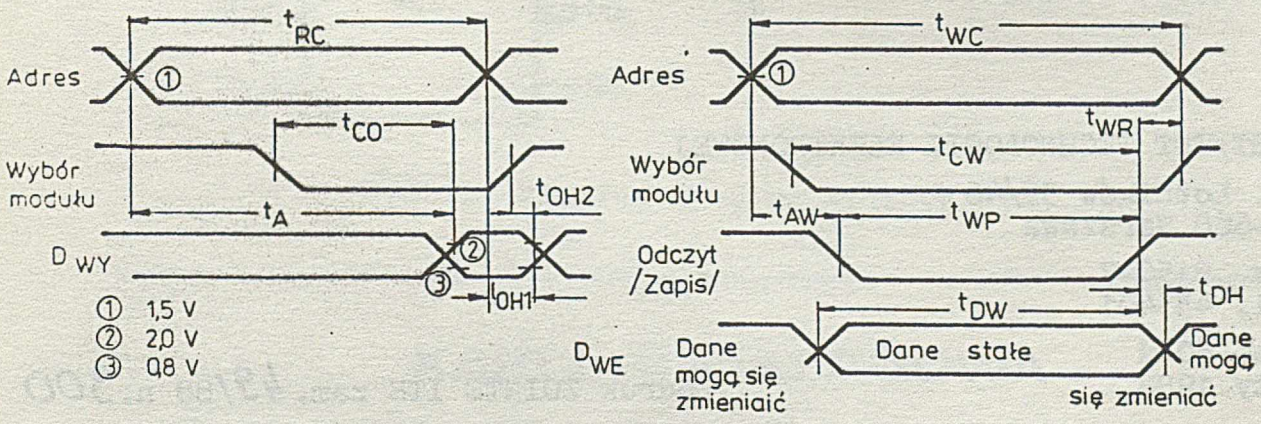
3/ MCY 7102N C

4/ MCY 7102N D



Rys. 1. Obudowa MCY 7102N

A0 ÷ A9 - wejścia adresowe;
U_{DD} - zasilanie +5V;
U_{SS} - masa;
WE - wejście danych;
WY - wyjście danych;
$\overline{Cs}$ - wejście wyboru modułu;
$R/\overline{W}$ - wejście odczyt - zapis.



Rys. 2. Przebiegi sygnałów w układzie MCY 7102N

INSTYTUT TECHNOLOGII ELEKTRONOWEJ

Al. Lotników 32/46
02-668 Warszawa

tlx 815647
tel. 435401

Cena 60 zł
Luty 1988

Dodruk ZOINTE ITE zam. 49/88 n. 300

PRAWO REPRODUKCJI ZASTRZEŻONE