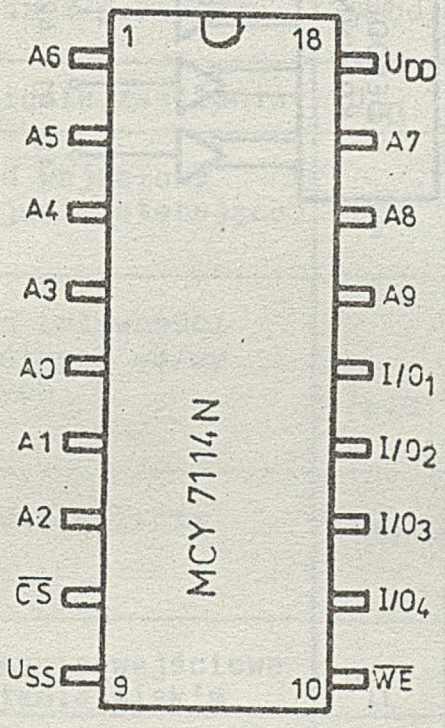
PAMIĘĆ STATYCZNA RAM 1024 x 4 BITY MCY 7114N

Układ MCY 7114N jest pamięcią statyczną RAM zorganizowaną w postaci 1024 słów 4-bitowych. Na wspólnych wejściach i wyjściach danych zastosowano bufory trójstanowe.
Pojedyncze 5 V zasilanie i poziomy napięć wejściowych i wyjściowych gwarantują bezpośrednią współpracę z układami TTL.
Pamięć wykonywana jest technologią NMOS z bramką krzemową i montowana w 18-wyprowadzeniowej obudowie plastikowej.



A0 ÷ A9 - wejścia adresowe

$\overline{CS}$ - wejście wyboru układu

$\overline{WE}$ - wejście odczyt/zapis

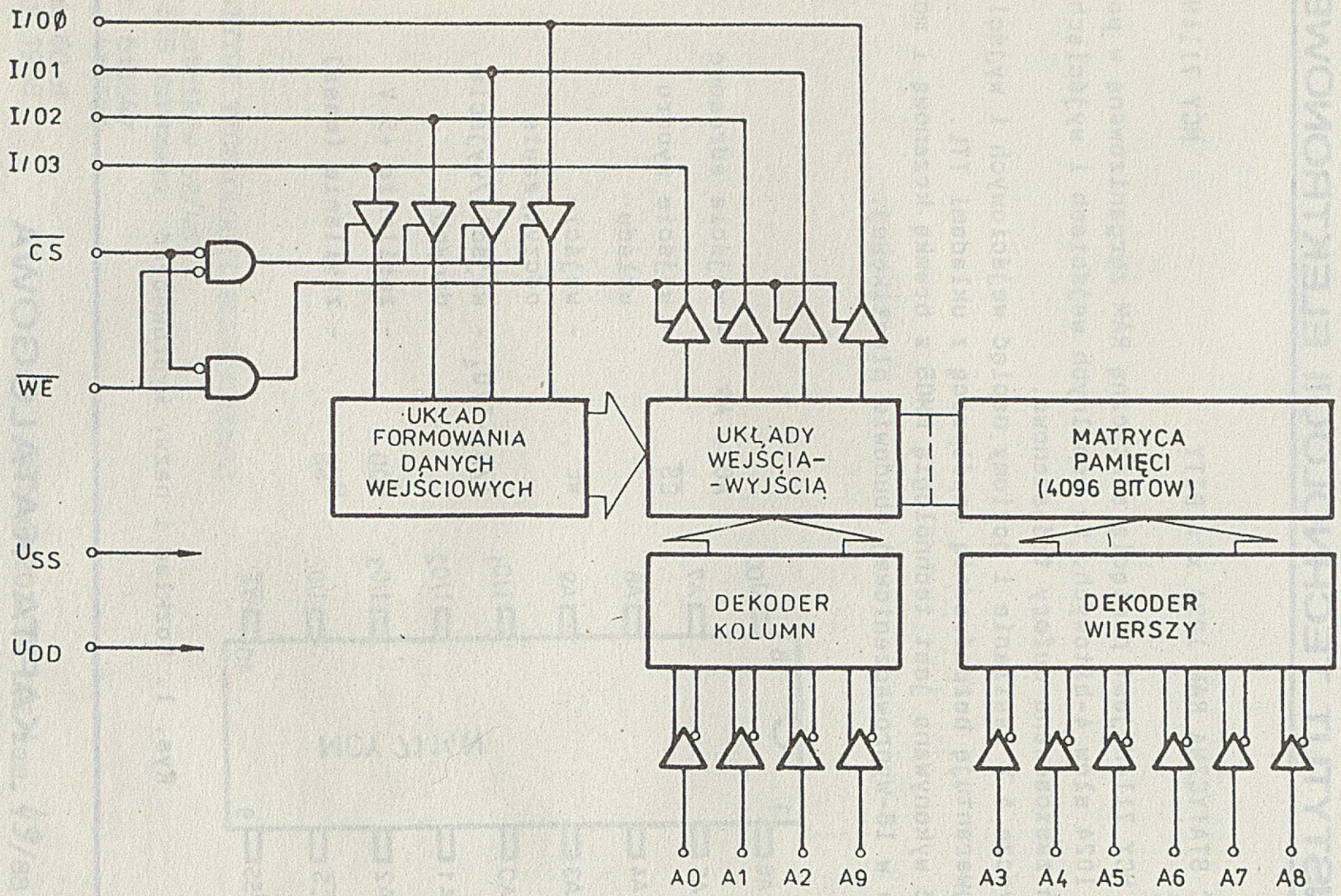
I/O_1-I/O_4 - wejścia/wyjścia danych

U_{DD} - zasilanie +5 V

U_{SS} - zasilanie (masa)

Rys. 1. Rozkład i nazwy wyprowadzeń

KARTA KATALOGOWA



Rys. 2. Schemat blokowy MCY 7114N

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie dowolnego wyprowadzenia względem U_{SS}	U	-0,5 ÷ +7 V
Moc rozpraszana	P_{max}	1,0 W
Temperatura otoczenia w czasie pracy	t_{amb}	0 ÷ 70°C
Temperatura przechowywania	t_{stg}	-55 ÷ 125°C

Tabela 1. ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE (t_{amb} = = 0 ÷ 70°C)

Nazwa parametru	Symbol	Jednostka	Wartość		Warunki pomiaru
			min.	max.	
Napięcie zasilania	U_{DD}	V	4,75	5,25	względem U_{SS}
Prąd wejściowy (wejścia sterujące)	I_I	μA	-	10	U_{we} = 0 ÷ 5,25 V wszystkie wejścia po kolei
Prąd upływności wspólnych we/wy danych	I_{LIO}	μA	-	10	$\overline{CS}$ = 2,4 V $U_{we/wy}$ = 0,4 V do U_{DD}
Prąd zasilania	I_{DD}	mA	-	100	U_{we} = 5,25 V $I_{we/wy}$ = 0 mA
Napięcie wejściowe w stanie niskim	U_{IL}	V	-0,5	0,8	-
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2,4	U_{DD}	-
Prąd wyjściowy w stanie niskim	I_{OL}	mA	2,1	-	U_{OL} = 0,4 V
Prąd wyjściowy w stanie wysokim	I_{OH}	mA	-1,0	-	U_{OH} = 2,4 V

Tabela 2. PARAMETRY POJEMNOŚCIOWE (sprawdzane wyrywkowo)

Nazwa parametru	Symbol	Jednostka	Wartość max.	Warunki pomiaru
Pojemność wspólnych we/wy danych	$C_{I/O}$	pF	5	$U_{we/wy}$ = 0 V, f = 1 MHz t_{amb} = 25°C
Pojemność wejściowa (wejścia sterujące)	C_I	pF	5	U_{we} = 0 V, f = 1 MHz t_{amb} = 25°C

WARUNKI POMIARU CZASÓW CHARAKTERYSTYCZNYCH

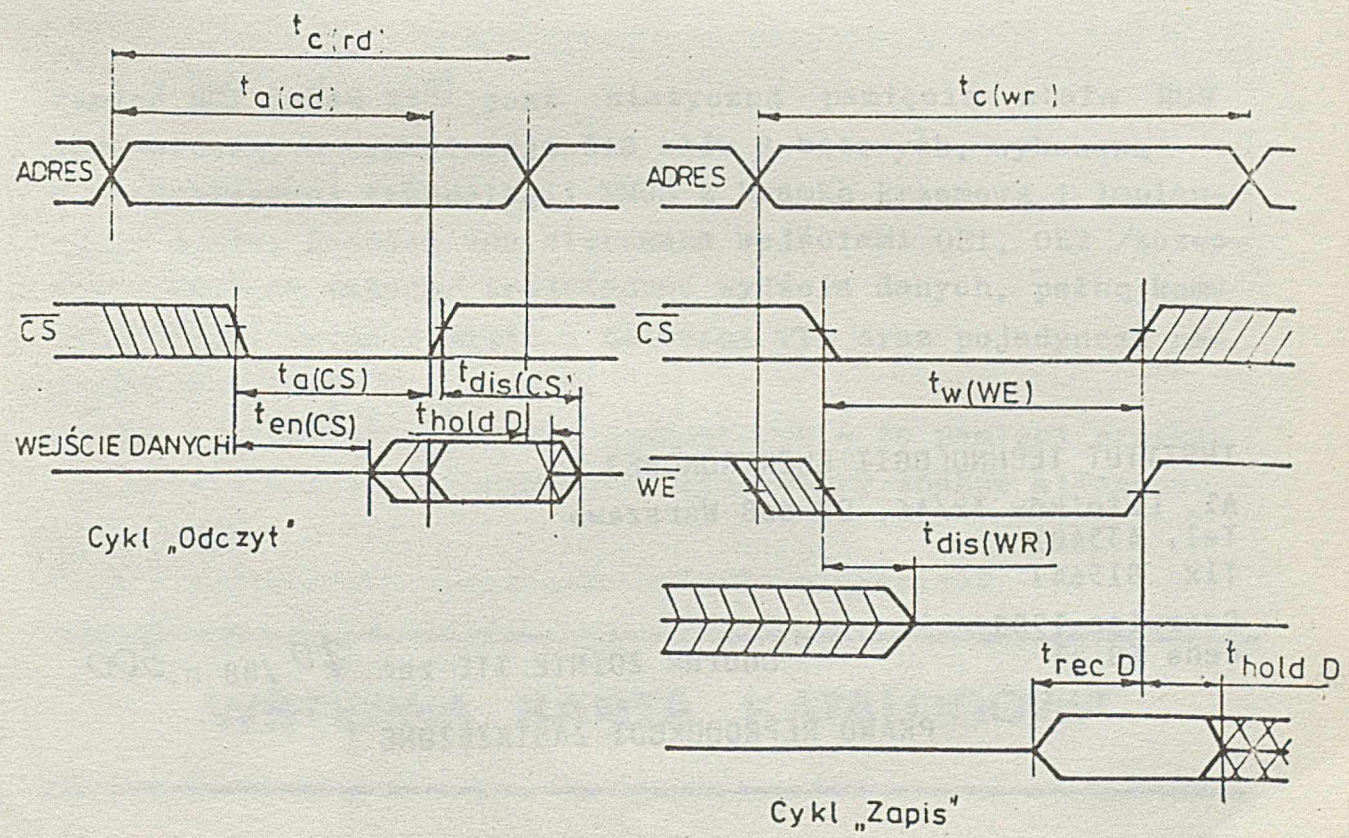
Poziom sygnału wejściowego	0,8 ÷ 2,4 V
Czas narastania i opadania sygnału wejściowego	10 ns
Poziom odniesienia na wyjściu i wejściu	1,5 V
Obciążenie wyjść	1 bramka TTL; C_L = 100 pF

Tabela 3. CZASY CHARAKTERYSTYCZNE. CYKL ODCZYTU (przy jednocześnie występujących stanach niskim $\overline{CS}$ i wysokim $\overline{WE}$).

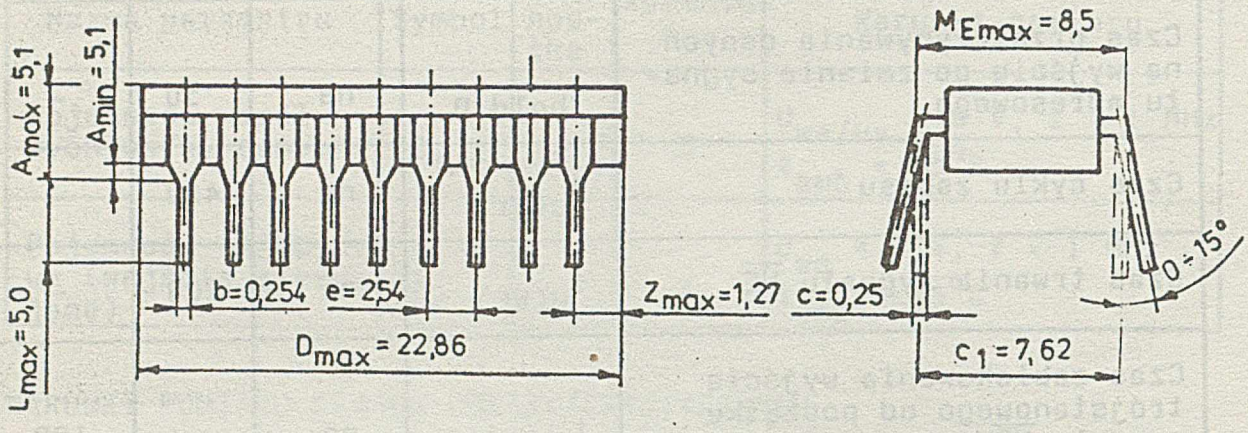
Nazwa parametru	Symbol	Jednostka	Wartość	
			min.	max.
1	2	3	4	5
Czas cyklu odczytu	$t_{c(rd)}$	ns	450	-
Czas dostępu od wejścia adresowego	$t_{a(ad)}$	na	-	450
Czas dostępu od wejścia wyboru	$t_{a(CS)}$	ns	-	120
Czas zablokowania wyjścia trójstanowego od wejścia wyboru	$t_{dis(CS)}$	ns	-	100
Czas odblokowania szyny danych od wejścia wyboru	$t_{en(CS)}$	ns	20	-

Tabela 3 cd.

1	2	3	4	5
Czas przetrzymywania danych na wyjściu po zmianie sygnału adresowego	$t_{hold\ D}$	ns	50	-
Czas cyklu zapisu	$t_{c(wr)}$	ns	450	-
Czas trwania sygnału $\overline{WE}$	$t_{w(WE)}$	ns	200	-
Czas zablokowania wyjścia trójstanowego od początku sygnału $\overline{WE}$	$t_{dis(WR)}$	ns	-	100
Czas wyprzedzania sygnału danych przed końcem sygnału $\overline{WE}$	$t_{rec\ D}$	ns	200	-
Czas przetrzymywania danych na wyjściu po zakończeniu sygnału $\overline{WE}$	$t_{hold\ D}$	ns	0	-



Rys. 3. Charakterystyki czasowe



Rys. 4. Obudowa układu MCY 7114N

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46, 02-668 Warszawa
Tel. 435401
Tlx 815647

Czerwiec 1988
Cena 60 zł

Dodruk ZOINTE ITE zam. 70 /88 n. 300

PRAWO REPRODUKCJI ZASTRZEŻONE