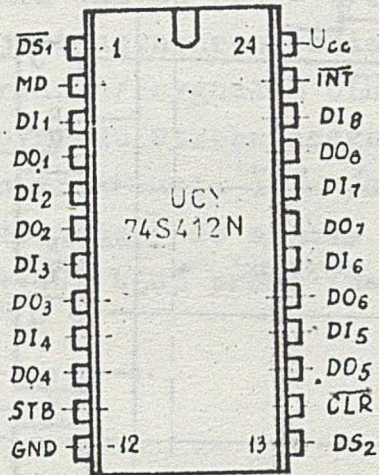


8-BITOWA BRAMA WEJŚCIE-WYJŚCIE

UCY 74S412N



Rys. 1. Rozkład wyprowadzeń

Bipolarny cyfrowy układ scalony TTLS UCY 74S412N pełni funkcję uniwersalnej 8-bitowej bramy WEJŚCIE-WYJŚCIE dla systemu mikroprocesorowego, opartego na jednostce centralnej MCY 7880. Układ posiada wewnętrzny przerzutnik /SR/ służący do generacji i kontroli przerw w systemie. Całość kontrolowana jest przez układ kombinacyjny sterowany sygnałami $\overline{DS1}$, $\overline{DS2}$, MD, \overline{CLR} , STB. Część transmisyjna układu składa się z 8-bitowego rejestru typu "zatrask" oraz trójstanowych buforów wyjściowych. Praca części transmisyjnej określona jest następującymi równaniami boolowskimi:

$$WR = \overline{MD} \cdot STB + DS1 \cdot DS2 \cdot MD$$

$$EN = MD + DS1 \cdot DS2$$

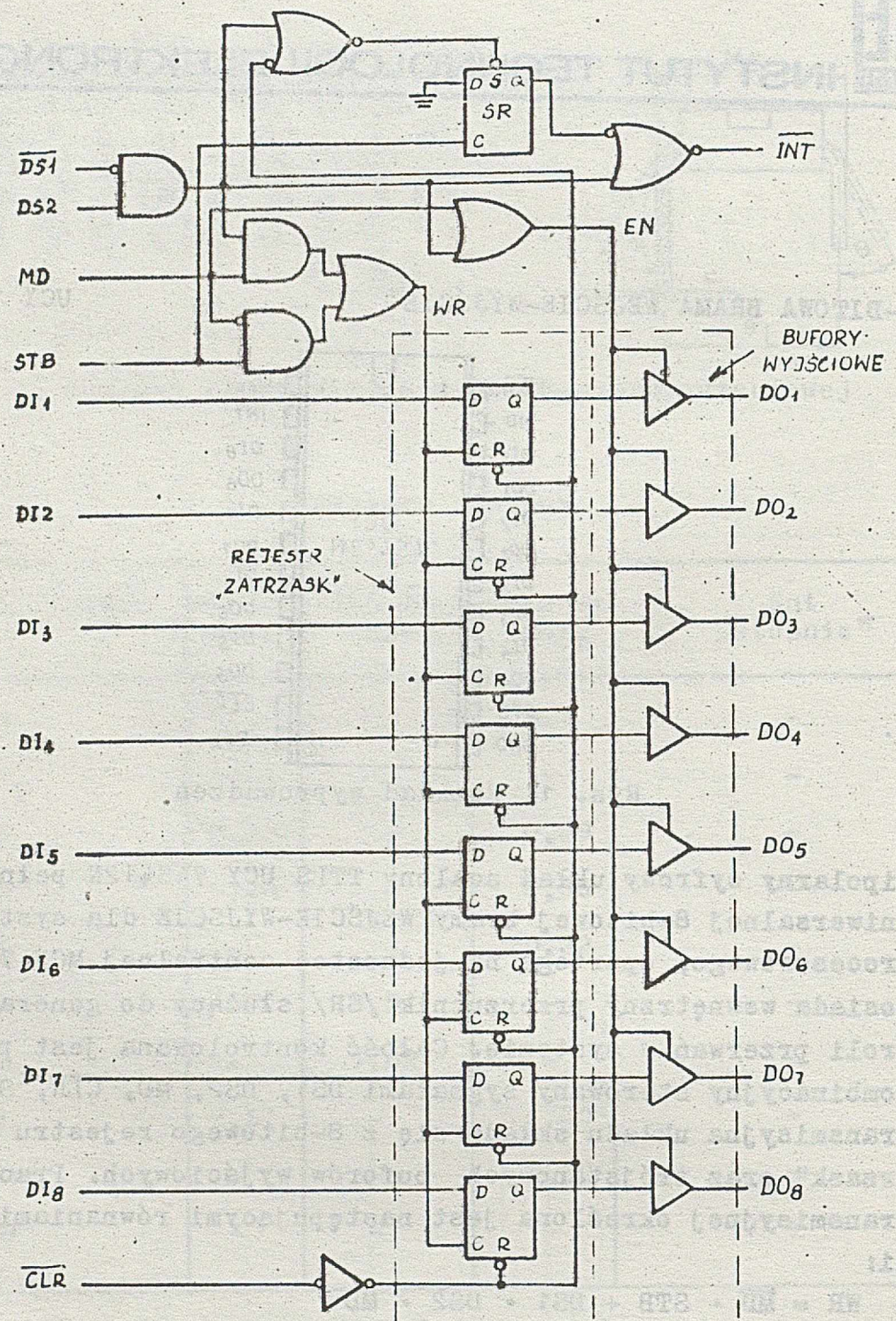
Istotne są trzy przypadki:

WR = 1 i EN = 1 - transmisja danych z wejścia na wyjście układu,

WR = 0 - pamiętanie danych.

EN = 0 - stan wysokiej impedancji na wyjściach

D01 ÷ D08



Rys. 1. Schemat logiczny

Nazwy wyprowadzeń:

- DI1 - DI8 - wejście danych
- DO1 - DO8 - wyjście danych
- MD - wejście określające rodzaj pracy układu
- DS1, DS2 - wejścia wybierające
- STB - wejście strobuujące
- INT - wyjście sygnału przerwania
- CLR - wejście zerujące

Rodzaj pracy układu określony jest przez wejście MD:

1° MD = 0 /wejściowy rodzaj pracy/
wtedy WR = STB i EN = DS1 • DS2

2° MD = 1 /wyjściowy rodzaj pracy/
wtedy WR = DS1 • DS2 i EN = 1

Rejestr typu "zatrząsk" może być zerowany sygnałem $\overline{\text{CLR}} = 0$ tylko w stanie pamiętania danych /WR = 0/. Przerzutnik generacji przerwań /SR/ jest asynchronicznie ustawiany w stanie wysokim /brak przerwania/ sygnałem $\overline{\text{CLR}} = 0$ oraz zerowany opadającym zboczem sygnału strobujującego STB /stan przerwania/. Wyjście sygnału przerwania $\overline{\text{INT}}$ /aktywny stan niski/ może być bezpośrednio dołączony do układu kontrolera priorytetu przerwań /UCY 74S414N/ bądź przez inwerter, do wejścia INT CPU MCY 7880.

PARAMETRY DOPUSZCZALNE

Napięcie zasilania	U_{CC}	- 0,5 ÷ 7 V
Napięcie wejściowe	U_I	- 1,0 ÷ 5,5 V
Prąd wyjściowy	I_o	≤ 125 mA
Temperatura otoczenia w czasie pracy	t_{amb}	- 0 ÷ +70°C
Temperatura przechowywania	t_{stg}	-55 ÷ +125°C

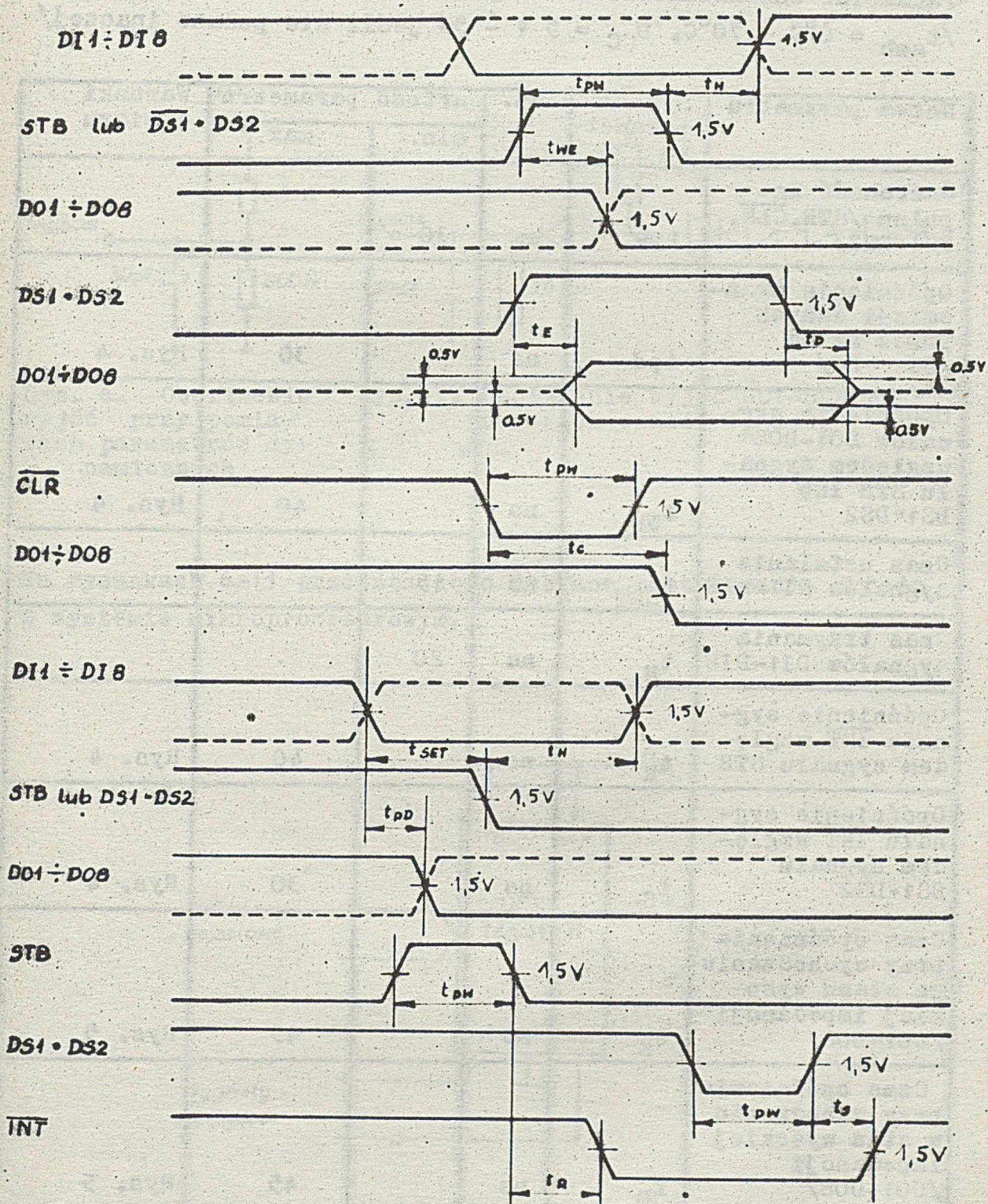
PARAMETRY CHARAKTERYSTYCZNE /statyczne/

/ $t_{amb} = 0^\circ\text{C} \div 70^\circ\text{C}$, $U_{CC} = 5 \text{ V} \pm 5\%$ jeśli nie podano inaczej/

Nazwa parametru	Symbol parametru	Jedn.	Wartość parametru		Warunki pomiaru
			min.	max.	
1	2	3	4	5	6
Prąd wejściowy w stanie niskim DI1 ÷ DI8 DS2, STB, $\overline{\text{CLR}}$	$-I_{IL}$	/μA		250	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,45 \text{ V}$

PARAMETRY CHARAKTERYSTYCZNE c.d.

1	2	3	4	5	6
Prąd wejściowy w stanie niskim DS1 MD	$-I_{IL}$	μA μA		1000 750	$U_{CC} = 5,25 V$ $U_I = 0,45 V$
Prąd wejściowy w stanie wysokim DI1 ÷ DI8 DS2, STB, CLR	I_{IH}	μA		10	$U_{CC} = 5,25 V$ $U_I = 5,25 V$
Prąd wejściowy w stanie wysokim MD DS1	I_{IH}	μA μA		30 40	$U_{CC} = 5,25 V$ $U_I = 5,25 V$
Ujemne napięcie wejściowe /wszystkie wejścia/	$-U_{IL}$	V		1	$U_{CC} = 4,75 V$ $-I_I = 5 mA$
Napięcie wejściowe w stanie niskim	U_{IL}	V		0,85	
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2,0		
Napięcie wyjściowe w stanie niskim	U_{OL}	V		0,45	$I_{OL} = 15 mA$
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	3,65		$I_{OH} = -1 mA$
Zwarciovowy prąd wyjściowy	$-I_{OS}$	mA	15	75	$U_0 = 0 V$
Prąd wyjściowy w stanie wysokiej impedancji DO1 ÷ DO8	I_o/off	μA		-20	$U_0 = 0,45 V$
		μA		20	$U_0 = 5,25 V$
Prąd zasilania	I_{CC}	mA		130	

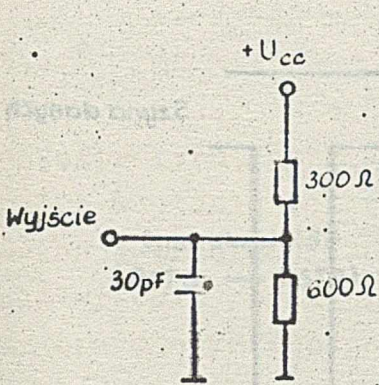


Rys. 3. Zależności czasowe między sygnałami wyjściowymi i wejściowymi

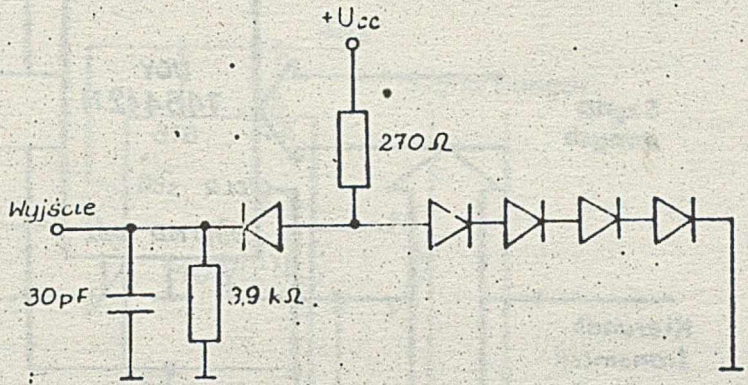
PARAMETRY CHARAKTERYSTYCZNE /dynamiczne/

/ $t_{amb} = 0^{\circ}C \div 70^{\circ}C$, $U_{CC} = 5 V \pm 5\%$ jeśli nie podano inaczej/

Nazwa parametru	Symbol parametru	Jedn.	Wartość parametru		Warunki pomiaru
			min.	max.	
Szerokość impulsu /STB, CLR, DS1-DS2/	t_{pw}	ns	30		
Opóźnienie transmisji danych przez układ /DI → DO/	t_{pd}	ns		30	Rys. 4
Opóźnienie sygnałów D01-D08 względem sygnału STB lub DS1-DS2	t_{WE}	ns		40	Rys. 4
Czas ustalania sygnałów DI1-DI8	t_{SET}	ns	15		
Czas trzymania sygnałów DI1-DI8	t_H	ns	20		
Opóźnienie sygnału INT względem sygnału STB	t_R	ns		40	Rys. 4
Opóźnienie sygnału INT względem sygnału DS1-DS2	t_S	ns		30	Rys. 4
Czas opóźnienia przy wychodzeniu ze stanu wysokiej impedancji /D01-D08/	t_E	ns		45	Rys. 5
Czas opóźnienia przy wchodzeniu w stan wysokiej impedancji /D01-D08/	t_D	ns		45	Rys. 5
Opóźnienie sygnałów D01-D08 względem sygnału CLR /zerowanie/	t_C	ns		55	Rys. 4

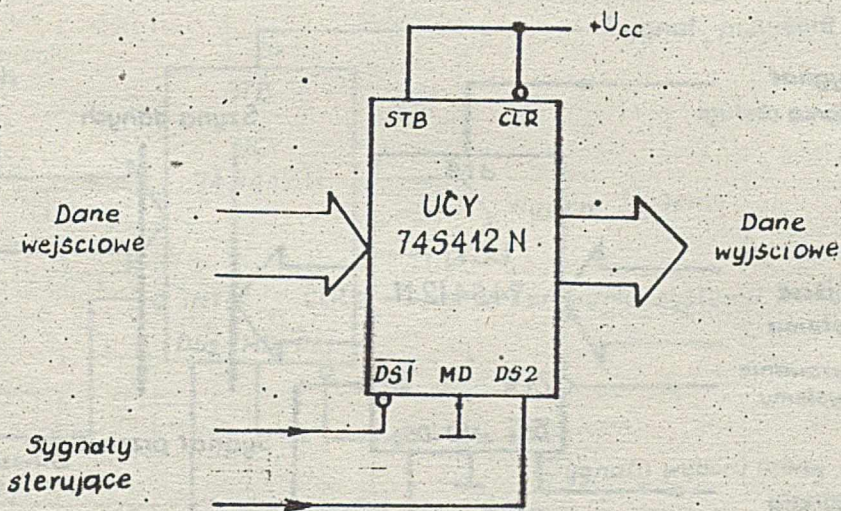


Rys. 4. Obciążenie wyjść przy pomiarach parametrów dynamicznych

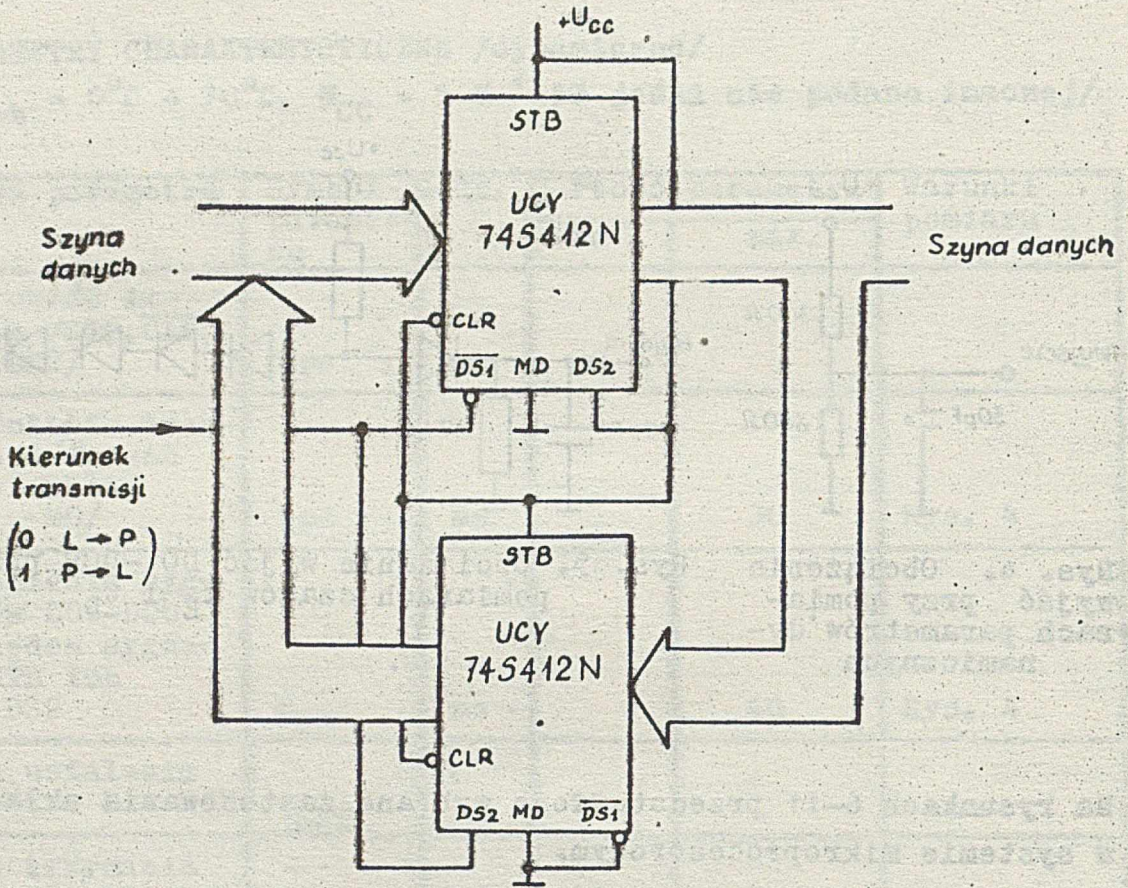


Rys. 5. Obciążenie wyjść D01-D08 przy pomiarach czasów t_E i t_D

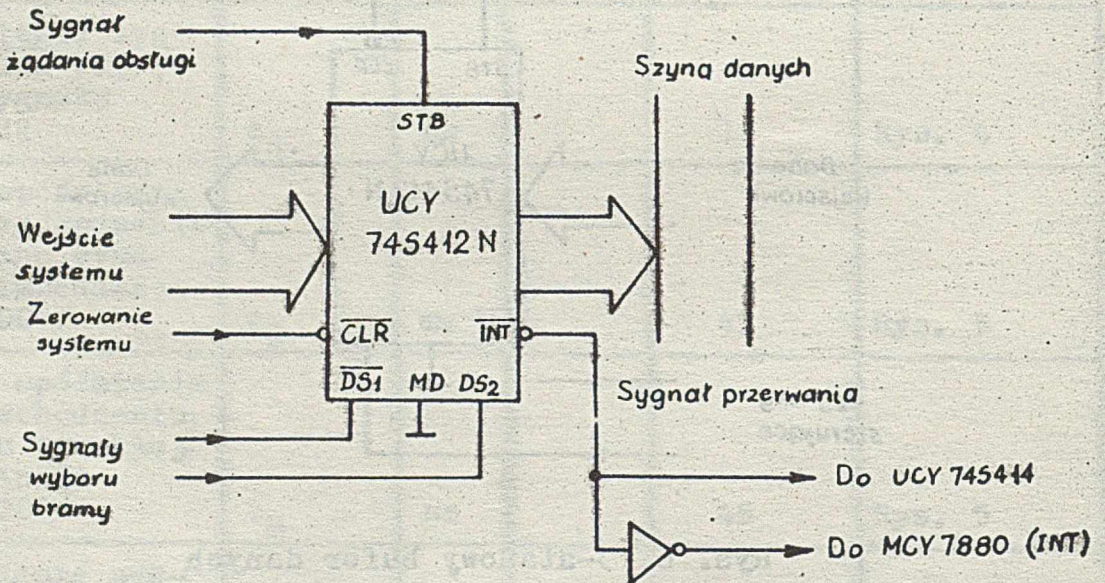
Na rysunkach 6-11 przedstawiono wybrane zastosowania układu w systemie mikroprocesorowym,



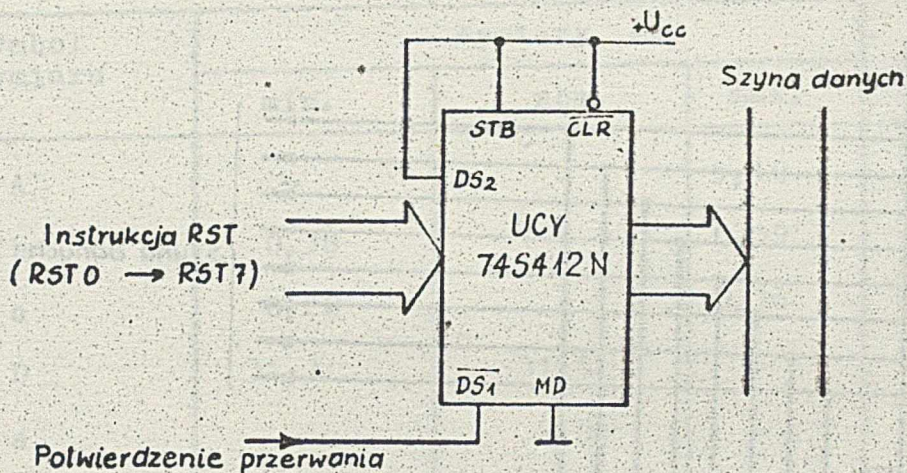
Rys. 6. 3-stanowy bufor danych



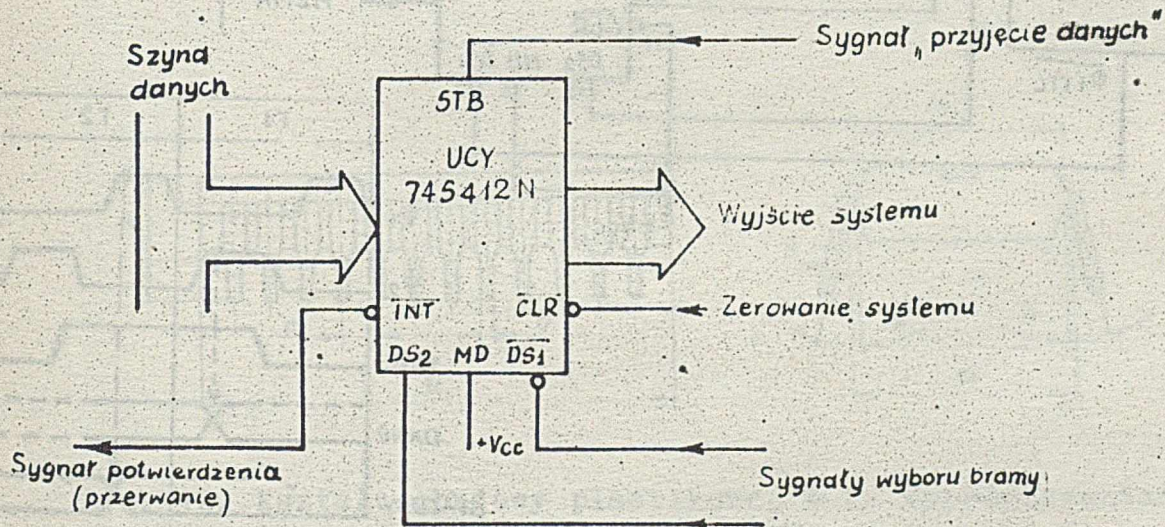
Rys. 7. Dwukierunkowy driver szyny danych



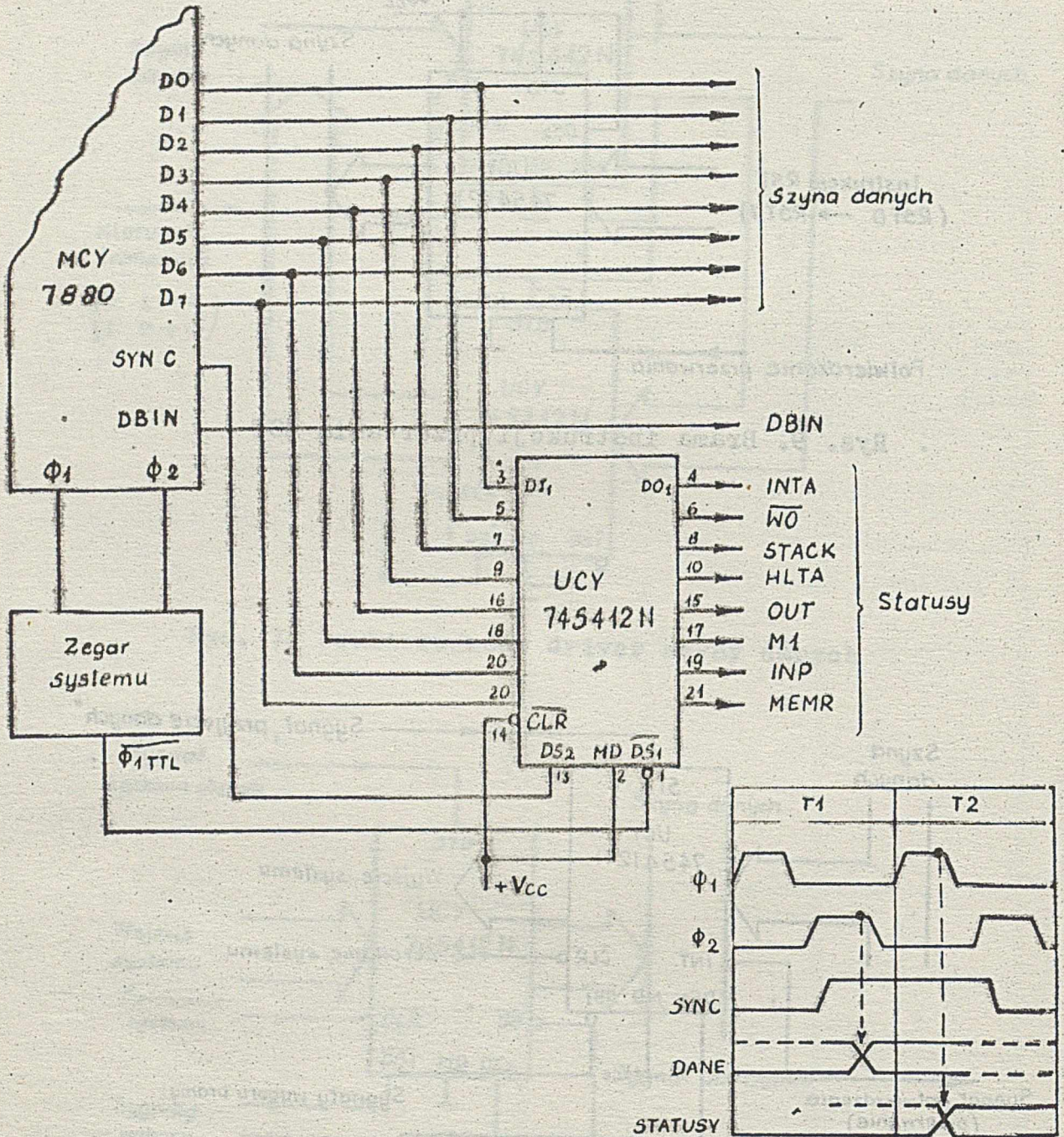
Rys. 8. Brama WE/WY z generacją sygnału przerwania



Rys. 9. Brama instrukcji przerwania RST



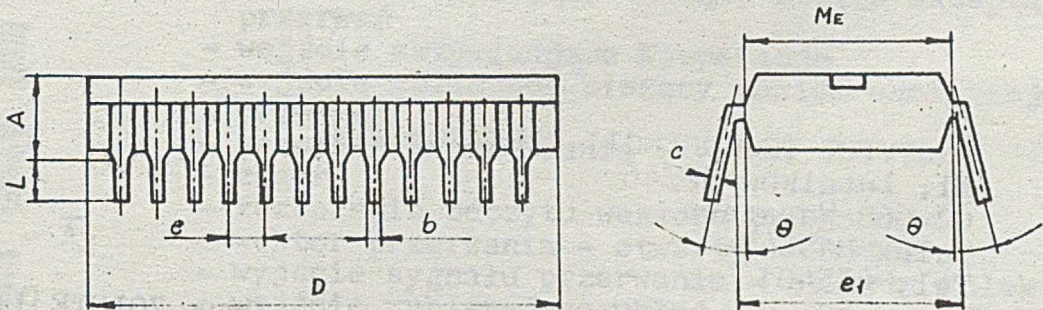
Rys. 10. Brama wyjściowa typu hand-shake



Rys. 11. Rejestr statusów systemu

Wymiary obudowy CE-73

Symbol wymiaru	Wymiary mm			Kąt stopnie
	min.	nom.	max.	
A	-	-	5,10	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	31,3	31,6	-	-
e	-	2,54	-	-
e ₁	-	15,24	-	-
L	2,54	-	-	-
M _E	13,8	-	-	-
θ	-	-	-	0 ÷ 15



Rys. 12. Kształt obudowy plastikowej o 24 wyprowadzeniach CE-73

Wydawnictwo 02-30

Symbol Wielkość	Wydawnictwo		
	Wzrost	Waga	Wiek
A	1,70	60,0	25
B	1,75	65,0	26
C	1,80	70,0	27
D	1,85	75,0	28
E	1,90	80,0	29
F	1,95	85,0	30
G	2,00	90,0	31
H	2,05	95,0	32
I	2,10	100,0	33
J	2,15	105,0	34
K	2,20	110,0	35
L	2,25	115,0	36
M	2,30	120,0	37
N	2,35	125,0	38
O	2,40	130,0	39
P	2,45	135,0	40
Q	2,50	140,0	41
R	2,55	145,0	42
S	2,60	150,0	43
T	2,65	155,0	44
U	2,70	160,0	45
V	2,75	165,0	46
W	2,80	170,0	47
X	2,85	175,0	48
Y	2,90	180,0	49
Z	2,95	185,0	50

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa
Telex 815647
Tel. 435401
Cena 120 zł

Druk ZOINTE ITE zam.

PRAWO REPRODUKCJI ZASTRZEŻONE