KONTROLER SZYNY SYSTEMOWEJ
WIELOPROCESOROWYCH SYSTEMÓW UCY 74S418/419N
MIKROPROCESOROWYCH

Monolityczny, cyfrowy układ scalony TTL - S LSI, pełni funkcję kontrolera magistrali systemowej wieloprocesorowych systemów mikroprocesorowych. Układ zapewnia interfejs modułów nadrzędnych systemu /CPU lub kanał DMA/ do wspólnej magistrali systemowej typu MULTIBUS.

Układ realizowany jest w dwóch wersjach konstrukcyjnych. Wersja UCY 74S418N przeznaczona jest do współpracy z mikroprocesorem MCY 7880 lub kontrolerem DMA 8257, natomiast wersja 74S419N do współpracy z mikroprocesorem 8085.

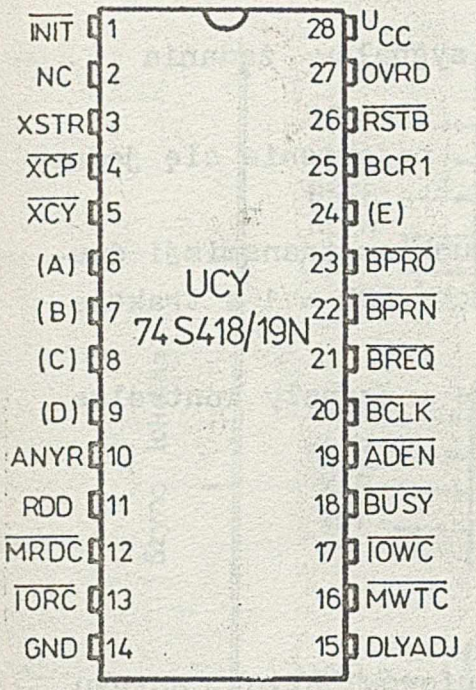
Układ składa się z trzech zasadniczych bloków funkcjonalnych /rys. 2/ realizujących następujące funkcje:

- rozpoznanie stanu magistrali systemowej /linia $\overline{BUSY}$/,
- generacja synchronicznych z zegarem systemowym sygnałów żądania dostępu do magistrali dla zewnętrznych układów arbitrażu,
- generacja sygnałów kontrolnych systemu oraz sygnałów sterujących pracą buforów szyn adresu i danych,
- zapewnienie odpowiednich relacji czasowych dla sygnałów magistrali systemowej.

Praca układu rozpoczyna się w chwili, gdy moduł nadrzędny /ang. MASTER/ zgłasza żądanie dostępu do magistrali systemowej na liniach BCR1, $\overline{BCR2}$/BCR2/ lub $\overline{ASRQ}$ /wersja 74S419N/. Sygnały żądania są strobowane w układzie za pomocą zewnętrznego sygnału $\overline{RSTB}$ /z wyjątkiem sygnału $\overline{ASRQ}$/. Drugie opadające zbocze sygnału zegarowego $\overline{BCLK}$ /licząc od chwili wystąpienia sygnału stro-

bującego $\overline{RSTR}$/ spowoduje wygenerowanie sygnału żądania dostępu do magistrali $\overline{BREQ}$ oraz wprowadzi wyjście $\overline{BPRO}$ w stan wysoki /rys. 3/.
Sygnał $\overline{BREQ}$ wykorzystywany jest w przypadku, gdy priorytet dostępu do magistrali systemowej rozstrzygany jest w równoległym układzie arbitrażu. Sygnał $\overline{BPRO}$ zezwala na dostęp do magistrali modułowi nadrzędnemu o niższym priorytecie i wykorzystywany jest w szeregowym układzie arbitrażu /ang. DAISY CHAIN/.
W przypadku gdy moduł nadrzędny uzyska priorytet dostępu do magistrali /stan niski na wejściu $\overline{BPRN}$/, kolejne opadające zbocze sygnału zegarowego $\overline{BCLK}$ spowoduje wygenerowanie stanu niskiego na wyjściach $\overline{BUSY}$ i $\overline{ADEN}$, co jest jednoznaczne z dołączeniem modułu nadrzędnego do magistrali systemowej.
Sygnał $\overline{BUSY}$ blokuje dostęp do magistrali wszystkich innych modułów nadrzędnych, natomiast sygnał $\overline{ADEN}$ wykorzystywany jest do aktywizacji buforów/driverów szyn adresu i danych.
Cykl kontrolny systemu rozpoczyna się w momencie wystąpienia narastającego zbocza sygnału XSTR lub opadającego zbocza sygnału $\overline{ADEN}$, w zależności od tego, które z nich wystąpi jako ostatnie /rys. 4/. Powoduje to wygenerowanie sygnału $\overline{XCY}$, a po czasie opóźnienia τ /zależnym od wartości elementów RC na wyprowadzeniu DLYADJ/ odpowiedniego sygnału kontrolnego /$\overline{MRDC}$, $\overline{MWTC}$ itd/. Kolejne narastające zbocze sygnału XSTR może pojawić się już w trakcie aktualnego cyklu kontrolnego, co umożliwia przyspieszenie rozpoczęcia następnego cyklu. Zakończenie cyklu kontrolnego następuje w chwili wystąpienia opadającego zbocza sygnału $\overline{XCP}$, które powoduje zdjęcie sygnału kontrolnego, a po czasie opóźnienia τ wprowadzenie wyjścia $\overline{XCY}$ w stan wysoki.
Kontrolowana przez moduł nadrzędny magistrala systemowa może zostać zwolniona tylko w dwóch przypadkach:
- moduł nadrzędny traci priorytet /$\overline{BPRN}$ = 1/,
- moduł nadrzędny wstrzymuje żądanie dostępu do magistrali /BCR1 = 0, $\overline{BCR2}$ = 1/,

pod warunkiem, że nastąpiło zakończenie cyklu kontrolnego /$\overline{XCY}$=1/ oraz na wejściu OVRD występuje stan niski. Wyjścia $\overline{ADEN}$ i $\overline{BUSY}$ wprowadzone są wówczas w stan wysoki /rys. 3/.



	UCY 74S418N	UCY 74S419N
/A/	$\overline{IOWR}$	IO/$\overline{M}$
/B/	$\overline{MWTR}$	$\overline{WR}$
/C/	$\overline{IORR}$	$\overline{RD}$
/D/	$\overline{MRDR}$	$\overline{ASRQ}$
/E/	$\overline{BCR2}$	BCR2

Rys. 1. Rozkład wyprowadzeń układu UCY 74S418/419N

Nazwy wyprowadzeń

$\overline{INIT}$ - wejście - sygnał inicjujący, sprowadzający układ do znanego stanu początkowego,

XSTR - wejście /aktywne narastające zbocze sygnału/ - sygnał rozpoczęcia cyklu kontrolnego systemu,

$\overline{XCP}$ - wejście /aktywne opadające zbocze sygnału/ - sygnał końca cyklu kontrolnego, wskazujący że dane zostałe odebrane przez układ podrzędny /cykl zapisu/ lub wysłane przez układ podrzędny i odebrane przez układ nadrzędny /cykl odczytu/,

$\overline{XCY}$ - wyjście TTL - sygnał wskazujący na przebieg cyklu kontrolnego

$\overline{MRDR}$, $\overline{MWTR}$, $\overline{IDRR}$, $\overline{IOWR}$ - /wejścia układu UCY 74S418/ - sygnały żądania: odczytu z pamięci, zapisu do pamięci, czytania z portu WE/WY, zapisu do portu WE/WY.

Sygnały generowane przez kontroler systemu UCY 74S428 /dla układu MCY 7880/ lub przez kontroler DMA 8257:

$\overline{WR}$, $\overline{RD}$, IO/$\overline{M}$ - wejścia układu UCY 74S419 - sygnały kontrolne generowane przez mikroprocesor 8085 i wewnętrznie dekodowane

przez układ UCY 74S419N w celu uzyskania sygnałów żądania $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR}$,

ANYR - wyjście TTL - sygnał wskazujący na pojawienie się jednego z sygnałów żądania /$\overline{MRDR}$, $\overline{MWTR}$ itd./

RDD - wyjście TTL - sygnał sterujący kierunkiem transmisji dwukierunkowych buforów /driverów szyny danych/ RDD = 1 w trakcie cyklu czytania.

$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$ - wyjścia 3-stanowe - sygnały kontrolne systemu:

- odczytu z pamięci
- zapisu do pamięci
- odczytu z portu WE/WY
- zapisu do portu WE/WY

$\overline{ADEN}$ - wyjście TTL - sygnał aktywizacji buforów szyny adresu i danych

$\overline{BUSY}$ - wyjście typu "otwarty kolektor" - sygnał wskazujący stan magistrali systemowej /zajęte, zwolnione/

$\overline{BCLK}$ - wejście - sygnał zegara systemowego

$\overline{BREQ}$ - wyjście TTL - sygnał żądania dostępu do magistrali wykorzystywany w równoległym układzie arbitrażu

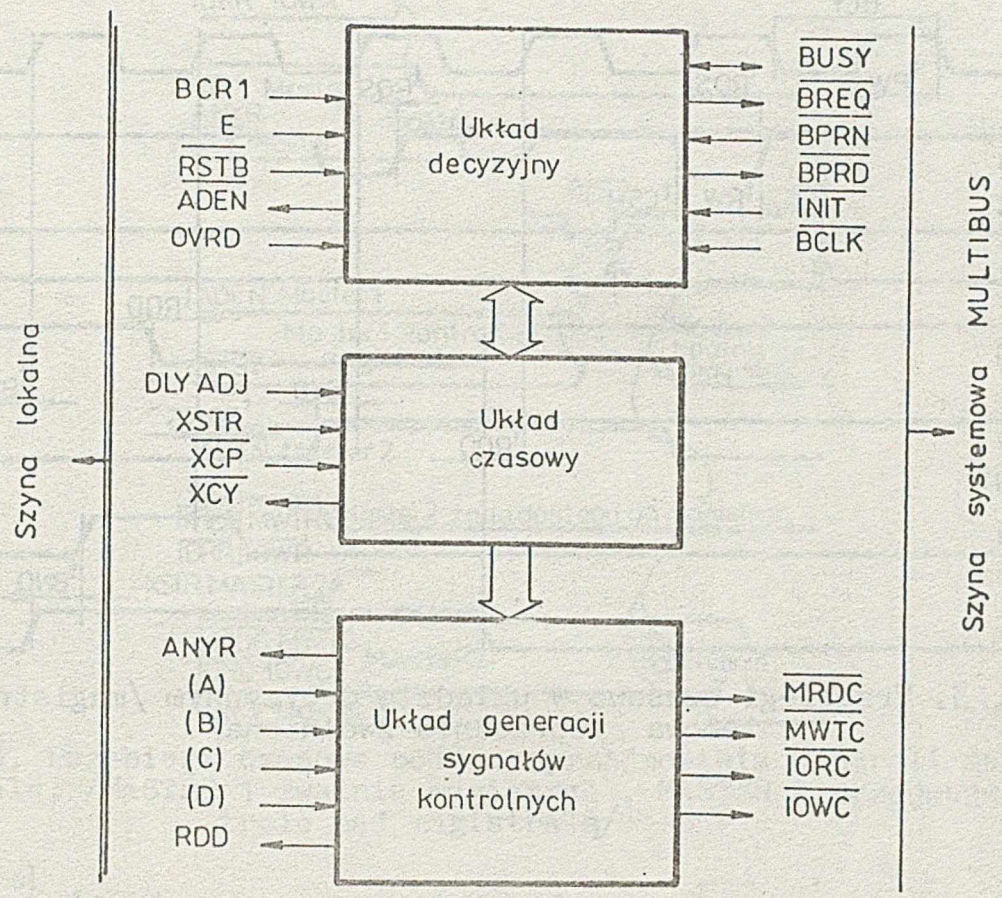
$\overline{BPRN}$ - wejście - sygnał priorytetu magistrali, wskazujący że żaden z układów równoległych o wyższym priorytecie nie zgłasza żądania dostępu do magistrali /$\overline{BPRN}$ = 0/

$\overline{BPRO}$ - wyjście TTL - sygnał priorytetu magistrali wykorzystywany w szeregowym układzie arbitrażu /ang. DAISY CHAIN/

BCR1, $\overline{BCR2}$/BCR2 - wejście - sygnały żądania dostępu do magistrali generowane przez moduł nadrzędny. Dla układu UCY 74S419N stanem aktywnym na wejściu BCR2 jest stan wysoki, natomiast dla układu UCY 74S418N, stan niski /$\overline{BCR2}$/

$\overline{ASRQ}$ - wejście - asynchroniczny sygnał żądania dostępu do magistrali, nie wymagający sygnału strobującego $\overline{RSTB}$ /tylko dla UCY 74S419N/

RSTB - wejście - sygnał strobujący sygnały żądania dostępu do magistrali BCR1, BCR2. W układzie UCY 74S418N strobowanie następuje w stanie niskim sygnału, natomiast w układzie UCY 74S419N, przy opadającym zboczu sygnału



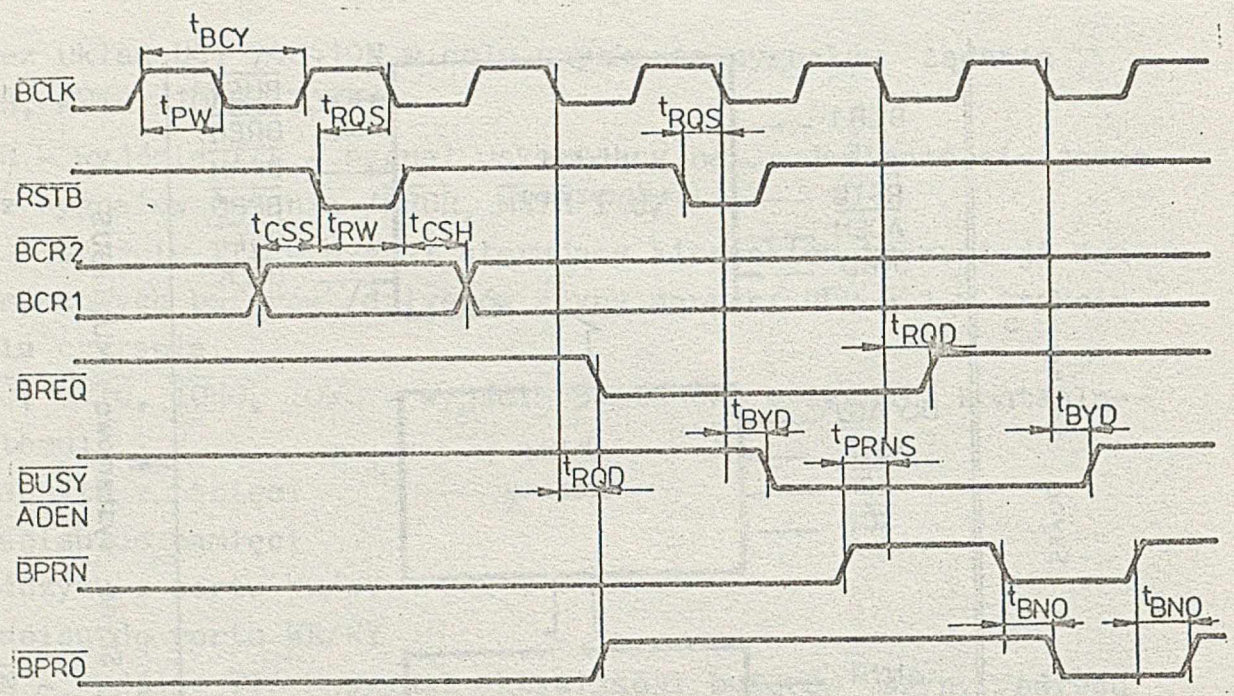
Rys. 2. Schemat blokowy układu UCY 74S418/419N

OVRD - wejście - sygnał zapobiegający utracie kontroli nad magistralą w przypadku utraty priorytetu przez moduł nadrzędny kontrolujący magistralę. Może być wykorzystywany w operacjach semaforowych typu czytanie - modyfikacja - zapis.

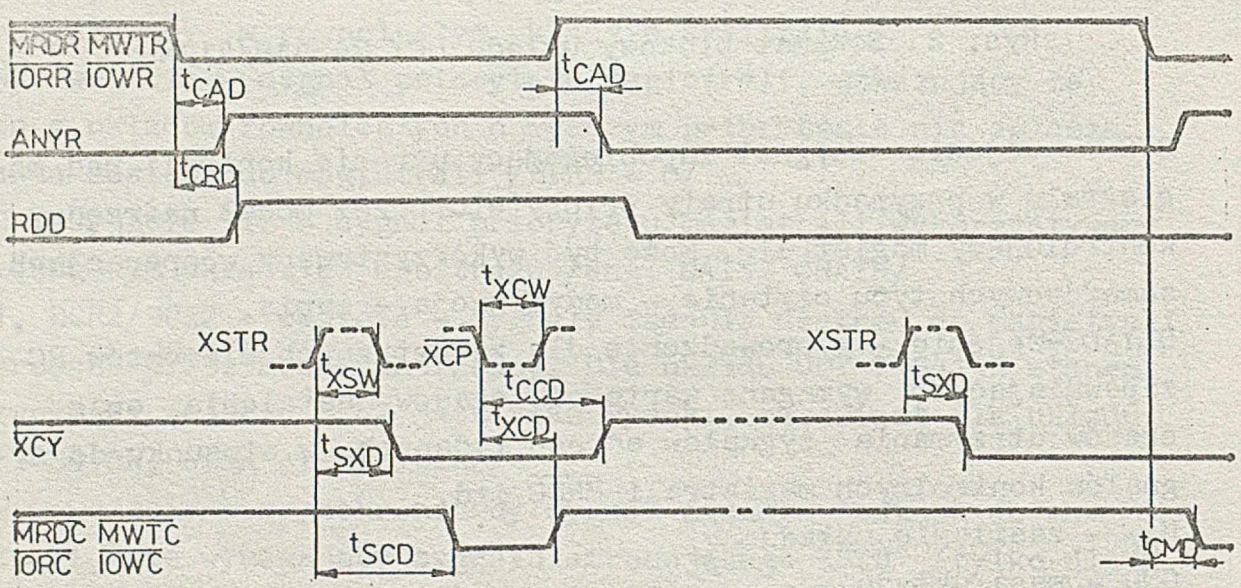
DLYADJ-wejście - wyprowadzenie dla zewnętrznych elementów RC zapewniających wymagane wartości czasów ustalenia oraz czasów utrzymania sygnałów adresu i danych w stosunku do sygnałów kontrolnych magistrali $\overline{MRDC}$ itd.

U_{CC} - zasilanie układu

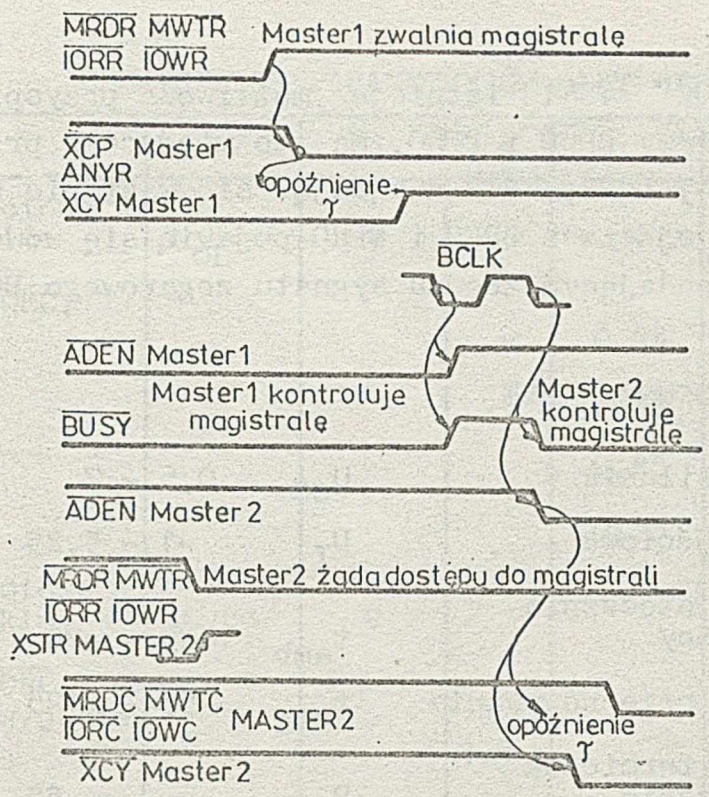
GND - masa układu



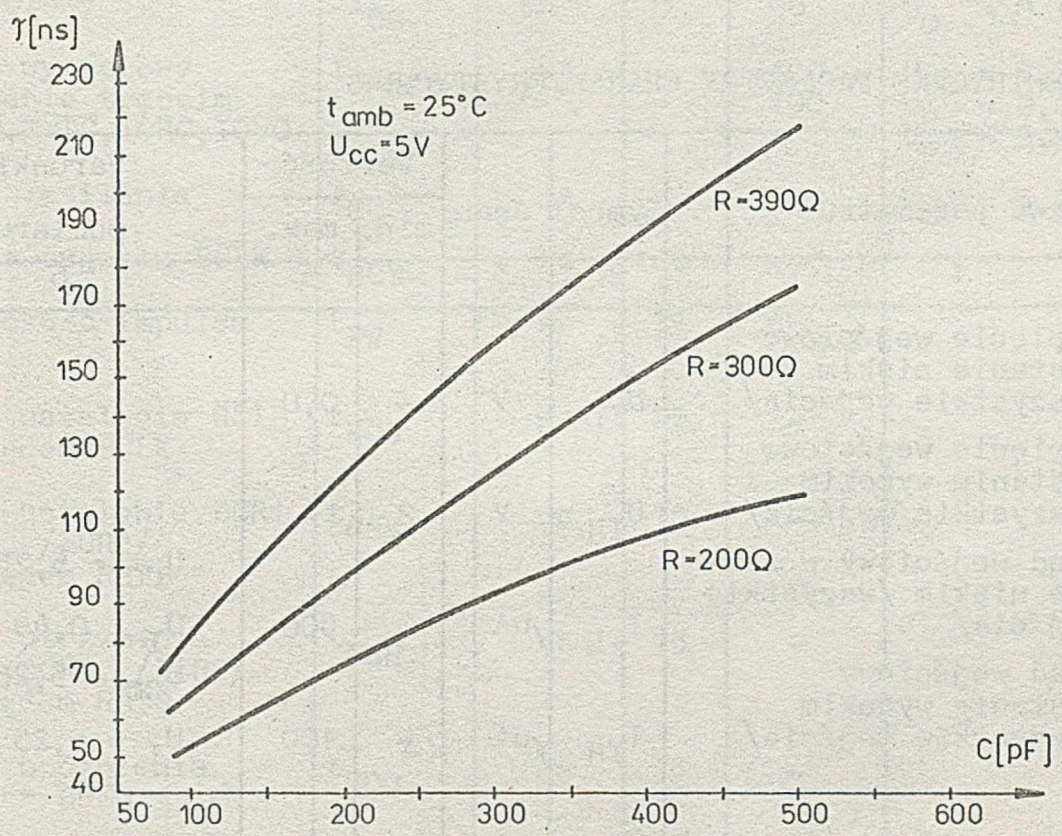
Rys. 3. Przebiegi czasowe w układzie decyzyjnym /magistrala systemowa poprzednio zwolniona/



Rys. 4. Przebiegi czasowe podczas cyklu kontroli magistrali /magistrala poprzednio zwolniona/



Rys. 5. Przebiegi czasowe podczas przejmowania kontroli nad magistralą. /MASTER 1 zwalnia magistralę, MASTER 2 przejmuje kontrolę nad magistralą/



Rys. 6. Zależność czasu opóźnienia τ od elementów R, C

W układzie UCY 74S418 istnieje możliwość przyspieszonej generacji sygnałów $\overline{BPEQ}$ i $\overline{BPRO}$. Ma to miejsce w przypadku, gdy wejścia BCR1, $\overline{BCR2}$, $\overline{RSTB}$ znajdują się w stanie niskim. Stany aktywne na wejściach $\overline{BREQ}$ i $\overline{BPRO}$ pojawią się wówczas już po pierwszym opadającym zboczu sygnału zegarowego $\overline{BCLK}$.

PARAMETRY DOPUSZCZALNE

Napięcie zasilania	U_{CC}	0,5 - 7	V
Napięcie wejściowe	U_I	-1 - 5,25	V
Temperatura otoczenia w czasie pracy	t_{amb}	0 - +70	^oC
Temperatura przechowywania	t_{stg}	-55 - +125	^oC
Rezystancja termiczna złącze-otoczenie	R_{thj-a}	55	k/W
Temperatura złącza	t_j	150	^oC

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość max.	Warunki pomiaru
1	2	3	4	5	6
Napięcie wejściowe w stanie niskim /wszystkie wejścia/	U_{IL}	V	-	0,8	
Napięcie wejściowe w stanie wysokim /wszystkie wejścia/	U_{IH}	V	2	-	
Prąd wejściowy w stanie niskim /wszystkie wejścia/	$-I_{IL}$	uA	-	500	U_{CC} = 5,25 V U_I = 0,45 V
Prąd wejściowy w stanie wysokim /wszystkie wejścia/	I_{IH}	uA	-	100	U_{CC} = 5,25 V U_I = 5,25 V

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

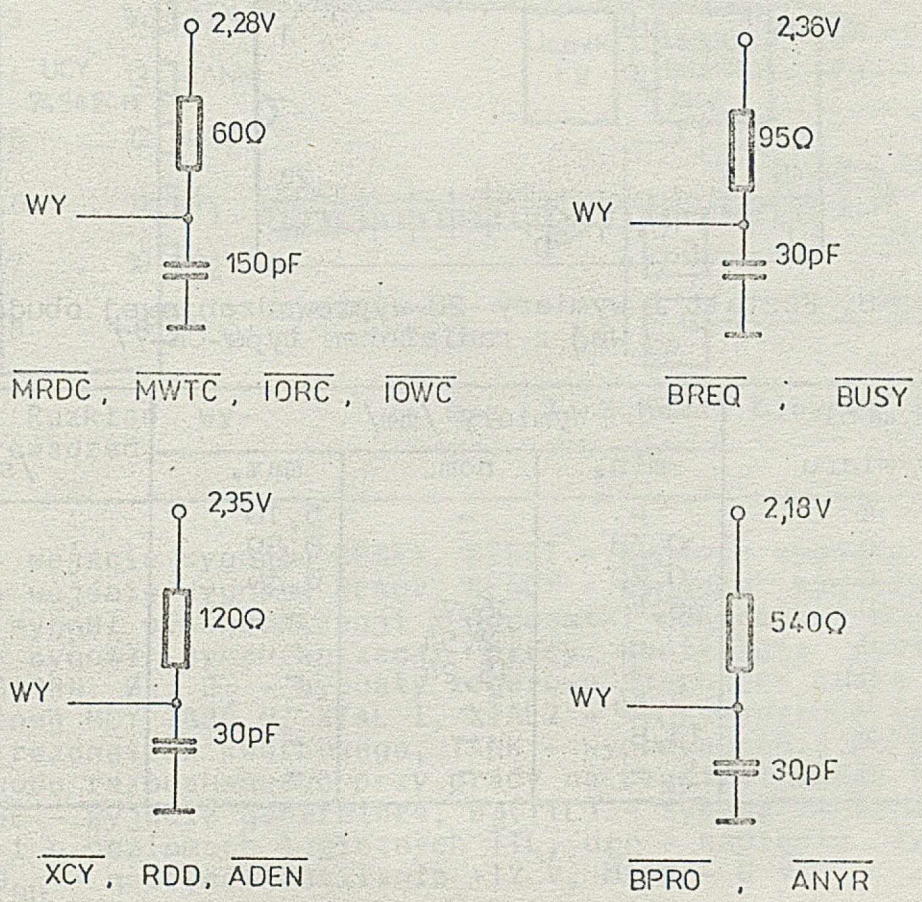
1	2	3	4	5	6
Napięcie wyjściowe w stanie niskim	U_{OL}	V			U_{CC} = 4,75 V
$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$			-	0,45	I_{OL} = 32 mA
$\overline{BREO}$, $\overline{BUSY}$			-	0,45	I_{OL} = 20 mA
$\overline{XCY}$, $\overline{ADEN}$, RDD				0,45	I_{OL} = 16 mA
$\overline{BPRO}$, ANYR				0,45	I_{OL} = 3,2 mA
Napięcie wyjściowe w stanie wysokim	U_{OH}	V			U_{CC} = 4,75 V
$\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$, $\overline{BUSY}$ - wyjście typu OC			2,4		I_{OH} = -2 mA
Pozostałe wyjścia			2,4		I_{OH} = -400 /uA
Wyjściowy prąd zwarciowy	$-I_{OS}$	mA	10	90	U_{CC} = 5,25 V U_O = 0 V
Prąd wyjściowy w stanie trzecim $\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	$I_{o/off/}$	/uA	- -	-100 100	U_{CC} = 5,25 V U_o = 0,45 V U_o = 5,25 V
Prąd zasilania	I_{CC}	mA	-	240	U_{CC} = 5,25 V
Okres sygnału $\overline{BCLK}$	t_{BCY}	ns	100	-	
Szerokość impulsu BCLK	t_{PW}	ns	35	$0,65_{BCY}$	
Czas ustalenia $\overline{RSTB}$ względem $\overline{BCLK}$	t_{RQS}	ns	25	-	
Czas ustalenia BCR1, $\overline{BCR2}$, /BCR2/ względem $\overline{RSTB}$	t_{CSS}	ns	15	-	
Czas utrzymania BCR1, $\overline{BCR2}$, /BCR2/ względem $\overline{RSTB}$	t_{CSH}	ns	15	-	
Czas opóźnienia $\overline{BCLK}$ — $\overline{BREQ}$	t_{RQD} *)	ns	35	-	

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

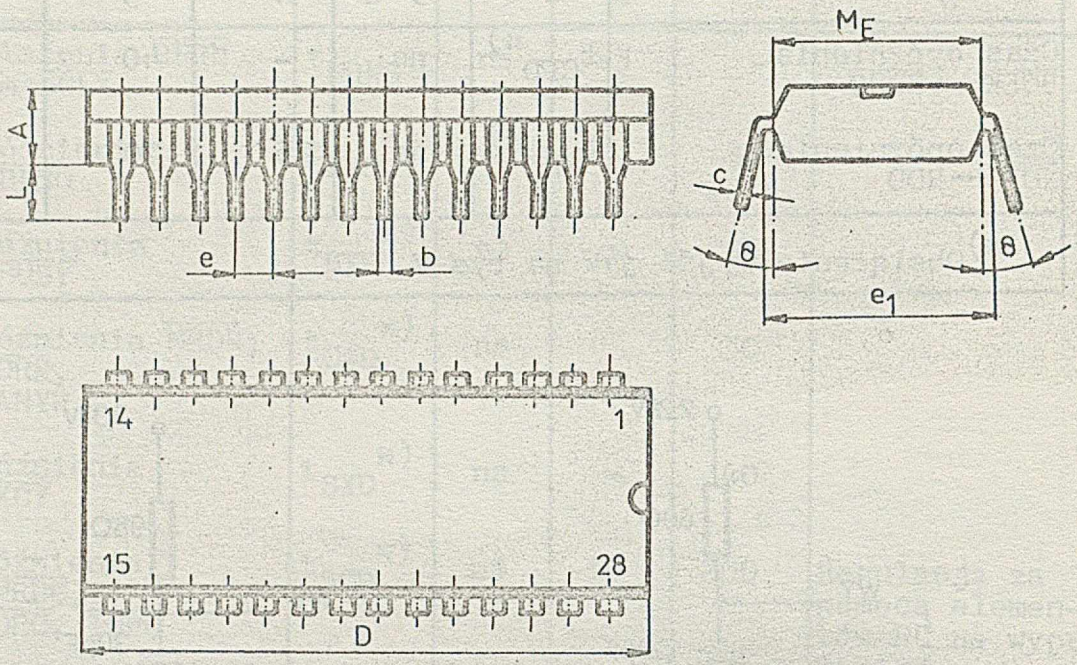
1	2	3	4	5	6
Czas ustalenia $\overline{BPRN}$ względem $\overline{BCLK}$	t_{PRNS}	ns	23	-	
Czas opóźnienia $\overline{BPRN} \rightarrow \overline{BPRO}$	t_{BNO} *)	ns	-	30	
Czas opóźnienia $\overline{BCLK} \rightarrow \overline{BUSY}$	t_{BYD} *)	ns	-	55	
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow$ ANYR	t_{CAD} *)	ns		30	
Czas opóźnienia XSTR $\rightarrow \overline{XCY}$	t_{SXD} *)	ns	-	40	
Czas opóźnienia XSTR $\rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{SCD} *)	ns	50	200	Regulacja za pomocą elementów RC na wypr. DLYADJ
Szerokość impulsu XSTR	t_{XSW}	ns	30	-	
Czas opóźnienia $\overline{XCP} \rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{XCD} *)	ns	-	50	
Szerokość impulsu $\overline{XCP}$	t_{XCW}	ns	35	-	
Czas opóźnienia $\overline{XCP} \rightarrow \overline{XCY}$	t_{CCD} *)	ns	50	200	Regulacja za pomocą elementów RC na wypr. DLYADJ
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow \overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$	t_{CMD} *)	ns	-	35	
Czas opóźnienia $\overline{MRDR}$, $\overline{MWTR}$, $\overline{IORR}$, $\overline{IOWR} \rightarrow$ RDD	t_{CRD} *)	ns	-	25	
Szerokość impulsu $\overline{RSTB}$	t_{RW}	ns	30	-	

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

1	2	3	4	5	6
Czas opóźnienia $\overline{BCLK} \rightarrow \overline{BDRO}$	t_{CPD} ⁎)	ns	-	40	
Czas opóźnienia $\overline{XCP} \rightarrow RDD$	t_{XRD} ⁎)	ns	25	70	
⁎) Obciążenie wyjść jak na rys 7.					



Rys. 7. Obciążenie wyjść układu UCY74S418/419N podczas pomiaru parametrów dynamicznych



Rys. 8. Kształt i wymiary 28-wyprowadzeniowej obudowy plastykowej z radiatorem typu CE-77

Symbol wymiaru	Wymiary /mm/			Kąt /stopnie/
	min.	nom.	max.	
A	-	-	5,10	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	36,4	36,7	-	-
e	-	2,54	-	-
e_1	-	15,24	-	-
L	2,54	-	-	-
M_E	13,8	-	-	-
θ	-	-	-	0 ÷ 15

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

Tlx 815647
Tel. 435401
Maj 1987

Druk ZOINTE ITE zam. 74/87 n.300

Cena 120 zł

PRAWO REPRODUKCJI ZASTRZEŻONE