



8-BITOWY REJESTR/BUFOR SZYNY DANYCH

UCY 74S482/483

Monolityczny cyfrowy układ scalony TTL-S pełniący funkcję uniwersalnego 8-bitowego rejestru, bufora szyny danych dla 8-i 16-bitowych systemów mikroprocesorowych przeznaczony jest do pracy w elektronicznym sprzęcie profesjonalnym.

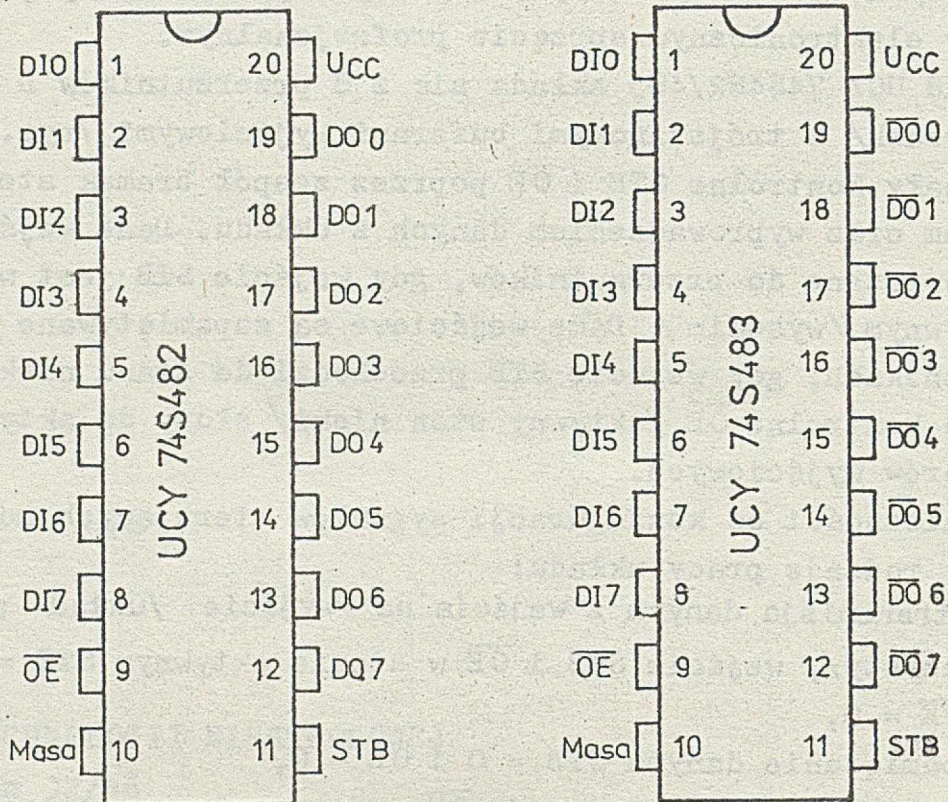
Układ UCY 74S482/483 składa się z 8 przerzutników D /typu zatrzask/ z trójstanowymi buforami wyjściowymi /rys.2/. Dwa sygnały kontrolne STB i \overline{OE} poprzez zespół bramek sterują zapisem oraz wyprowadzeniem danych z układu. Dane wejściowe są wprowadzane do przerzutników, gdy wejście STB jest w stanie aktywnym /wysokim/. Dane wejściowe są zapamiętywane w przerzutnikach, gdy wejście STB przechodzi do stanu niskiego. Wejście kontrolne \overline{OE} /aktywny stan niski/ służy do aktywizacji buforów wyjściowych.

W zależności od konfiguracji sygnałów sterujących możliwe są trzy rodzaje pracy układu:

- transmisja danych z wejścia na wyjście /układ przezroczysty/, wejście STB i \overline{OE} w stanie aktywnym $STB = 1$ i $\overline{OE} = 0$,
- pamiętanie danych $STB = 0$ i $\overline{OE} = 0$,
- stan wysokiej impedancji $\overline{OE} = 1$

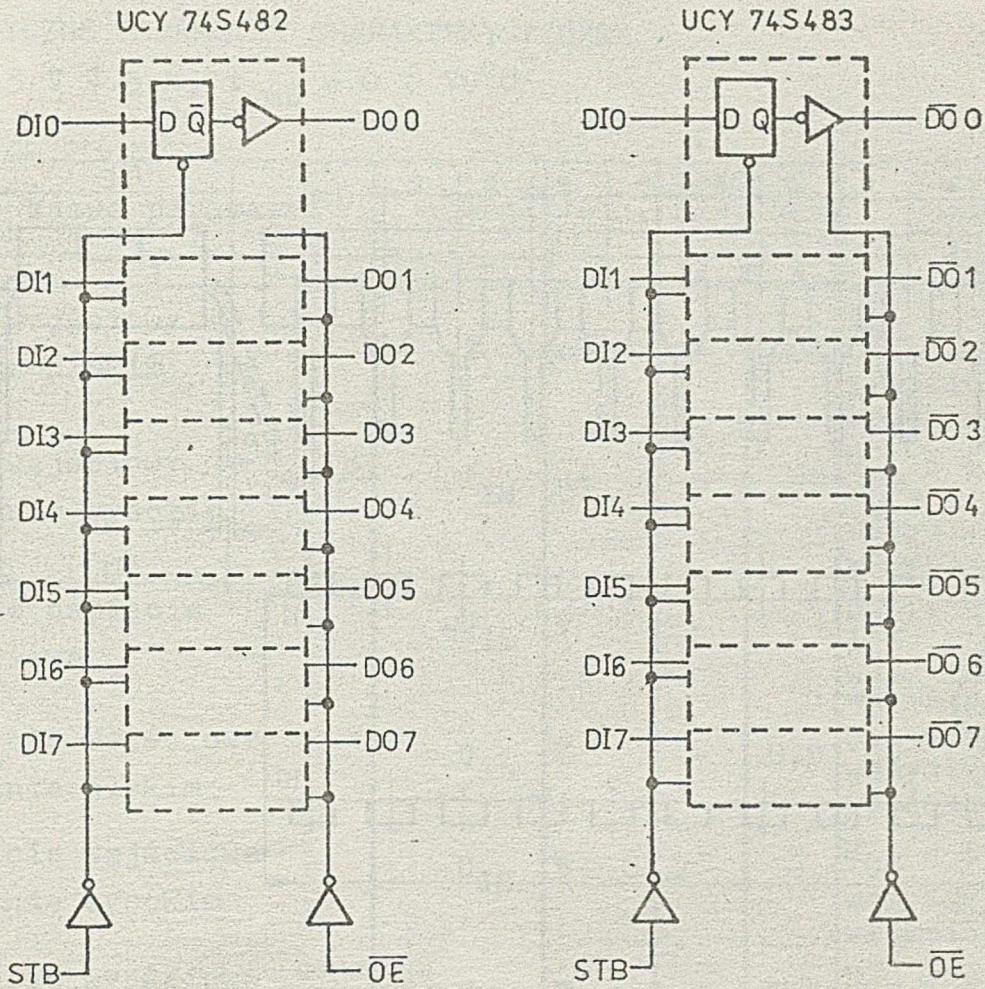
W wersji UCY 74S482 układ przesyła informacje wprost, natomiast w wersji UCY 74S483 w sposób zanegowany. W układzie UCY 74S482/483 zastosowano oryginalne rozwiązanie konstrukcyjne buforów wyjściowych eliminujące zakłócenia impulsowe /glitching/, pojawiające się w trakcie przechodzenia ze stanu wysokiej impedancji do stanu niskiego i na odwrót. Zwiększa to niezawodność finalnych systemów cyfrowych.

Rozkład wyprowadzeń oraz schemat logiczny układu jak na rys. 1 i 2.



- DI0 - DI7 - wejścia danych,
- DO0 - DO7 - wyjścia danych,
- OE - wejście kontrolne aktywizacji buforów wyjściowych,
- STB - wejście strobuujące,
- U_{CC} - zasilanie + 5 V ,
- MASA - 0 V

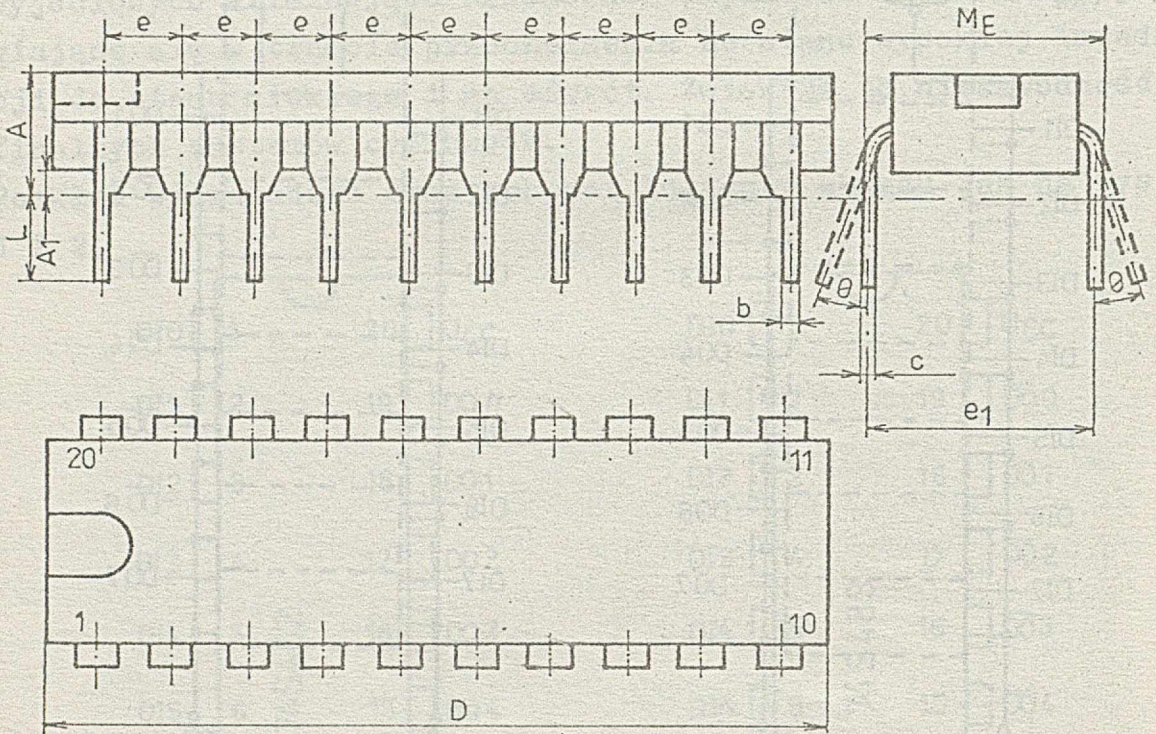
Rys. 1. Rozkład i nazwy wyprowadzeń



Rys.2. Schemat logiczny

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{CC}	V	-0,5 ÷ + 7
Napięcie wejściowe	U_I	V	-1 ÷ + 5,5
Temperatura otoczenia w czasie pracy	t_{amb}	$^{\circ}C$	0 ÷ +70
Temperatura przechowywania	t_{stg}	$^{\circ}C$	-55 ÷ +125
Rezystancja termiczna złącze-otoczenie	R_{thj-a}	K/W	100
Temperatura złącza	T_j	$^{\circ}C$	150



Rys.3. Rysunek obudowy
Wymiary obudowy

Symbol wymiaru	Wymiary [mm]			Kąt [stopnie]
	min.	nom.	max.	
A	-	-	5,1	-
A ₁	0,51	-	-	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	-	-	25,40	-
e	-	2,54	-	-
e ₁	-	7,62	-	-
L	2,54	-	4,50	-
M _E	-	-	8,30	-
θ	-	-	-	0 ÷ 15

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE

$U_{CC} = 5 \text{ V} \pm 5 \%$, $t_{amb} = 0 \div 70^{\circ}\text{C}$

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
1	2	3	4	5	6
Prąd wejściowy w stanie niskim	$-I_{IL}$	μA	-	200	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,45 \text{ V}$ wszystkie wejścia
Prąd wejściowy w stanie wysokim	I_{IH}	μA	-	50	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,25 \text{ V}$ wszystkie wejścia
Ujemne napięcie wejściowe	$-U_{IL}$	V	-	1	$U_{CC} = 4,75 \text{ V}$ $I_I = -5 \text{ mA}$ wszystkie wejścia
Napięcie wejściowe w stanie niskim	U_{IL}	V	-	0,8	$U_{CC} = 5 \text{ V}$ wszystkie wejścia
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2	-	$U_{CC} = 5 \text{ V}$ wszystkie wejścia
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	0,5	$U_{CC} = 4,75 \text{ V}$ $I_O = 32 \text{ mA}$ wszystkie wyjścia
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	2,4	-	$U_{CC} = 4,75 \text{ V}$ $I_O = -5 \text{ mA}$ wszystkie wyjścia
Prąd wyjściowy w stanie wysokiej impedancji	I_{OF}	μA	-	50	$U_{CC} = 5,25 \text{ V}$ wszystkie wyj. $U_O = 5,25 \text{ V}$
Prąd zasilania x)	I_{CC}	mA	-	50	$U_O = 0,45 \text{ V}$
			-	160	$U_{CC} = 5,25 \text{ V}$

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c.d.

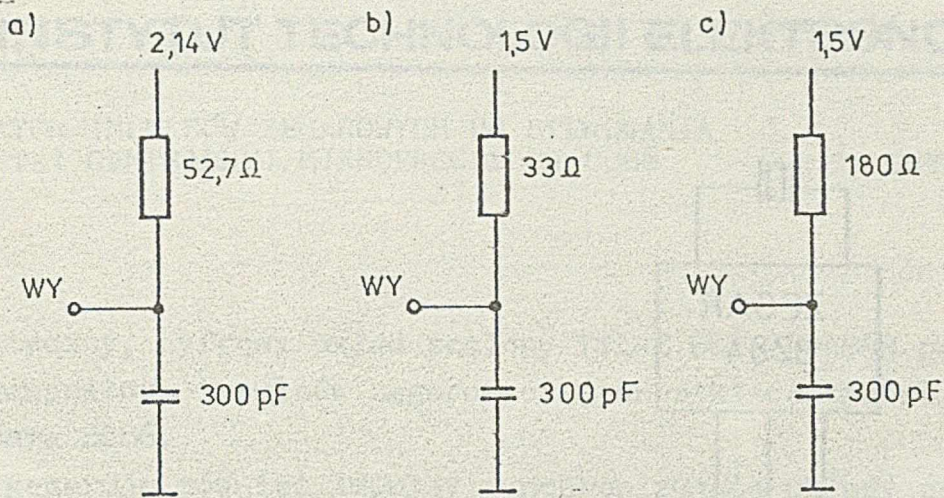
1	2	3	4	5	6
Opóźnienie sygnałów wyjściowych względem wejściowych UCY 74S482	t_{IVOV}	ns	-	35	rys.4
UCY 74S483		ns	-	25	
Opóźnienie sygnałów wyjściowych względem sygnału STB UCY 74S482	t_{SHOV}	ns	-	55	
UCY 74S483		ns	-	45	
Opóźnienie przy wchodzeniu w stan wysokiej impedancji	t_{EHOZ}	ns	-	25	
Opóźnienie przy wychodzeniu ze stanu wysokiej impedancji	t_{ELOV}	ns	10	50	
Opóźnienie sygnału STB względem sygnałów wejściowych	t_{IVSL}	ns	0	-	
Czas trzymania sygnałów wejściowych względem STB	t_{SLIX}	ns	25	-	
Czas trwania stanu wysokiego na wejściu STB	t_{SHSL}	ns	15	-	

x)

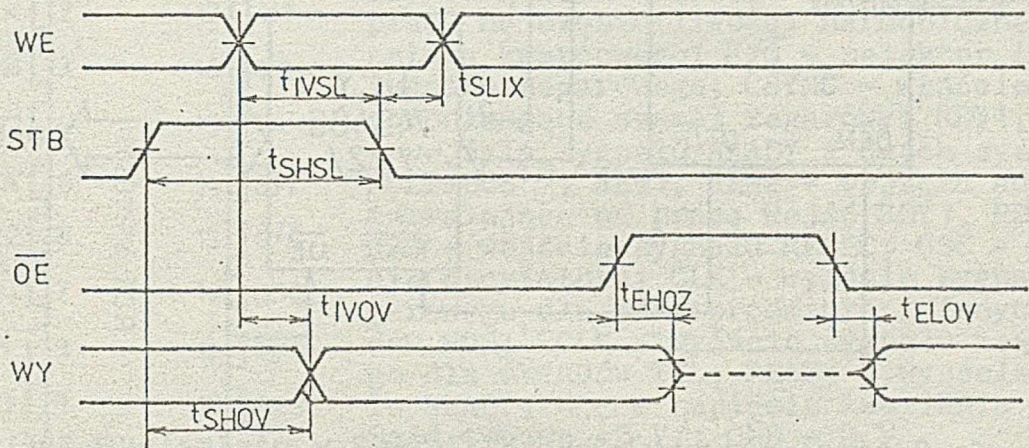
Warunki pomiaru prądu zasilania I_{CC} :

UCY 74S482 DIO ÷ DI7 = 0
STB = 1, \overline{OE} = 0

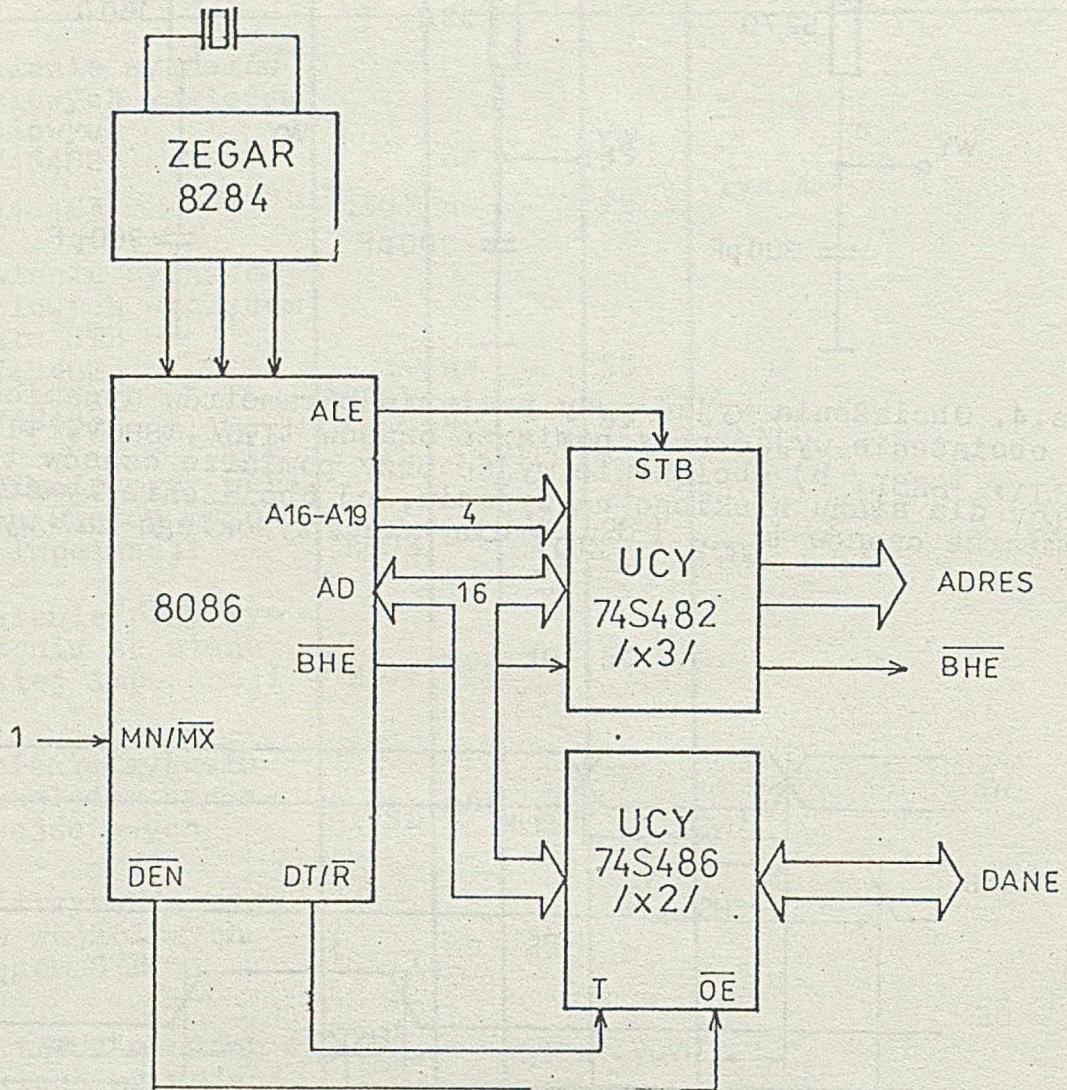
UCY 74S483 DIO ÷ DI7 = 1
STB = 1, \overline{OE} = 0



Rys.4. Obciążenia wyjść przy pomiarze parametrów dynamicznych: a) obciążenie wyjść przy pomiarze czasów t_{IVG} , t_{SHOV} , t_{IVSL} , t_{SLIX} , t_{SHSL} , b) obciążenie wyjść przy pomiarze czasów t_{EHOZ} i t_{ELOV} dla stanu niskiego na wyjściu, c) obciążenie wyjść przy pomiarze czasów t_{EHOZ} i t_{ELOV} dla stanu wysokiego na wyjściu



Rys. 5. Zależności czasowe w układzie



Rys.6: Zastosowanie układu UCY 74S482 w minimalnym zespole jednostki centralnej 8086

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46
02-668 Warszawa

tel. 435401
tlx 815647

Druk ZOLITE ITE zam. 42/87 n.306

Cena 80 zł
Maj 1987

PRAWO REPRODUKЦИИ ZASTRZEŻONE