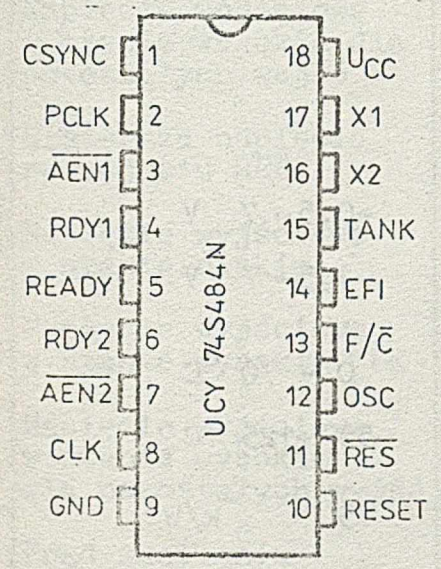
INSTYTUT TECHNOLOGII ELEKTRONOWEJ

GENERATOR IMPULSÓW ZEGAROWYCH DO STEROWANIA JEDNOSTKI CENTRALNEJ MIKROPROCESORA 8086 — UCY 74S484N

Monolityczny, cyfrowy układ scalony TTL-S UCY 74S484N pełni funkcję generatora impulsów zegarowych jednostki centralnej mikroprocesora 8086.

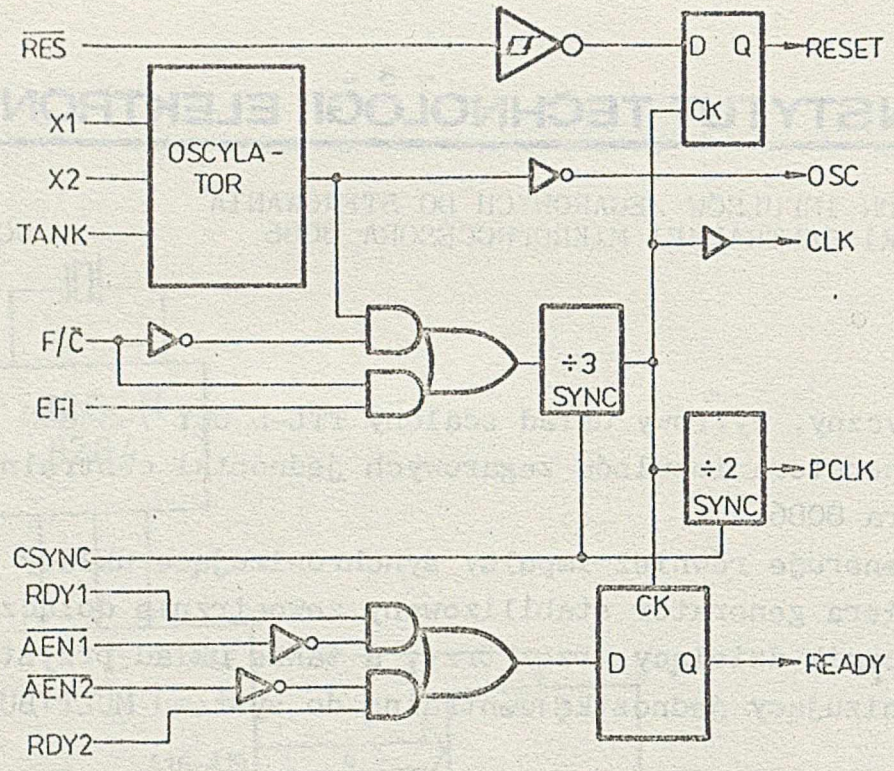
Układ generuje również impulsy synchronizujące układy peryferyjne. Zawiera generator stabilizowany zewnętrznie dołączonym kwarcem, licznik dzielący przez trzy, a także układ przystosowujący i synchronizujący jednostkę centralną do systemu MULTIBUS™.



X1, X2 - wyprowadzenie do podłączenia rezonatora kwarcowego; TANK - wyprowadzenie do podłączenia obwodu rezonansowego przy pracy na częstotliwości harmonicznej rezonatora kwarcowego; F/$\overline{C}$ - selektor źródła sygnału zegarowego; CSYNC - wejście synchronizujące sygnał zegarowy; RDY1, RDY2 - wejścia sygnału READY z dwóch systemów MULTIBUS™; $\overline{AEN1}$, $\overline{AEN2}$ - wejścia adresowe zezwalające na pracę wejść RDY1, RDY2; $\overline{RES}$ - wejście sygnału RESET; OSC - wyjście oscylatora; CLK - wyjście sygnału zegarowego dla mikroprocesora i innych układów MOS; PCLK - wyjście sygnału zegarowego dla układów TTL; READY - wyjście sygnału READY; UCC - napięcie zasilania /wartość typowa +5 V/; GND - 0 V

Rys. 1. Rozkład i nazwy wyprowadzeń

WSTĘPNA KARTA KATALOGOWA



Rys. 2. Schemat blokowy

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{CC}	-0,5 - 7	V
Napięcie wejściowe	U_I	-1,5 - 7	V
Temperatura otoczenia w czasie pracy	t_{amb}	0 - 70	°C
Temperatura przechowywania	t_{stg}	-55 - +125	°C
Rezystancja termiczna złącze - otoczenie	R_{thj-a}	75	k/W
Temperatura złącza	t_j	150	°C

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /t_{amb}=0°C ÷ 70°C, U_{CC}=5 V ± 5%, o ile nie podano inaczej/

Nazwa parametru	Symbol	Jedn.	Wartość		Warunki pomiaru
			min.	max.	
1.	2	3	4	5	6
Prąd wejściowy w stanie niskim	$-I_{IL}$	mA		0,5	U_I = 0,45 V
Prąd wejściowy w stanie wysokim	I_{IH}	uA		50	U_I=5,25 V
Ujemne napięcie wejściowe	$-U_{IL}$	V		1	$-I_I$=5 mA
Napięcie wejściowe w stanie niskim	U_{IL}	V		0,8	U_{CC}=5 V
Napięcie wejściowe w w stanie wysokim $\overline{RES}$	U_{IH}	V		2,6	U_{CC}=5 V
Napięcie wejściowe w stanie wysokim dla pozostałych wejść	U_{IH}	V		2,0	U_{CC}=5 V
Histereza napięcia na wejściu $\overline{RES}$	$U_{T+}-U_{T-}$	V		0,25	U_{CC}=5 V
Napięcie wyjściowe w stanie niskim	U_{OL}	V		0,45	I_o=5 mA
Napięcie wyjściowe w stanie wysokim CLK	U_{OH}	V	4		I_o=-1 mA
Napięcie wyjściowe w stanie wysokim dla pozostałych wyjść	U_{OH}	V	2,4		I_o=-1 mA
Prąd zasilania	I_{CC}	mA		140	U_{CC}=5,25 V
Okres sygnału CLK	t_{CLCL}	ns	125		U_{CC}=5 V obciążenie zgodne z rys. 3
Czas trwania sygnału CLK w stanie wysokim	t_{CHCL}	ns	$\frac{1}{3}t_{CLCL}+2$		
Czas trwania sygnału CLK w stanie niskim	t_{CLHL}	ns	$\frac{2}{3}t_{CLCL}-15$		

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c. d.

1	2	3	4	5	6
Czas narastania sygnału CLK	t_{CH1CH2}	ns		10	U_{CC}=5 V obciążenie zgodne z rys.3
Czas opadania sygnału CLK	t_{CL2CL1}	ns		10	1,0 ÷ 3,5V
Czas trwania sygnału PCLK w stanie wysokim	t_{PHPL}	ns	t_{CLCL}-20		
Czas trwania sygnału PCLK w stanie niskim	t_{PLPH}	ns	t_{CLCL}-20		
Przejście sygnału READY w stan nieaktywny względem CLK[4])	t_{RYLCL}	ns	-8		
Przejście sygnału READY w stan aktywny względem CLK[3])	t_{RYHCH}	ns	$\frac{2}{3}t_{CLCL}$-15		
Opóźnienie sygnału CLK względem sygnału RESET	t_{CLIL}	ns	40		U_{CC}=5 V obciążenie zgodne z rys.3
Czas trwania stanu wysokiego sygnału na wejściu EFI	t_{EHEL}	ns	20		
Czas trwania stanu niskiego sygnału na wejściu EFI	t_{ELEH}	ns	20		
Okres sygnału na wejściu EFI	t_{ELEL}	ns	t_{EHEL}+ t_{ELEH}+δ 1)		
Częstotliwość kwarcu		MHz	12		
Czas narastania RDY1, RDY2 względem CLK	t_{R1VCL}	ns	35		
Czas podtrzymania RDY1, RDY2 względem CLK	t_{CLR1X}	ns	0		
Czas narastania $\overline{AEN1}$, $\overline{AEN2}$ względem RDY1, RDY2	t_{A1VR1V}	ns	15		
Czas podtrzymania $\overline{AEN1}$, $\overline{AEN2}$ względem RDY1, RDY2	t_{CLA1X}	ns	0		

ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE c. d.

1	2	3	4	5	6
Czas narastania CSYNC względem EFI	t_{YHEH}	ns	20		U_{CC}=5 V obciążenie zgodne z rys.3
Czas podtrzymania CSYNC względem EFI	t_{EHYL}	ns	20		
Szerokość CSYNC	t_{YHYL}	ns	$2xt_{ELEL}$		
Czas narastania $\overline{RES}$ względem CLK	t_{I1HCL}	ns	65		U_{CC}=5 V obciążenie zgodne z rys.3 2)
Czas podtrzymania $\overline{RES}$ względem CLK	t_{CLI1H}	ns	20		

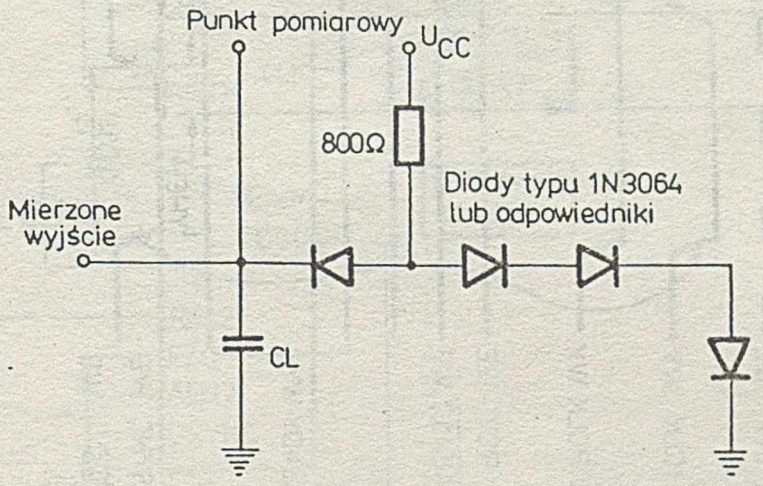
Uwagi:

1) δ - suma czasu narastania i opadania sygnału EFI.

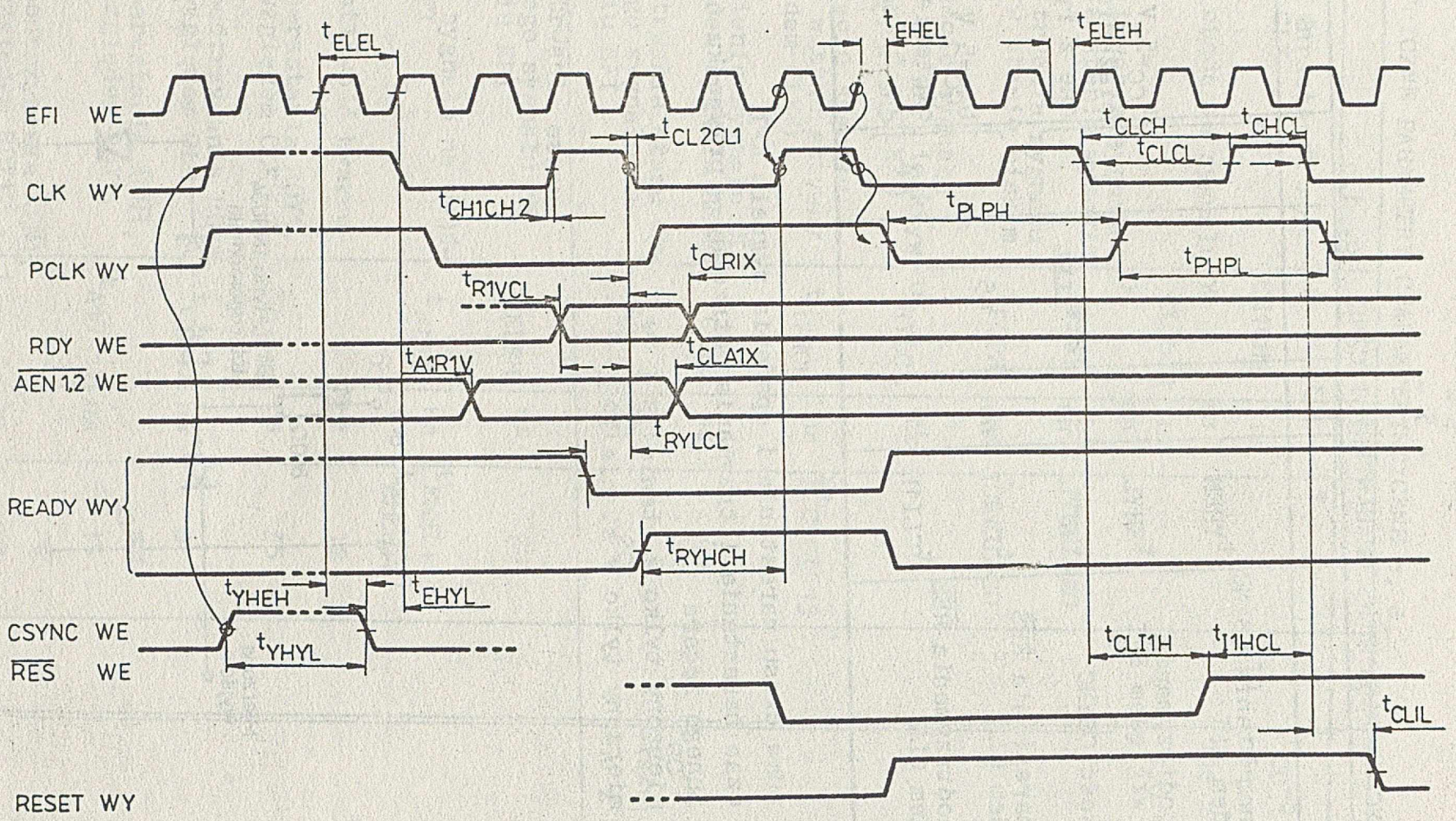
2) - czas narastania i trzymania potrzebny w przypadku użycia innego zegara

3) - mierzony tylko w stanie T3 i TW.

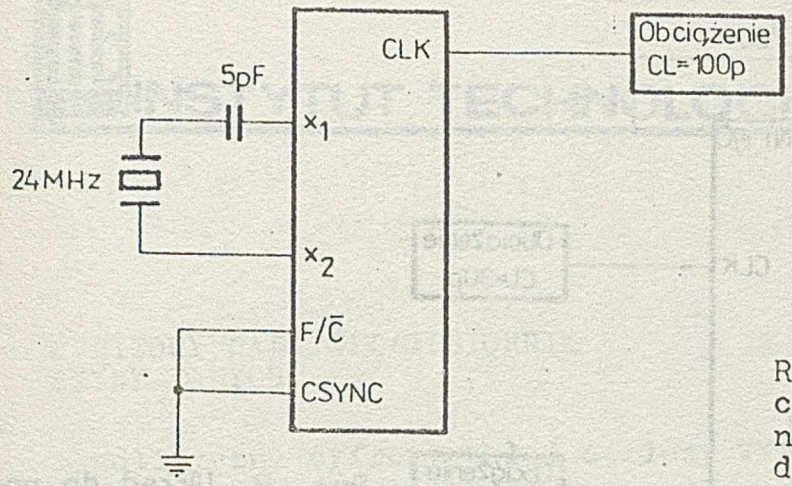
4) - mierzony tylko w stanie T2.



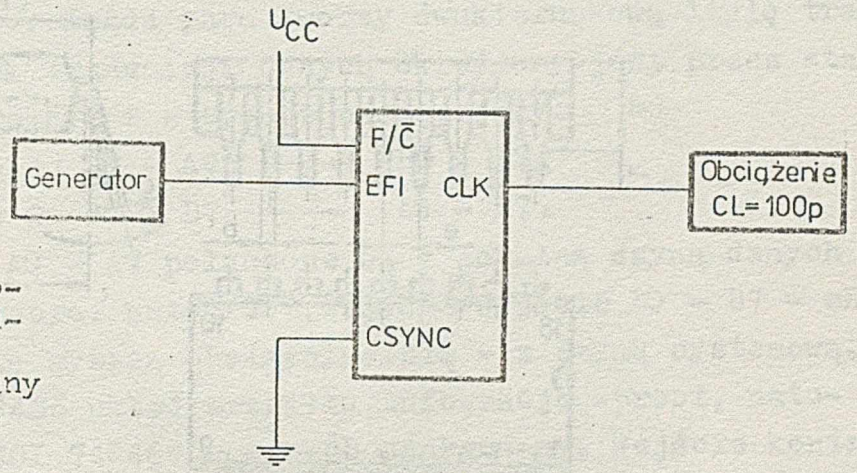
Rys. 3. Obciążenie wyjść przy pomiarach parametrów dynamicznych
C_L zawiera pojemność sondy i złącza diody



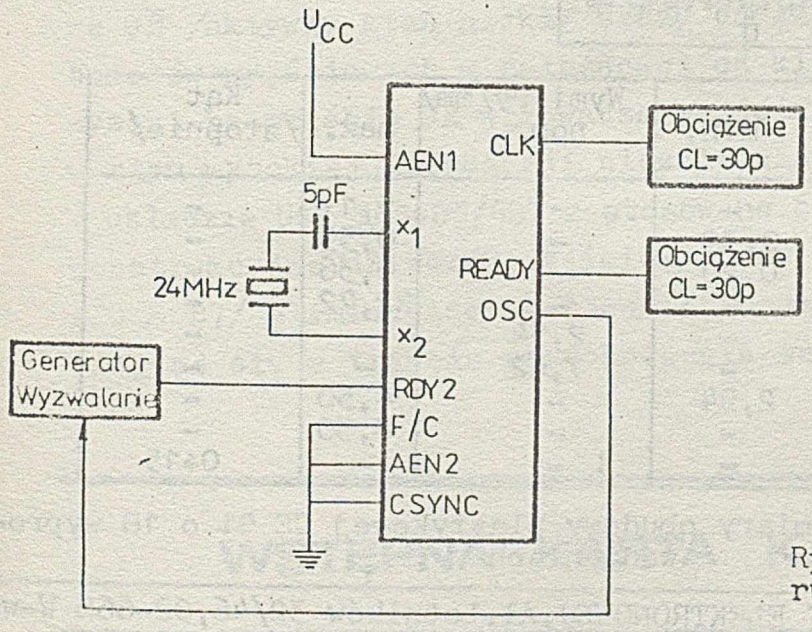
Rys. 4. Przebieg sygnałów w układzie. Wszystkie czasy mierzono w punkcie 1,5 V, o ile nie zaznaczono inaczej



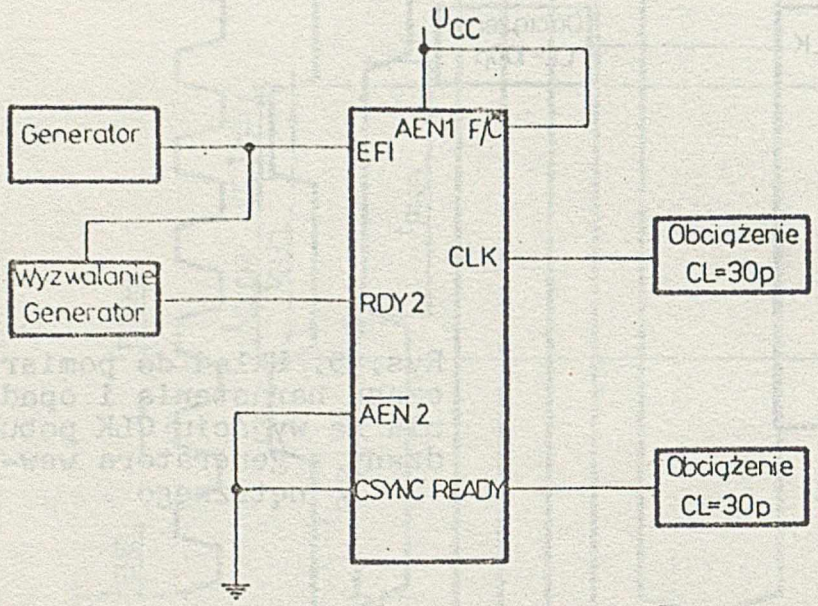
Rys. 5. Układ do pomiaru czasu narastania i opadania na wyjściu CLK pobudzany z generatora wewnętrznego



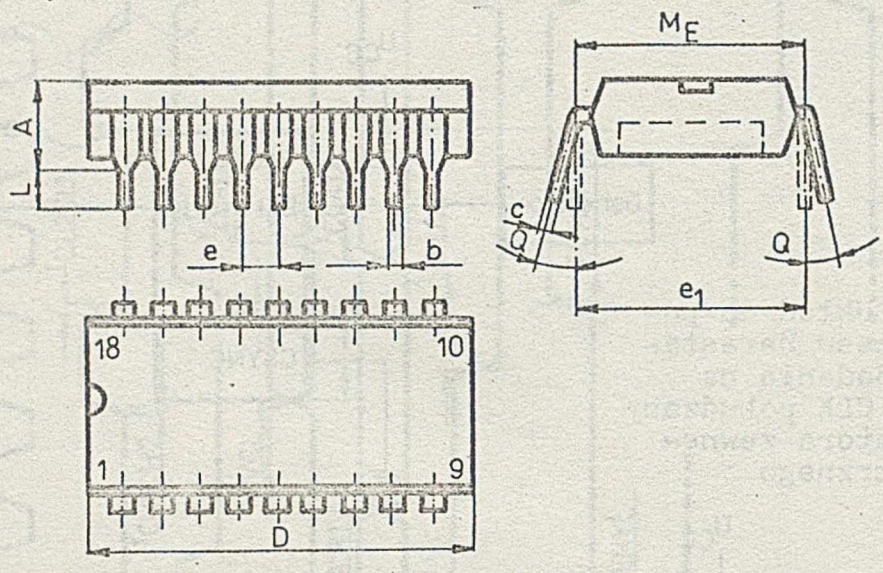
Rys. 6. Układ do pomiaru czasu narastania i opadania na wyjściu CLK pobudzany z generatora zewnętrznego



Rys. 7. Układ do pomiaru czasu t_{RYHCH} i t_{RYLCL}



Rys. 8. Układ do pomiaru czasu t_{RYLCL} i t_{RYHCH}



Symbol wymiaru	min.	Wymiary/mm/ nom.	max.	Kąt /stopnie/
A	-	-	5,1	-
b	0,38	-	0,59	-
C	0,20	-	0,36	-
D	-	-	22,72	-
e	-	2,54	-	-
e1	-	7,62	-	-
L	2,54	-	4,50	-
M_E	-	-	8,30	-
Q	-	-	-	0÷15

Rys. 9. Kształt i wymiary obudowy plastykowej CE 81 o 18 wyprowadzeniach

INSTYTUT TECHNOLOGII ELEKTRONOWEJ, Al. Lotników 32/46, 02-668 W-wa
Tel. 435401, tlx. 815647,
Kwiecień 1987 Druk ZOINTE ITE zam. 68/87 n. 300
Cena 80 zł

PRAWO REPRODUKCJI ZASTRZEŻONE