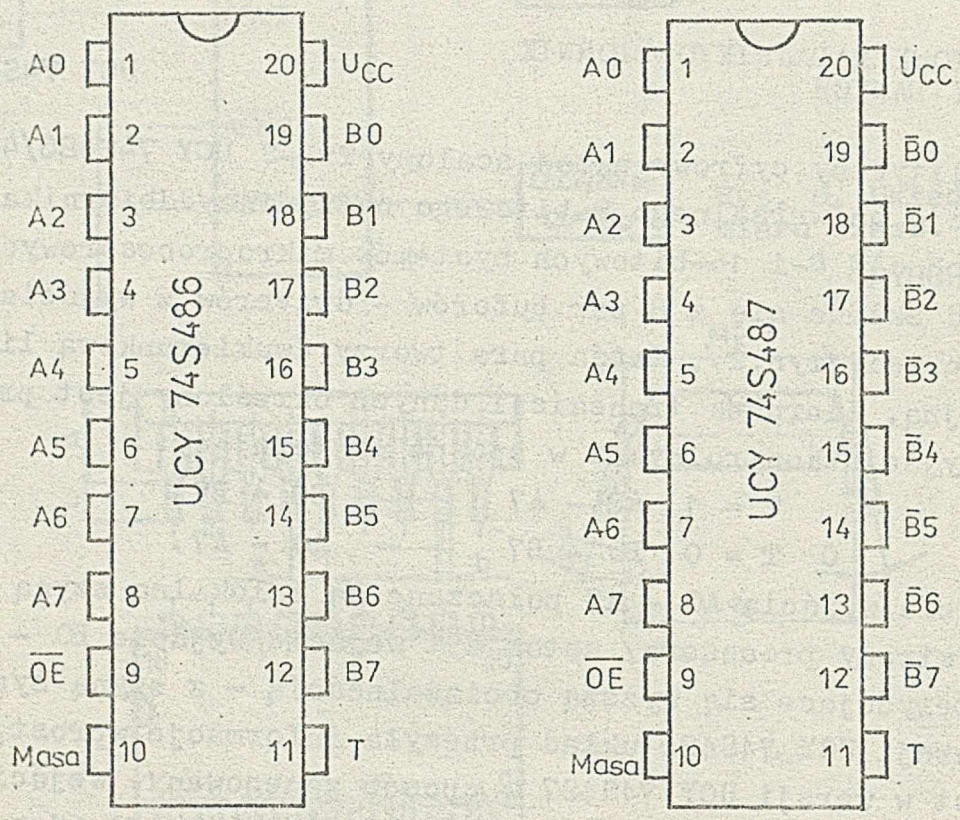
8-BITOWY NADAJNIK/ODBIORNIK
SZYNY DANYCH UCY 74S486/487

Monolityczny cyfrowy układ scalony TTL-S UCY 74S486/487 pełni funkcję uniwersalnego 8-bitowego nadajnika/odbiornika szyny danych dla 8-i 16-bitowych systemów mikroprocesorowych. Układ składa się z 8 par buforów - driverów z wyjściami trójstanowymi /rys.2/. Każda para tworzy dwukierunkową linię transmisyjną. Kierunek transmisji danych określony jest przez stan na wyjściu kontrolnym T w sposób następujący:

T = 1 A0 - A7 ⟶ B0 - B7,
T = 0 B0 - B7 ⟶ A0 - A7.

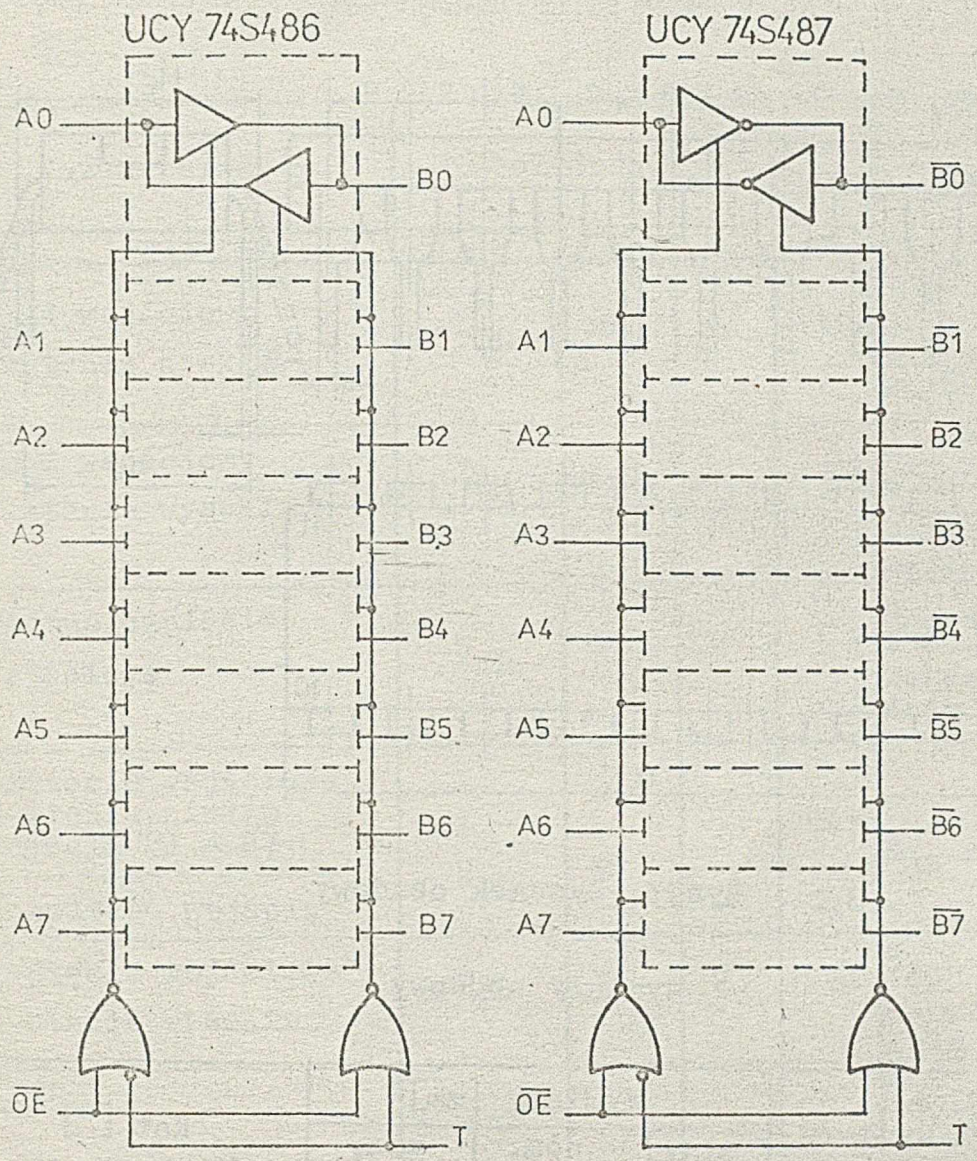
Wejścia/wyjścia A0 - A7 połączone są z lokalną szyną danych /od strony procesora/ natomiast wejście/wyjście B0 - B7 - charakteryzujące się wyższą obciążalnością - z szyną systemową. W wersji UCY 74S486 układ przesyła informacje wprost, natomiast w wersji UCY 74S487 w sposób zanegowany. Wejście kontrolne $\overline{OE}$ /aktywny stan niski/ służy do aktywizacji odpowiednich buforów wyjściowych w zależności od kierunku transmisji. Stan wysoki na wejściu $\overline{OE}$ wprowadza wejścia/wyjścia A0-A7 i B0-B7 w stan wysokiej impedancji niezależnie od stanu na wejściu T. W układzie UCY 74S486/487 zastosowano oryginalne rozwiązanie konstrukcyjne driverów wyjściowych od strony szyny systemowej /B0 - B7/ eliminujące zakłócenia impulsowe /glitching/, pojawiające się w trakcie przechodzenia ze stanu wysokiej impedan-

cji do stanu niskiego i na odwrót /wejścia B0 - B7 odznaczają się ponadto zwiększonym marginesem zakłóceń dla stanu niskiego/. Zwiększa to niezawodność finalnych systemów cyfrowych. Rozkład wyprowadzeń oraz schemat logiczny układu jak na rys.1 i 2.



A0 - A7 - wejście/wyjście lokalnej szyny danych,
B0 - B7 - wejście/wyjście systemowej szyny danych,
T - wejście kontrolne kierunku transmisji,
$\overline{OE}$ - wejście kontrolne aktywizacji buforów wyjść,
U_{CC} - zasilanie +5 V,
MASA - 0 V.

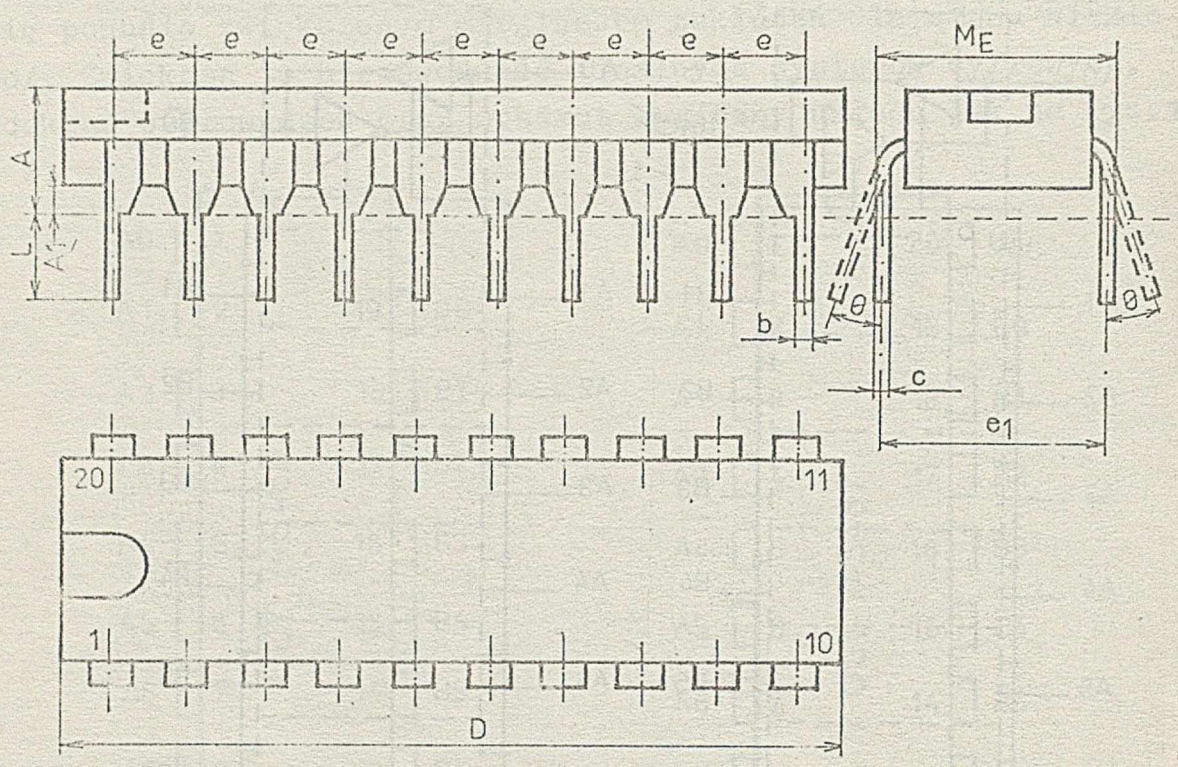
Rys.1. Rozkład i nazwy wyprowadzeń



Rys.2. Schemat logiczny

DOPUSZCZALNE PARAMETRY EKSPLOATACYJNE

Napięcie zasilania	U_{CC}	V	-0,5 ÷ +7
Napięcie wejściowe	U_I	V	-1 ÷ +5,5
Temperatura otoczenia w czasie pracy	t_{amb}	^oC	0 ÷ 70
Temperatura przechowywania	t_{stg}	^oC	-55 ÷ +125
Rezystancja termiczna złącze-otoczenie	R_{thj-a}	K/W	100
Temperatura złącza	T_j	^oC	150



Rys.3. Rysunek obudowy

Wymiary obudowy

Symbol wymiaru	Wymiary [mm]			Kąt [°]
	min.	nom.	max.	
A	-	-	5,1	-
A_1	0,51	-	-	-
b	0,38	-	0,59	-
c	0,20	-	0,36	-
D	-	-	25,40	-
e	-	2,54	-	-
e_1	-	7,62	-	-
L	2,54	-	4,50	-
M_E	-	-	8,30	-
θ	-	-	-	0 ÷ 15

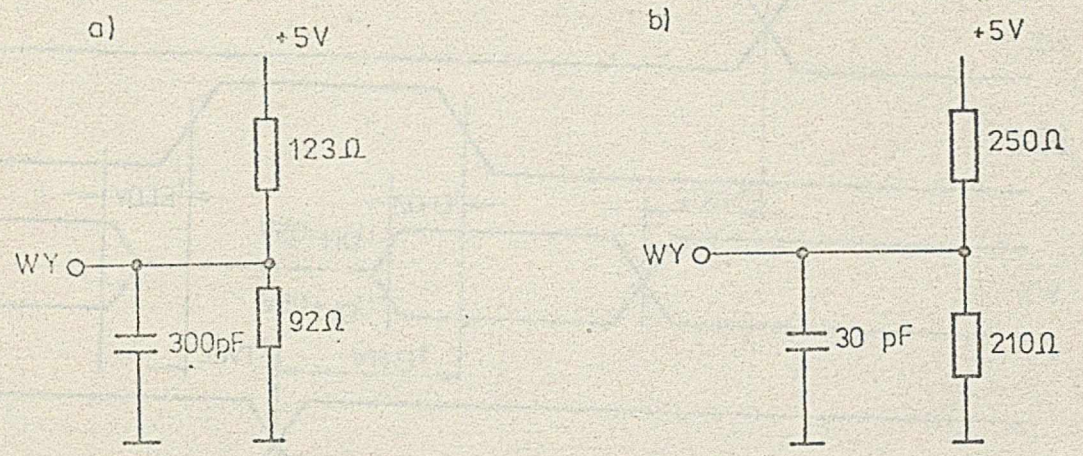
ELEKTRYCZNE PARAMETRY CHARAKTERYSTYCZNE /U_{CC} = 5 V ± 10%, t_{amb} = 0 ÷ 70°C/

Nazwa parametru	Symbol	Jedn.	Wartość min.	Wartość max.	Warunki pomiaru
1	2	3	4	5	6
Prąd wejściowy w stanie niskim	$-I_{IL}$	μA	-	200	U_{CC} = 5,25 V U_I = 0,45 V wszystkie wejścia
Prąd wejściowy w stanie wysokim	I_{IH}	μA	-	50	U_{CC} = 4,75 V U_I = 5,25 V wszystkie wejścia
Ujemne napięcie wejściowe	$-U_{IL}$	V	-	1	U_{CC} = 5 V I_I = -5 mA wszystkie wejścia
Napięcie wejściowe w stanie niskim wejścia B0 - B7	U_{IL}	V	-	0,9	U_{CC} = 5 V
pozostałe wejścia			-	0,8	
Napięcie wejściowe w stanie wysokim	U_{IH}	V	2	-	U_{CC} = 5 V wszystkie wejścia
Napięcie wyjściowe w stanie niskim	U_{OL}	V	-	0,5	U_{CC} = 4,75 V I_O = 32 mA/wyjścia B0 - B7
			-	0,5	I_O = 10 mA/wyjścia A0 - A7
Napięcie wyjściowe w stanie wysokim	U_{OH}	V	2,4	-	U_{CC} = 4,75 V I_O = -5 mA/wyjścia B0 - B7
			2,4	-	I_O = -1 mA/wyjścia A0 - A7

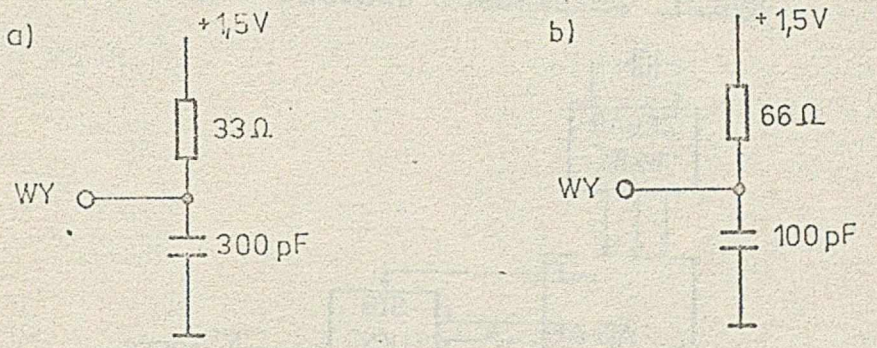
PARAMETRY CHARAKTERYSTYCZNE c.d.

1	2	3	4	5	6
Prąd wyjściowy wsteczny w stanie wysokiej impedancji	I_{OF}	μA	- -	50 -200	U_{CC} = 5 V wszystkie wyjścia U_O = 5,25 V U_O = 0,45 V
Prąd zasilania x) UCY 74S486 UCY 74S487	I_{CC}	mA mA	- -	160 130	U_{CC} = 5,25 V
Czas opóźnienia sygnałów wyjściowych względem wejściowych UCY 74S486 UCY 74S487	t_{IVOV}	ns ns	- -	35 25	rys.4
Czas trzymania sygnału kierunku transmisji	t_{EHTV}		t_{EHOZ}	-	
Czas przetrzymywania sygnału kierunku transmisji	t_{TVEL}	ns	30	-	
Czas wchodzenia wyjść w stan wysokiej impedancji	t_{EHOZ}	ns	-	25	rys.5,6
Czas wychodzenia ze stanu wysokiej impedancji	t_{ELOV}	ns	-	50	rys.5,6

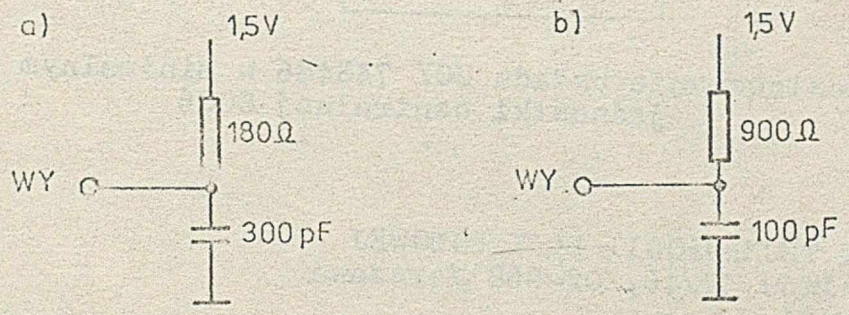
x)
Warunki pomiaru prądu zasilania I_{CC}:
UCY 74S486 T = 1, $\overline{OE}$ = 0, A0 - A7 = 0,
UCY 74S487 T = 1, $\overline{OE}$ = 0, A0 - A7 = 1,
0 - stan zera logicznego,
1 - stan jedynki logicznej



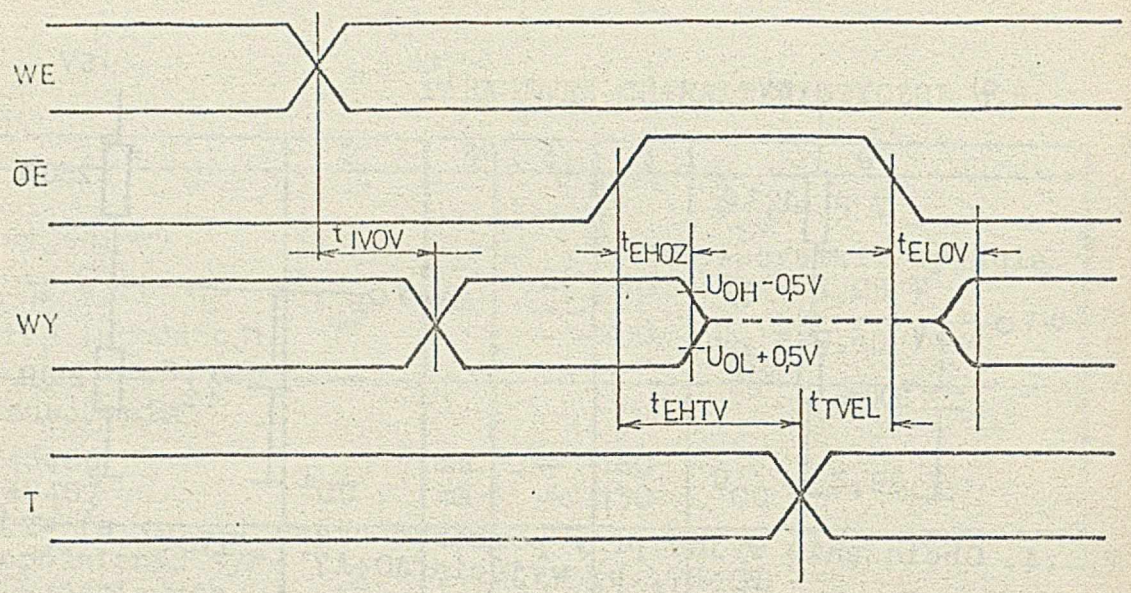
Rys.4. Obciążenie wyjść przy pomiarze czasu t_{IVOV}: a) wyjścia B0÷B7, b) wyjścia A0÷A7



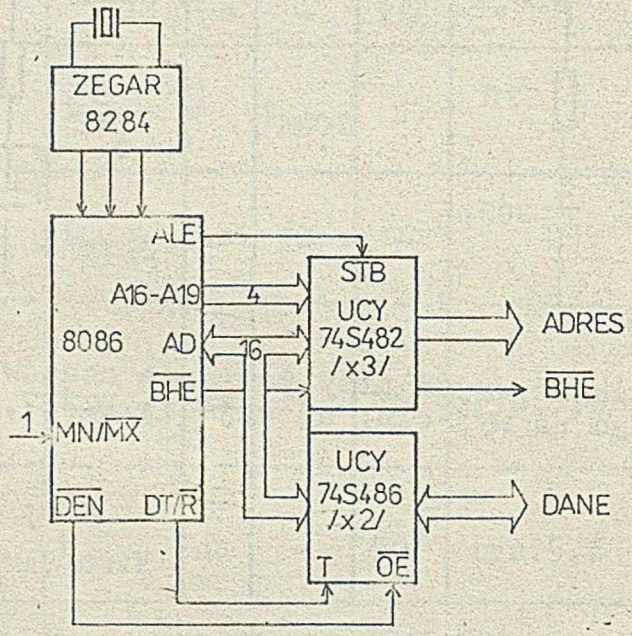
Rys.5. Obciążenie wyjść przy pomiarze czasów t_{EHOZ}, t_{ELOV} dla stanu niskiego na wyjściu: a) wyjścia B0÷B7, b) wyjścia A0÷A7



Rys.6. Obciążenie wyjść przy pomiarze czasów t_{EHOZ}, t_{ELOV} dla stanu wysokiego na wyjściu: a) wyjścia B0÷B7, b) wyjścia A0÷A7



Rys.7. Zależności czasowe w układzie



Rys.8. Zastosowanie układu UCY 74S486 w minimalnym zespole jednostki centralnej 8086

INSTYTUT TECHNOLOGII ELEKTRONOWEJ
Al. Lotników 32/46, 02-668 Warszawa
tel. 435401
tlx 815647

Druk ZOINTE ITE zam. 72/87 n.500

Cena 80 zł
Maj 1987

PRAWO REPRODUKCJI ZASTRZEŻONE