

Bogdan ŁENT

ZWIĘKSZENIE SZYBKOŚCI OPERACJI ARYTMETYCZNYCH
MIKROPROCESOROWEGO PROGRAMOWALNEGO AUTOMATU
STERUJĄCEGO W ZESTAWIE DWUPROCESOROWYM

Streszczenie. Opracowanie zawiera analizę rozwiązań konstrukcyjnych jednostki arytmetycznej systemu mikroprocesorowego. Na podstawie sformułowanych w części drugiej i trzeciej założeń i kryteriów oceny porównano przydatność wybranych konstrukcji.

Współpracę jednostki arytmetycznej z procesorem sterującym pokazano na przykładzie programu realizacji funkcji trygonometrycznej. Ocena tej współpracy uwzględniona została przy wyborze zrealizowanego rozwiązania jednostki arytmetycznej.

1. WSTĘP

Zastosowanie systemu mikroprocesorowego w konstrukcji programowalnego automatu sterującego zwiększa zakres zastosowań tego automatu o obiekty wymagające przetwarzania na bieżąco.

Produkowany przez firmę Grossenbacher Elektronik AG (Szwajcaria), tego typu automat FMS-5 oparty jest na mikroprocesorze Intel 8085 o cyklu podstawowym zegara 385 ns.

Jakkolwiek w większości zastosowań FMS-5 szybkość wykonywania operacji arytmetycznych była wystarczająca do spełnienia wymagań sterowania w czasie rzeczywistym w pewnych nowo projektowanych systemach czas obliczeń stawał się krytyczny. Przykład takiego systemu przytoczono poniżej.

W układzie wykonywania gwintu obrabiarki sterowanej numerycznie wał napędowy suportu wykonuje 30 obrotów na sekundę. W ciągu jednego obrotu miernik obrotu generuje 5000 impulsów. Każdy obrót powoduje przesunięcie suportu o 5 mm. Wymagana dokładność 1 μm prowadzi do kontroli nad $2 \cdot 10^{-4}$ częścią obrotu wału, tj. do dokładności ± 1 impuls w zliczeniu. Oznacza to, że kolejne decyzje dotyczące osiągnięcia właściwego położenia suportu muszą być wypracowane między dwoma kolejnymi impulsami - w czasie ok. 7 mikrosekund.

Kolejne pozycje suportu wyznacza się drogą interpolacji liniowej. W najprostszym więc przypadku do obliczenia kolejnej pozycji niezbędne jest wykonanie pojedynczej operacji mnożenia: $y = ax$.

W rzeczywistości obrabiarka pracuje na nieco wolniejszych obrotach wydłużając w efekcie czas na przeliczenie aktualnej pozycji do około 20 mikrosekund.

W innym systemie, w złożonym układzie mechanicznym wieloosiowym, interpolacja kołowa wymagała obliczenia wartości funkcji $y = y_0 - (a+b) \cdot \cos \alpha - c \cdot \cos \beta \cdot \sin \alpha$ w równie ograniczonym czasie.

W obydwóch systemach algorytmy obliczeniowe zaprogramowane do wykonania przez procesor sterujący wymagały czasu wykonania znacznie przewyższającego dopuszczalny przedział czasu. Wobec powyższego zaszła potrzeba szukania innych rozwiązań zaspokajających wymagania bardzo szybkich obliczeń.

Dla rozróżnienia operacji szybkich i wolnych proponowane jest kryterium zdolności wykonania tej operacji przez procesor sterujący Intel 8085. Za szybką operację arytmetyczną uważana jest taka, której narzucony czas wykonania jest wyraźnie mniejszy od najkrótszego czasu wykonania tej operacji przez procesor sterujący Intel 8085.

2. SFORMUŁOWANIE ZADANIA I WSTĘPNA ANALIZA MOZLIWYCH ROZWIĄZAŃ

2.1. Zadanie i kryteria oceny rozwiązań

Zadano w oparciu o istniejące moduły FMS-5 zaprojektowanie zestawu programowalnego automatu sterującego, zdolnego do wykonywania szybkich operacji arytmetycznych w czasie rzeczywistym.

Do oceny rozwiązań przyjęto następujące kryteria:

1. Czas wykonania obliczeń (mnożenie, dzielenie, f. trygonometryczne).
2. Dokładność wyników (rzędu 10^{-5} bł. bezwzgl. dla ww. funkcji).
3. Adaptowalność do standardów FMS-5 (por. p. 3.1 - założenia).
4. Prostota konstrukcji (liczba i rodzaj dodatkowych elementów).
5. Uniwersalność (do różnych zastosowań FMS-5).
6. Łatwość programowania (bez konieczności wiedzy z zakresu matematyki wyższej).
7. Niezawodność (wg standardów FMS-5).
8. Cena (jak najniższa, przy uwzględnieniu kryteriów 1-7).

2.2. Rozwiązanie zadanie

Zwiększenie szybkości wykonywanych operacji arytmetycznych możliwe jest według poniższych rozwiązań:

- a) rozszerzenie pamięci o obszar stabilizowanych wartości funkcji arytmetycznych,
- b) zaprojektowanie nowej jednostki centralnej z szybszym procesorem sterującym,
- c) dołączenie specjalizowanej jednostki obliczeniowej obok istniejącej jednostki centralnej.

Stabilizowanie wartości funkcji arytmetycznych w pamięci danych stałych istotnie ogranicza uniwersalność (5) przy dużych nakładach finansowych (8)

i trudnościach konstrukcyjnych (3). Nie jest możliwe w istniejącym systemie FMS-5 stabilizowanie wszystkich lub nawet kilku wartości funkcji w ich pełnym przedziale argumentów. Czynnikiem ograniczającym jest tu maksymalny zakres adresów oraz ograniczenie mocy wyjściowej źródła napięcia zasilania.

Projekt nowej, szybszej jednostki centralnej wiąże się z dużym nakładem kosztów. W chwili podejmowania decyzji konstrukcyjnych pojawiły się pierwsze wersje mikroprocesora Intel 6086. Procesor ten posiada urządzeniowo implementowane cztery podstawowe operacje arytmetyczne. Bardziej złożone operacje wymagają opracowania oprogramowania podobnego do oprogramowania obecnego procesora sterującego FMS-5. Zmiana jednostki centralnej, dla w pełni efektywnego jej wykorzystania, wymaga także zmiany podstawowego oprogramowania automatu. Ponadto zmiana ta obniża rentowność produkowanego obecnie zestawu FMS-5.

Przy dostępnych na rysunku specjalizowanych mikroprocesorach arytmetycznych: MM 57109 firmy National Semiconductor (USA), SBC-310 Intel (USA) oraz AM 9511 firmy Advanced Micro Devices (USA) dołączenie do systemu FMS-5 jednostki arytmetycznej uznano za najkorzystniejsze w świetle sformułowanych powyżej kryteriów.

Wymienione procesory arytmetyczne oferują dobrą szybkość i dokładność operacji arytmetycznych, pozwalając na utrzymanie konstrukcji FMS-5 przy nakładzie kosztów odpowiednim wyłącznie do trudności adaptacyjnych specjalizowanej jednostki arytmetycznej.

Dalsza część rozwija szczegółowo dyskusję tych właśnie rozwiązań.

3. KONSTRUKCJA I ORGANIZACJA WSPÓŁPRACY PROCESORÓW W SYSTEMIE DWUPROCESOROWYM

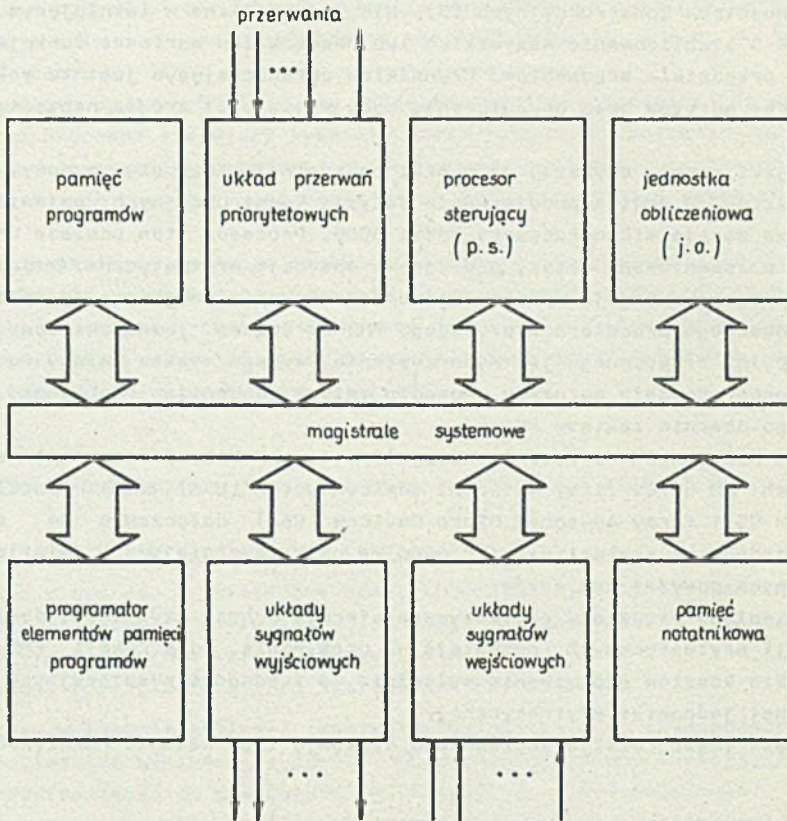
3.1. Założenia

System przedstawiono blokowo na rys. 1. Jest on magistralowo zorientowany, wszystkie moduły komunikują się między sobą poprzez magistrale systemowe. Magistrale wyróżniają:

- linie sygnałów adresowych,
- linie sygnałów danych,
- linie sterujące, organizacji współpracy i przerwań.

Wszystkie przesyły koncentruje procesor sterujący (w dalszej części pracy oznaczany skrótem PS). Procesor ten jest też jedynym generatorem sygnałów adresowych oraz rozkazów (instrukcji) dla każdego innego bloku w systemie. System dopuszcza aktywizację przez PS dowolnej operacji w którymkolwiek bloku zakodowanej:

- w słowie rozkazu (instrukcji),



Rys. 1. Schemat blokowy systemu FMS-5 z procesorem podrzędnym do obliczeń matematycznych

- w doborze adresów,
- w sekwencji podawania informacji do bloku.

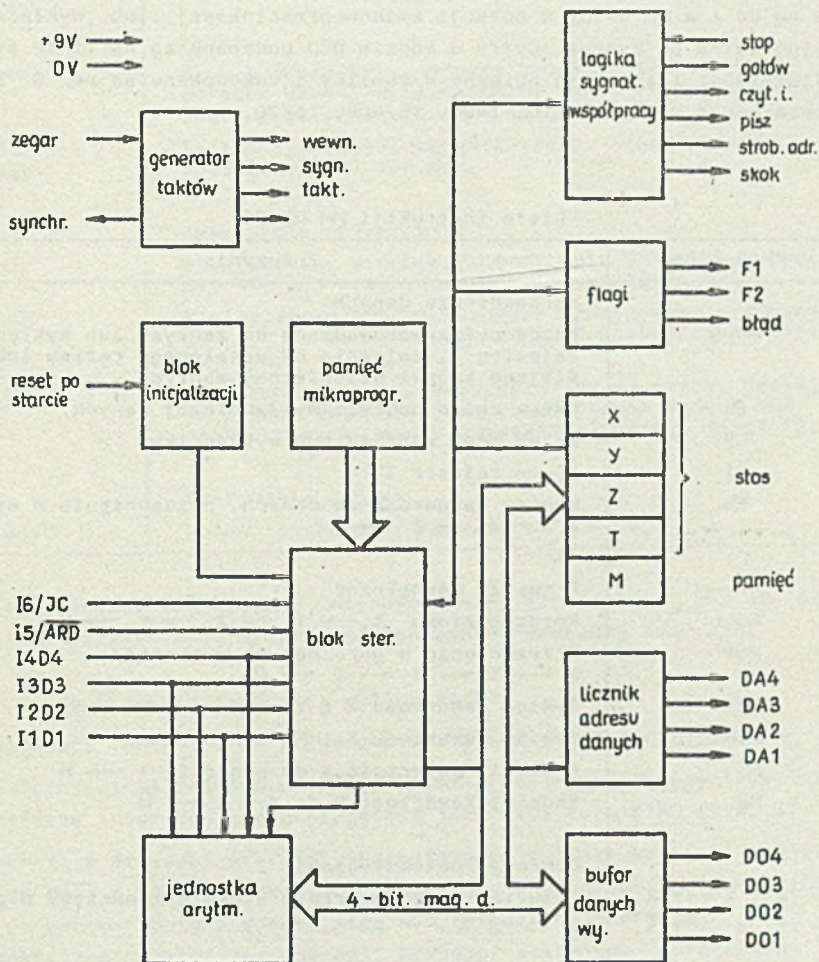
System nie wyróżnia wejść/wyjść danych; wszystkie bloki adresowane są sposobem typu "Phantom" (5).

Konstrukcja oparta jest na kartach standardu Double Europa. Układ zasilania zapewnia wyłącznie napięcie +5 V; inne poziomy napięć wymagają użycia przetworników.

3.2. Jednostka obliczeniowa na bazie mikroprocesora MM 57109

3.2.1. Opis mikroprocesora MM 57109

Mikroprocesor MM 57109 MOS/LSI przeznaczony jest do zastosowań wymagających dokonywania operacji matematycznych. Złożone funkcje arytmetyczne, trygonometryczne, logarytmiczne, y^x , e^x itp. wykonywane są na podstawie algorytmów zaprogramowanych w fragmencie pamięci stałej elementu (pamięć mikroprogramów ROM, rys. 2).



Rys. 2. Blokowa struktura elementu MM 57109

Wyniki pośrednio mogą być wpisywane do rejestru pamięci M lub do stosu XYZT. Stan procesu i procesora monitorują flagi: błąd i F1, F2, te ostatnie określane przez użytkownika.

MM 57109 może samodzielnie generować sekwencyjne i dowolno (skoki) adresy lokalnej pamięci zewnętrznej lub wejść/wyjść danych. Dane przesyłane są do i z MM 57109 w notacji zmiennoprzecinkowej lub wykładniczej, kolejno cyfra po cyfrze. Cyfry w kodzie BCD podawane są na linii sygnałowej I1D1-I4D4. Instrukcje opisane w tabelicy i zakodowane są na 6 bitach, wprowadzonych na linii I1D1-I4D4, I5/ADR, I6/JC.

Tabela 1

Lista instrukcji MM 57109

Mnemonika	Znaczenie
	Wprowadzanie danych
O-9	Każda cyfra wprowadzana do mantysy lub wykładnika rejestru X, zależnie od ustalonego reżimu lub miejsce kropki dziesiętnej mantysy.
EE	Ustaw reżim postaci wykładniczej danych.
CS	Zmień znak mantysy lub wykładnika.
PI	$\mathcal{T} \rightarrow$ rejestr X
EN	Koniec wprowadzania danych, przesunięcie w stosie $X \rightarrow Y \rightarrow Z \rightarrow T$
	Przeszyły wewnętrzne
RGLL	Rotacja stosu $X \rightarrow T \rightarrow Z \rightarrow Y \rightarrow X$
POP	Przesunięcie w górę danych w stosie $X \leftarrow Y \leftarrow Z \leftarrow T \leftarrow O$
KEY	Wymień zawartość X i Y $X \leftrightarrow Y$
XEM	Wymień zawartość X i M $X \leftrightarrow M$
MS	Prześlij zawartość X do pamięci $X \rightarrow M$
MR	Skopiuj zawartość M do X $X \leftarrow M$
	Operacje matematyczne
$X \leftarrow Y+X, X \leftarrow Y^2 \cdot X,$ $X \leftarrow Y * X, X \leftarrow Y/X,$ $X \leftarrow y^X$	Rezultat w X, zawartość stosu przesunięta w górę $Y \leftarrow Z \leftarrow T \leftarrow O$
$M \leftarrow M+X, M \leftarrow M-X,$ $M \leftarrow M * X, M \leftarrow M/X,$ $1/X, \sqrt[X]{X}, X^2, 10^X,$ $e^X, \ln X, \log X$	Rezultat w M
$SIN(X), COS(X),$ $TAN(X), SIN^{-1}(X),$ $COS^{-1}(X),$ $TAN^{-1}(X)$	Rezultat w X, uprzednia zawartość X skasowana, stos bez zmian.
	Rezultat w X, uprzednia zawartość X skasowana, stos bez zmian.

cd. tablicy 1

Mnemonika	Znaczenie
RTD, DTR	Przekształć wartość w rędzianach na odpowiadającą w stopniach i odwrotnie (X), uprzednio zawartość X skalowarsa, stos bez zmian.
	Skoki
JMP	Skok bezwarunkowy. Drugie słowo instrukcji jest adresem skoku, wpisywanym do zewnętrznego licznika instrukcji impulsom z MM 57109.
TJC	Testuj zewnętrzny warunek skoku. Skocz jeżeli spełniony jest warunek.
	Instrukcje wejść/wyjść
IN	Wielocyfrowy synchronizowany wpis danych z zewnętrznej RAM lub urządzenia peryferyjnego do X.
OUT	Wielocyfrowe synchronizowane wyprowadzenie zawartości X do zewnętrznej RAM lub urządzenia peryferyjnego.
AIN	Synchronizowane wprowadzenie jednej cyfry. Czekaj na sygnał gotowości asynchronicznych danych ADR niski, wczytaj dane, potwierdź impulsem flagi F2.
	Sterowanie reżimu
SMDC	Ustaw liczbę cyfr mantysy od 1 do 8.

Czas wykonania pojedynczej instrukcji waha się od 1 do 500 ns, zależnie przede wszystkim od stopnia złożoności wykonywanej operacji.

3.2.2. Konstrukcja jednoatki obliczeniowej

Możliwości funkcyjne MM 57109 dopuszczają dwa różne rozwiązania:

- z kolejnym inicjowaniem operacji przez procesor sterujący (rys. 3),
- z buforem instrukcji zorganizowanym jako stos typu FIFO (rys. 4).

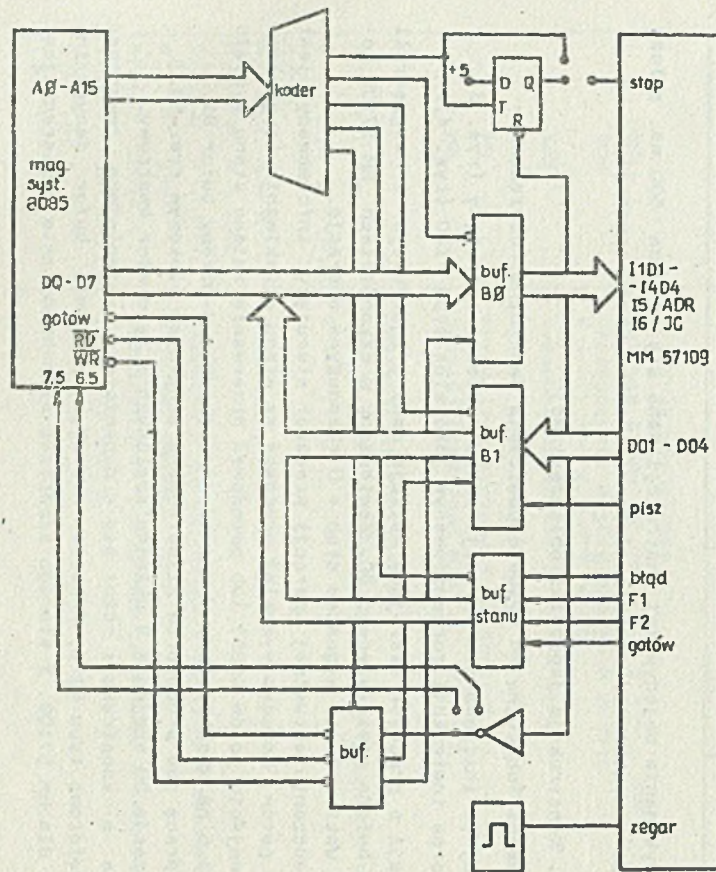
W wersji a procesor sterujący wpisauje dane i instrukcje z magistrali DO-D7 do bufora pamiętającego B0. Zawieszony w czynnościach MM 57109 dopiero po uaktywnieniu sygnałem stop = 0 rozpoczyna operację.

O zakończeniu aktualnej operacji procesor sterujący informowany jest sygnałem gotów, mogącym wyzwalać procesor ze stanu oczekiwania (sygnał wysoki na wejściu gotów 80B5) lub powodować przerwanie zmianą stanu sygnału 6.5 lub 7.5 na wysoki. Dane wyprowadzane są przez 4-bitowy bufor B1.

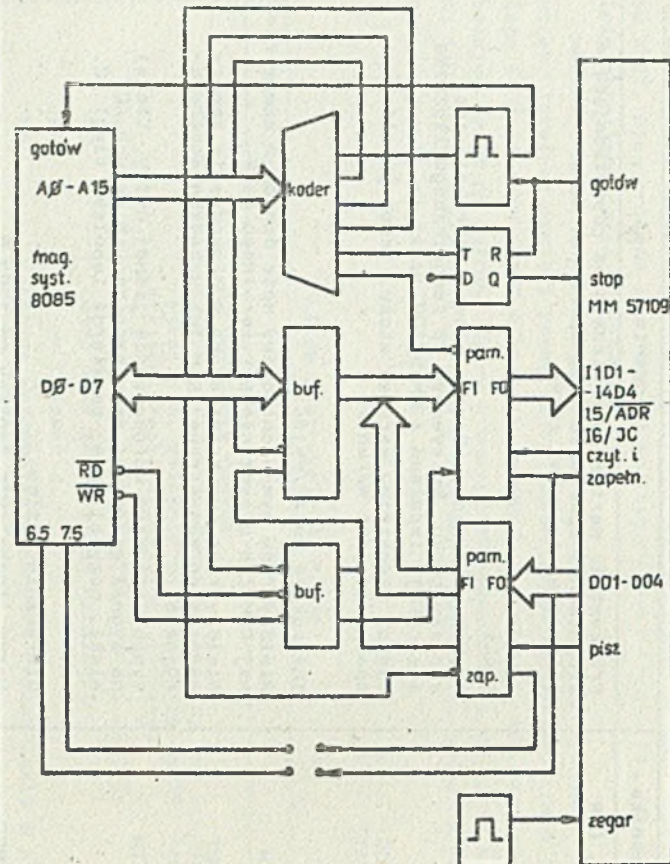
Współpracę obu procesorów zilustrowano schematem blokowym rys. 5b.

Realizacja JO obejmuje 9 układów scalonych i rezonator kwarcowy.

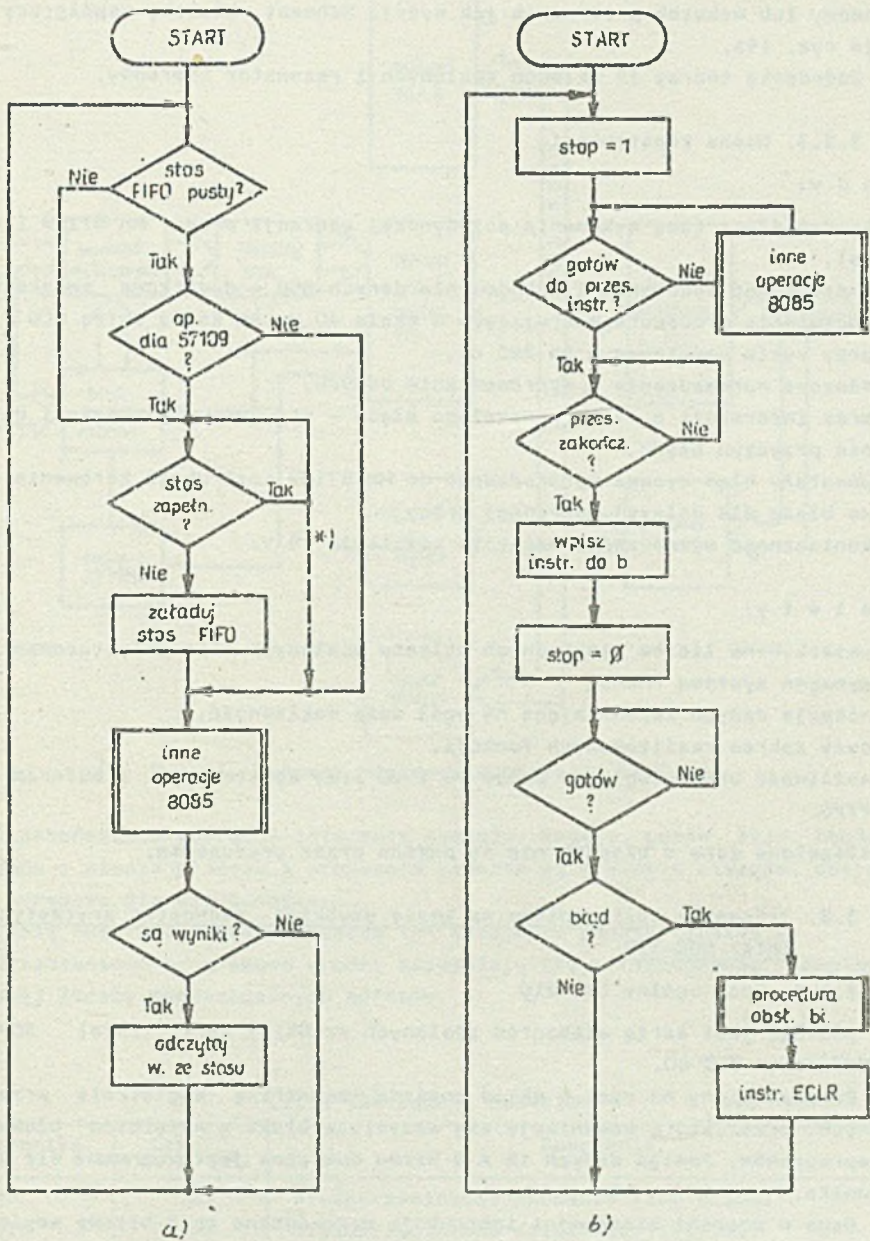
Wersja b konstrukcji różni się o dynamicznie zmieniającą zawartość pamięć buforową typu FIFO. Procesor sterujący wypełnia bufor danych/instrukcji dla MM 57109, z którego zawartość asynchronicznie pobierana jest



Rys. 3. Jednostka obliczeniowa z MM 57109 przy kolejnym inicjowaniu operacji przez 8085



Rys. 4. Jednostka obliczeniowa z MM 57109 i buforem instrukcji typu FIFO



Rys. 5. Współpraca z MM 57109

a) z pamięcią pośredniczącą typu FIFO. b) z bezpośrednim inicjowaniem operacji.

przez mikroprocesor JO. PS pobiera wyniki również ze stosu w sposób programowy lub wskutek przerwania jak wyżej. Schemat blokowy współpracy podaje rys. 15a.

Jednostkę tworzy 12 układów scalonych i rezonator kwarcowy.

3.2.3. Ocena konstrukcji

W a d y:

- bardzo długi czas wykonania pojedynczej operacji przez MM 57109 (1-500 ns),
- konieczność kodowania i dekodowania danych BCD - dodatkowe zwiększenie obciążenia procesora sterującego o około 40 μ s na każdą cyfrę BCD (4) przy cyklu podstawowym PS 385 ns,
- złożone wprowadzanie i wyprowadzanie danych,
- brak informacji o typie powstałego błędu - utrudnione szukanie i usuwanie przyczyn błędu,
- powstały błąd wymaga wprowadzenia do MM 57109 instrukcji zerowania stanu błędu dla dalszej poprawnej pracy,
- konieczność wytworzenia napięcia zasilania +9 V.

Z a l e t y:

- umiarkowana liczba niezbędnych układów scalonych dla przystosowania do wymagań systemu FMS-5,
- notacje danych zapewniające na ogół dużą dokładność,
- duży zakres realizowanych funkcji,
- możliwość zrównoleglenia pracy PS i JO przy konstrukcji z buforem typu FIFO.

Szczegółowe dane o błędach nie są podane przez producenta.

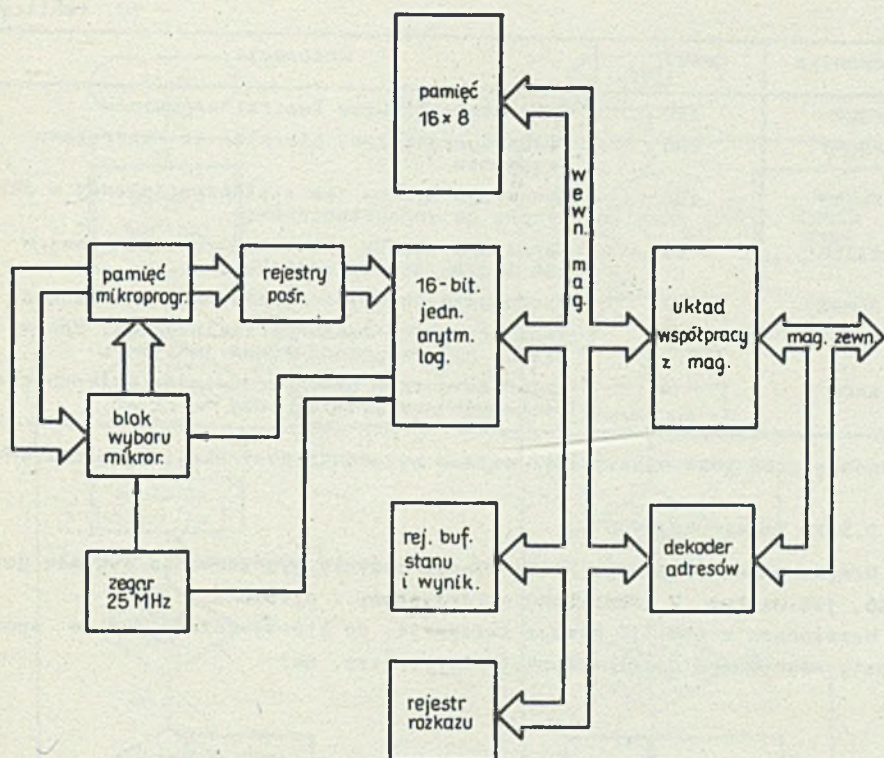
3.3. Jednostka obliczeniowa na bazie szybkiej jednostki arytmetycznej Intel SBC-310

3.3.1. Opie ogólny SBC-310

SBC-310 jest kartą elementów scalonych szybkiej serii Intel 3000 w standardzie SBC 80.

Przedstawiony na rys. 6 układ posiada wewnętrzną magistralę przesyłu danych, przez którą komunikują się wszystkie bloki z wyjątkiem bloku mikroprogramów. Pamięć danych 16 x 8 bitów dostępna jest programowo dla użytkownika.

Dane w postaci binarnej i instrukcje wprowadzane są 8-bitową magistralą danych. Dopuszcza się notację stałoprzecinkową 16- i 32-bitową oraz zmiennoprzecinkową 32-bitową. Rozróżnienia wpisu danych i instrukcji dokonuje się wyborem adresu. Dane wpisywane są kolejno do najmłodszych 8 bitów.



Rys. 6. Schemat blokowy organizacji SBC-310

O zakończeniu operacji informują sygnały: zajęty, gotów, błąd. Dokładne dane o stanie procesu i procesora zawarte są w słowie statusu, dostępnym adresowo dla użytkownika.

Listę instrukcji wraz z czasem ich wykonania podaje tablica 2.

Urządzeniowo-programowe środki zapewniają przyporządkowanie dowolnych z dużej liczby dopuszczalnych adresów.

Tablica 2

Lista instrukcji SBC-310

Mnemonika	Czas [*] (μ s)	Znaczenie
MUL	20	Stałooprzecinkowe mnożenie (16b x 16b)
DIV	30	Stałooprzecinkowe dzielenie (16b/16b)
EDIV	100	Stałooprzecinkowe dzielenie (32b/16b)
FMUL	100	Zmiennoprzecinkowe mnożenie (32b x 32b)
FDIV	110	Zmiennoprzecinkowe dzielenie
FADD	75	Zmiennoprzecinkowe dodawanie
FSUB	75	Zmiennoprzecinkowe odejmowanie

cd. tablicy 2

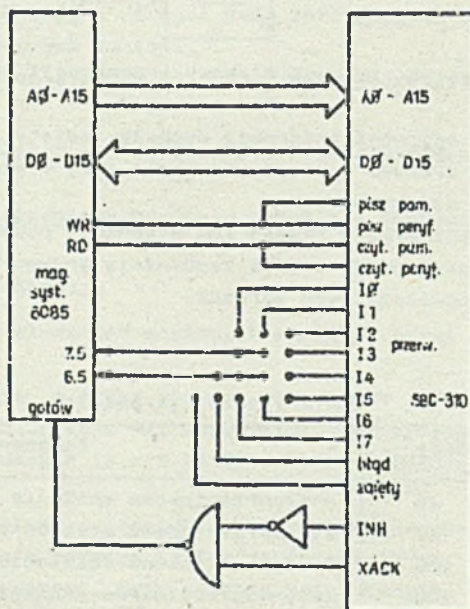
Mnemonika	Czas* (μs)	Znaczenie
FSQR	110	Zmiennoprzecinkowy kwadrat argumentu
FSQRT	205	Zmiennoprzecinkowy pierwiastek kwadratowy argumentu
FLTDS	100	Konwersja liczby 16b stałoprzecinkowej w 32b liczbę zmiennoprzecinkową
FIXSD	85	Konwersja liczby 32b zmiennoprzecinkowej w 16b liczbę stałoprzecinkową
FCMPR	7	Porównanie dwóch liczb zmiennoprzecinkowych
FZTST	7	Test argumentu zmiennoprzecinkowego. Sprawdzenie czy wartość równa jest zeru
EXCH	4	Zmiana zawartości dwóch argumentów zmiennoprzecinkowych nawzajem ze sobą

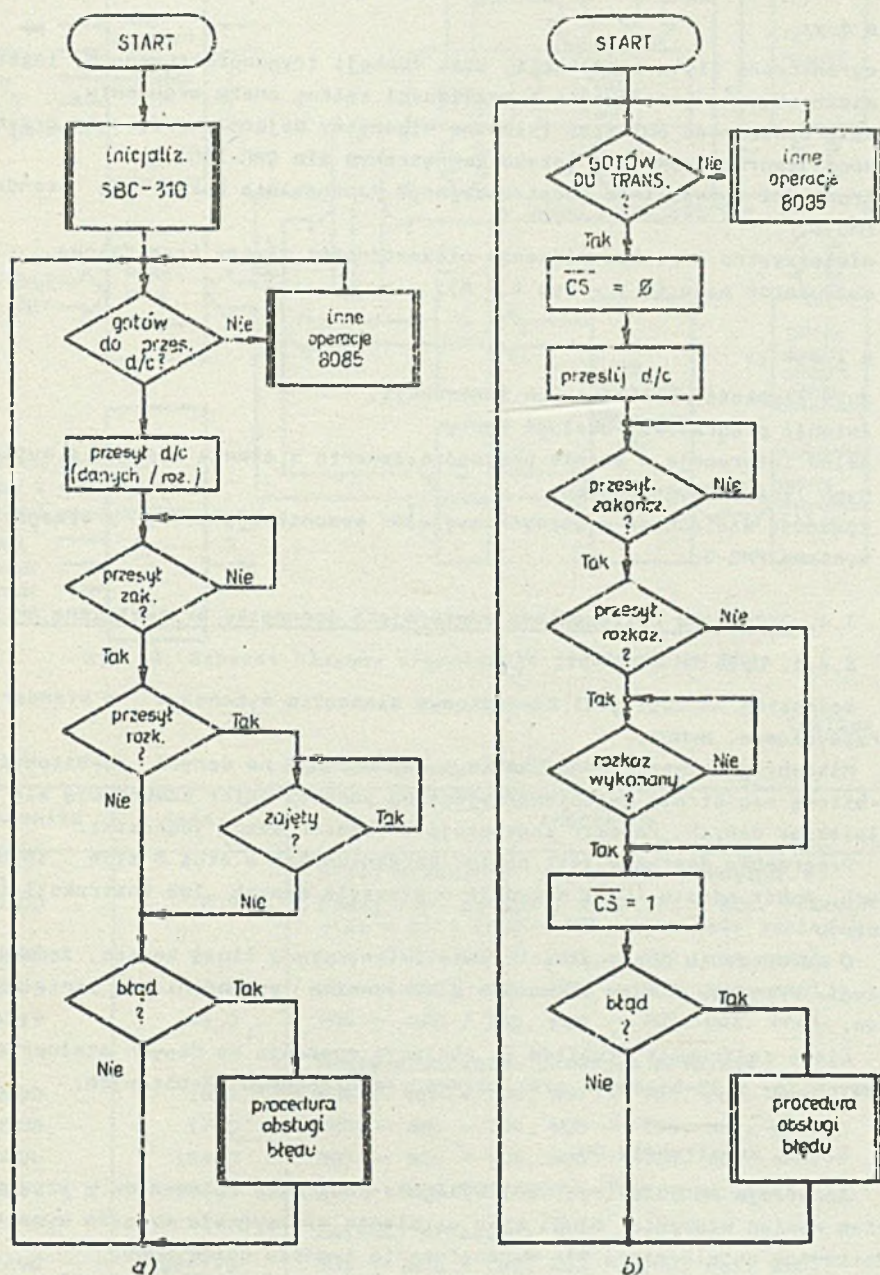
* Podany czas jest maksymalnym czasem wykonania instrukcji wg producentu.

3.3.2. Konstrukcja JO

Urządzenie adaptacja karty wymaga jedynie wypracowania sygnału gctów 3085, jak na rys. 7 (dodatkowo wykorzystany 1 element).

Współpraca z SBC-310 wymaga inicjacji, po której można już w sposób prosty uaktywniać dowolne funkcje karty (rys. 8a).





Rys. 8. Wzajemne procesorów
 a) 8085-SBC-310. b) 8085-AM 9511

3.3.3. Ocena rozwiązania

W a d y:

- ograniczona lista instrukcji, brak funkcji trygonometrycznych, logarytmicznych, y^x , generowania i możliwości zmiany znaku argumentu,
- mała dokładność obliczeń (złożone algorytmy dające rozwiązanie przybliżone, zaprogramowane w języku zewnętrznym dla SBC-310),
- trudności rozwiązania konstrukcyjnego dopasowania karty do standardu FMS-5,
- niekorzystne z punktu widzenia niezawodności złącze krawędziowe,
- duży pobór mocy (5 V - typ 4.9 A).

Z a l e t y:

- duża szybkość realizowanych instrukcji,
- łatwość programowej obsługi karty,
- pełne informacje o stanie procesora zawarte w słowie statusu i wyjściowych liniach sygnałowych,
- zgodność uzależnień czasowych sygnałów komunikacji karty z wymaganiami systemu FMS-5.

3.4. Jednostka obliczeniowa zawierająca jednostkę arytmetyczną AM 9511

3.4.1. Opis AM 9511

Jednostka AM 9511 jest 24-nózkowym elementem wykonanym w standardzie przemysłowym, N-MOS.

Mikroprogramowana jednostka (rys. 9) operuje na danych 16-bitowych. Z 8-bitową magistralą wejściowo/wyjściową poprzez bufor komunikują się multiplekser danych, rejestr instrukcji i rejestr stanu jednostki.

Programowo dostępna jest pamięć zorganizowana w stos 8 słów 16-bitowych. Wybór adresu (C/D) decyduje o przesyle danych lub instrukcji (statusu).

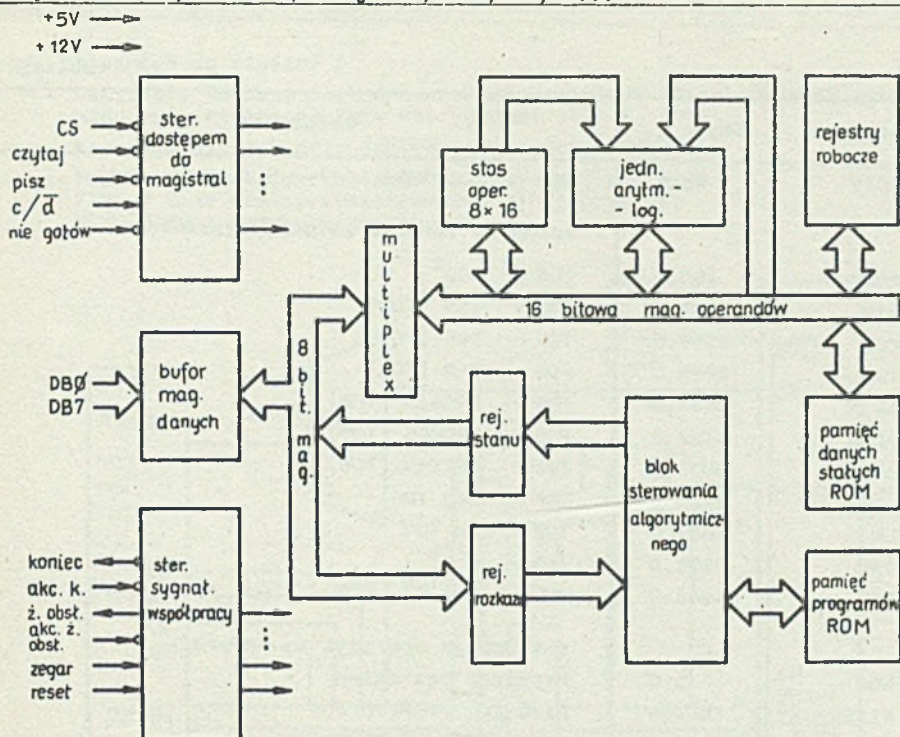
O zakończeniu operacji informują zmiany stanu linii koniec, żądanie obsługi. Przesył między elementem a otoczeniem synchronizuje linia niegotów.

Lista instrukcji (tablica 3) obejmuje operacje na danych stałoprzecinkowych 16- i 32-bitowych oraz zmiennoprzecinkowych 32-bitowych.

3.4.2. Konstrukcja JO

Adaptacja AM 9511 (rys. 10) wymagała dodatkowo elementów z przetwornikiem napięć włącznie. Długi czas ustalania się sygnału niegotów wymaga dodatkowego uniwibratora dla wygenerowania sygnału gotów 8085.

Praca AM 9511 wyzwalsna jest stanem niskim linii \overline{CS} (rys. 8b). Po odpowiednim wprowadzeniu danych przez dodatkowy zewnętrzny bufor, wpis instrukcji powoduje podjęcie przez AM 9511 jej natychmiastowego wykonania.



Rys. 9. Schemat blokowy organizacji jednostki AM 9511

Tablica 3

Lista instrukcji AM 9511

Mnemonika	Czas ^{**} (μ s)	Znaczenie
SADD	8,5	Stały przecinek, pojedyncza precyzja Dodaj TOS* do NOS*. Wynik w NOS. Przesuń stos w górę (NOS \rightarrow TOS, pozostałe analog.)
SSUB	15,0	NOS \leftarrow NOS - TOS, NOS \rightarrow TOS, poz. anal.
SMUL	46,0	NOS \leftarrow NOS * TOS, NOS \rightarrow TOS, poz. anal.
SDIV	46,0	NOS \leftarrow NOS / TOS, NOS \rightarrow TOS, poz. anal.
DADD	10,5	Stały przecinek, podwójna precyzja NOS \leftarrow NOS + TOS, NOS \rightarrow TOS, poz. anal.
DSUB	17,0	NOS \leftarrow NOS - TOS, NOS \rightarrow TOS, poz. anal.
DMUL	104,0	NOS \leftarrow NOS * TOS, NOS \rightarrow TOS, poz. anal.
DDIV	104,0	NOS \leftarrow NOS/TOS, NOS \rightarrow TOS, poz. anal.
FADD	28-175	Zmienny przecinek NOS \leftarrow NOS + TOS, NOS \rightarrow TOS, poz. anal.
FSUB	28-176	NOS \leftarrow NOS - TOS, NOS \rightarrow TOS, poz. anal.
FMUL	84,0	NOS \leftarrow NOS * TOS, NOS \rightarrow TOS, poz. anal.

cd. tablicy 3

Mnemonika	Czas ^{**} (μ s)	Znaczenie
FDIV	85,5	NOS \leftarrow NOS/TOS, NOS \rightarrow TOS, poz. anal. Pochodne funkcje zmiennoprzecinkowa
SQRT	409,0	TOS \leftarrow TOS ²
SIN	2232,0	TOS \leftarrow SIN (TOS)
COS	2059,0	TOS \leftarrow COS (TOS)
TAN	2878,0	TOS \leftarrow TAN (TOS)
ASIN	3834,0	TOS \leftarrow ARCSIN (TOS)
ACOS	3862,0	TOS \leftarrow ARCCOS (TOS)
ATAN	3903,0	TOS \leftarrow ARCTAN (TOS)
LOG	2245,0	TOS \leftarrow log TOS
LN	2239,0	TOS \leftarrow ln TOS
EXP	2308,0	TOS \leftarrow e ^{TOS}
PWR	4646,0	NOS \leftarrow NOS ^{TOS} , NOS \rightarrow TOS, poz. anal.
Instrukcje operacji na danych		
NOP	2,0	Procesor bez zmian
FIXS	46-108	FIXS TOS \leftarrow FLTD TOS
FIXD	50-173	FIXD TOS \leftarrow FLTD TOS
FLTS	49-93	FLTD TOS \leftarrow FIXS TOS
FLTD	49-189	FLTD TOS \leftarrow FIXD TOS
CHSS	13,0	FIXS TOS \leftarrow (FIXS TOS)
CHSD	17,0	FIXD TOS \leftarrow (FIXD TOS)
CHSF	8,0	FLTD TOS \leftarrow (FLTD TOS)
PTOS	8,0	FIXS TOS \rightarrow FIXS NOS
PTOD	10,0	FIXD TOS \rightarrow FIXD NOS
PTOF	10,0	FLTD TOS \rightarrow FLTD NOS
POPS	5,0	Rotacja stosu względem FIXS TOS, FIXS NOS \rightarrow \rightarrow FIXS TOS
POPD	6,0	Rotacja stosu względem FIXD TOS, FIXD NOS \rightarrow \rightarrow FIXD TOS
POPF	6,0	Rotacja stosu względem FLTD TOS, FLTD NOS \rightarrow \rightarrow FLTD TOS
XCHS	9,0	FIXS TOS \leftrightarrow FIXS NOS
XCHD	13,0	FIXD TOS \leftrightarrow FIXD NOS
XCHF	13,0	FLTD TOS \leftrightarrow FLTD NOS
PLPI	8,0	FLTD TOS \leftrightarrow FLTD NOS FLTD \leftrightarrow FLTD TOS

Objaśnienia:

** Czas dla AM 9511-2 o cyklu zegara 500 ns. Czas w mikroskundach.

* TOS = dane na szczycie stosu, NOS = dane kolejna pod daną na szczycie

cd. objaśnień do tablicy 3

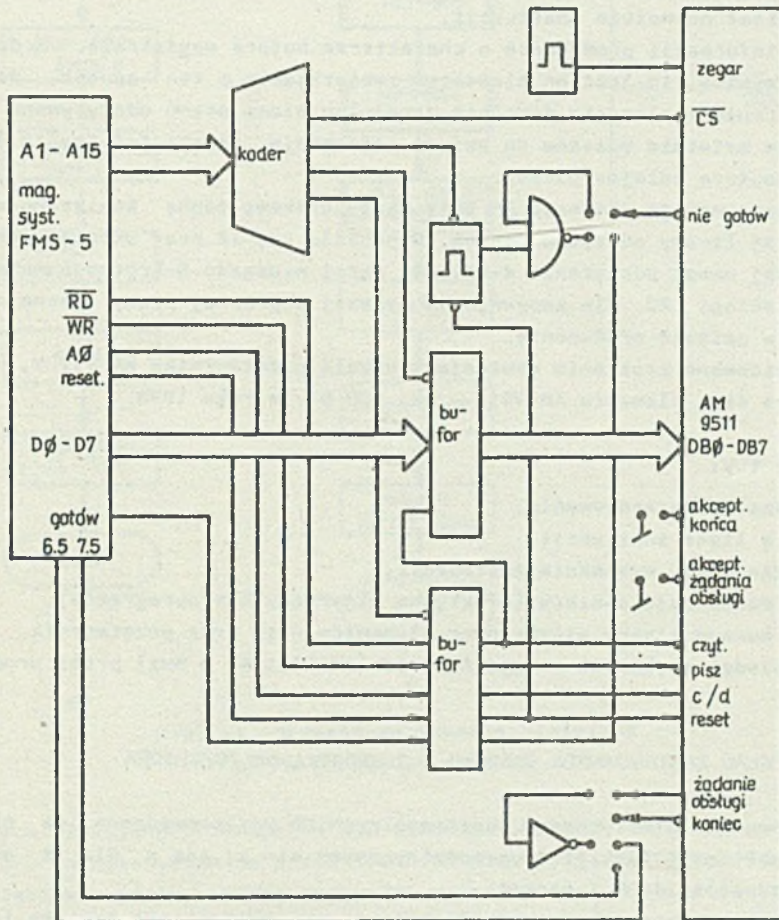
*** Wszystkie funkcje pochodne nieść zawartość stoau. Jedynie wyniki mogą być traktowane jako wiarygodne.

**** Kod operacji jak przy danych stałoprzecinkowych.

***** FIXS = dane stałoprzecinkowe pojedynczej precyzji.

FIXD = dane stałoprzecinkowe podwójnej precyzji

FLTD = dane zmiennoprzecinkowe.



Rys. 10. Jednostka obliczeniowa zawierająca AM 9511

O zakończeniu operacji informuje odpowiedni bit słowa stanu, linia koniec (zgłoszenie przerwania) i linia zadanie obsługi (zadanie DMA).

3.4.3. Ocena konstrukcji

W a d y:

- brak sygnału błędu upraszczającego obsługę przez program PS,
- późny "niegotów" wymagający dodatkowego uniwbrotora,
- opóźnione ustawianie bitu zajętości w słowie statusu (stwierdzone także w (6)) powodujące nieprawidłowości działania przy testowaniu stanu narychmiast po wpisie instrukcji,
- brak informacji producenta o charakterze bufora magistrali. Z doświadczeń wynika, iż jest on elementem pamiętającym w ten sposób, że przy pobieraniu z elementu dowolnie danej lub słowa stanu odczytywana jest wpierw ostatnio wpisana do bufora informacja. Żadaną informację dostarcza dopiero kolejny odczyt.
- pierwsze wersje elementu AM 9511 miały ciekawą cechę konieczności parzystej liczby odczytów danych. Oznaczało to, iż przy uwzględnieniu powyższej uwagi odczytanie 4-bitowej danej wymagało 6-krotnego podania stanu niskiego RD dla zapewnienia dalszej poprawnej pracy. Cecha nie podana w opisach producenta.
- zróżnicowane zasilanie wymagające użycia przetwornika na +12 V,
- wysoka cena elementu AM 9511 - ok. 500 Sfr w roku 1978.

Z a l e t y:

- dogodne oprogramowywanie,
- bogata lista instrukcji,
- krótkie czasy wykonania instrukcji,
- duża dokładność wyników (efektywne algorytmy mikroprogramów),
- umiarkowana liczba niezbędnych elementów - 10 oraz przetwornik,
- zapowiedzi szybszych wersji AM 9511 (AM 9511-4, 4 MHz) przez producenta.

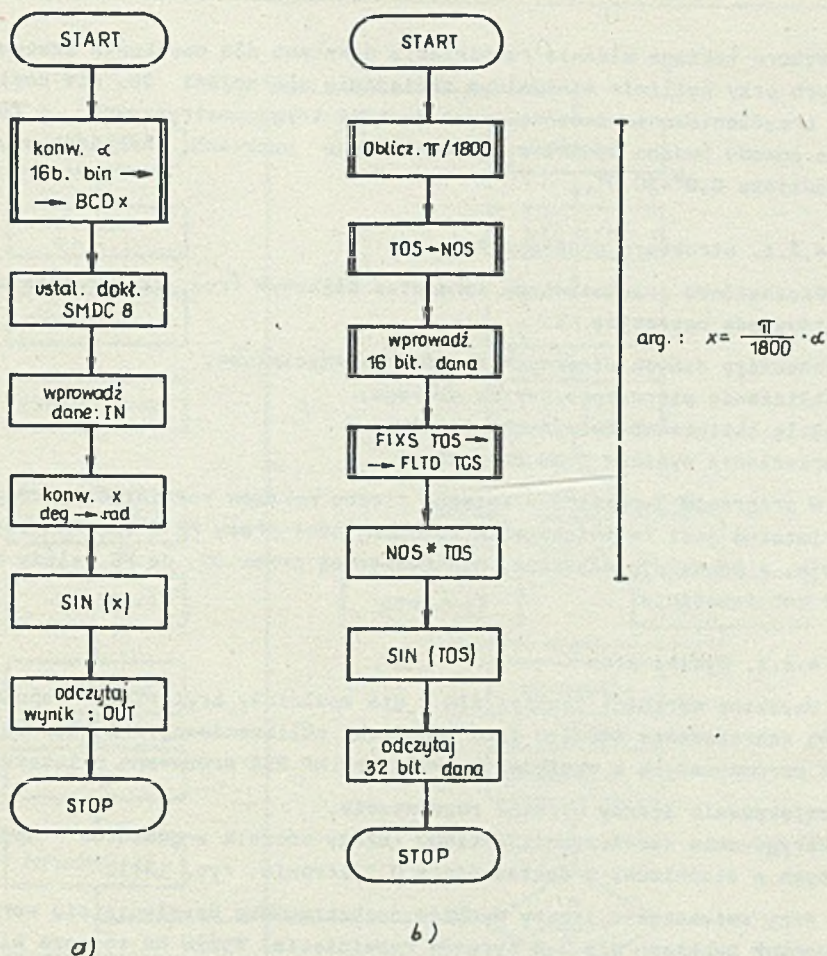
4. PRZYKŁAD ZASTOSOWANIA SYSTEMU Z JEDNOSTKĄ OBLICZENIOWĄ

Porównanie efektywności poszczególnych JO przeprowadzono na przykładzie realizacji funkcji trygonometrycznych $\sin x$, $\cos x$, dla x podanego z dokładnością do 0,1 stopnia.

Kilka programów obliczania funkcji trygonometrycznych zawiera (4). Kryterium czasu obliczeń i dokładności wyróżnia rozwinięcie funkcji $\cos x$ w szereg Czebyszewa (R. Slater, (4), ref. BB27, (9)). Zarówno jednak dokładność (błąd 0,5% pełnej skali 0-90°), jak i czas obliczeń, szacowany na kilkanaście milisekund, skłaniają do poszukiwania innych rozwiązań.

4.1. JO z mikroprocesorem MM 57109

Rys. 11a podaje ogólny schemat blokowy programu PS wykorzystującego MM 57109 do obliczenia funkcji $\sin x$. Procedury konwersji danych stałoprze-



Rys. 11. Program obliczenia $\sin(x)$ na
a) MM 57109, b) AM 9511

cińkowych na zmiennoprzecinkowe BCD stanowią ok. 80% objętości programu. Procedury te wykonywane są przez procesor sterujący. Stosunkowo krótki jest efektywny odcinek czasu pracy JO: wprowadzenie 10 liczb danych (maksymalna dokładność), instrukcja konwersji deg/rad, instrukcja $\sin x$ i wprowadzenie wyniku do pamięci danych.

Biorąc pod uwagę powyższe oraz względy omówione w 3.2.3 nie kontynuowano eksperymentalnego sprawdzania rozwiązania.

4.2. JO na bazie Intel SBC-310

Przydatność tej jednostki oceniano na podstawie wyników wykonania funkcji $\sin x$ w rozwinięciu w szereg Taylora.

Wyboru takiego właśnie rozwinięcia dokonano dla uzyskania szacunkowych danych przy możliwie minimalnym obciążeniu operacjami JO, nie posiadającej urządzenia implementowanych funkcji trygonometrycznych. Z tego samego powodu badano wyniki wyłącznie w paru punktach charakterystycznych przedziału $0,0^{\circ}$ - $30,0^{\circ}$.

4.2.1. Struktura programu PS

Szczegółowo przedstawiony schematem blokowym (rys. 12) program zawiera następujące operacje:

- konwersję danych binarnych na zmiennoprzecinkowe,
- obliczenie pierwszego wyrazu szeregu,
- pętlę obliczania kolejnych wyrazów,
- przesłanie wyników z JO do pamięci.

W programie dopuszczono zmienną liczbę wyrazów rozwinięcia funkcji $\sin x$.

Istotne jest tu zwiększenie równoległości pracy PS i JO. Wszystkie operacje, z konwersją włącznie, wykonywane są przez JO, do PS należy wyłącznie ich inicjacja.

4.2.2. Wyniki prób

Uzyskane wartości funkcji $\sin x$ nie spełniały kryteriów dopuszczających zastosowanie SBC-310 jako jednostki obliczeniowej. Dokładność wyników porównywanych z wynikami kalkulatora HP 29R próbowano zwiększyć przez:

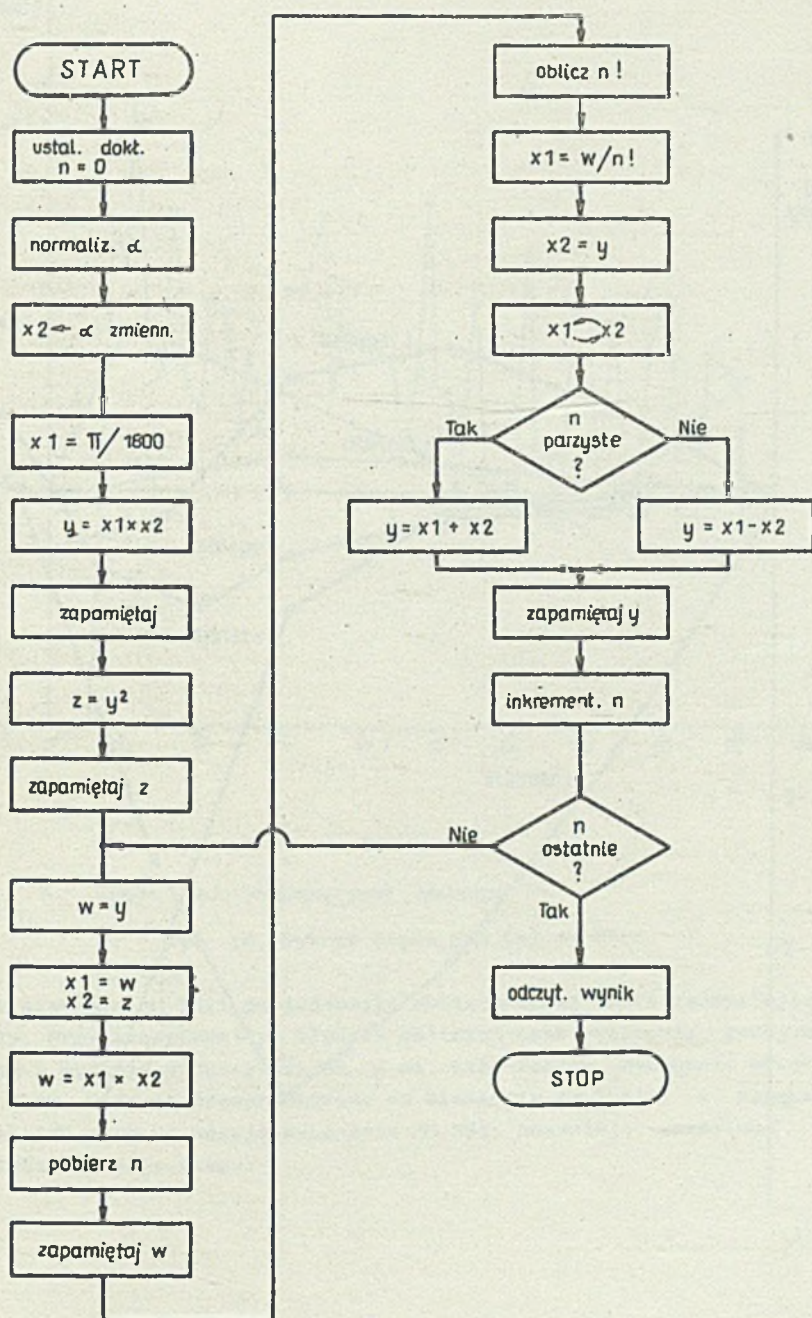
- zwiększenie liczby wyrazów rozwinięcia,
- korygowanie współczynników (1800 (stały mnożnik argumentów wprowadzanych w stopniach, z dokładnością 0,1 stopnia, rys. 13)).

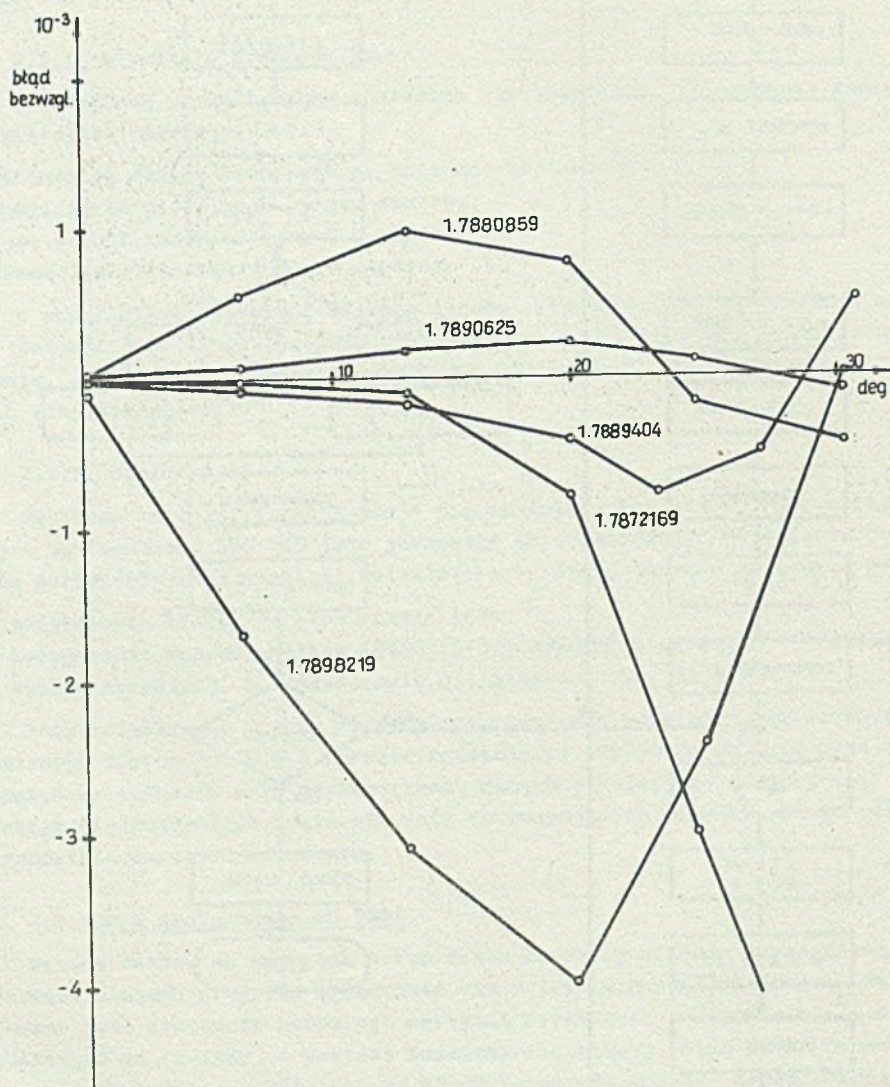
Przy zwiększeniu liczby wyrazów zaobserwowano ustalenie się wartości w badanych punktach dla 4-5 wyrazów rozwinięcia. Wpływ na to może mieć błąd maszynowy powstały przy przetwarzaniu danych w kolejnych operacjach. Korekcja współczynników także nie dała zadowalających rezultatów w pełnym przedziale wartości argumentu.

4.3. JO z zastosowaną AM 9511

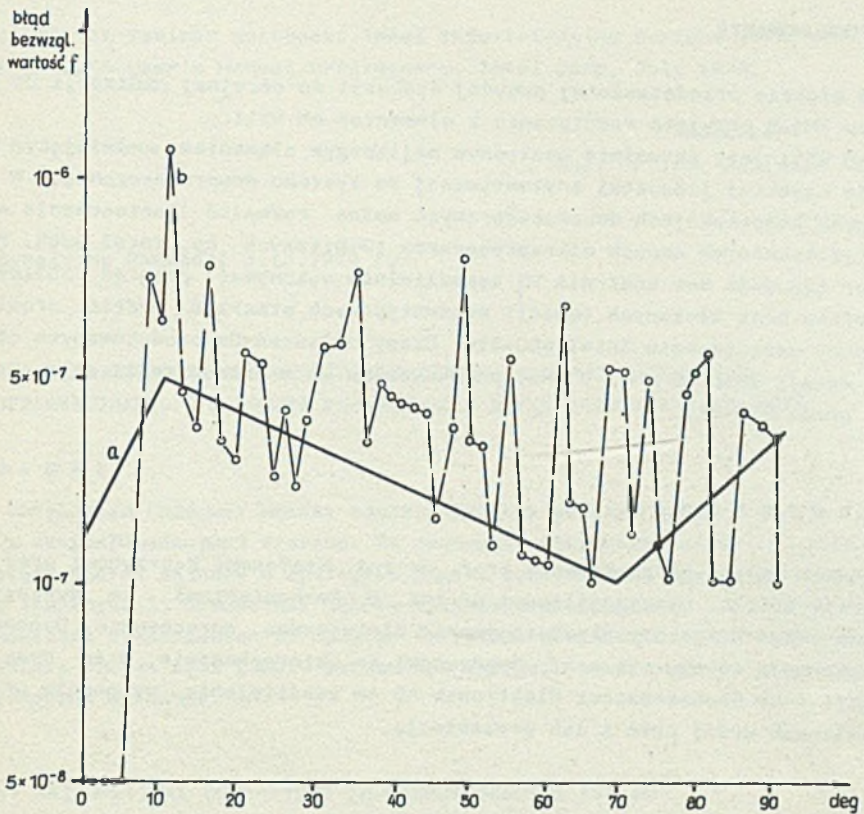
Przedstawiony na rys. 11b w tym samym co wyżej stopniu szczegółowości, schemat blokowy programu obliczania $\sin x$ jest widocznie krótszy. Rozbudowana jest procedura konwersji wartości wyrażonych w stopniach na odpowiadające im radiany, w postaci zmiennoprzecinkowej. Mimo braku odpowiedniej instrukcji typu RTD, DTR MM 57109 konwersję można przeprowadzić w pełni w JO, nie obciążając tym zadaniem procesora sterującego. Obliczenia wartości $\sin x$ dokonuje pojedyncza instrukcja.

Wartości błędu obliczonych funkcji przedstawiono łącznie z wykresem błędu $\sin x$ podawanym przez producenta (rys. 14). Wartości błędu bezwzględnie wahały się w granicach od $-3 \cdot 10^{-7}$ do $+1 \cdot 10^{-7}$.

Rys. 12. Program obliczania $\sin(x)$ przy zastosowaniu SBC-310



Rys. 13. Wykres błędu $\sin(x)$ przy korekcji 1800



a - wykres błędów podawany przez producenta

Rys. 14. Wykres błędów $\sin(x)$ AM 9511

Zastosowanie AM 9511 do jednostki obliczeniowej dało zadowalające rezultaty. Przy akceptowalnym błędzie obliczeń czas wykonania samej operacji $\sin x$ wynosił przeciętnie ok. 4 ns, czas łączny wykonania programu - ok. 4,8 ns. Badania przeprowadzono na elemencie AM 9511-2 z zegarem 500 ns. Kolejne szybsze wersje wykonania AM 9511 pozwalają oczekiwać 33% - 50% skrócenia tego czasu.

5. PODSUMOWANIE

W efekcie przedstawionej powyżej dyskusji do seryjnej realizacji JO systemu FMS-5 przyjęto rozwiązanie z elementem AM 9511.

AM 9511 jest aktualnie dostępnym najlepszym elementem, spełniającym kryteria szybkiej jednostki arytmetycznej do systemu dwuprocesorowego. W kolejnych konstrukcjach dwuprocesorowych można rozważyć zastosowanie nie-specjalizowanych nowych mikroprocesorów 16-bitowych np. Intel 8086. Procesor ten może bez kontroli PS samodzielnie wykonywać program obliczeń, jednakże brak złożonych funkcji matematycznych stwarzać będzie problemy podobne zastosowaniu Intel SBC-310. Czasy obliczeń dla produkowanych obecnie w wersji 8086 (5 MHz, 8 MHz) porównywalne są z czasem realizacji operacji przez SBC-310.

P o d z i ę k o w a n i e

Autor składa podziękowania prof. dr inż. Stefanowi Węgrzynowi oraz kolegom z IICzRz, w szczególności dr inż. B. Pochopieniowi, za dyskusję i cenne uwagi w trakcie przygotowywania niniejszego opracowania. Osobno podziękowania należą się prof. Węgrzynowi za ukierunkowanie prac oraz dyrekcji firmy Grossenbacher Elektronik AG za umożliwienie wykonania przedstawionych wyżej prac i ich prezentację.

LITERATURA

- [1] Shl. Wasser State-of-the-Art in High Speed Arithmetic Integrated Circuits Computer Design, July 1978.
- [2] 8080/8085 Assembly Language Programming Manual, Intel Corp. 1977.
- [3] MCS 85 User's Manual, Intel Corp. 1977.
- [4] Insite Program Library Manual, Intel Int. 1976 uaktualniane.
- [5] K. Badzirowski, J. Piękos, W. Piętrzyński: Cyfrowe układy MOS-LSI, WKŁ 1979.
- [6] D. Poizat, J.D. Nicoud: The Arithmetic Processing Unit AM 9511 Microscope 11, 1978.
- [7] L. Ljusternik: Matematičeskij analiz. Fizmatgiz 1963.
- [8] R. Slater: Forney Engineering Company, USA - doniesienia prywatne.
- [9] A.J. Weissberger, F. Toal: Tough Mathematical Tasks are Child's Play for Number Cruncher Electronics, February 17, 1977.
- [10] AM 57109 MCS/LSI Digit Oriented Microprocessor - General Description IM-FAE 116, National Semiconductor Corp. 1976.

- [11] MCS 86 Seminar Notebook, Intel Industriale AG Zurich, 1978.
[12] MCS 86 User's Manual Preliminary, Intel Corp. July 1978.

Recenzent

Doc. dr inż. Zdzisław Pogoda

Wpłynęło do Redakcji 3.12.1979 r.

УВЕЛИЧЕНИЕ СКОРОСТИ АРИФМЕТИЧЕСКИХ ОПЕРАЦИЙ МИКРОПРОЦЕССОРНОГО
ПРОГРАММИРОВАННОГО АВТОМАТА УПРАВЛЕНИЯ В ДВУХПРОЦЕССОРНОМ КОМПЛЕТЕ

Р е з ю м е

Разработка содержит анализ конструктивных решений арифметической единицы микропроцессорной системы. На основании сформулированных в первой и третьей частях заданий и критериев оценки сопоставлена пригодность выбранных конструкций. Совместная работа арифметической единицы с процессором управления представлена на примере программы реализации тригонометрической функции. Оценка этой работы учтена при выборе, реализованного решения арифметической единицы.

FAST ARITHMETICAL OPERATIONS IN MICROPROCESSOR SYSTEM
OF PROGRAMMABLE CONTROLLER - THE TWO PROCESSORS SOLUTIONS

S u m m a r y

The paper comprises the analysis of certain constructions of the microprocessor system arithmetic unit. The initial requirements and the criteria, set down in Chapter Two-Three, formed the basis for further discussion of the selected constructions.

A trigonometric function realisation program serves as an example of the software handshake between the arithmetic unit and a central processor. The conclusions over this software handshake have been considered while the construction to-be-realised was chosen.