

Bogdan ŁENT

Eugeniusz KULINEK

MIKROKOMPUTER W 8101 JAKO ŚRODEK DO URUCHAMIANIA SYSTEMÓW MIKROPROCESOROWYCH

Streszczenie. Artykuł prezentuje pewne rozwiązania konstrukcyjne mikrokomputera W 8101 przeznaczonego do pomocy w projektowaniu i uruchamianiu systemów mikroprocesorowych.

W kontekście przekroju przez środki uruchomieniowe systemów mikroprocesorowych podano założenia projektowe W 8101. Opis konstrukcji uzupełniony jest oceną wg kryterium przydatności w uruchamianiu ww. systemów. W zakończeniu zebrano doświadczenia i uwagi z eksploatacji W 8101.

1. ŚRODKI URUCHOMIENIOWE SYSTEMÓW MIKROPROCESOROWYCH

Rozwojowi technologii układów mikroprocesorowych towarzyszył postęp w dziedzinie narzędzi pomocnych w efektywnej aplikacji systemów opartych na tych układach.

I tak kolejno powstawały:

- analizatory-testery: specjalnie opracowane urządzenia elektroniczne, które po włączeniu w system testowały i monitowały jego stan. Urządzenia te, często specjalizowane maszyny cyfrowe, włączane są w system testowany na ogół jako jego urządzenia zewnętrzne,
 - symulatory: programy dowolnej maszyny cyfrowej, które po zadaniu odpowiednich parametrów systemu mikroprocesorowego reagowały na zmiany danych wejściowych w sposób przewidywany dla projektowanego systemu,
 - cross-compilerzy: programy tłumaczące program systemu mikroprocesorowego napisany w dowolnym języku tłumaczonym przez dowolną m.c. na kody maszynowe sterujące mikroprocesorem,
 - mikrokomputerowe środki uruchomieniowe
- złożone systemy wieloprocesorowe: wyposażone w bogate oprogramowanie systemowe, kompilujące bezpośrednio z dowolnego języka wyższego rzędu, testujące uruchamiane systemy drogą urządzeniowej emulacji, tj. włączenie testera w miejsce procesora systemu testowanego,
- proste bazowe systemy mikroprocesorowe: gwarantują możliwość testowania systemu zbudowanego w oparciu o podstawowy blok mikroprocesorowy. Blok ten na ogół zawiera grupę procesora, minimalnej objętości pamięci o do-

stępie swobodnym, klawiaturę i wyświetlacz oraz monitor, tj. program złożony z procedur inicjujących prawidłową pracę systemu.

Do ostatnio wymienionej grupy należy mikrokomputer W 8101.

2. KONCEPCJA W 8101

Projekt systemu oparto na następujących założeniach:

- bazowanie na konstrukcji typowej systemów mikroprocesorowych W 8000 z wprowadzeniem zmian zapewniających maksymalną ingerencję operatora w pracę systemu,
- uniwersalność konstrukcji uzyskaną z zamienności modułów.
- maksymalną czytelność stanu systemu dla operatora.
- maksymalną możliwą bierną ingerencję w system drogą rozwiązań urzędzeniowych,
- minimalną liczbę urządzeń peryferyjnych,
- proste niezbędne oprogramowanie.

Przez ingerencję bierną rozumie się tutaj możliwość zatrzymania i kontroli pracy systemu bez podejmowania przez system operacji automatycznych w momencie ingerencji.

3. ROZWIĄZANIE KONSTRUKCYJNE I REALIZACJA W 8101

3.1. Organizacja magistral

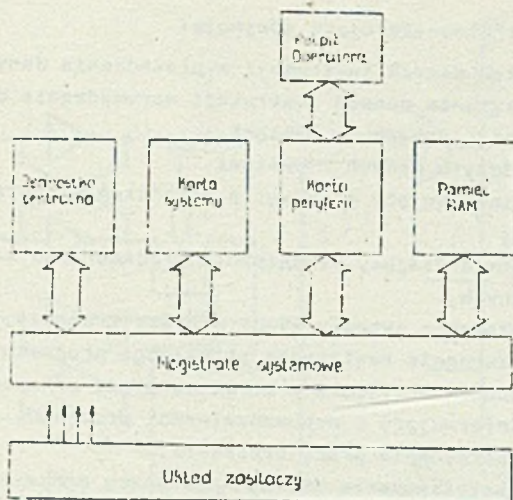
Mikrokomputer W 8101 jest systemem magistralowo zorientowanym, tzn. komunikacja między dowolnymi dwoma blokami może odbywać się wyłącznie poprzez wspólne magistrale systemowe (rys. 1).

Magistrale systemu W 8101 wyróżniają:

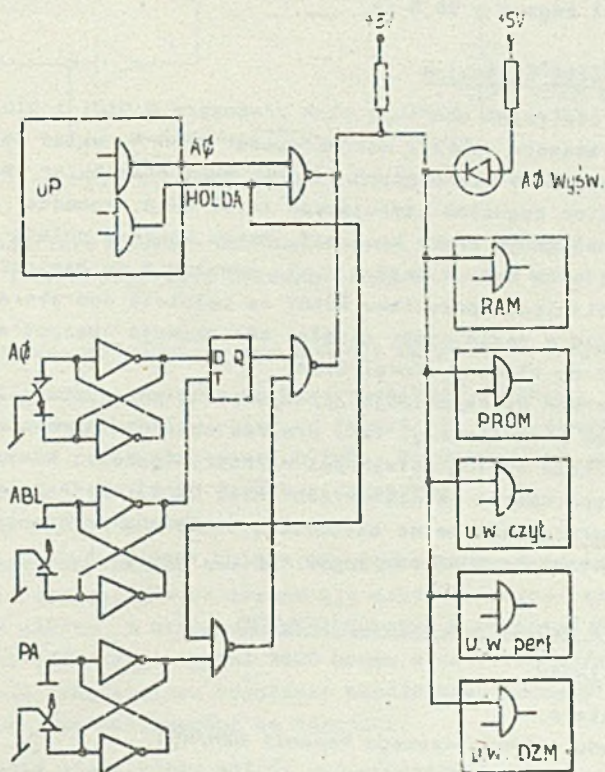
- a) sygnały adresowe (A0-A15) = magistrala adresowa
- b) sygnały danych (D0-D7) = magistrala danych
- c) sygnały kontrolno-sterujące (łącznie 14)

Ad a. Linie sygnałów adresowych sterowane są z mikroprocesora Intel 8080A lub z bufora adresu pulpitu operatora. Pozostałe bloki i elementy systemu są jedynie odbiorcami tych sygnałów. Z powyższych względów jak i zaleceń konstrukcyjnych przyjęto sterowanie magistrali elementami z otwartym kolektorem (rys. 2).

Ad b. Linia sygnałów danych zapewni transmisję między dowolnymi dwoma blokami w dowolnym kierunku. Dwukierunkowość oraz powszechność trzystanowych sygnałów magistrali danych w elementach układów scalonych spowodowała, że arbitralnie przyjęto magistralę danych jako trzystanową.



Rys. 1. Struktura blokowa systemu



Rys. 2. Generacja i obciążenie linii adresowej A0

Ad c. Sygnały kontrolno-sterujące obejmują:

- IOW - sygnał wpisu danych instrukcji wyprowadzania danych OUT,
- IOR - sygnał wczytania danych instrukcji wprowadzania danych IN,
- MEMW - sygnał wpisu danych do pamięci,
- MEMR - sygnał odczytu danych z pamięci,
- READY - sygnał informujący procesor o zakończeniu operacji przesyłu danych,
- WAI - sygnał potwierdzający oczekiwanie procesora na zakończenie operacji przesyłu danych,
- RBL - linia blokowania sygnału READY w pracy krokowej,
- INT - sygnał przerwania realizacji aktualnego programu,
- INTA - potwierdzenie przyjęcia przerwania przez procesor,
- INTE - sygnał informujący o dopuszczalności przerwania,
- HOLD - sygnał zatrzymania pracy procesora,
- HOLDA - sygnał potwierdzenia zatrzymania pracy procesora,
- RESET - sygnał ustawienia licznika instrukcji na zero i start systemu,
- ϕ 2 - sygnał zegara systemu - 870 ns,
- OSC - sygnał zegara - 96,6 ns.

3.2. Jednostka centralna

Jednostka centralna obejmuje blok procesora W 8101 i blok pamięci systemu. Blok procesora zawiera mikroprocesor 8080 A, układ zegara i synchronizacji sygnałów sterujących - Intel 8224 oraz bufor magistrali danych i generator sygnałów sterujących Intel 8228. Ponadto blok ten obejmuje układ realizacji pracy krokowej. Praca krokowa polega na zatrzymaniu procesora w stanie Wait w każdym cyklu odwołania do pamięci lub peryferii do chwili naciśnięcia przycisku READY na pulpicie operatora.

Przełączenie w reżim pracy ciągłej odblokowuje bezpośrednio przejście sygnału READY do elementu Intel 8224.

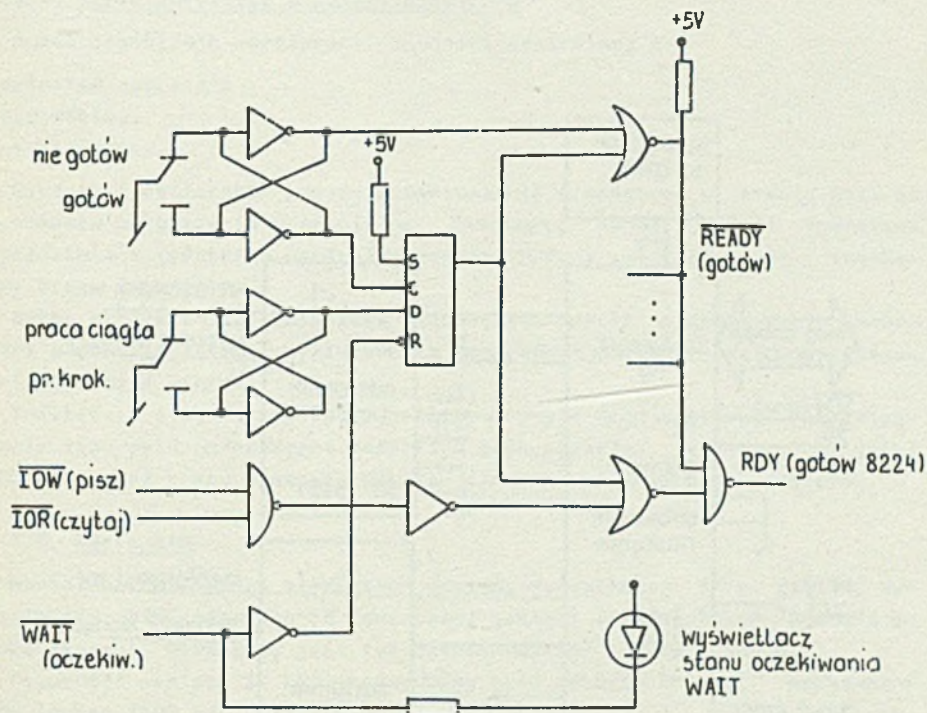
Układ przerwania hierarchizuje przerwania na pojedynczej linii przerywającej w sposób programowany, tzn. program obsługi przerwania sprawdza zgłoszenia urządzenia według kolejności ważności (pulpit, konsola itd.).

Blok pamięci oparto na elementach Intel 2102. W rozwiązaniu przyjęto pracę procesora z maksymalną szybkością bez stanu oczekiwania Wait (READY generowane natychmiast po odwołaniu się do tego bloku).

3.3. Karta monitora i konsoli DZM/KSR

Karta obejmuje:

- a) blok monitora,
- b) blok układu pośredniczącego konsoli DZM/KSR.



Rys. 3. Układ wymuszania pracy krokowej

Ad a. Blok monitora zawiera dekodery adresów, blok pamięci stałej elementów EPROM Intel 1702 A objętości dopuszczalnej 2k oraz bufor danych wyjściowych.

Ad b. Blok układu pośredniczącego koneoli DZM/KSR obejmuje:

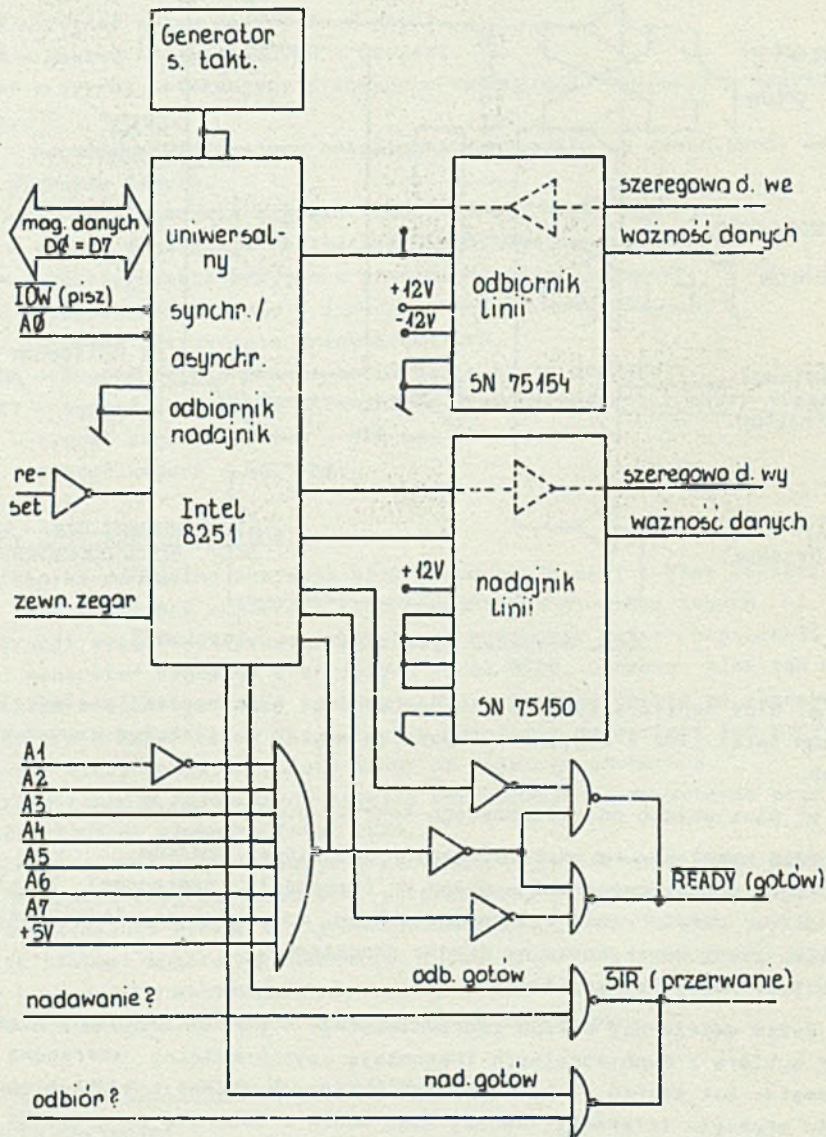
- układ współpracy z drukarką znakowo-mozaikową DZM/KSR
- programowalny uniwersalny układ do transmisji szeregowej Intel 8251. Monitor ustala reżim współpracy układu, dopuszcza się jednak zmianę reżimu przez użytkownika na drodze programowej
- bufor magistral systemowych.

Reżim współpracy układu pośredniczącego i DZM/KSR ustalony przez monitor wybiera z dopuszczalnych transmisję asynchroniczną szeregową według formatu: bit startu, 7 bitów danych, bit parzystości i 2 bity stopu. Szybkość przesyłu informacji wynosi 9600 bodów z kontrolą parzystości co znak.

Rozwiązanie urządzeniowe dopuszcza współpracę jednostki centralnej z blokiem układu pośredniczącego na zasadzie:

- przepytывania stanu bloku układu pośredniczącego
- przerwania priorytetowych.

Monitor tego systemu ustala pracę z przepytывaniem programowym.



Rys. 4. Układ współpracy systemu z DZM/KSR

3.4. Karta peryferii i pulpit operatora

Karta organizuje współpracę jednostki centralnej z:

- pulpitem operatora,
- czytnikami,
- perforatorem.

Czytnik i perforator powodują zawieszenie procesora w stanie Wait aż do momentu zakończenia operacji na 8-bitowej danej. Pulpit operatora współdziała z jednostką centralną poprzez bufory przełączników i indykatory stanu magistral.

Bufor przełączników dopuszcza bezpośredni dostęp i modyfikację zawartości pamięci systemu z wykluczeniem ingerencji w stan rejestrów procesora (ingerencja bierna).

Indykatory stanu magistral w pełni określają stan systemu: dla osiągnięcia tego celu wprowadzono dodatkowo obok sygnałów sterujących Intel 8080 A, sygnał pracy krokowej RBL monitorowany na pulpicie operatora.

3.5. Karta RAM

Karta oparta jest na elementach pamięci dynamicznej Intel 2107 B. Wyróżnia się układ odświeżenia zawartości pamięci oraz arbiter dostępu do bloku pamięci. Niezbędny jest też dekoder adresu i bufor danych.

Pojemność pamięci 12 kby, maksymalny czas odczytu 750 ns, maksymalny czas zapisu 1400 ns.

4. OCENA KONSTRUKCJI

4.1. Cechy prądystynujące W 8101 do uruchamiania systemów mikroprocesorowych:

- a) realizowalność pełnej listy 238 instrukcji procesora Intel 8080 A pozwalająca na testowanie dowolnego systemu opartego na tym procesorze z ograniczeniem wynikającym z wykorzystywanych w uruchamianiu modułów W 8101,
- b) modułowość przy orientacji magistralowej pozwala na włączenie pod system dowolnej części urządzenia użytkownika. Uniwersalna jednostka centralna pozwala na przeprowadzanie testów zastępując jednostkę centralną użytkownika. Uruchamianie systemów o innych standardach mechanicznych i elektryczno-logicznych wymaga użycia układów pośredniczących.
- c) zmienność lokalizacji fizycznej kart zwiększa swobodę gabarytów kart,
- d) na podkreślenie zasługuje przyjęty standard linii READY. W systemie W 8101 jest ona interpretowana jako linia gotowości urządzenia w przeciwieństwie do standardu Intela. Oznacza to, że stanem normalnym jest stan wskazujący na niegotowość urządzenia do kontynuowania programu. Dzięki temu:

- nie ma ograniczeń na czas odpowiedzi urządzenia (wg firmy Intel około 110 ns). Pozwala to na projektowania na bazie dostępnych w kraju elementów z uproszczeniem logiki układu
 - odwołanie się do nie istniejącego bloku powoduje zawieszenie się procesora w stanie Wait. Ułatwia to kontrolę z pulpitu poprawności realizacji uruchamianego programu.
- e) praca krokowa oznacza możliwość zatrzymania procesora przy każdym odwołaniu się jego do pamięci lub urządzenia peryferyjnego. Pozwala to na głębszą analizę pracy i kontrolę poprawności niż w przypadku systemów Intela przerywających realizację wyłącznie w odstępach jednej instrukcji (mogącej zawierać kilka odwołań do pamięci).
- f) pełna możliwość kontroli wszystkich sygnałów systemu mikroprocesorowego z dodatkowymi sygnałami związanymi z pracą krokową, ciągle i bezpośrednio dostępem do pamięci.
- g) minimalne oprogramowanie zwiększające efektywność wykorzystania części urządzeniowej W 8101 w uruchamianiu programów użytkowych.

4.2. Doświadczenia konstrukcyjne i uwagi

Roczna eksploatacja W 8101 potwierdziła poprawność założeń konstrukcyjnych i projektowych.

W trakcie prac z W 8101 nasunęły się następujące spostrzeżenia:

- dostępność elementu do transmisji równoległej Intel 8255 wpłynęłaby dodatnio na szybkość, poprawność i niezawodność pracy czytnika i perforatora z systemem. Byłoby to jednak krokiem w kierunku bardziej złożonych systemów mikroprocesorowych, co nie mieściło się w założeniach systemu,
- istnieje możliwość włączenia czytnika i perforatora pod kontrolę elementu Intel 8251. Upraszczaloby to architekturę systemu, ale pozbawiałoby możliwości bieżącej zmiany reżimu pracy układu Intel 8251. Ta ostatnia możliwość wydała się nam cenniejsza w systemie uruchomieniowym,
- kierunek i tendencje rozwoju wskazują na przydatność urządzeniowej hierarchizacji przerwań drogą rozdzielania linii INT na INTO-INT7 i wprowadzenia elementu Intel 8214 lub 8259.

Aktualnie jednak wszystkie urządzenia nie korzystają z możliwości pracy z przerwami. Podobnie rzadko przerywa pracę operator z pulpitu (chętniej używa RESET). W tej sytuacji zbyteczna jest rozbudowa przerwań pociągająca za sobą rozbudowę obsługi urządzeń peryferyjnych,

- system zostanie wzbogacony o zegar interwałowy. Jego brak odczuwa się w przypadku zawieszenia lub zapętlenia się programu o dużej liczbie instrukcji i uciążliwym wówczas testowaniu w reżimie pracy krokowej.

P o d z i ę k o w a n i e

Pragniemy wyrazić nasze podziękowanie Panu prof. dr inż. Stefanowi Węgrzynowi za merytoryczną opiekę nad pracami i stworzenie nam możliwości kontynuowania prac w Instytucie Informatyki Czasu Rzeczywistego Politechniki Śląskiej.

LITERATURA

- [1] D.P. Martin: Microcomputer Design. Martin Research 1976.
- [2] Czuthikonda V. Rao: Microprocessors and Microcomputers System.
- [3] Intel 8080 A Users Manual Intel 1975.
- [4] Intel 1977 Data Catalog.
- [5] National Semiconductor 1975 Data Catalog.
- [6] Texas Instruments 1977 Data Book for Design Engineers.
- [7] Układy Cyfrowe MOS-LSI, Pieńkos, Turczyński.
- [8] Dokumentacja techniczna czytnika CT 2100, perforatora PT 105 S, drukarki DZM/KSR.

Recenzent

Doc. dr inż. Zdzisław Pogoda

Wpłynęło do Redakcji 3.12.1979 r.

МИНИ-ЭВМ W 8101 - СРЕДСТВО ЗАВОДКИ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Р е з ю м е

Статья представляет некоторое конструктивное решение МИНИ-ЭВМ W 8101, предназначенной оказать помощь при проектировании и заводке микропроцессорных систем. В контексте обзора средств заводки микропроцессорных систем даны проектные задания W 8101. Описание конструкции пополнило оценкой по критериям пригодности для заводки вышеупомянутых систем. В заключении собраны опыты и примечания по эксплуатации W 8101.

MICROCOMPUTER W 8101 AS THE MICROPROCESSOR
SYSTEMS DEVELOPMENT TOOL

S u m m a r y

The paper presents a hardware construction of the W 8101 microcomputer, designed for the microprocessor systems development purposes.

The microcomputer development systems (MDS) cross-section states the back-ground for the W 8101 concept presented. The W 8101 hardware description is followed by conclusions with regard to the microcomputer development usability. The experiences and the exploitations remarks close the paper.