

Jerzy WOJTUSZEK

Instytut Informatyki Czasu Rzeczywistego
Politechniki Śląskiej

ROZMIESZCZANIE MODUŁÓW ELEKTRONICZNYCH NA PAKIECIE W OPARCIU O KRYTERIUM ZAGĘSZCZENIOWE

Streszczenie: Artykuł zawiera opis algorytmu rozmieszczania modułów elektronicznych na pakietach z dwuwarstwowymi połączeniami drukowanymi, zrealizowanego w oparciu o kryterium oceny uwzględniające równomierność zagęszczenia połączeń na obu warstwach.

1. WPROWADZENIE

Wpomaganie komputerowo projektowanie konstrukcyjne pakietów urządzeń cyfrowych realizowane jest w następujących etapach:

- przydział funkcyjnych logicznych do modułów elektronicznych (układów scalonych),
- rozmieszczenie modułów elektronicznych na pakiecie,
- przydział styków łączówki do sygnałów,
- trasowanie połączeń drukowanych oraz określenie sposobu owiercenia pakietu.

Spośród wymienionych etapów najwięcej trudnych do rozwiązania problemów przysparza trasowanie połączeń drukowanych. Dotychczas opracowane algorytmy trasowania nie gwarantują wyznaczenia ścieżek dla wszystkich sygnałów. Z tej przyczyny często zachodzi konieczność dokonywania ręcznej korekty wyznaczonych automatycznie połączeń.

Jest rzeczą zrozumiałą, że stopień złożoności trasowania połączeń drukowanych jest w dużej mierze uzależniony od sposobu realizacji wcześniejszych etapów projektowania konstrukcyjnego pakietu, a zwłaszcza rozmieszczania modułów na pakiecie. Wobec powyższego, idea większości stosowanych metod rozmieszczania polega na określeniu kryterium oceny rozmieszczenia, będącego miarą stopnia złożoności problemu trasowania połączeń, a następnie na realizacji odpowiedniego algorytmu, który dąży do wyznaczenia optymalnego, ze względu na przyjęte kryterium, rozmieszczenia modułów na pakiecie.

Najczęściej spotykanym kryterium oceny rozmieszczenia modułów jest suma odległości pomiędzy wszystkimi parami łącznych punktów kontaktowych. Kryterium to nazywane będzie dalej kryterium odległościowym. Szeroki przegląd algorytmów rozmieszczania opartych na powyższym kryterium można znaleźć w [1], [2], [3].

Minimalizowanie sumarycznej odległości pomiędzy łączonymi punktami, zgodnie z intuicją, ułatwia trasowanie połączeń pod warunkiem jednak, że nie prowadzi to do powstawania na pakiecie obszarów o bardzo dużym zagęszczeniu połączeń. Istnienie takich obszarów utrudnia wyznaczania optymalnych, ze względu na długość, ścieżek pomiędzy punktami położonymi po przeciwnych stronach tych obszarów. Punkty kontaktowe położone w takich obszarach narażone są w trakcie trasowania na izolację od pozostałych obszarów pakietu. Algorytmy rozmieszczania zrealizowane w oparciu o kryterium odległościowe nie gwarantują spełnienia powyższego warunku. W tej sytuacji uzasadnione wydaje się poszukiwanie metod rozmieszczania, które dążą do minimalizacji odległości między łączonymi punktami przy zachowaniu równomiernego zagęszczenia połączeń na całej powierzchni pakietu. Przykłady takich algorytmów przedstawiono w [5], [6].

W dalszej części pracy opisany zostanie algorytm rozmieszczania przeznaczony głównie do projektowania pakietów z dwuwarstwowymi połączeniami drukowanymi. Został on opracowany w oparciu o kryterium oceny uwzględniające równomierność zagęszczenia połączeń na obu warstwach.

2. SFORMUŁOWANIE PROBLEMU

Niech dany jest zbiór rozmieszczanych modułów elektronicznych:

$$M = \{m_1, \dots, m_N\} = \{1, \dots, N\}.$$

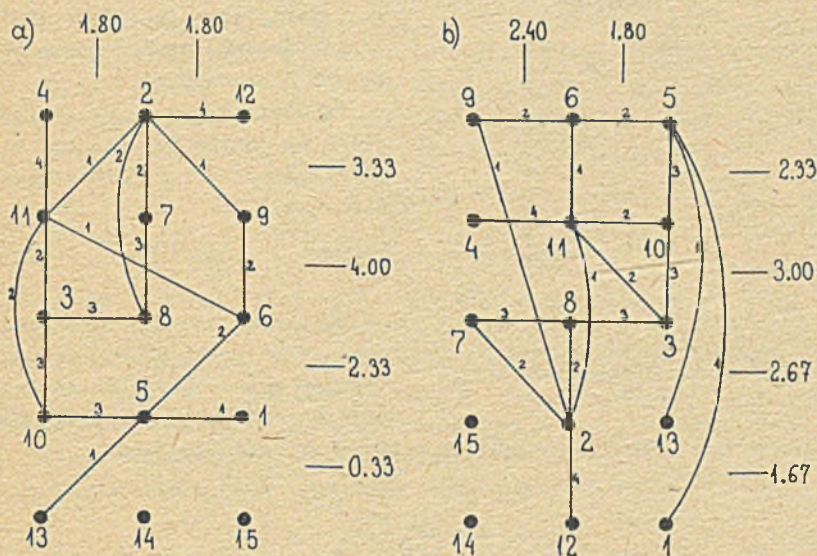
Połączenia występujące pomiędzy modułami określić można za pomocą grafu połączeń G (rys. 1).

Wierzchołki grafu połączeń odpowiadają rozmieszczanym modułom, natomiast gałęzie reprezentują połączenia pomiędzy modułami. Waga gałęzi jest równa liczbie połączeń występujących pomiędzy odpowiadającymi jej modułami. W grafie połączeń nie uwzględnia się połączeń pomiędzy wyprowadzeniami tego samego modułu. Jest to więc graf bez pętli.

Omawiany graf przedstawić można w postaci macierzy połączeń

$$C = [c_{ij}]_{N \times N},$$

gdzie: c_{ij} - liczba połączeń pomiędzy modułami m_i, m_j .



Rys. 1. Przykład grafu połączeń z wierzchołkami rozmieszczonymi za pomocą:
 a) metody sił przyciągania, b) opisanego algorytmu po arbitralnym umieszczeniu modułu 8 na pozycji 8

Macierz $[c_{ij}]$ jest symetryczna względem przekątnej głównej:

$$c_{ij} = c_{ji},$$

przy czym $c_{ii} = 0$.

Niech dany będzie zbiór pozycji na pakiecie, na których można umieszczać moduły:

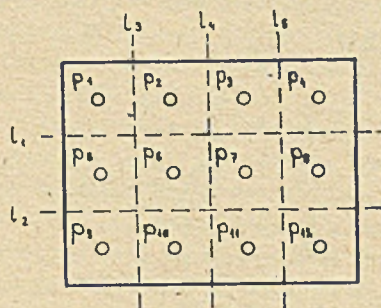
$$P = \{p_1, \dots, p_N\} = \{1, \dots, N\}$$

Zgodnie z rys. 2 pozycje te rozmieszczane są w węzłach prostokątnej siatki.

Oznaczmy przez L zbiór linii poziomych i pionowych rozdzielających wiersze i kolumny węzłów tej siatki:

$$L = \{l_1, \dots, l_E\} = \{1, \dots, E\}$$

Jeżeli wierzchołki grafu połączeń rozmieścimy w dowolny sposób w węzłach siatki, wówczas dla każdej linii $l \in L$ można określić obciążenie d_l , będące sumą wag gałęzi grafu G przecinających linię l . Obciążenie d_l



Rys. 2. Przykładowe rozmieszczenie pozycji, na których umieszczone są moduły

M (wierzchołków grafu połączeń) do pozycji P , aby wskaźnik

$$Q = \max_{l \in L} \left\{ \frac{d_l}{z_l} \right\}$$

przyjął wartość minimalną.

W większości algorytmów trasowania połączeń dwuwarstwowych stosuje się zasadę umieszczania na jednej warstwie (np. górnej) poziomych odcinków ścieżek, a na warstwie przeciwnej (dolnej) - pionowych odcinków. Odstępstwa od tej zasady dozwolone są tylko dla krótkich odcinków ścieżek.

Biorąc pod uwagę powyższe zasady trasowania połączeń dwuwarstwowych można stwierdzić, że wskaźnik d_l/z_l dla linii poziomych jest miarą zagęszczenia ścieżek przecinających te linie na dolnej warstwie, natomiast dla linii pionowych - na warstwie górnej.

Warto zauważyć, że jeżeli długości linii z_l wyrażone są w skokach rastru i dla dowolnej linii zachodzi $\frac{d_l}{z_l} > 1$, wówczas przy zachowaniu powyższych zasad trasowania wyznaczenie ścieżek dla wszystkich połączeń okaże się niemożliwe.

3. KONSTRUOWANIE GRAFU POŁĄCZEŃ

Podstawowym problemem konstruowania grafu połączeń jest uwzględnienie sygnałów powiązanych z więcej niż dwoma modułami. W przypadku występowania w projektowanym układzie takich sygnałów powinno się dla każdego z nich wyznaczyć tzw. drzewo spinające określające pary punktów, pomiędzy którymi powinny zostać wykonane połączenia.

jest równe minimalnej liczbie ścieżek, jakie będą przecinać linię l po zakończeniu etapu trasowania połączeń drukowanych.

Oznaczając przez z_l długość linii $l \in L$, można dla każdej z tych linii określić wskaźnik zagęszczenia równy

$$\frac{d_l}{z_l}$$

W oparciu o wyżej wprowadzone oznaczenia problem rozmieszczenia modułów można określić następująco: znaleźć taki przydział modułów

Wyznaczanie drzew spinających jest czynnością powodującą duże wydłużenie czasu realizacji algorytmów rozmieszczania. W celu uniknięcia tego, w opisywanym dalej algorytmie przyjęto, że dla każdego sygnału występować będą połączenia pomiędzy wszystkimi parami modułów powiązanych z tym sygnałem, jednakże będą miały one wagę równą wadze sygnału. Waga sygnału S wynosi

$$\frac{1}{N_s - 1},$$

gdzie: N_s - liczba modułów powiązanych z sygnałem S .

Waga gałęzi łączącej wierzchołki odpowiadające modułom m_i i m_j jest więc sumą wag wszystkich sygnałów S powiązanych z m_i i m_j i stanowi oszacowanie liczby połączeń, jakie wystąpią pomiędzy tymi modułami.

Można wykazać, że w przypadku sygnałów, dla których $N_s < 4$, wyżej opisany sposób ich uwzględniania w grafie połączeń nie prowadzi do błędów w obliczaniu obciążeń linii. Sposób ten jest często stosowany w algorytmach rozmieszczania opartych na kryterium odległościowym [4].

4. OPIS ALGORYTMU ROZMIESZCZANIA

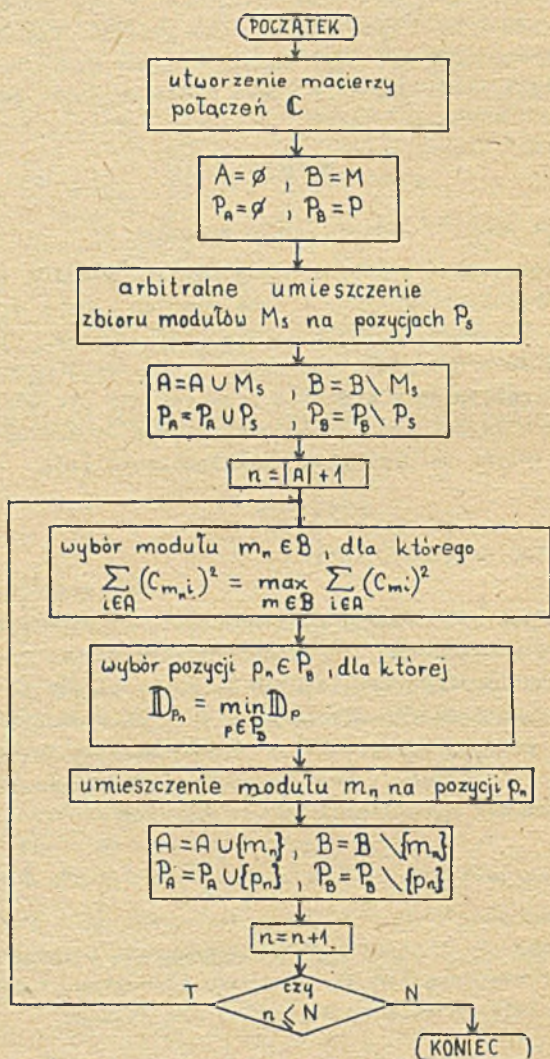
Opisywany algorytm realizowany jest w sposób krokowy (rys. 3). Zakłada się, że w momencie początkowym, co najmniej jeden moduł jest już rozmieszczony w sposób arbitralny. W kolejnych krokach algorytmu dokonuje się wyboru jednego modułu spośród dotychczas nie rozmieszczonych i przydziela mu się nie zajętą pozycję na pakiecie. Postępowanie takie trwa aż do rozmieszczenia wszystkich modułów. Tego rodzaju algorytmy rozmieszczania nazywane są w literaturze algorytmami konstrukcyjnymi.

Z a s a d a w y b o r u m o d u ł u d o r o z m i e s z c z e n i a

Niech A oznacza zbiór modułów rozmieszczonych, natomiast B - nie rozmieszczonych przed rozpoczęciem n -tego kroku algorytmu. W n -tym kroku wybierany jest do rozmieszczenia moduł $m_n \in B$, dla którego

$$\sum_{i \in A} (c_{m_n i})^2 = \max_{m \in B} \sum_{i \in A} (c_{mi})^2$$

Największe szanse wyboru mają więc moduły, które mają dużą sumaryczną liczbę połączeń z modułami rozmieszczonymi, a przy tym liczba powiązanych z nimi modułów rozmieszczonych jest niewielka. Podobne zasady wyboru modułów stosowane są w algorytmach konstrukcyjnych opartych na kryterium odległościowym.



Rys. 3. Schemat blokowy opisywanego algorytmu rozmieszczania

Zasada umieszczania modułu

Zanim przejdziemy do omawiania zasady umieszczania modułu, zdefiniowane zostaną pojęcia relacji mniejszości dla wektorów oraz wektora minimalnego w zbiorze wektorów.

Dane są wektory \mathbf{X} i \mathbf{Y} :

$$\mathbf{X} = \{x_1, \dots, x_E\}; \quad \mathbf{Y} = \{y_1, \dots, y_E\}$$

Uporządkujmy wektory \mathbf{X} i \mathbf{Y} w kierunku, malejących wartości. Otrzymamy wówczas wektory odpowiednio \mathbf{X}' i \mathbf{Y}' :

$$\mathbf{X}' = \{x'_1, \dots, x'_E\}; \quad \mathbf{Y}' = \{y'_1, \dots, y'_E\}$$

Między wektorami \mathbf{X} i \mathbf{Y} zachodzi relacja mniejszości $\mathbf{X} < \mathbf{Y}$ jeżeli

$$x'_1 < y'_1$$

lub

$$\bigvee_{1 < i \leq E} x'_i < y'_i \wedge \bigwedge_{1 \leq j < i} x'_j = y'_j$$

oraz relacja

$$\mathbf{X} < \mathbf{Y}$$

jeżeli

$$\mathbf{X} < \mathbf{Y} \quad \text{lub} \quad \mathbf{X}' = \mathbf{Y}'$$

Niech dany będzie zbiór wektorów

$$\mathbf{D} = \{D_p\} = \{D_1, \dots, D_N\}$$

Wektor $D_i \in \mathbf{D}$ nazwiemy wektorem minimalnym:

$$D_i = \min_{p \in [1, N]} D_p$$

jeżeli

$$\bigwedge_{p \in [1, N]} D_i \leq D_p$$

Niech P_A oznacza zbiór zajętych pozycji na płytce, natomiast P_B - zbiór wolnych pozycji przed n -tym krokiem algorytmu. Wybrany uprzednio moduł $m_n \in B$ umieszczany jest próbnie na wszystkich pozycjach $p \in P_B$. Po każdym próbnym umieszczeniu modułu m_n dla każdej linii $l \in L$ oszacować można

minimalną sumę wag gałęzi grafu połączeń przecinających tę linię, bez względu na rozmieszczenie pozostałych modułów $m \in B$.

Wartość tego oszacowania nazwiemy obciążeniem częściowym linii 1 i oznaczmy d_1^p .

Dla pozycji $p \in P_B$ tworzony jest następnie wektor zagęszczeń

$$D_p = \left[\frac{d_1^p}{z_1}, \dots, \frac{d_E^p}{z_E} \right]$$

Moduł m_n umieszczony zostanie na pozycji $p_n \in B$, dla której

$$D_{p_n} = \min_{p \in P_B} D_p.$$

a więc na pozycji, dla której przyrost wskaźnika Q (p.2) jest minimalny.

Obciążenie częściowe linii 1 jest sumą dwóch składników.

Pierwszy składnik reprezentuje obciążenie wniesione przez połączenia pomiędzy modułami rozmieszczonymi i wynosi:

$$\sum_{i \in A_1^1} \sum_{j \in A_2^1} c_{ij},$$

gdzie:

A_1^1 - zbiór modułów rozmieszczonych po lewej (lub górnej) stronie linii 1,

A_2^1 - zbiór modułów rozmieszczonych po prawej (lub dolnej) stronie linii 1.

Składnik drugi jest dolnym oszacowaniem obciążenia linii 1 wniesionego przez połączenia pomiędzy modułami rozmieszczonymi i nie rozmieszczonymi.

Wprowadźmy następujące oznaczenia:

$C1_k^1$ - liczba połączeń pomiędzy modułem $k \in B$ i modułami należącymi do A_1^1 ,

$C2_k^1$ - liczba połączeń pomiędzy modułem $k \in B$ i modułami należącymi do A_2^1

$$C1_k^1 = \sum_{i \in A_1^1} c_{ik}, \quad C2_k^1 = \sum_{j \in A_2^1} c_{kj}$$

Łatwo zauważyć, że bez względu na przyszłe umiejscowienie modułu $k \in B$ liczba połączeń pomiędzy tym modułem i modułami rozmieszczonymi przycinających linię 1 będzie nie mniejsza niż

$$\min \left\{ c_{1k}^1, c_{2k}^1 \right\}$$

Wobec powyższych ustaleń

$$d_1^p = \sum_{i \in A_1^1} \sum_{j \in A_2^1} c_{ij} + \sum_{k \in B} \min \left\{ \sum_{i \in A_1^1} c_{ik}, \sum_{j \in A_2^1} c_{kj} \right\}$$

5. CZAS REALIZACJI ALGORYTMU

Z analizy opisanego algorytmu wynika, że czas jego realizacji jest w ponad 90 procentach wypełniony przez obliczanie obciążeń częściowych linii $l \in L$. Dążąc do optymalizacji czasowej programu zastosować można przedstawione poniżej sposoby skrócenia czasu obliczeń.

1. Uwzględnienie faktu, że wartość obciążenia częściowego dla poziomych linii $l \in L$ nie zależy od kolumny pozycji, w której został umieszczony próbnie moduł m_n . Podobnie dla linii pionowych - wartość ta nie zależy od wiersza. Jeżeli więc dla jednej pozycji w danym wierszu (kolumnie) zostaną obliczone wartości obciążeń częściowych linii poziomych (pionowych), wówczas wartości te mogą być wykorzystane do wyznaczania wektora zagęszczeń dla pozostałych pozycji wiersza (kolumny).
2. Obliczanie przyrostów wartości obciążeń częściowych zamiast obliczania pełnej wartości wg wzoru z p. 4.

Czas realizacji algorytmu zależy w głównej mierze od liczby rozmieszczanych modułów. Biorąc pod uwagę wyżej przedstawione sposoby skracania czasu obliczeń można wykazać, że jest on proporcjonalny do sześciangu liczby modułów. W mniejszym stopniu zależy on również od struktury grafu połączeń.

Ogólnie można stwierdzić, że czas realizacji powyższego algorytmu jest dłuższy od czasu realizacji podobnego typu algorytmów opartych na kryterium odległościowym.

6. OCENA JAKOŚCI OTRZYMYWANYCH ROZMIESZCZEŃ

Opisany algorytm nie gwarantuje uzyskania rozmieszczenia optymalnego ze względu na przyjęte kryterium. Otrzymywane rozwiązania są jednak zazwyczaj zbliżone do rozwiązań optymalnych i lepsze (w sensie przyjętego kryterium) od rozwiązań otrzymywanych za pomocą algorytmów opartych na kryterium odległościowym. Jednocześnie rozwiązania te, oceniane za pomocą kryterium odległościowego, mogą konkurować z rozwiązaniami otrzymywanymi za pomocą suboptymalnych algorytmów opartych na tym kryterium.

Rys. 1a przedstawia przykład rozmieszczenia wierzchołków grafu połączeń uzyskanego za pomocą metody sił przyciągania [5].

Suma odległości między łączonymi wierzchołkami F wynosi dla tego rozmieszczenia 49 (odległości wyrażone w mierze taksówkowej przy założeniu, że odległość między sąsiednimi pozycjami wynosi 1), natomiast wskaźnik $Q = 4,00$ (przy założeniu, że dla linii poziomych $z_1 = 3$, a dla linii pionowych $z_1 = 5$).

Rys. 1b przedstawia rozmieszczenie wierzchołków dla tego samego grafu otrzymane za pomocą opisanego algorytmu, po arbitralnym umieszczeniu modułu 8 na pozycji 8.

Uzyskano $Q = 3,00$ i $F = 50$.

Na rys. 1 zaznaczono wartości wskaźników zagęszczenia d_1/z_1 dla wszystkich linii $l \in L$.

Jakość rozmieszczenia uzyskiwanego za pomocą opisanego algorytmu zależy od arbitralnego rozmieszczenia pierwszego modułu (ewentualnie modułów). Zazwyczaj najlepsze rozwiązania uzyskuje się po umieszczeniu modułu o największej liczbie połączeń z innymi modułami na środku pakietu.

Biorąc pod uwagę przedstawione w pracy właściwości algorytmu można stwierdzić, że jego stosowanie jest uzasadnione dla układów o dużym zagęszczeniu połączeń na pakiecie.

LITERATURA

- [1] BREUER M.A.: Automatyczne projektowanie maszyn cyfrowych. Warszawa 1976.
- [2] SELUTIN W.A.: Maszynowo konstruowanie elektronicznych urządzeń. Moskwa 1977.
- [3] ABRAJTIS L.B., SZEJNAUSKAS R.I., ŻYLEWICZUS W.A.: Awtomatizacija projektrirowania EWM. Moskwa 1978.
- [4] MAJEWSKI I.: Algorytmy rozmieszczania w projektowaniu urządzeń cyfrowych. Politechnika Wrocławska 1977 - praca doktorska.
- [5] SIELICKI A.: Projektowanie urządzeń cyfrowych wspomagane komputerem cz. II. Politechnika Wrocławska 1977 - skrypt.
- [6] NISHIOKA I. i inni: An Approach to Gate Assignment and Module Placement for Printed Wiring Boards. IEEE Trans. on Computers 1980, nr 8.

Wpłynęło do Redakcji: 2.06.1981 r.

W ostatecznej formie przyjęto: 11.03.1981 r.

Recenzent: Prof.dr hab.inż. Andrzej Grzywak

РАЗМЕЩЕНИЕ ЭЛЕКТРОННЫХ МОДУЛЕЙ, ОСНОВАННЫХ НА ГУСТОТНОМ КРИТЕРИИ

Р е з ю м е

Статья содержит описание алгоритма размещения электронных модулей на двухслойных печатных платах, разработанного на основе критерия, учитывающего равномерность густоты печатных проводников на обоих слоях платы.

ELECTRONIC MODULE PLACEMENT BASED ON DENSITY CRITERION

S u m m a r y

The paper includes the description of an algorithm for module placement on two - layer printed circuit boards, based on value criterion, taking into consideration equal printed wire density on both layers of the board.