ZESZYTY NAUKOWE POLITECHNIKI ŚLĄSKIEJ 1991

Seria: INFORMATYKA z. 15 Nr kol. 1044

Wojciech MIELCZAREK
Mirosław SKRZEWSKI

SYNCHRONIZACJA I DEKODOWANIE SYGNAŁÓW DLA POTRZEB SZYBKIEJ TRANSMISJI SZEREGOWEJ

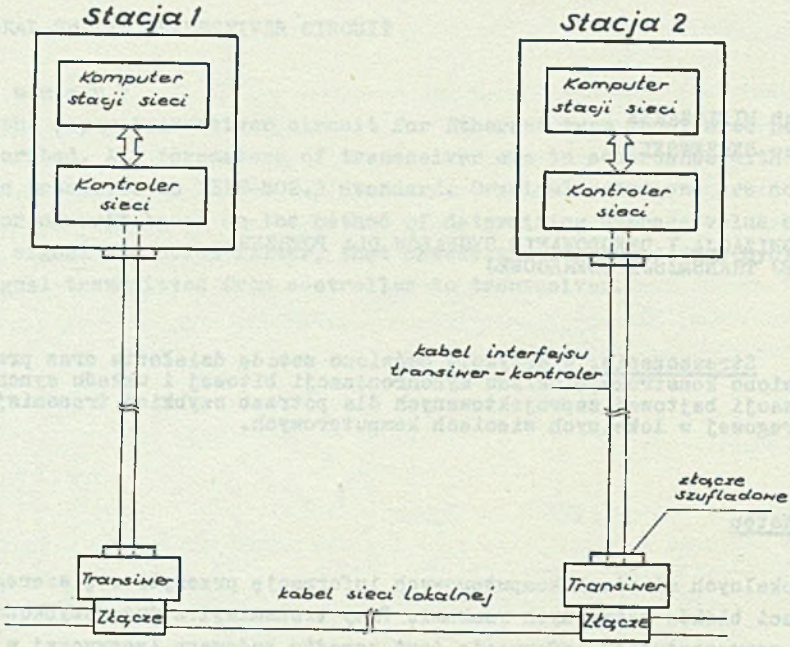
Streszczenie. W artykule omówiono zasadę działania oraz przedstawiono konstrukcję układu synchronizacji bitowej i układu synchronizacji bajtowej zaprojektowanych dla potrzeb szybkiej transmisji szeregowej w lokalnych sieciach komputerowych.

1. Wstęp

W lokalnych sieciach komputerowych informację przesyła się szeregowo w postaci bloków nazywanych ramkami. Przy transmisji z dużą szybkością sygnał reprezentujący informację jest ponadto kodowany (zazwyczaj w jednym z wielu zapisów samosynchronizujących) w celu umożliwienia poprawnego odbioru informacji oraz dopasowania do właściwości toru transmisyjnego. Właściwy odbiór informacji zapewnia układ synchronizacji oraz dekodowania, którego szybkość działania oraz dokładność mają podstawowe znaczenie dla poprawności wymiany danych pomiędzy stacjami sieci. Poniżej przedstawiamy zasadę działania oraz konstrukcję układu synchronizacji bitowej i bajtowej zaprojektowanego dla potrzeb lokalnej sieci komputerowej LOKAL-SM [1]. Sieć ta wzorowana jest na sieci Ethernet [2,3] , przy czym szybkość transmisji informacji w sieci ograniczono do 5 Mbitów/s. Na rys. 1 przedstawiono schemat blokowy sieci LOKAL-SM z przyłączonymi do niej dwoma stacjami.

Jeżeli przyjmiemy, że stacja 2 jest źródłem danych (nadaje), a stacja 1 jest odbiorcą danych, to przepływ informacji w sieci jest następujący.

1. Przeznaczona do wysłania informacja przesyłana jest z komputera stacji sieci 2 do współpracującego z nim sterownika, gdzie wprowadzona zostaje do pamięci buforowej nadawania. Sterownik sieci uzupełnia otrzymaną informację o bajty synchronizacyjne (tak nazywaną preambułę, dodawaną na początku ramki) oraz wysyła ją szeregowo po uprzednim zakodowaniu w kodzie Manchester. Na końcu przesyłanej informacji zostają dołączone cztery bajty sumy kontrolnej CRC (rys. 2).

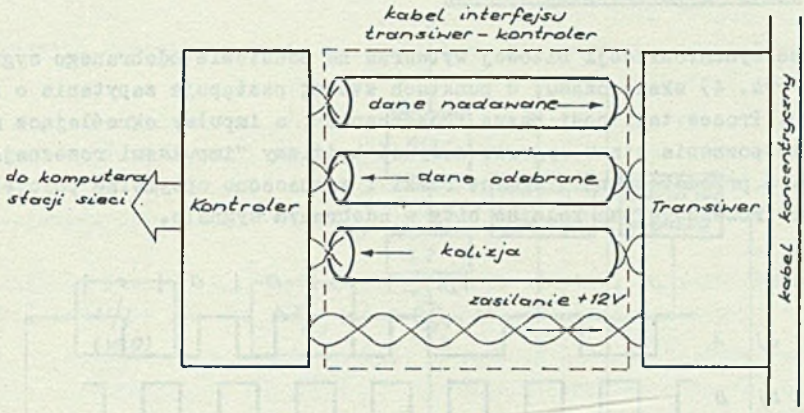


Rys. 1. Schemat blokowy sieci LOKAL-SM z przyłączonymi do niej 2 stacjami
Fig. 1. The LOCAL-SM computer network block diagram with two station conected

PREAMBUŁA	ADRES ODBIORCY	ADRES NADAWCY	DANE	CRC
8 bajtów	2 bajty	2 bajty	46-1500 bajtów	4 bajty

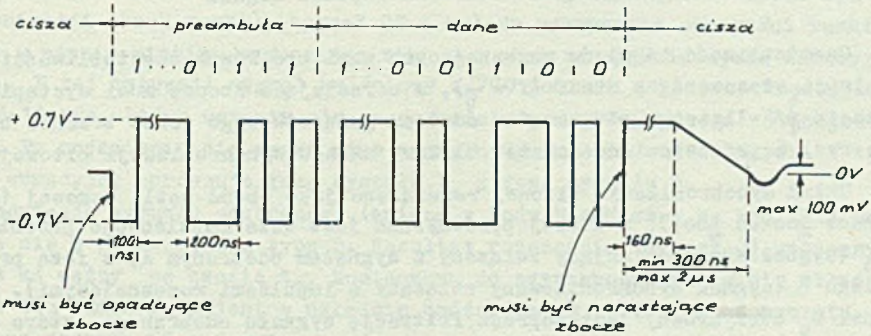
Rys. 2. Ramka w lokalnej sieci komputerowej LOKAL-SM
Fig. 2. A frame in the LOCAL-SM computer network

2. Za pośrednictwem kabla interfejsu transiwer-kontroler (rys. 3) ramka dociera do transiwera, którego zadaniem jest wysyłanie (jak również odbieranie) informacji do/z łącza sieci lokalnej, wykrywanie kolizji oraz zapewnienie separacji galwanicznej między łączem sieci (kablem koncentrycznym), a kablem interfejsu transiwer-kontroler sieci lokalnej [2].



Rys. 3. Organizacja transmisji pomiędzy kontrolerem a transiwerem
Fig. 3. The organization of the transmission between controler and transceiver

3. Poprzez kabel koncentryczny nadawana informacja dociera do podłączonych do sieci stacji. W przedstawionym przykładzie zostaje odebrana przez transiwer współpracujący ze stacją 1 i poprzez kabel interfejsu przesłana do kontrolera sieci tej stacji. Na rys. 4 przedstawiono typowy przebieg danych w kablu interfejsu transiwer-kontroler.

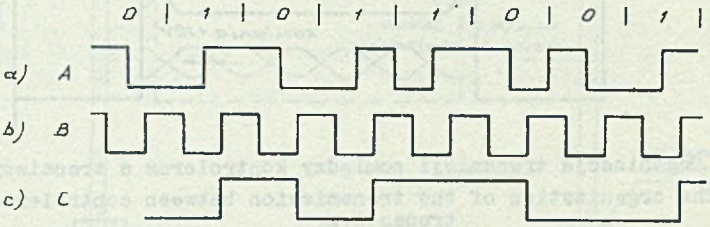


Rys. 4. Typowy przebieg danych w kablu interfejsu transiwer-kontroler (kod typu Manchester)
Fig. 4. Typical data signal in the transceiver-controler interface cable (Manchester encoded)

W celu prawidłowego odbioru informacji kontroler sieci wyposażony jest w układ synchronizacji bitowej, który jest podstawową częścią dekodera sygnału Manchester. Za pogrupowanie poszczególnych bitów w bajty odpowiedzialny jest natomiast układ synchronizacji bajtowej. Oba wymienione układy synchronizacji zostaną szczegółowo przedstawione w dalszej części artykułu.

2. Układ synchronizacji bitowej

Układ synchronizacji bitowej wytwarza na podstawie odebranego sygnału (patrz rys. 4) skalę czasu, w punktach której następuje zapytanie o stan sygnału. Proces taki nosi nazwę "rozeznania", a impulsy określające momenty rozpoznania stanu sygnału nazywać będziemy "impulsami rozeznającymi". Na rys. 5 przedstawiono fragment ramki i zaznaczono optymalne położenie impulsów rozeznających kolejne bity w odebranym sygnale.

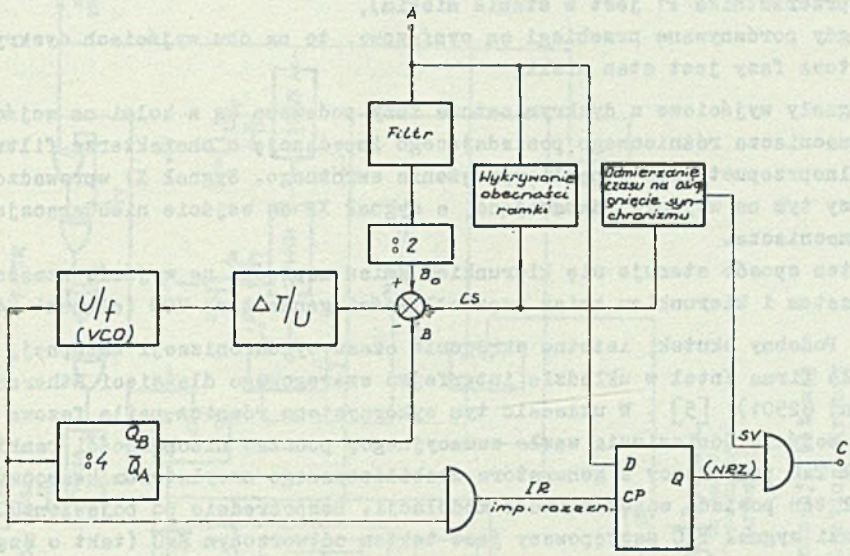


Rys. 5. Rozpoznawanie bitów w sygnale odebranym
a) sygnał odebrany (w kodzie Manchester)
b) impulsy rozeznające bity (rozeznanie na zboczu narastającym)
c) rezultat rozeznania - sygnał w kodzie NRZ

Fig. 5. The bit state recognition in the received signal
a) the received signal (Manchester encoded)
b) the bit recognition pulses (sampling at the positive edge)
c) the result of recognition - the NRZ encoded signal

Częstotliwość impulsów rozeznających musi być równa częstotliwości modulacji stosowanej w sieci ($f = \frac{1}{\tau}$), a narastające zbocze musi wystąpić po czasie $\frac{3}{4}\tau$ liczonym od początku odstępu jednostkowego (czas trwania bitu). Na rys. 6 przedstawiono schemat blokowy układu synchronizacji bitowej.

Układ synchronizacji bitowej rozwiązano jako obwód pętli fazowej (ang. Phase Locked Loop), w której porównywana jest faza impulsowego przebiegu B_0 (sygnał synchronizujący związany z sygnałem odebranym A) z fazą przebiegu B (sygnał synchronizowany związany z impulsami rozeznającymi). Sygnał B_0 otrzymywany jest poprzez filtrację sygnału odebranego, która ma na celu wydzielenie przebiegu RW o częstotliwości modulacji 5 MHz, oraz poprzez przetworzenie sygnału RW w binarnym dzielniku częstotliwości mod 2. W ten sposób częstotliwość sygnału B_0 równa się połowie częstotliwości modulacji, a jego współczynnik wypełnienia wynosi 0.5. Natomiast sygnał B otrzymywany jest przez podzielenie częstotliwości sygnału wyjściowego z generatora przestrajanego napięciem (układ VCO nastrojony na częstotliwość 10 MHz), przez 4 w liczniku binarnym.



Rys. 6. Schemat blokowy układu synchronizacji bitowej
Fig. 6. The bit synchronization circuit block diagram

W przypadku, gdy żaden sygnał nie pojawia się na wejściu układu synchronizacji (brak ramki), sygnał CS z układu wykrywania obecności ramki jest w stanie niskim, wymuszając taki sam stan na wyjściu węzła sumacyjnego. W tej sytuacji sygnał wyjściowy z VCO posiada dokładnie częstotliwość 10 MHz, którą ustawia się za pośrednictwem precyzyjnego potencjometru. Po pojawieniu się ramki stan sygnału CS zmienia się na wysoki i węzeł sumacyjny porównuje fazę sygnału B_0 z fazą sygnału B. Demodulacja sygnału odebranego (zmiana z kodu Manchester na kod NRZ) odbywa się w przerzutniku typu D. Rezultat rozeznania (sygnał C) uznawany jest za "ważny" po czasie t_1, koniecznym do zsynchronizowania się układu. Czas ten odmierzany jest w układzie opóźniającym i liczony od momentu zmiany sygnału CS z $C \rightarrow 1$.
Na rys. 7 przedstawiono schemat ideowy układu synchronizacji bitowej Działanie układu ilustrują przebiegi czasowe przedstawione na rys. 8. Podstawową część układu stanowi dyskryminator fazy zrealizowany na dwóch przerzutnikach MH74S112 oraz różnicowy wzmacniacz błędu zrealizowany na wzmacniaczu operacyjnym. Na wyjściu dyskryminatora fazy pojawiają się impulsy w przypadku nierówności fazy obu porównywanych przebiegów, i tak:

- na wyjściu przerzutnika P1 obecne są impulsy, gdy faza sygnału B_0 wyprzedza fazę sygnału B (w tej sytuacji wyjście przerzutnika P2 jest w stanie niskim),

- na wyjściu przerzutnika P2 obecne są impulsy, gdy faza sygnału B_o opóźnia się w stosunku do fazy sygnału regulowanego (w tej sytuacji wyjście przerzutnika P1 jest w stanie niskim),
- gdy porównywane przebiegi są synfazowe, to na obu wyjściach dyskryminatora fazy jest stan niski.

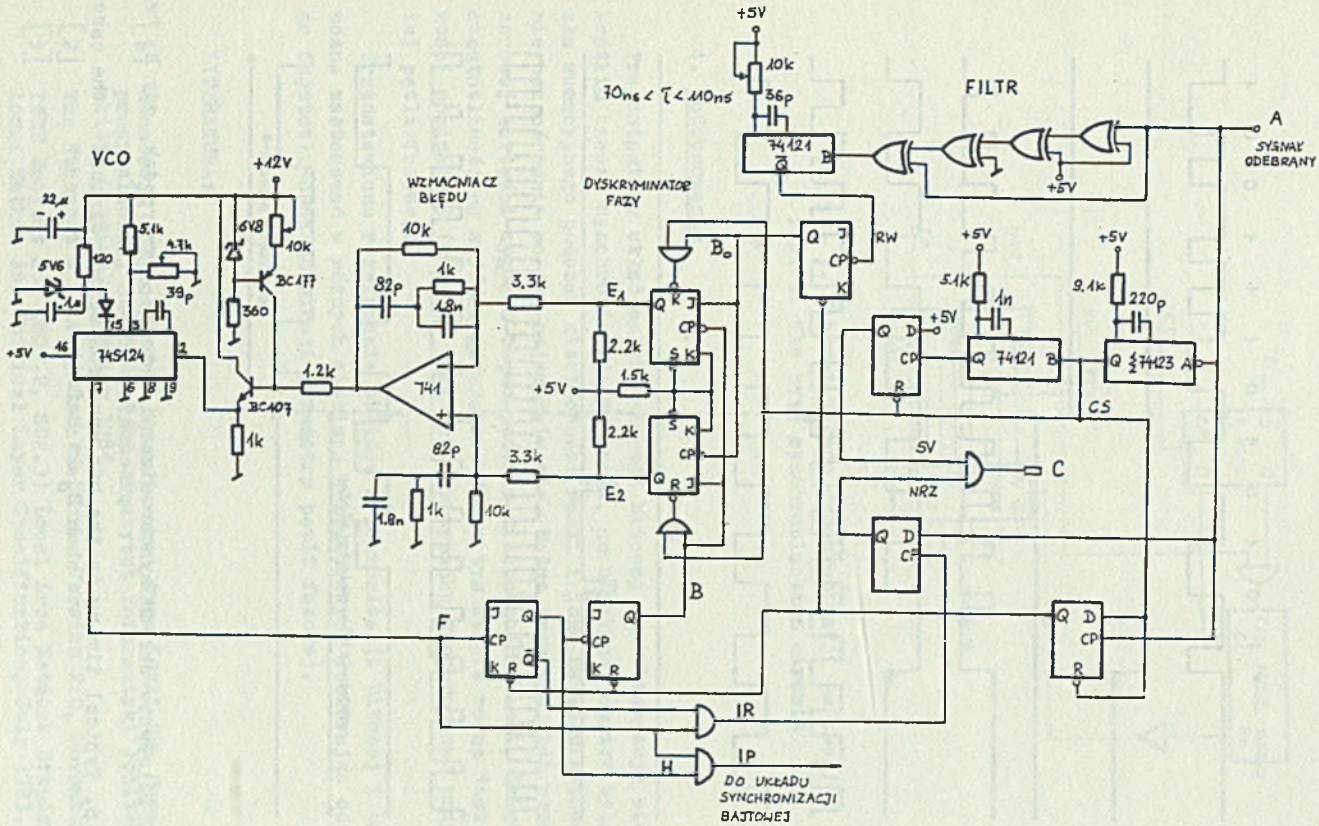
Sygnały wyjściowe z dyskryminatora fazy podawane są z kolei na wejścia wzmacniacza różnicowego posiadającego impedancję o charakterze filtru dolnoprzepustowego w pętli sprzężenia zwrotnego. Sygnał X1 wprowadzono przy tym na wejście odwracające, a sygnał X2 na wejście nieodwracające wzmacniacza.
W ten sposób steruje się kierunkiem zmian napięcia na wyjściu wzmacniacza, a zatem i kierunkiem zmian częstotliwości generatora VCO (element 74S124).

Podobny skutek, istotne skrócenie czasu synchronizacji wstępnej, osiągnęła firma Intel w układzie interfejsu szeregowego dla sieci Ethernet (element 82501) [5]. W układzie tym wykorzystano również pętlę fazową podając na wejście odniesienia węzła sumacyjnego, podczas nieobecności ramki, sygnał $\overline{TxC}$ pochodzący z generatora stabilizowanego oscylatorem kwarcowym. Sygnał ten posiada częstotliwość modulacji. Bezpośrednio po pojawieniu się ramki sygnał $\overline{TxC}$ zastępowany jest taktem odtworzonym $\overline{RxC}$ (takt o częstotliwości modulacji wydzielony z sygnału odebranego), co doprowadza do szybkiej synchronizacji wstępnej trwającej około 15x (czas trwania bitu).

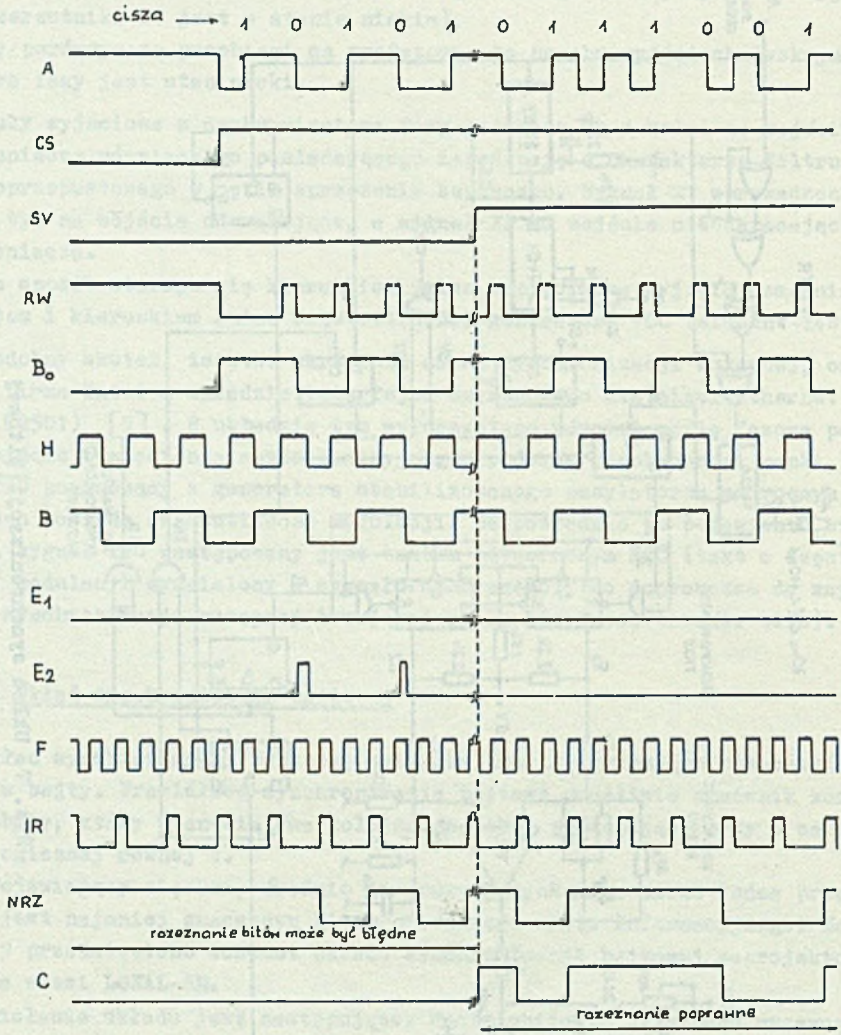
3. Układ synchronizacji bajtowej

Układ synchronizacji bajtowej wytwarza impulsy grupujące poszczególne bity w bajty. Prawidłową synchronizację bajtową umożliwia znacznik końca preambuły, który stanowią dwa kolejno po sobie następujące bity o wartości logicznej równej 1.
Bit pojawiający się bezpośrednio za drugą jedynką znacznika końca preambuły jest najmniej znaczącym bitem pierwszego bajtu informacyjnego. Na rys. 9 przedstawiono schemat układu synchronizacji bajtowej zaprojektowanego dla sieci LOKAL-SM.

Działanie układu jest następujące. W ośmiobitowym rejestrze przesuwnym (element UCY 74164) następuje grupowanie kolejnych bitów w bajt. Rejestr ten taktowany jest impulsami próbkującymi IP z układu synchronizacji bitowej. Podczas nieobecności ramki (CS w stanie logicznego Ø) przerzutnik PØ jest wyzerowany i utrzymuje stan zerowy trzybitowego licznika (element UCY 74193). Po pojawieniu się ramki (CS w stanie logicznej 1) i wykryciu znacznika końca preambuły za pośrednictwem bramki B1, do przerzutnika PØ zostaje wpisana logiczna 1, co odblokowuje licznik i zezwala na zliczanie impulsów IP wprowadzanych na jego wejście przez otwartą w tym przypadku bramkę B2. Zliczenie ośmiu impulsów odpowiada zgrupowaniu w rejestrze przesuwnym pełnego bajtu, który przepisywany jest do rejestru buforowego bajtu (dwa elementy UCY 74175).

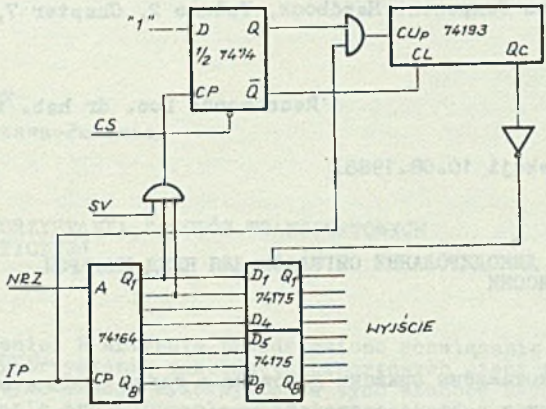


Rys. 7. Układ synchronizacji bitowej
Fig. 7. The bit synchronization circuit



Rys. 8. Działanie układu synchronizacji bitowej - przypadek, gdy B_o "wyprzedza" B

Fig. 8. Typical timing in the bit synchronization circuit - the case, when B_o is before B



Rys. 9. Schemat układu synchronizacji bajtowej
Fig. 9. The byte synchronization circuit

4. Podsumowanie

Przedstawiony układ synchronizacji bitowej charakteryzuje się bardzo krótkim czasem synchronizacji wstępnej, co uzyskano poprzez wyłączenie węzła sumacyjnego podczas nieobecności ramki i jego natychmiastowe załączenie bezpośrednio po jej pojawieniu się. Ważne przy tym jest utrzymywanie zerowej wartości sygnału błędu podczas nieobecności ramki, dzięki czemu częstotliwość na wyjściu generatora VCO w tym stanie równa jest częstotliwości nominalnej (wartość taka jak w przypadku synchronizmu przy zamkniętej pętli fazowej).

Przedstawione rozwiązanie układów synchronizacji bitowej i bajtowej można zastosować w różnych sieciach komputerowych dobierając odpowiednio do częstotliwości modulacji parametry pętli fazowej.

LITERATURA:

[1] Koncepcja lokalnej sieci komputerowej typu LOKAL-SM. Opracowanie, pracy zleconej NB-88/RAu2/84. Instytut Informatyki Politechniki Śląskiej, Gliwice, czerwiec 1984.

[2] The Ethernet - A Local Area Network. Version 2.0, November 1982.

[3] IEEE Project 802 (802.2, 802.3) Local Area Network Standards CSMA/CD Acces Method And Phisical Layer Specification, July 1983.

[4] Standard ECMA-81, Local Area Networks (CSMA/CD Baseband) Phisical Layer, September 1982.

[5] Microsystem Component Handbook, Volume 2, Chapter 7, Intel 1984.

Recenzent: Doc. dr hab. inż. Adam Wolisz

Wpłynęło do Redakcji 10.08.1988.

СИНХРОНИЗАЦИЯ И ДЕКОДИРОВАНИЕ СИГНАЛОВ ДЛЯ НУЖД БЫСТРОЙ ПОСОБНОЙ ТРАНСМИССИИ

Р е з ю м е

В статье представлены принцип действия а также конструкция системы бинарной синхронизации и система байтовой синхронизации, спректированных для потребносей быстрой пособной трансмиссии в локальных компьютерных сетях.

THE SYNCHRONIZATION AND DEMODULATION CIRCUIT FOR A HIGH SPEED SERIAL TRANSMISSION

S u m m a r y

The bit and byte synchronization circuit designed for a high speed serial transmission in a local area computer network is presented in the paper. The circuit is based on PLL method.
For synchronization purposes is used Manchester encoded transmission signal organized into frame specified in the Ethernet V.2.0 standard.
The bit synchronization section allows to change Manchester coded signal into NRZ signal (bit demodulation) and the byte synchronization section groups indyvidual bits into bytes (byte demodulation).