ZESZYTY NAUKOWE POLITECHNIKI ŚLĄSKIEJ 1992

Seria: INFORMATYKA z. 20 Nr kol. 1190

Wojciech MIELCZAREK

# WYKORZYSTANIE PĘTLI FAZOWEJ DLA SYNCHRONIZACJI BITOWEJ I BAJTOWEJ PRZY SZYBKIEJ TRANSMISJI DANYCH

Streszczenie. W artykule przeanalizowano semianalogowy układ pętli fazowej i wykorzystano związane z nim zależności do obliczenia parametrów układu synchronizacji bitowej opartego na pętli fazowej PLL. Przedstawiono również zastosowanie pętli fazowej do synchronizacji i dekodowania sygnałów przy szybkiej transmisji danych w szeregowych łączach sieci komputerowych i rozproszonych systemach pomiarowych.

## USING THE PLL CIRCUIT FOR BIT AND BYTE SYNCHRONIZATION IN HIGH SPEED TRANSMISSION SYSTEMS

Summary. The semi-analog PLL circuit is analised in this publication and the equations received from this analision are used to evaluate paramctres of the bit synchronization circuit basing on the PLL. The application of a PLL circuit to decode signals in high speed serial transmiton systems and distributed measurement systems is also presented.

## APPLICATION DU BOUCLE D'ACCROCHAGE DE PHASE POUR LE BIT ET BYTE SYNCHRONISATION DANS LES SYSTEMES DE LA TRANSMISSION DES DONNÉE A HAUTE VITESSE

Résumé. Dans ce travail, il a été analysé le circuit du bouclé d'accrochage de phase, pour calculation les paraméters du systéme de le bit et byte de synchronisation dans cette bouclé. Il a été presenté l'application du bouclé d'accrochage de

phase pour synchronisation et décodage des signaux au transmission serial de grande vitesse pour réseaux des ordinateurs et pour les systemes distribués de mesure.

# 1. Wprowadzenie

Przesyłanie synchroniczne stosowane jest głównie do szybkiej transmisji dużych zbiorów informacji. Zbiory te dzielone są na bloki, bloki zaś na słowa (znaki lub bajty). W celu zapewnienia poprawnego odbierania informacji wymagane jest wzajemne zsynchronizowanie nadajnika i odbiornika. Przy szeregowym przesyłaniu synchronicznym można wyróżnić trzy rodzaje synchronizacji:

- synchronizacja elementowa (bitowa),
- synchronizacja znakowa (słowowa lub bajtowa zależnie od struktury przesyłanej informacji),
- synchronizacja blokowa.

Zadaniem synchronizacji bitowej jest ustalenie odbiorczej, bitowej skali czasu umożliwiającej poprawne rozeznanie bitów przesyłanej informacji. Synchronizacja znakowa ustala znakową skalę czasu, która zapewnia prawidłowe grupowanie bitów w znaki. Rola synchronizacji blokowej sprowadza się natomiast do określenia początku i końca przesyłanego bloku informacji. Synchronizacje bitowa i znakowa mogą być dokonane w dwóch etapach: synchronizacja wstępna i synchronizacja bieżąca. Synchronizacja wstępna polega na korygowaniu bitowej i znakowej skali odbiornika. Proces ten przeprowadzany jest na podstawie wysyłanych z nadajnika sygnałów synchronizujących, określających aktualne położenie momentów czasowych tej skali. Po uzyskaniu synchronizacji wstępnej realizowane jest przesyłanie bloku informacji. W praktyce przesyłane bloki często są długie, stąd też możliwe jest rozsynchronizowanie się nadajnika i odbiornika w czasie przesyłania bloku. Problemu tego unika się stosując synchronizację bieżącą, która jest kontynuacją procesu korygowania skali czasu w odbiorniku podczas przesyłania bloku informacji [1].

Aby zapewnić synchronizację, nadajnik powinien dostarczyć odbiornikowi odpowiednie sygnały synchronizujące. Wyróżnia się trzy sposoby dostarczania tych sygnałów:

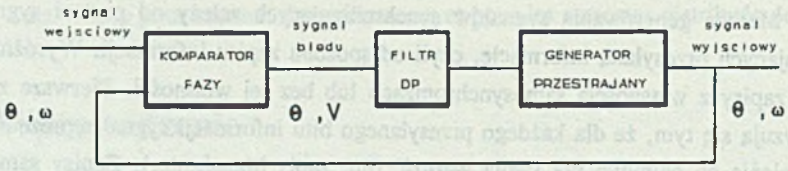
- przesyłanie sygnałów synchronizujących po specjalnej linii łącza (tzw. sygnał pilotujący),
- przesyłanie sygnałów synchronizujących po wspólnej linii z informacją przy nadaniu im pewnej cechy wyróżniającej (np. większej amplitudy w porównaniu z sygnałem informacyjnym),
- generowanie sygnałów synchronizujących z przebiegu odpowiadającego przesyłanej informacji.

W praktyce najbardziej powszechny jest trzeci sposób dostarczania sygnałów synchronizujących. Metoda generowania sygnałów synchronizujących zależy od postaci sygnałów reprezentujących przesyłaną informację, czyli od sposobu zapisu informacji. Wyróżnia się przy tym zapisy z własnością samosynchronizacji lub bez tej własności. Pierwsze z nich charakteryzują się tym, że dla każdego przesyłanego bitu informacji sygnał reprezentujący ten bit zmienia co najmniej raz swoją wartość (np. zapis Manchester). Zapisy samosynchronizujące pozwalają wygenerować impuls synchronizujący dla każdego bitu przesyłanej informacji na podstawie reprezentującego go sygnału. Przykładem zapisu nie posiadającego własności samosynchronizacji jest zapis NRZ (ang. Non Return to Zero), w któ-rym bity o wartości 0 reprezentowane są przez niski poziom sygnału, a bity o wartości 1 przez poziom wysoki. Istnieje szereg metod otrzymywania sygnałów synchronizujących w odbiorniku na podstawie przebiegów wejściowych. W tym celu najczęściej stosuje się uniwibratory, filtry wąskopasmowe, generatory przestrajane pracujące w układzie zamkniętym (tzw. układ pętli fazowej PLL) oraz układy ze sterowanym dzielnikiem. Układy wykorzystujące uniwibratory do wytworzenia impulsów rozeznających są stosowane tylko przy stosunkowo niedużej szybkości modulacji ($f < 1MHz$) ze względu na niestabilność impulsów wyjściowych z uniwibratora i możliwość błędnego rozeznania przy zniekształceniach odbiera-nego sygnału. Wydzielenie impulsów synchronizujących z sygnału za pomocą filtru wąskopasmowego wiąże się z dużymi trudnościami technicznymi i jest rzadko stosowane. Powszechnie stosuje się natomiast układy analogowych (PLL) lub cyfrowych (DPLL) pętli fazowych.

## 2. Układ synchronizacji bitowej oparty na pętli fazowej

Wpływać na częstotliwość i fazę przebiegu bitowej skali czasu można za pośrednictwem układu synchronizacji z przestrajanym generatorem. Układy takie noszą nazwę pętli fazowej PLL (od ang. Phase Locked Loop) i są układami regulacji impulsowej z ujemnym sprzężeniem zwrotnym, które synchronizują częstotliwość i fazę generatora taktu odbiornika z sygnałem wejściowym. Na rys. 1 przedstawiono schemat blokowy pętli fazowej.

Pętla fazowa składa się z trzech podstawowych części: komparatora fazy, filtru dolnoprzepustowego oraz generatora sterowanego napięciem (VCO od ang. Voltage Control Oscillator). Komparator mierzy różnicę faz sygnałów wejściowego i wyjściowego i wytwarza sygnał błędu proporcjonalny do tej różnicy. Są to najczęściej impulsy o szerokości zależnej od mierzonej różnicy faz i o częstotliwości równej częstotliwości porównywanych przebiegów. Za pośrednictwem filtru dolnoprzepustowego wydzielana jest wartość średnia




Rys. 1. Schemat blokowy pętli fazowej. $V_e$ jest wartością średnią napięcia błędu
Fig. 1. Basic phase-locked loop. $V_e$ is the average error voltage

sygnału błędu, która steruje częstotliwością generatora przestrajanego. Jeżeli sygnał wejściowy wyprzedza sygnał wyjściowy, to ujemne sprzężenie zwrotne powoduje zwiększenie częstotliwości generatora VCO tak, że kolejne zbocza sygnału wyjściowego zostają przyspieszone starając się nadążyć za zboczami sygnału wejściowego. Jeżeli natomiast sygnał wyjściowy wyprzedza sygnał wejściowy, to częstotliwość generatora VCO zostaje zmniejszona, co opóźnia kolejne zbocza sygnału wyjściowego powodując ich zbliżanie się do fazy sygnału wejściowego. Działanie pętli fazowej jest zatem takie, że częstotliwość i faza sygnału wyjściowego nadążają odpowiednio za częstotliwością i fazą sygnału wejściowego oraz za zmianami tych wielkości. Ze względu na obecność filtru dolnoprzepustowego, generator przestrajany nie reaguje na szybkie zmiany oraz szumy w sygnale wejściowym, a drga z częstotliwością średnią sygnału wejściowego. Pętla fazowa bez filtru dp w sprzężeniu zwrotnym jest rzadko stosowana, ponieważ impulsowy przebieg błędu powoduje wtedy modulację częstotliwości sygnału wyjściowego. Aby pętla fazowa mogła osiągnąć synchronizm musi być tak zaprojektowana, aby przy określonej, maksymalnej różnicy faz sygnałów na wejściu komparatora, istniał jeszcze odpowiedni sygnał sterujący generatorem przestrajanym.

## 3. Parametry pętli fazowej

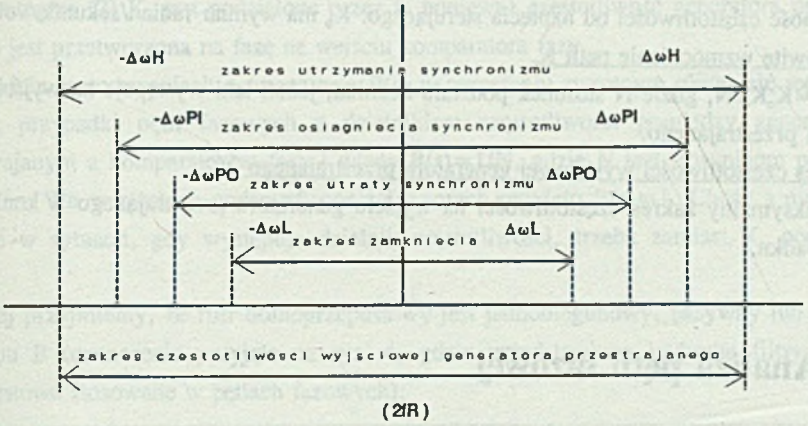
Podstawowymi parametrami pętli fazowej są (rys. 2):

Zakres utrzymania synchronizmu $+-\Delta\omega_u$ (ang. hold range)

Zakres pulsacji, w którym pętla fazowa pozostaje zamknięta. Pętlę uważa się za zamkniętą (w stanie synchronizacji), jeżeli błąd fazy nie przekracza dopuszczalnej wartości.

Zakres osiągnięcia synchronizmu $+-\Delta\omega_{PI}$ (ang. pull in range)

Zakres pulsacji, w którym pętla może osiągnąć synchronizm. Zakres ten, zazwyczaj mniejszy od zakresu utrzymania synchronizmu, jest proporcjonalny do naturalnej pulsacji pętli ($\omega_n$). Czas osiągania synchronizmu oznaczany jest przez $T_p$.




Rys. 2. Obszar operacji pętli fazowej
Fig. 2. Operating areas of a PLL

Zakres utraty synchronizmu $+-\Delta\omega_{PO}$ (ang. pull out range)

Skokowa zmiana pulsacji na wejściu, odniesiona do pulsacji środkowej ($\omega_0$) przestrajanego generatora, która spowoduje utratę synchronizmu w pętli. Ponieważ zazwyczaj zakres utraty synchronizmu jest wewnątrz zakresu osiągnięcia synchronizmu, pętla po czasie $T_p$ ponownie osiągnie synchronizm.

Zakres zamknięcia $+-\Delta\omega_L$ (ang. lock-in range)

Zakres pulsacji, w którym pętla może osiągnąć synchronizm bez "poślizgu" cyklu. Czas osiągnięcia synchronizmu przy zmianie pulsacji wewnątrz zakresu zamknięcia nazywa się czasem ustalania $T_s$.

Pulsacja środkowa petli $\omega_0$

Jest to pulsacja odpowiadająca częstotliwości generatora przestrajanego, gdy napięcie na jego wejściu odpowiada połowie zakresu operacyjnego układu. Zazwyczaj generatory VCO w pętlach PLL buduje się tak,aby napięcie "środkowe" równało się połowie napięcia zasilania generatora.

Naturalna pulsacja petli $\omega_n$

Pulsacja odpowiadająca częstotliwości oscylacji pętli przy braku tłumienia ($\xi=0$). Na wykresie Bodego (rys. 5) dla pętli drugiego stopnia, naturalna pulsacja opowiada największej dodatniej odchyłce wzmocnienia względem wartości dla sygnału stałego.

Wzmocnienie komparatora fazy $K_d$

Wzmocnienie komparatora określające zależność wartości średniej sygnału błędu od różnicy faz sygnałów na wejściu komparatora. Wzmocnienie $K_d$ ma wymiar volt/radian.

Wzmocnienie generatora przestrajanego $K_o$

Wzmocnienie odnoszące się do liniowego zakresu pracy generatora ($2f_R$) określające zależność częstotliwości od napięcia sterującego. $K_o$ ma wymiar radian/sekundę/volt.

Całkowite wzmocnienie pętli $K_v$

$K_v = K_o K_d / N$, gdzie N stosunek podziału licznika, jeżeli taki występuje na wyjściu generatora przestrajanego.

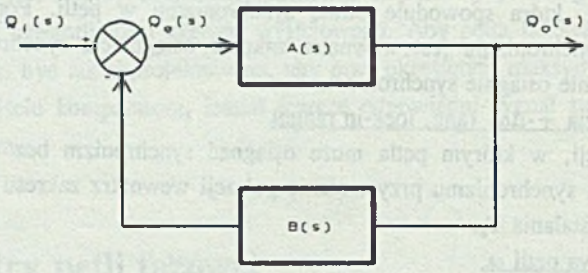
Zakres częstotliwości wyjściowej generatora przestrajanego $2f_R$

Maksymalny zakres częstotliwości na wyjściu generatora przestrajanego w konkretnym przypadku.

# 4. Analiza pętli fazowej

Dochodzenie do synchronizmu w pętli fazowej jest bardzo złożone i trudne do analizy matematycznej. Pętla pracująca w zakresie zamknięcia może być jednak aproksymowana liniowym układem regulacji i opisywana przy wykorzystaniu transformaty Laplace'a [2].

Na rys. 3 przedstawiono podstawowy układ regulacji z ujemnym sprzężeniem zwrotnym. Funkcja przejścia układu ma postać:




Rys. 3. Układ regulacji z ujemnym sprzężeniem zwrotnym
Fig. 3. Feedback system

$$H(s) = \frac{A(s)}{1 + A(s)B(s)}. \tag{1}$$

Dla pętli fazowej:

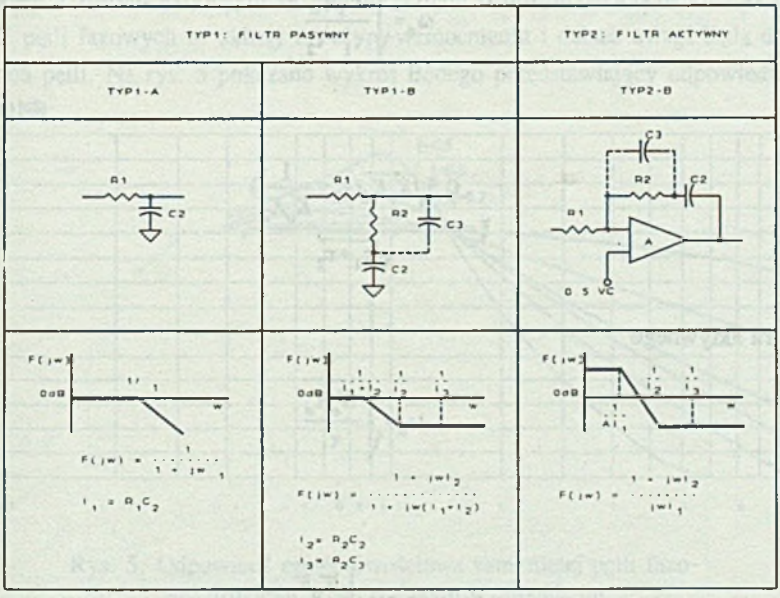
$$A(s)=\frac{K_o}{s}K_dF(s), \tag{2}$$

gdzie F(s) reprezentuje filtr dolnoprzepustowy.

We wzorze (2) $K_o$ jest podzielone przez s, ponieważ częstotliwość generatora przestrajanego jest przetworzona na fazę na wejściu komparatora fazy.

W wielu zastosowaniach wzmocnienie B(s) w sprzężeniu zwrotnym równa się jeden. Są jednak przypadki pętli fazowych z dzielnikiem częstotliwości pomiędzy generatorem przestrajanym a komparatorem fazy i wtedy B(s)=1/N, gdzie N jest stosunkiem podziału dzielnika. We wszystkich podanych poniżej wzorach przyjęto B(s)=1. Chcąc z nich skorzystać w sytuacji, gdy występuje dzielnik częstotliwości, trzeba zamiast $K_o$ podstawić $K_o/N$.

Dalej przyjmiemy, że filtr dolnoprzepustowy jest jednobiegunowy, pasywny lub aktywny typu B (oznaczenie przyjęte na rys. 4, gdzie przedstawiono wybrane filtry dolnoprzepustowe stosowane w pętlach fazowych).




Rys. 4. Wybrane filtry dolnoprzepustowe stosowane w pętlach fazowych
Fig. 4. Some low-pass filters used in the PLL circuits

W takim przypadku funkcja przejścia pętli jest następująca:

dla filtru pasywnego

$$H(s)=\frac{\frac{K_oK_d(s\tau_2+1)}{\tau_1+\tau_2}}{s^2+\frac{s(1+K_oK_d\tau_2)}{\tau_1+\tau_2}+\frac{K_oK_d}{\tau_1+\tau_2}}, \tag{3}$$

dla filtru aktywnego

$$H(s)=\frac{\frac{K_oK_d(s\tau_2+1)}{\tau_1}}{s^2+s\frac{K_oK_d\tau_2}{\tau_1}+\frac{K_oK_d}{\tau_1}}. \tag{4}$$

Wprowadzając oznaczenia:
dla filtru pasywnego

$$\omega_n=\sqrt{\frac{K_oK_d}{\tau_1+\tau_2}} \tag{5}$$

$$\xi=\frac{0.5\sqrt{K_oK_d}(\tau_2+\frac{1}{K_oK_d})}{\sqrt{\tau_1+\tau_2}}, \tag{6}$$

dla filtru aktywnego

$$\omega_n=\sqrt{\frac{K_oK_d}{\tau_1}} \tag{7}$$

$$\xi=0.5\tau_2\sqrt{\frac{K_oK_d}{\tau_1}}, \tag{8}$$

otrzymamy odpowiednio:
dla filtru pasywnego

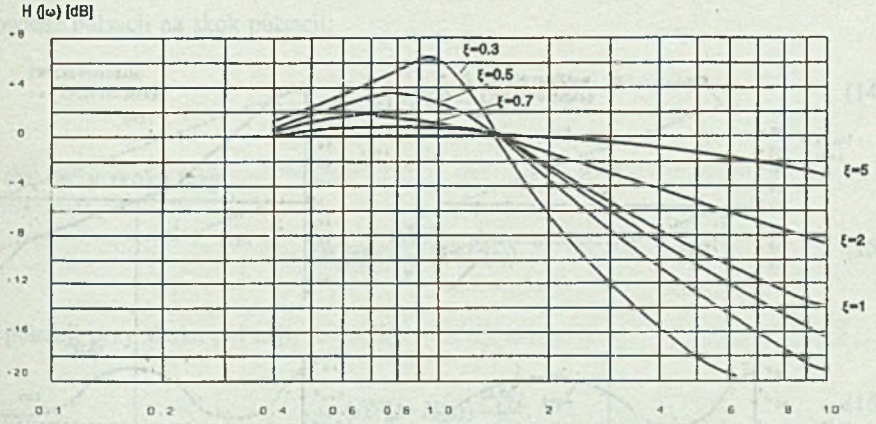
$$H(s)=\frac{s\omega_n(2\xi-\frac{\omega_n}{K_oK_d})+\omega_n^2}{s^2+2\xi\omega_n S+\omega_n^2}, \tag{9}$$

dla filtru aktywnego

$$H(s)=\frac{2\xi\omega_n s+\omega_n^2}{s^2+2\xi\omega_n s+\omega_n^2}. \tag{10}$$

Jeżeli $\omega_n/K_oK_d << 2\xi$, pętla z filtrem biernym nazywana jest pętlą o dużym wzmocnieniu.

Przy zastosowaniu prostego filtru dolnoprzepustowego (sytuacja, gdy $R_2$ na rys. 4 wynosi 0) $\omega_n/K_oK_d = 2\xi$, co oznacza, że pętla jest zawsze o małym wzmocnieniu. Ponadto wymaganie dobrego śledzenia (duże $K_v$) nie można pogodzić w tym przypadku z potrzebą zachowania wąskiego pasma pętli ($\omega_n$), co ma znaczenie przy tłumieniu zakłóceń. Pętle fazowe z filtrem aktywnym są zawsze pętlami o dużym wzmocnieniu. W praktyce większość pętli fazowych to układy o dużym wzmocnieniu i dalsze uwagi będą dotyczyły tylko takich pętli. Na rys. 5 pokazano wykres Bodego przedstawiający odpowiedź częstotliwościową zamkniętej pętli fazowej drugiego rzędu. Widać, że współczynnik tłumienia $\xi$ ma duże znaczenie dla własności dynamicznych pętli:

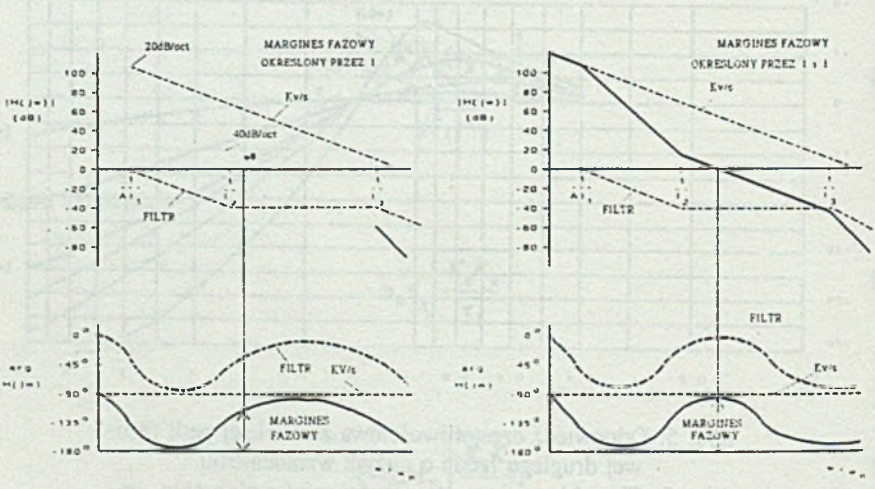



Rys. 5. Odpowiedź częstotliwościowa zamkniętej pętli fazowej drugiego rzędu o dużym wzmocnieniu
Fig. 5. Closed-loop frequency response of a high-gain, second-order PLL

- gdy $\xi = 1$, pętla jest krytycznie tłumiona,
- gdy $\xi < 1$, odpowiedź układu jest oscylacyjna,
- gdy $\xi = 1/\sqrt{2}$, funkcja przejścia jest optymalnie płaska i odpowiada filtrowi Butterworthe'a drugiego rzędu.

## 5. Stabilność pętli fazowej

Pętla fazowa będzie oscylować, jeżeli wzmocnienie w otwartej pętli sprzężenia zwrotnego wynosi 1 i, jednocześnie przesunięcie fazowe wynosi 180°. Ocenić stabilność pętli można na podstawie wykresu Bodego dla otwartej pętli sprzężenia zwrotnego. Najprościej jest narysować wykres Bodego oddzielnie dla filtru, generatora VCO, komparatora fazy i układu sprzężenia zwrotnego. Su-perpozycja poszczególnych wykresów daje wykres zastępczy, reprezentujący całą (otwartą) pętlę. Na rys. 6 przedstawiono wykresy Bodego dla układu z filtrem pasywnym i filtrem aktywnym zaznaczając margines fazowy. Margines fazowy mierzony jest dla częstotliwości, przy której charakterystyka amplitudowa przecina oś poziomą i równa się różnicy pomiędzy aktualą fazą a -180°. Skala decybelowa na rys. 6 nie jest absolutna i została wybrana tylko dla ilustracji.




Rys. 6. Wykres Bodego dla pętli fazowej z filtrem aktywnym
Fig. 6. Bode plot of a PLL with an active lag-lead filter

**Odpowiedź na skok jednostkowy**

Ważną charakterystyką pętli fazowej jest jej odpowiedź na skok jednostkowy fazy lub częstoltiwości. Interesują nas przy tym dwa parametry: przeregulowanie odniesione do wartości skoku sygnału wymuszającego oraz czas ustalania częstotliwości lub fazy (przyjmijmy dokładność 5% wartości końcowej).

Poniżej podano zależności opisujące odpowiedź fazy $\Theta_e(s)$ i pulsacji $\omega_o(s)=s\Theta_e(s)$ na skok fazy $\Theta_i(s)=\Delta\Theta_i$ /s lub skok pulsacji $\omega_i(s)=\Delta\omega_i/s$. Ponadto zamieszczono wzory przedstawiające błąd fazy $\Theta_e(s)$ oraz pulsacji $\omega_e(s)$ przy skoku fazy i pulsacji.

Odpowiedź fazy na skok fazy:

$$\theta_e(s)=H(s)\frac{\Delta\theta_i}{s}. \tag{11}$$

Odpowiedź pulsacji na skok fazy:

$$s\theta_e(s)=\Delta\theta_i H(s). \tag{12}$$

Odpowiedź fazy na skok pulsacji:

$$\theta_e(s)H(s)=H(s)\frac{\Delta\omega_i}{s^2}. \tag{13}$$

Odpowiedź pulsacji na skok pulsacji:

$$\omega_o(s)=H(s)\frac{\Delta\omega_i}{s}. \tag{14}$$

Błąd fazy przy skoku fazy:

$$\theta_e(s)=\frac{\Delta\theta_i}{s}(1-H(s)). \tag{15}$$

Błąd pulsacji przy skoku pulsacji:

$$\omega_e(s)=(1-H(s))\frac{\Delta\omega_i}{s}. \tag{16}$$

Błąd fazy przy skoku pulsacji:

$$\theta_e(t)=\Delta\theta_i[1-e^{-\xi\omega_n t}(\cos\sqrt{1-\xi^2}\omega_n t+\frac{\xi\sin\sqrt{1-\xi^2}\omega_n t}{\sqrt{1-\xi^2}}-\frac{\omega_n\tau_2\sin\sqrt{1-\xi^2}\omega_n t}{\sqrt{1-\xi^2}})]. \quad (17)$$

Uwzględniając w podanych powyżej równaniach wyrażenia opisujące transmitancje pętli fazowej z filtrem pasywnym (równanie 9) lub filtrem aktywnym (równanie 10) oraz stosując odwrotną transformatę Laplace'a, można otrzymać czasowe odpowiedzi układu na skok jednostkowy. Poniżej przedstawimy tylko postać czasową fazy sygnału wyjściowego oraz przebieg błędu fazy ilustrujące reakcję pętli na skok fazy sygnału na wejściu. Przyjmiemy przy tym podstawienie $\psi$=arc sin$\xi$.

Pętla o wysokim wzmocnieniu z filtrem pasywnym:

$$\theta_e(t)=\Delta\omega_i(t)[1-\frac{e^{-\xi\omega_n t}}{\sqrt{1-\xi^2}}\cos(\sqrt{1-\xi^2}\omega_n t+\varphi)] \quad (18)$$

Pętla z filtrem aktywnym:

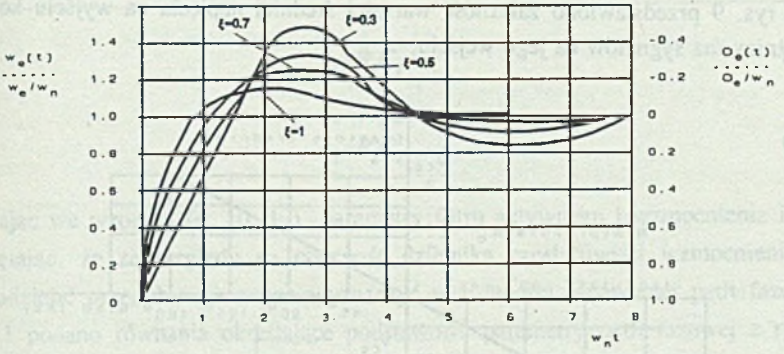
$$\theta_e(t)=\Delta\theta_i(t)\frac{e^{-\xi\omega_n t}}{\sqrt{1-\xi^2}}\cos(\sqrt{1-\xi^2}\omega_n t+\varphi). \quad (19)$$

$$K_d=\frac{U_H}{2\pi}, \quad (20)$$

Odpowiedź fazy sygnału wyjściowego (opisywaną równaniem 20) na skok fazy, dla pętli o dużym wzmocnieniu, pokazano na rys. 7. Łatwo sprawdzić, że identycznie wygląda odpowiedź częstotliwości sygnału wyjściowego na skok częstotliwości na wejściu.

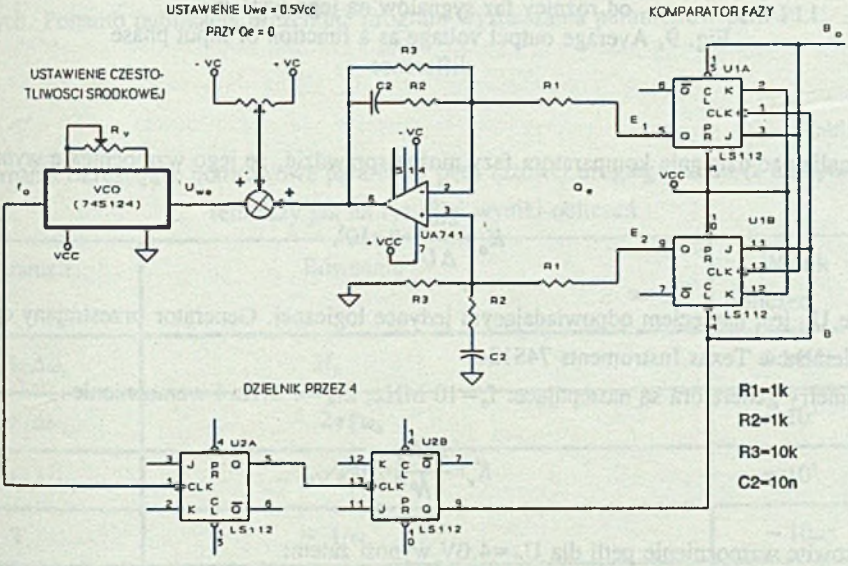
## 6. Laboratoryjny układ pętli fazowej

Na rys. 8 przedstawiono rozwiązanie pętli fazowej z filtrem aktywnym i dzielnikiem częstotliwości o stosunku podziału N=4. Pętla synchronizuje częstotliwość i fazę generatora przestrajanego napięciem z sygnałem wejściowym $B_o$. Zakładamy, że współczynnik wypełnienia sygnałów $B_o$ i B wynosi 0.5. Komparator fazy tworzą dwa przerzutniki J-K, których wyjścia podłączono do wejść różnicowego wzmacniacza błędu, stanowiącego filtr aktywny pętli. Za sygnał błędu $Q_e$ uważać będziemy różnicę $E_2$-$E_1$ napięć na wyjściach przerzutników. Wartość średnia $Q_e$ (wydzielona przez filtr) steruje częstotliwością generatora przestrajanego. Na wyjściu $E_2$ obecne są impulsy o szerokości proporcjonalnej do




Rys. 7. Odpowiedź pętli fazowej o dużym wzmocnieniu na skok częstotliwości i skok fazy

Fig. 7. Step response of a high gain loop

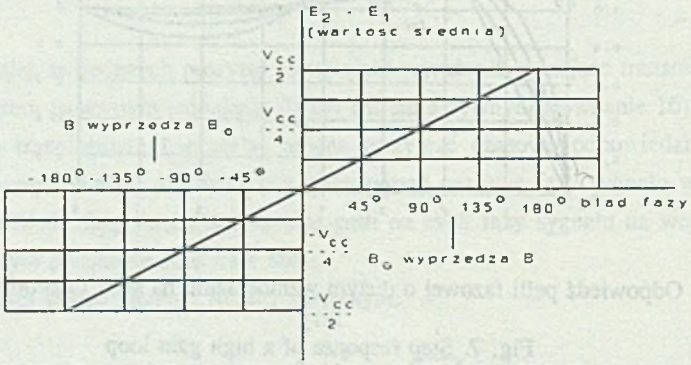



Rys. 8. Układ pętli fazowej z filtrem aktywnym i dzielnikiem częstotliwości o stosunku podziału N=4

Fig. 8. The PLL circuit with an active filter and frequency divider by N=4

różnicy faz przebiegów B i $B_o$, w sytuacji, gdy faza $B_o$ wyprzedza fazę B. Na wyjściu $E_1$ jest wtedy stan niski. Odwrotnie, gdy faza B wyprzedza fazę $B_o$, to impulsy błędu pojawią się na wyjściu $E_1$, a na wyjściu $E_2$ panować będzie stan niski. Częstotliwość $f_o$ generatora jest ustawiana potencjometrem RV przy żerowej wartości błędu fazy.

Na rys. 9 przedstawiono zależność wartości średniej napięcia na wyjściu komparatora od różnicy faz sygnałów na jego wejściu.




Rys. 9. Zależność wartości średniej napięcia na wyjściu komparatora od różnicy faz sygnałów na jego wejściu
Fig. 9. Average output voltage as a function of input phase difference

Analizując działanie komparatora fazy można sprawdzić, że jego wzmocnienie wynosi:

$$K_o = \frac{2\omega_R}{\Delta U} = 2\pi 10^5. \tag{21}$$

gdzie $U_H$ jest napięciem odpowiadającym jedynce logicznej. Generator przestrajany oparto na elemencie Texas Instruments 74S124.

Parametry generatora są następujące: $f_o = 10$ MHz, $2f_R = 4$ MHz i wzmocnienie

$$K_v = \frac{K_o K_d}{N} = 10^5. \tag{22}$$

Całkowite wzmocnienie pętli dla $U_H = 4.0$V wynosi zatem:

$$F(s) = \frac{1 + s\tau_2}{s\tau_1}, \tag{23}$$

Transmitancja filtru dla różnicowego sygnału błędu wynosi:

$$\tau_1 = R_1 C_2 \tag{24}$$

przy czym:

$$\tau_1 = R_1 C_2 \tag{25}$$

$$\tau_2 = R_2 C_2 \tag{26}$$

Uwzględniając we wzorach (4, 10, 19) parametry filtru aktywnego i wzmocnienia $K_d, K_o$ oraz pamiętając, że ze względu na obecność dzielnika częstotliwiści wzmocnienie $K_o$ musimy podzielić przez N=4, można wyznaczyć właściwości omawianej pętli fazowej. W tablicy 1 podano równania określające podstawowe parametry pętli fazowej z rys. 8 oraz obliczone na ich podstawie wartości tych parametrów.

W publikacji [4] przedstawiono analizę i przykłady zastosowania scalonej pętli fazowej CMOS 4046. Dyskutuje się tam własności dynamiczne układu oraz inne problemy, jak: wpływ niedokładności elementów zewnętrznych, rozproszenie mocy, wpływ zakłóceń fazowych. Ponadto publikacja prezentuje program wyznaczania parametrów pętli PLL.

Tablica 1

Równania określające podstawowe parametry pętli fazowej drugiego rzędu (z komparatorem fazy jak na rys. 8) i wyniki obliczeń

| Parametr | Równanie | Wynik obliczeń |
|---|---|---|
| $+-\Delta\omega_n$ | $2f_R$ | 4 MHz |
| $+-\Delta\omega_L$ | $\sim 2\pi\xi\omega_n$ | $\pi\ 10^5$ |
| $+-\Delta\omega_{PI}$ | $\sim \pi\sqrt{(2\xi\omega_n K_v)}$ | $\pi\ 10^5$ |
| $T_s$ | $\sim 1/\omega_n$ | $\sim 10\mu s$ |
| $+-\Delta\omega_{PO}$ | dla $\xi < 1$<br>$\pi\omega_n \exp[(\xi/\sqrt{(1-\xi^2)})\mathrm{ctg}(\sqrt{(1-\xi^2)}/\xi)]$<br>dla $\xi = 1$<br>$\pi\omega_n \exp 1$<br>dla $\xi > 1$<br>$\pi\omega_n \exp[(\xi/\sqrt{(\xi^2-1)})\mathrm{ctgh}(\sqrt{(\xi^2-1)}/\xi)]$ | $2.85*10^5$ |

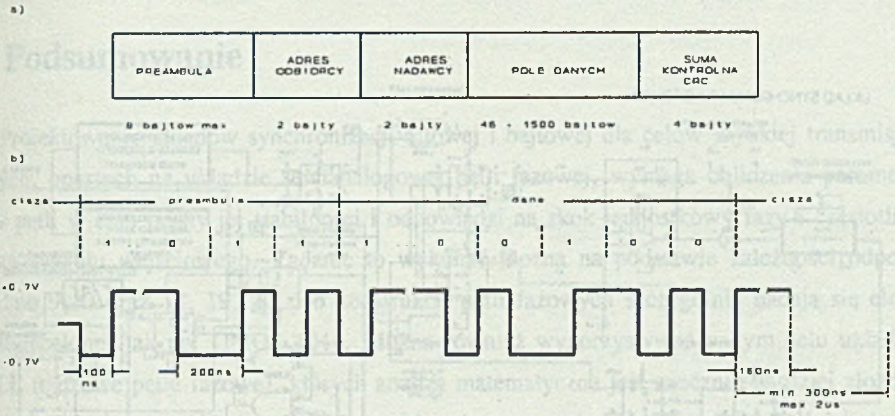
# 7. Układ synchronizacji i dekodowania na potrzeby szybkiej transmisji danych

Przykładem układu synchronizacji elementowej i znakowej może być układ wykonany na potrzeby lokalnej sieci komputerowej LOKAL-SM opracowanej w Instytucie Informatyki Politechniki Śląskiej.

Transfer danych pomiędzy stacjami lokalnej sieci komputerowej (LAN) odbywa się za pośrednictwem kabla koncentrycznego oraz specjalizowanych układów nadawczo-odbiorczych zwanych transiwerami. Z transiwerem od strony kontrolera stacji sieci współpracuje układ interfejsu szeregowego przygotowujący informację do nadania przez łącze sieci oraz odbierający dane z łącza.

W lokalnych sieciach komputerowych informacja przesyłana jest w postaci bloków danych zwanych ramkami. Format ramki jest dokładnie określony przez standard LAN. Bardzo ważną częścią ramki z punktu widzenia synchronizacji jest tzw. preambuła. Bity preambuły nie przenoszą żadnych danych, stwarzają jednak możliwość dostrojenia częstotliwości i fazy generatora taktu odbiornika do taktu sygnału nadawanego. To dostrojenie gwarantuje dopiero poprawny odbiór bitów danych. Preambułę tworzy ciąg nie dłuższy niż 8 bajtów, zawierający na przemian bity o wartości 1 i 0. Kończą preambułę dwa kolejno po sobie następujące bity o wartości 1. Jest to tzw. znacznik końca preambuły, po którym następują już bity informacyjne. W LAN stosuje się najczęściej zapis Manchester, który jest zapisem z własnością samosynchronizacji. Na rys. 10 przedstawiono format ramki w sieci LOKAL-SM oraz fragment sygnału w zapisie Manchester. Widać, że dla prawidłowego rozeznania bitów odbiornik będzie musiał wytworzyć skalę impulsów rozeznających o częstotliwości modulacji (w sieci LOKAL-SM 5MHz) i fazie przesuniętej o 3T/4 względem początku bitu. Pełny układ synchronizacji bitowej, wykorzystujący pętlę fazową z rys. 3, pokazano na rys. 11. Kompletny schemat ideowy układu znaleźć można w [6]. W filtrze aktywnym pętli fazowej dodano rezystor R3 w celu zamknięcia sprzężenia zwrotnego wzmacniacza operacyjnego przy wyłączonym komparatorze fazy.

Sygnał $B_o$ otrzymywany jest poprzez filtrację sygnału odebranego, która ma na celu wydzielenie przebiegu SR o częstotliwości modulacji, oraz poprzez przetworzenie sygnału SR w binarnym liczniku mod 2. W ten sposób częstotliwość sygnału $B_o$ równa się połowie częstotliwości modulacji, a jego współczynnik wypełnienia wynosi 0.5. Sygnał B natomiast powstaje poprzez podzielenie sygnału wyjściowego z generatora VCO przez 4 w dzielniku częstotliwości. W przypadku gdy żaden sygnał nie pojawia się na wejściu (brak ramki), sygnał CS z układu wykrywania obecności ramki jest w stanie niskim, wymuszając taki sam stan na wyjściu komparatora fazy. W tej sytuacji sygnał wyjściowy

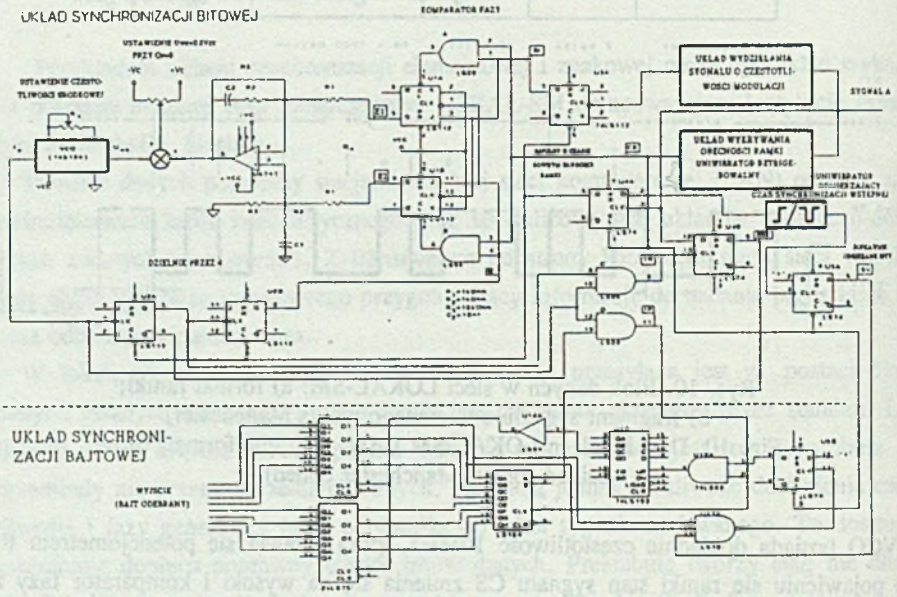



Rys. 10. Blok danych w sieci LOKAL-SM: a) format ramki; b) fragment sygnału odbieranego (zapis Manchester)
Fig. 10. Data block in LOKAL-SM LAN: a) frame format; b) received signal (Manchester coded)

z VCO posiada dokładnie częstotliwość 10MHz, którą ustawia się potencjometrem RV. Po pojawieniu się ramki stan sygnału CS zmienia się na wysoki i komparator fazy zaczyna pracować. Demodulacja sygnału odebranego (zmiana z zapisu Manchester na NRZ) odbywa się w przerzutniku typu D. Rezultat rozeznania (sygnał C) uznawany jest za ważny po czasie $t_u$, koniecznym do zsynchronizowania się układu. Czas ten odmierzany jest w układzie opóźniającym i liczony od chwili zmiany CS z 0->1.

Kolejną, ważną częścią układu synchronizacji i dekodowania LAN jest układ synchronizacji bajtowej zaznaczony linią przerywaną na rys. 11. Układ ten wytwarza impulsy grupujące poszczególne bity w bajty. Prawidłową synchronizację bajtową umożliwia znacznik końca preambuły. Bit pojawiający się bezpośrednio za drugą jedynką znacznika jest najmniej znaczącym bitem pierwszego bajtu informacyjnego.

Działanie układu jest następujące. W ośmiobitowym rejestrze przesuwającym następuje grupowanie kolejnych bitów w bajt. Rejestr ten taktowany jest impulsami IP z układu synchronizacji bitowej. Podczas nieobecności ramki (CS = 0), przerzutnik $P_o$ jest wyzerowany i utrzymuje stan zerowy trzybitowego licznika. Po pojawieniu się ramki (CS = 1) i wykryciu znacznika końca preambuły za pośrednictwem bramki $B_1$, do przerzutnika $P_o$ zostaje wpisana 1, co odblokowuje licznik i zezwala na zliczanie impulsow IP wprowadzanych na jego wejście przez otwartą w tym przypadku bramkę $B_2$. Zliczenie ośmiu impulsów odpowiada zgrupowaniu w rejestrze przesuwającym pełnego bajtu, który przepisywany jest do rejestru buforowego.




Rys. 11. Układ synchronizacji bitowej i bajtowej wykorzystujący pętlę fazową
Fig. 11. Bit and byte synchronization circuit using the PLL

Przedstawiony układ synchronizacji bitowej charakteryzuje się bardzo krótkim czasem synchronizacji wstępnej, co uzyskano poprzez wyłączenie komparatora fazy podczas nieobecności ramki i jego natychmiastowe załączenie bezpośrednio po jej pojawieniu się. Ważne przy tym jest utrzymanie zerowej wartości sygnału błędu podczas nieobecności ramki, dzięki czemu generator przestrajany drga z częstotliwością środkową $f_o$. Gdy ramka znajdzie się na wejściu układu, częstotliwość sygnałów $B_o$ i B będzie zbliżona a ich fazy mogą się różnić max. o $\pi$. Pętla fazowa szybko zsynchronizuje fazy porównywanych przebiegów. Szybką synchronizację można również zapewnić poprzez włączenie na wejście odniesienia komparatora fazy (wejście dla $B_o$) sygnału B podczas nieobecności ramki. Takie rozwiązanie wybrała firma INTEL w układzie interfejsu szeregowego LAN 82501 [7]. Wobec tego, że na oba wejścia komparatora podany jest ten sam sygnał, błąd wynosi zero, co jak widać, prowadzi ostatecznie do takiego samego rezultatu, jak rozwiązanie zastosowane w sieci LOKAL-SM.

# 8. Podsumowanie

Projektowanie układów synchronizacji bitowej i bajtowej dla celów szybkiej transmisji danych, opartych na układzie semianalogowej pętli fazowej, wymaga obliczenia parametrów pętli w celu oceny jej stabilności i odpowiedzi na skok jednostkowy fazy i częstotliwości sygnału wejściowego. Zadanie to wykonać można na podstawie zależności odpowiednio 9,10 oraz 18, 19, 20. Do konstrukcji pętli fazowych szczególnie nadają się elementy scalone, jak np. CMOS 4046. Można również wykorzystywać w tym celu układy DPLL (cyfrowe pętle fazowe), których analiza matematyczna jest znacznie bardziej złożona. Przedstawiony tu układ pętli PLL został wykonany z elementów małej i średniej skali integracji przede wszystkimi w celu sprawdzenia przydatności podanych wzorów do oceny parametrów pętli fazowych. Oparty na pętli fazowej układ synchronizacji bitowej i bajtowej pozwala ponadto poznać zagadnienia synchronizacji i dekodowania sygnałów transmitowanych w sieciach komputerowych przedstawiane w ramach Laboratorium Teleinformatyki prowadzonego dla studentów IV i V roku na kierunku Informatyka.

## LITERATURA

[1] T.Dudek, J.Sosnowski: Organizacja przesyłania informacji w systemach cyfrowych, PWN, Warszawa 1981.

[2] R.Best: Phase locked loops, Mc Graw-Hill, New York 1984,

[3] F.Gardner: Phaselock techniques, John Wiley and Sons, New York 1979.

[4] R.VolgersP: Phase locked loop circuits 74HC/HCT4046 & 74HC/HCT7046A, HCMOS designer's guide - advance information, Philips 4-89, Components publication, ordering code: 9398 649 900 11.

[5] W.Rosink: All-digital phase loops using the 74HC/HCT297, HCMOS designer's guide - advance information, Philips 3-89, Components publication, ordering code: 9398 065 900 11.

[6] W.Mielczarek, M.Skrzewski: Synchronizacja i dekodowanie sygnałów dla potrzeb szybkiej transmisji szeregowej, Zeszyty Naukowe Politechniki Śląskiej, Seria Informatyka, z.15, Gliwice 1990.

[7] Microsystem Components Handbook, Volume 2, Chapter 7, "82501 Ethernet Serial Interface", Intel Corp. USA, 1984.

Recenzent: Doc. dr inż. Jerzy Łączyński

Wpłynęło do Redakcji 27 listopada 1991 r.

## Abstract

The bit and byte synchronization circuits designing requires evaluating of the PLL parameters to estimate its stability as well as phase and frequency response. It is possible to do it using the equations number 9, 10 and 18, 19, 20 respectively. Particularly suitable for PLLs are single-chip integrated circuits such as semi-analog CMOS 4046 or totally digital HCMOS 297 however the analysis of the digital PLL is far more complex.

The PLL described in this publication was made from SSI and MSI circuits with intention to check how the results of the PLL analisis are usuful for estimating its parameters and behavior. The comparison of the evaluated values with the measured values proved that the equations representing PLL parameters can be succesfully used in designig process.

The application of the PLL in bit and byte synchronization circuit allows to study the problem of signal decoding in high speed LANs and distributed measurement systems. This topic is presented in the Laboratory of Teleinformatics for Computer Science students.