

Lech ZNAMIROWSKI

## KOMPUTEROWE WSPOMAGANIE GENERACJI ZŁOŻONYCH MASEK STRUKTUR ASIC

**Streszczenie.** W pracy przedstawiono strategię generacji masek złożonych struktur ASIC (nMOS,  $\lambda = 2.5\mu$ ), pozwalającą generować opis struktury chipu na podstawie biblioteki standardowych, sprawdzonych komórek struktur elementarnych VLSI. Przyjęto strategię typu "Bottom-up" bazującą na rozwijanej bibliotece kolejno opracowywanych makrokomórek struktur.

Narzędzia programowe wykorzystują standardowe formaty graficzne CIF (Caltech Intermediate Form) oraz DXF (Drawing eXchange file Format).

System oprogramowania bazuje na ogólnie dostępnych edytorach tekstowych i graficznych, współpracujących z oprogramowaniem specjalizowanym w środowisku systemu operacyjnego MS-DOS.

## THE METHODOLOGY FOR COMPLEX ASIC STRUCTURES LAYOUT GENERATION

**Summary.** The methodology for ASIC digital structures layout generation using well checked standard cells VLSI library (nMOS,  $\lambda = 2.5\mu$ ) is presented.

This is "Bottom-up" style using macrocells structures succesively developed.

The CIF (Caltech Intermediate Form) and DXF (Drawing eXchange file Format) are the standard formats applied by design tools. The software system is covered with standard text and graphics editors cooperating with specialized design software tools in the MS-DOS environment.

## SYSTÈME CAO POUR GENERATION DES MASQUES COMPLEXES DES STRUCTURES ASIC

**Résumé.** On a présenté la méthodologie de la génération des structures complexes ASIC (l'nMOS technologie,  $\lambda = 2.5\mu$ ) par utilisation des cellules de librai-



rie bien vérifiées. La stratégie "Bottom-up" exploite les macrocellules des structures développées successivement.

Le langage CIF (Caltech Intermediate Form) et la description intermédiaire DXF (Drawing eXchange file Format) sont exploités pour les programmes utilisateurs du système CAO.

Les éditeurs standard coopèrent avec les programmes spécialisés, dans l'environnement du système d'exploitation MS-DOS.

## 1. Wprowadzenie

Istniejący standardowy format opisu projektów masek struktur VLSI pozwala łatwo realizować strategię "bottom-up" projektowania struktur ASIC (Application Specific Integrated Circuits) przez wykorzystanie biblioteki standardowych, sprawdzonych komórek struktur elementarnych.

Biblioteka rozwijana na zasadzie dołączania do niej kolejno opracowywanych makrokomórek pozwala w krótkim czasie projektować bardzo rozbudowane struktury ASIC.

W pracy przedstawiona została strategia projektowania zakładająca użycie procesorów rodziny Intel 80XXX, bazująca na ogólnie dostępnych edytorach tekstowych i graficznych, wykorzystująca standardowe formaty opisu rysunków DXF (Drawing eXchange Format) oraz CIF (Caltech Intermediate Form). Edytory współpracują z oprogramowaniem specjalizowanym, w środowisku systemu operacyjnego MS-DOS [ZNAM4].

W celu zmniejszenia objętości pracy nie rozważa się problemów związanych z formalnym opisem projektu systemu (języki HDL), z symulacją na odpowiednich poziomach abstrakcji opisu struktury, weryfikacji projektów struktur i zagadnień projektowania dla testowalności. W pewnej mierze, część tych problemów przedstawia cytowana w pracy literatura [NEWT1, MEAD1, GAJS1, THOM1, VHDL1, EINS1, FEUG1, HACH1, KRAS1, KOLO1, DESZ1].

## 2. Projektowanie układów scalonych ASIC

Projektowanie układów i struktur VLSI [NEWT1, MEAD1, FILI1, KUZM1, KUZM-3, RUBI1, GOTO1, SHER1, KOZM1] charakteryzuje się rozdzieleniem projektu od technologii, w jakiej jest realizowany. Interfejs między projektem i jego realizacją stanowią reguły określające postać (formaty CIF, GDSII, LUCIE) i warunki, jakie spełnia projekt (reguły projektowania konstrukcyjne i elektryczne) i jakie akceptuje producent (zwykle



jest to grupa producentów działająca w ramach usługowych organizacji, zdolnych do akceptacji takich standardów - MOSIS, EUROCHIP).

Można więc zauważyć, że kończące projekt "Formaty transferowe" stanowią dane wejściowe - "Pliki danych" do fabrykacji układu scalonego.

Strategie projektowania mogą być klasyfikowane dla różnych kryteriów.

Biorąc pod uwagę środki, jakimi dysponuje projektant w momencie rozpoczynania projektu struktury, można wyróżnić w chwili obecnej trzy strategie:

- a) **PLD** - wykorzystującą technologię EPROM dla matryc bramkowych,
- b) **FCD** - dającą nowe układy o doskonałych optymalizowanych parametrach, wymagającą efektywnych narzędzi wspomagania projektowania (trudna i czasochłonna),
- c) **ASIC** - realizowaną w zakresie:
  - i) *matryc bramkowych* - użytkownik "doprowadza" projekt do końca opracowując swoją topografię połączeń w dopuszczalnych warstwach dla końcowych faz fabrykacji układu,
  - ii) *komórek standardowych* - użytkownik korzysta z obszernej biblioteki standardowych komórek sprawdzonych. Faktycznie te standardowe komórki mogą stanowić makrokomórki i supermakro, co znakomicie przyspiesza realizację projektu zrzucając na narzędzia programowe tylko część zadań projektowych.

Zwykle strategia ASIC ii) wykorzystuje struktury biblioteczne tworzone przy stosowaniu strategii FCD.

Realizujący strategię ASIC ii) system korzysta z dużej biblioteki struktur [ZNAM4], współpracując ciągle z bazą danych i edytorami, realizując zadania związane z projektowaniem struktury schematu, weryfikacji logicznej i układowej, projektowaniem struktury fizycznej, weryfikacji struktury.

Wynikiem projektu jest wygenerowana dokumentacja projektu, wydruki symulacji oraz projekt w postaci plików wykorzystujących formaty transferowe (interfejs projektu).

Baza danych wykorzystywana w procesie projektowania dostarcza danych potrzebnych dla różnych poziomów opisu abstrakcyjnego struktur [EINS1, GAJS1, DUTT1, DUVA1].



Na rys. 1 przedstawiono sytuację dla stylu projektowania "top-down", gdy obiekty z poziomu wyższego można wypełniać obiektami poziomu niższego [EINS1], a które dla opisu na poziomie wyższym są nieistotne.

Dla strategii ASIC ii) wygodnie jest przyjąć odwrotny styl projektowania - rozbudowy projektu wychodząc od istniejących elementów biblioteki.

Opis struktury dla różnych poziomów określa hierarchia [MEAD1, DUVA1, BARB1, GAJS1, KUZM3, VHDL1]:

- a) opis behawioralny bloków i obszarów przez nie zajmowanych,
- b) opis funkcjonalny mniejszych bloków funkcjonalnych wraz z zależnościami czasowymi,
- c) opis logiczny bloków realizowanych przez bramki i układy sekwencyjne,
- d) opis układowy bloków na poziomie tranzystorów i elementów biernych,
- e) opis geometrii struktur VLSI - np. opis formalny Caltech Intermediate Form,
- f) opis dwu- lub trójwymiarowy przyrządów półprzewodnikowych w dwu lub trzech wymiarach wraz z obliczaniem ich charakterystyk elektrycznych,
- g) opis rozkładów koncentracji domieszek (w przekroju płytki półprzewodnikowej - np. opis formalny Profile Interchange Format).

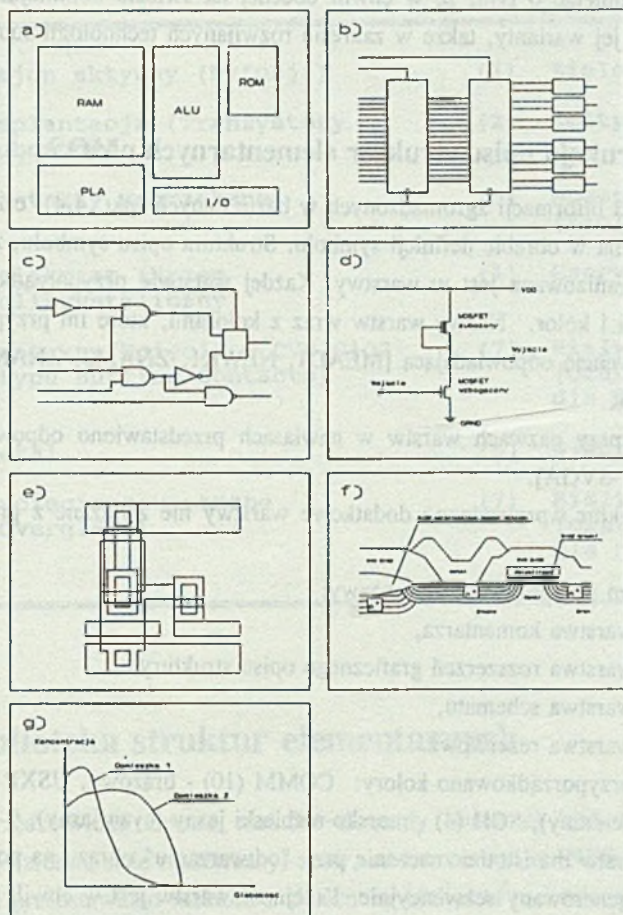
Opierając się na narzędziach programowych opisanych w [ZNAM4], przedstawiono ich wykorzystanie do realizacji strategii ASICii) na poziomie abstrakcji e) (rys. 1), w zastosowaniu do wybranej technologii (nMOS).

Sposób, w jaki konstruuje się opis struktur, jest podobny dla różnych technologii, a różnice polegają na wyborze liczby warstw opisu dla danej technologii, zwyczajowo określanych nazw, kolorów oraz sposobu zacieniania (co jest szczególnie istotne dla wersji czarno-białej prezentacji topografii oraz w przypadku złożonych technologii).

Ogólnie przyjęta jest zasada polegająca na tym, że wymiary geometryczne elementów występujących w projekcie na odpowiednich warstwach są takie same, jak w wytworzonym układzie (z dokładnością do losowego rozrzutu procesu).

Należy pamiętać o tym, że z warstwami projektowymi ściśle związane przez rodzaj technologii są tzw. maski produkcyjne i spełnienie reguł projektowania dla warstw projektowych zapewnia automatycznie spełnienie reguł projektowania dla masek produkcyjnych (zapewnia to sposób generacji masek produkcyjnych) [KUZM2]. W związku z tym, projektant nie musi zajmować się maskami produkcyjnymi, koncentrując się na projekcie w obszarze warstw projektowych.

W DODATKU 1 przedstawiono opis stosunkowo prostej technologii nMOS, ze szczególnym wskazaniem warstw projektowych z nią związanych. Wybór tej technologii, jako



Rys. 1. Poziomy abstrakcji opisu struktur VLSI:

- a) poziom architektury, b) poziom przesyłłów międzyrejestrów, c) bramek, d) obwodów, e) maski, f) przyrządów półprzewodnikowych, g) technologii

Fig. 1. Abstract levels in VLSI structures design:

- a) Architectural level, b) Register Transfer level, c) Logic Gate level, d) Circuit level, e) Layout level, f) Devices level, g) Technology level



ilustrującej dalsze rozważania, podyktowany został małą liczbą warstw projektowych w niej występujących, dostępną dobrą dokumentacją, prostymi regułami projektowania, przejrzystością projektów i możliwością realizacji u niektórych producentów (MOSIS). Należy jednak pamiętać o tym, że w chwili obecnej na świecie dominującą technologię stanowi CMOS i jej warianty, także w zakresie rozwijanych technologii submikronowych [JESS1].

## 2.1. Konstrukcja opisu struktur elementarnych nMOS

Niezależnie od informacji zgromadzonych w bazie danych (pkt. 4.4), część informacji jest przechowywana w obrębie definicji symbolu. Struktura opisu symbolu, zgodnie z formatem CIF, zorganizowana jest w warstwy. Każdej warstwie przyporządkowano nazwę warstwy, typ linii i kolor. Nazwy warstw wraz z kolorami, które im przyporządkowano (przyjęto tu konwencję odpowiadającą [MEAD1, NEWK1, ZNAM2, ZNAM4]) przedstawiono w tablicy 1.

W tablicy 1 przy nazwach warstw w nawiasach przedstawiono odpowiednio numer koloru [AUTO2, -SVGA].

W opisie struktur wprowadzono dodatkowe warstwy nie związane z procesami technologicznymi.

Warstwom tym przyporządkowano nazwy:

- "COMM" - warstwa komentarza,
- "USXP" - warstwa rozszerzeń graficznego opisu struktury,
- "SCH" - warstwa schematu,
- "0" - warstwa rezerwowa.

Warstwom tym przyporządkowano kolory: COMM (10) - brązowy, USXP (14) - magenta ciemny (fiolet ciemny), SCH (4) - morsko-niebieski jasny (cyan jasny), 0 (7) - biały.

Kolejność warstw ma istotne znaczenie przy "odtwarzaniu" obrazu na podstawie pliku, gdyż obraz jest generowany sekwencyjnie. Kolejność warstw jest w chwili obecnej następująca:

0, ND, NI, NB, NP, NC, NM, NG, COMM, USXP, SCH.

Elementy struktur indywidualnie charakteryzują się określonymi parametrami elektrycznymi oraz geometrycznymi, które należy rozumieć jako geometrie wyprowadzeń zewnętrznych struktury, a także opisem działania wraz z ewentualnym schematem.

Dane te rozmieszczane są na warstwach dodatkowych.

Edycja obrazu struktury dla założonej konstrukcji musi spełniać szereg wymagań, które stanowią przesłankę wyboru edytora graficznego [ZNAM4].

Tablica 1

Oznaczenia warstw (Layers) dla procesu nMOS oraz przyporządkowanych im kolorów wraz z podaniem ich kodu liczbowego

<b>ND</b> Rejon aktywny (Dyfuzja)	(3)	Zielony jasny
<b>NI</b> Implantacja (Tranzystory zubożone)	(2)	Żółty
<b>NB</b> Kontakty zagrzebane	(6)	Magenta jasny (fiolet jasny)
<b>NP</b> Polikrzem (Krzem polikrystaliczny)	(1)	Czerwony jasny
<b>NC</b> Kontakty/Wcięcia w CVD SiO <sub>2</sub> (typu Butting Contacts)	(7)	Biały (display) (czarny [NEWK1] dla plottera)
<b>NM</b> Metal	(5)	Niebieski
<b>NG</b> Wycięcia zewnętrzne (Overglass)	(7)	Biały (display) (czarny [NEWK1] dla plottera)

### 3. Biblioteka struktur elementarnych

Dalej przedstawione zostaną niektóre elementy obszernej biblioteki konstrukcyjnej ASIC. Pełny (zresztą stale rozszerzany) zbiór, można znaleźć w [NEWK1, ZNAM2]). Tu dla ilustracji przedstawiono niektóre z elementów biblioteki realizujące podstawowe funkcje umożliwiające zbudowanie struktury stanowiącej kontekst projektów ASIC (grupa struktur typu Pad) oraz strukturę Inverter, która przy wykorzystaniu edytora graficznego może być łatwo zmieniana i modyfikowana w celu realizacji potrzebnych, bardziej złożonych funkcji o charakterze rozbudowanych funktołów logicznych (por. 4). Współrzędne punktów należy odczytywać względem lewego dolnego rogu struktury.

Przykładowe struktury kontaktowe stosowane do doprowadzania i wyprowadzania sygnałów do azuru umiejscowionego w obudowie układu scalonego przedstawiono w DO-DATKU 2.



### 3.1. Inverter

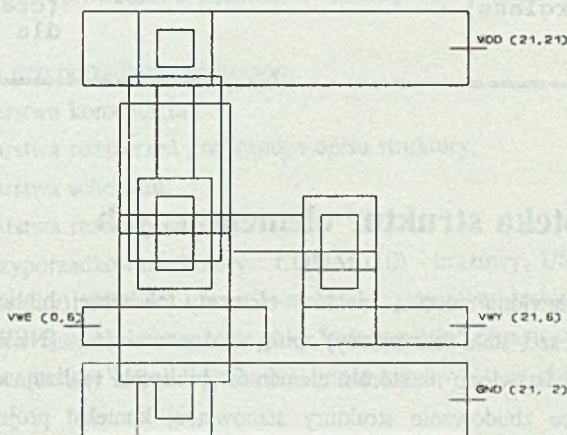
Inverter - 999 jest podstawową strukturą, na bazie której można wykonać proste wielowarstwowe elementy logiczne, np. NAND lub NOR.

Tu, podobnie jak dalej, nie zamieszczamy rysunku, na którym kreskowane są obiekty na różnych warstwach (por. DODATEK 1), wychodząc z założenia, że rysunki te mają charakter orientacyjny, gdyż pełną informację o strukturze można uzyskać z bazy danych lub na podstawie edycji (współrzędne, kolor, przełączanie/wyłączanie warstw).

Opis struktury w formacie CIF jest następujący:

(Inverter);DS 999 125/1;L ND;B 8 6 10,3;B 12 18 10,15;B 8 4 10,26;B 4 10 10, 33;B 8 8 10,42;B 8 8 28,22;B 8 4 20,22;L NI;B 10 20 10,29;L NP;B 20 4 10,12; B 12 14 10, 29;B 8 10 28,15;B 10 4 37,12;L NC;B 4 4 10,4;B 4 8 10,22; B 4 4 10,42;B 4 8 28,20;L NM;B 42 8 21,4;B 8 12 28,20;B 8 12 10,22; B 42 8 21,42;DF;

Zbiórca wydruk maski przedstawiono na rys. 2.



Rys. 2. Zbiórca wydruk maski struktury Inverter  
Fig. 2. Collected mask layout for Inverter structure

### 3.2. Rozbudowane struktury biblioteczne

Biblioteka struktur podstawowych, na podstawie których można realizować rozbudowane układy, zawiera struktury typu pól kontaktowych dystansowych, doprowadzenia



zasilania, wejść buforowanych, formowania impulsów, nazwanych odpowiednio: PadBlank (202), PadGnd (206), PadVdd (207), PadIn8 (280), PadClock (209), następnie struktury elementów jednostki arytmetyczno-logicznej (ALU bit-slice, sumatory, subtraktory, bufor, układy sterujące), układy zegarowe, struktury ramy głównej, liczniki, elementy struktur PLA, elementy coprocesorów arytmetycznych, odpowiednie układy sterowania, układy logiczne oraz całą grupę struktur kontaktowych związanych z realizacją magistral.

Biblioteka ta jest rozbudowywana dla struktur nMOS oraz CMOS, przy czym ustalono format elementów katalogu struktur dla organizacji bazy danych. Przyjęto, że każda struktura reprezentowana jest przez nazwę katalogową wraz z ośmioma parametrami określającymi: numer symbolu DS, odnośnik wydruku obrazu struktury, odnośnik opisu (dane źródłowe, wyniki pomiarów), identyfikator schematów, identyfikator danych geometrycznych o wejściach, wyjściach, szerokości ścieżek i gabarycie oraz trzy identyfikatory określające odpowiednio nazwę pliku opisu struktury, komentarza 1, wreszcie komentarza 2, stanowiąc wielotomowy katalog, którego tomy zawierają podstawowe dane dla prezentacji i manipulacji strukturami na omówionych wcześniej poziomach abstrakcji opisu.

## 4. Projektowanie struktur ASIC

W przedstawianym stylu projektowania przygotowywanie nowych projektów związane jest z ciągłą pracą nad rozbudowywaniem i modernizowaniem biblioteki.

Przyjęto taki sposób projektowania, aby biblioteka rozwijała się sukcesywnie w górę (rozbudowywanie struktur).

Szczególnie cenne są te elementy i układy biblioteki, które w przeszłości były zrealizowane i których dokładne parametry pomierzono. Modyfikację elementów w kierunku ich kompresji prowadzi się z zachowaniem zdefiniowanych reguł projektowych konstrukcyjnych i elektrycznych dla założonego w danej realizacji technologii parametru  $\lambda$ . Te same reguły zresztą muszą być spełnione w przypadku edycji związanej z wykonywaniem połączeń pomiędzy elementami projektu. Ostatnie dwa przypadki zwykle wymagają stosowania dodatkowych programów analizujących nowe sytuacje.

Wymiana danych na drodze projekt/biblioteka może (choć nie musi) wymagać stosowania translatorów formatów zapisu struktur (efektywne dla zajętości pamięci jest przechowywanie informacji w formacie CIF z wykorzystywaniem komend C z transformacjami).

Stosuje się dwa sposoby realizacji projektów:



1. Dla większych projektów można wykorzystać z góry przygotowaną strukturę stanowiącą ramę projektu (jako przykład przedstawioną w pkt. 4.2 i nazwaną Main-frame) zawierającą zestaw standardowych pól kontaktowych wraz ze ścieżkami rozprowadzającymi zasilanie. W tym przypadku przyjmuje się, że po pocięciu płytki krzemowej zaprojektowana struktura stanowić będzie indywidualny chip.
2. Dla kilku małych projektów utworzyć multiprojekt chipu. W tym przypadku każdy z projektów zawiera niezbędne pola kontaktowe, a projekty rozmieszcza się tak, aby po pocięciu płytki krzemowej multiprojekt stanowił także indywidualny chip.

Struktura otaczająca projekt umożliwia wykonanie połączeń z wyprowadzeniami obudowy.

Dla struktur ASIC są to zwykle konstrukcje obudów typu PGA (Pin Grid Array) zawierające dodatkowe warstwy sieci przewodzących (wewnętrzny ażur) doprowadzonych do nóżek, standardowe obudowy typu DIP (Dual in Line Package), obudowy typu LCC (Leadless Chip Carrier) z punktami kontaktowymi na krawędzi obudowy lub SO/SOJ (Small-Outline/Small-Outline J-leaded) do montażu powierzchniowego [COHE1, STA1].

We wszystkich tych przypadkach pola kontaktowe na płycie krzemowej trzeba umieszczać obwodowo, z zachowaniem określonego modułu (np. 100λ) dla automatycznego zgrzewania i kontaktu z testującymi sondami ostrzowymi.

Projekt postępuje poprzez umieszczanie elementów bibliotecznych, jak wspomniano wyżej, w obszarze objętym przez pole projektowe (kontekst, por. 4.2), łączenie ręczne lub autoruterem ścieżek doprowadzających lub odprowadzających sygnały do lub od umieszczonych struktur.

W trakcie projektowania wprowadzać można zupełnie nowe struktury budowane na bazie dostępnych w tej technologii struktur tranzystora MOS wzbogaconego i zubożonego (por. DODATEK 1). Zwykle elementem poddawanym edycji w celu uzyskania nowych rozwiązań funkcyjnych jest podstawowa bramka - inwerter (rys. 6b).

Projektant nie jest ograniczony w tworzeniu nowych układów od podstaw, musi jedynie przestrzegać reguł projektowania (por. pkt. 4.1).

Translacja formatu DXF na format CIF i odwrotnie oparta jest na specjalizowanych programach translatorów [PAWL1, ZNAM2, ZNAM4].

#### 4.1. Reguły projektowania (geometryczne)

Projektowanie struktur, ich edycja i modyfikacja wymaga spełnienia kilku zasad zapewniających poprawną realizację w procesie technologicznym. Dla ustalonych paramet-



rów procesu zbioru zasad zwanych geometrycznymi regułami projektowania zapewnia uzyskanie projektów poprawnych w zakresie geometrii.

Należy prócz tego dokonać sprawdzenia i ewentualnych korekt dla parametrów elektrycznych [MEAD1], co czasem wymaga korekty geometrycznej (zresztą wymagania te nie pozostają w sprzeczności, a ceną jest jedynie mniejsze upakowanie).

Reguły projektowania zebrano na rys. 3, przedstawiając je jako parametry wymiarowania, które należy odczytywać jako wartości minimalne.

Reguły dla projektowania tranzystorów przedstawiono na rys. 3e, f oraz g, natomiast sytuację i odległości krytyczne-minimalne, w przypadku gdy należy wykonać połączenie pomiędzy większymi obszarami metalu i dyfuzji, przedstawiono na rys. 3d, natomiast regułę "przejścia" dyfuzja-polikrzem na rys. 3c.

#### 4.1.1. Skalowanie struktur

Reguły projektowania wiążą się z problemami miniaturyzacji struktur. Tu należy zwrócić uwagę na pewne ograniczenia, jakie pojawiają się w przypadku tzw. skalowania struktur w celu ich dalszej miniaturyzacji.

Jeśli przez  $\alpha$  oznaczyć współczynnik skalowania określony relacją:

$$d' = d/\alpha$$

gdzie:

$d'$  - odległość po przeskalowaniu

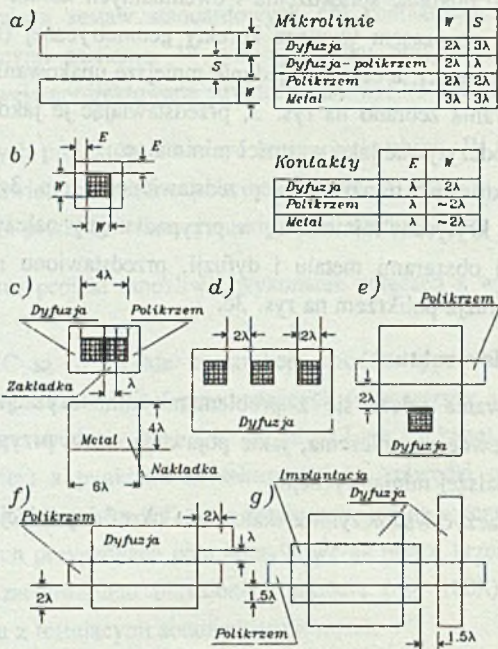
$d$  - odległość początkowa,

i przyjąć, że napięcie jest także skalowane w tym stosunku ( $V' = V/\alpha$ ), to czas propagacji (dla inwertera), pojemność wejściowa oraz prąd dren-źródło zmniejszają się  $1/\alpha$  krotnie, natomiast moc przełączania [ $\sim$  (pojemność wejściowa)  $\cdot$  (napięcie) $^2$  / (czas propagacji)] zmniejsza się  $1/\alpha^2$  krotnie.

Niekorzystna jest relacja dla gęstości prądu [ $\sim$  (prąd dren-źródło)/ $d^2$ ], wzrastająca  $\alpha$ -krotnie.

W przypadku pól kontaktowych przeskalowywanie wymaga przeprojektowania struktury i na ogół konieczne jest przeprowadzenie symulacji i eksperymentów (problem ten związany jest także z opracowywaniem nowych struktur pól kontaktowych dla przyjętego sposobu zgrzewania).

Skalowanie często wymaga uwzględnienia ograniczeń spowodowanych niemożnością zmniejszania napięć poniżej pewnej granicy [BARK1, FERR1, HOEN1], co ze zmianą geometrii powoduje wzrost mocy na jednostkę powierzchni, wywołuje niekorzystne zjawiska związane z elektromigracją, tunelowaniem (cienki tlenek bramki), a także zjawiska



Rys. 3. Reguły projektowania (proces nMOS)  
Fig. 3. Design rules (process nMOS)

związane ze sprzężeniami pojemnościowymi [ZNAM1] wieloliniowych występujących w rozbudowanych strukturach.

4.2. Struktury projektowe (przykład)

Realizowane aktualnie projekty umieszczane są [ZNAM2] w obrębie struktury zawierającej linie zasilające, pola (pady) do podłączenia sygnałów i zasilania do obudowy poprzez mikropołączenia drutowe zgrzewane (druć złoty lub aluminiowy).

Przedstawiony niżej przykład struktury standardowej MainFrame umożliwia wykorzystanie standardowych pól (doprowadzenia i wyprowadzenia sygnałów z projektowanego układu, a także wykorzystanie układu generującego dwie rozłączne fale impulsów φ1 (PHI1) i φ2 (PHI2) z sygnału zegara doprowadzonego z zewnątrz (PadClock). Struktura



ta stanowi ramę (kontekst) łączącą projektowany układ z obudową a ściślej z chip-carrirem.

#### 4.2.1. MainFrame (RamaGłówna)

Projekt MainFrame (RamaGłówna) zrealizowano przykładowo dwójako: korzystając z edycji graficznej i edycji tekstowej.

W pierwszym przypadku działania projektanta sprowadziły się do zrealizowania ciągu komend rysujących.

Komendy umiejscowienia elementów bibliotecznych realizuje się w następującej sekwencji:

Komenda	Nazwa bloku	Współrzędne punktu umiejscowienia bazy	Rotacja
INSERT	PadVdd (207)	0,150	0
INSERT	PadGnd (206)	300,1450	180
INSERT	PadGnd (206)	1050,1200	90
INSERT	PadOut4 (204)	1050,1100	90
INSERT	PadOut4 (204)	1050,1000	90
INSERT	PadOut4 (204)	1050,450	90
INSERT	PadOut4 (204)	1050,350	90
INSERT	PadOut4 (204)	1050,250	90
INSERT	PadOut4 (204)	1050,150	90
INSERT	PadBlank (202)	400,1450	180
INSERT	PadBlank (202)	600,1450	180
INSERT	PadBlank (202)	700,1450	180
INSERT	PadClock (209)	500,1450	180
INSERT	PadOut4 (204)	800,1450	180
INSERT	PadOut4 (204)	900,1450	180
INSERT	PadIn8 (280)	0,350	-90
INSERT	PadIn8 (280)	0,550	-90
INSERT	PadIn8 (280)	0,1200	-90
INSERT	PadIn4 (205)	0,450	-90
INSERT	PadIn4 (205)	0,1100	-90
INSERT	PadIn4 (205)	0,1300	-90
INSERT	PadIn8 (280)	300,0	0
INSERT	PadIn4 (205)	200,0	0
INSERT	PadIn4 (205)	400,0	0
INSERT	PadVdd (207)	900,0	90
INSERT	PadIn4 (205)	500,0	0
INSERT	PadIn4 (205)	600,0	0
INSERT	PadIn4 (205)	700,0	0,

natomiast pozostałe elementy ramy wprowadzamy korzystając z prymitywu graficznego TRACE (ściślej, komendy TRACE generującej wymagany prymityw):

Nazwa warstwy	Komenda	Szerokość ścieżki	Współrzędne punktu wyznaczającego początek ścieżki	Współrzędne punktu wyznaczającego koniec ścieżki
L ND	TRACE	4	128,255	156,255
L ND	TRACE	4	156,455	128,455
L ND	TRACE	4	156,1105	128,1105
L NC	TRACE	2	129,255	131,255
L NC	TRACE	2	129,455	131,455
L NC	TRACE	2	129,1105	131,1105
L NM	TRACE	16	795,98	960,98
L NM	TRACE	16	952,152	952,90
L NM	TRACE	8	1046,152	1046,0
L NM	TRACE	8	1050,4	898,4
L NM	TRACE	8	1046,1002	1046,548
L NM	TRACE	16	952,548	952,1002
L NM	TRACE	16	952,1298	952,1360
L NM	TRACE	16	960,1352	898,1352
L NM	TRACE	8	898,1446	1050,1446
L NM	TRACE	8	1046,1450	1046,1298
L NM	TRACE	8	202,1446	0,1446
L NM	TRACE	8	4,1298	4,1450
L NM	TRACE	16	98,1298	98,1360
L NM	TRACE	16	90,1352	202,1352
L NM	TRACE	8	4,1002	4,548
L NM	TRACE	16	98,548	98,1002
L NM	TRACE	8	4,152	4,0
L NM	TRACE	8	0,4	204,4
L NM	TRACE	16	144,0	144,1340
L NM	TRACE	1	1010,30	1030,30
L NM	TRACE	1	1020,20	1020,40
L NM	TRACE	1	20,1420	40,1420
L NM	TRACE	1	30,1410	30,1430.

Wydruk zbiorczy projektu MainFrame przedstawiający rozmieszczenie mikrolinii VDD, GND oraz zbioru struktur Pad na powierzchni płytki krzemowej przedstawiono na rys. 4.

Dla jednostek formatu DXF (czyli jednostki  $\lambda$ ) struktura ta jest opisana zawartością prostokątnego pola, w którym lewy dolny punkt narożny struktury ma współrzędne (0.0,-0.0), natomiast skrajny, prawy górny narożny punkt (1050.0, 1450.0).



Drugi sposób realizacji projektu, to opracowanie tekstowego pliku CIF odwzorowującego pożądaną strukturę:

```
(PadIn4);DS 205 125/1;L ND;B 4 192 14,116; ..... B 92 92 100,106;DF;
(PadIn8);DS 280 125/1;L ND;B 8 8 16,226; ..... B 92 92 100,106;DF;
(PadOut4);DS 204 125/1;L ND;B 16 54 8,239; ..... B 92 92 100,106;DF;
(PadBlank);DS 202 125/1;L NM;B 200 16 100,8; ..... B 92 92 100,106;DF;
(PadVdd);DS 207 125/1;L NM;B 16 200 8,100; ..... B 92 92 106 100;DF;
(PadGnd);DS 206 125/1;L NM;B 200 16 100,8; ..... B 92 92 100,106;DF;
(PadClock);DS 209 125/1;L ND;B 16 80 8,192; ..... B 92 92 100,106;DF;
(MainFrame - RamaGłówna);DS 1000 125/1;C 207 T 0 300;C 280 R 0 -1 T 0,700;C 205
R 0 -1 T 0,900;C 280 R 0 -1 T 0,1100;C 205 R 0 -1 T 0,2200;C 280 R 0 -1 T 0,2400;C
205 R 0 -1 T 0,2600;C 206 R -1 0 T 600,2900;C 202 R -1 0 T 800,2900;C 209 R -1 0 T
1000,2900;C 202 R -1 0 T 1200,2900;C 202 R -1 0 T 1400,2900;C 204 R -1 0 T 1600,
2900;C 204 R -1 0 T 1800,2900;C 206 R 0 1 T 2100,2400;C 204 R 0 1 T 2100,2200;C
204 R 0 1 T 2100,2000;C 204 R 0 1 T 2100,900;C 204 R 0 1 T 2100,700;C 204 R 0 1
T 2100,500;C 204 R 0 1 T 2100,300;C 205 T 400,0;C 280 T 600,0;C 205 T 800,0;C
205 T 1000,0;C 205 T 1200,0;C 205 T 1400,0;C 207 R 0 1 T 1800,0;L ND; B 56 8
284,510;B 54 8 284,910;B 56 8 284,2210;L NC;B 4 4 260 510;B 4 4 260, 910;B 4 4
260,2210;L NM;B 330 32 1755,196;B 32 124 1904,242;B 16 304 2092,152;B 304 16
1948,8;B 16 908 2092,1550;B 32 908 1904,1550;B 32 124 1904,2658;B 124 32 1858,
2704;B 304 16 1948,2892;B 16 304 2092,2748;B 404 16 202,2892;B 16 304 8 2748;B 32
124 196,2658;B 224 32 292,2704;B 16 908 8,1550;B 32 908 196,1550;B 16 304 8,152;
B 408 16 204,8;B 32 2680 288,1340;B 40 2 60 2840;B 2 40 60 2840;B 40 2 2040 60;B 2
40 2040 60;DF;C 1000 T 0,0;E
```

a następnie po konwersji jednym z programów konwersji [PAWL1, ZNAM2], przetworzenie w plik o strukturze DXF, który w edytorze graficznym AutoCADa może być poddany edycji (dla dalszej realizacji projektu) w sposób graficzny.

Przy założonym parametrze  $\lambda = 2.5\mu$  struktura MainFrame zajmuje prostokąt o wymiarach około  $2.63 \times 3.63$  [mm].

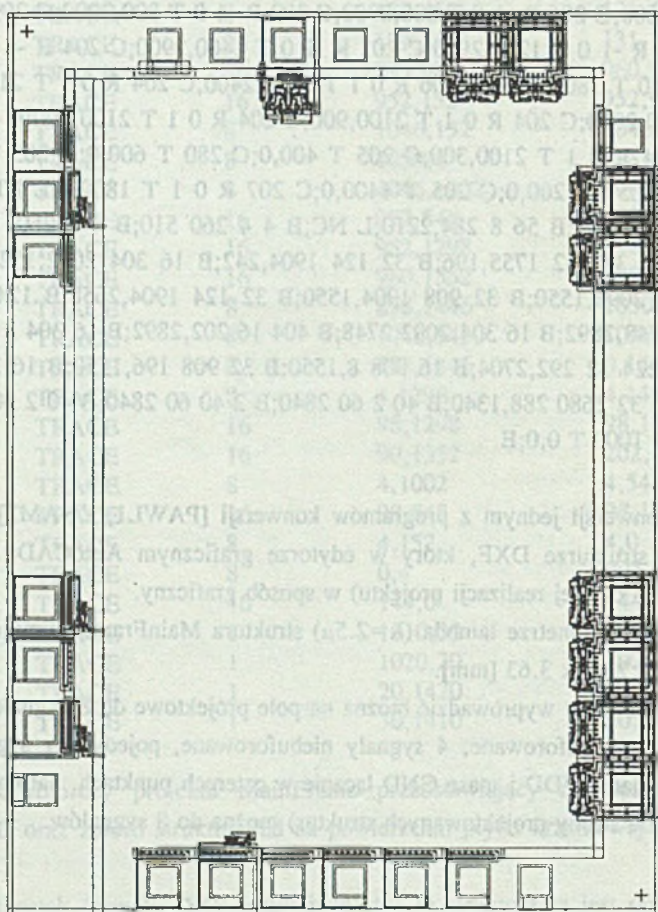
Przyjęto tu, że z ramy wyprowadzić można na pole projektowe do 8 sygnałów generowanych przez bramki buforowane, 4 sygnały niebuforowane, pojedynczy sygnał zegara zewnętrznego, zasilanie VDD i masę GND łącznie w czterech punktach, natomiast doprowadzić do ramy (od strony projektowanych struktur) można do 3 sygnałów.



#### 4.2.2. Charakterystyka stosowanych narzędzi programowych

Maksymalna liczba warstw, które mogą być stosowane w edytorze graficznym, praktycznie nie jest ograniczona, a tym samym w opisie CIF nie ma takiego ograniczenia, natomiast ograniczenia pamięci wnosi proces translacji. Problem wynika z tego, że oba formaty zawierają odwołania wewnątrz pliku, co utrudnia transformowanie plików po jednym elemencie bez konieczności tworzenia listy elementów pliku w pamięci.

Opisy masek układów scalonych zawierają przeważnie elementy Box (format CIF) i TRACE (format DXF). Podczas translacji zajętość pamięci dla jednego elementu maski,



Rys. 4. Wydruk zbiorczy maski struktury MainFrame (RamaGłówna)

Fig. 4. Collected mask layout for MainFrame (RamaGłówna) structure



tn. zajętość pamięci dla jednego elementu Box i jednego TRACE wynosi 30 bajtów i odpowiednio 74 bajty. Przewidując istnienie nagłówka pliku DXF, niezbędne komentarze w plikach opisu struktur, można powiedzieć, że pamięć o wielkości 8 MB umożliwia translację plików opisujących maski zawierające około 75000 Boxów. Należy tu jednak pamiętać, że przytoczone wyżej liczby są tylko oszacowaniem, rzeczywiste ograniczenie na ilość elementów w pliku będzie zależało od sposobu zapisu rysunku w pliku (możliwość wywołań symboli) i od wybranego sposobu konwersji. Korzystanie z mechanizmu wywołań symboli dla formatu CIF oraz wywołań bloków dla formatu DXF w sposób decydujący zwiększa liczbę Boxów i TRACEów które mogą wystąpić w przetwarzanych plikach.

Dla przedstawionego projektu struktury MainFrame (RamaGłówna) czas translacji formatów plików CIF oraz DXF na komputerze Boldline 386SX16 wyniósł około 10 sekund. Długości plików związanych z przykładem wynosiły odpowiednio:

DXF - 80906 bajtów oraz CIF - 9834 bajtów.

## 5. Podsumowanie

Przedstawiona w pracy technika generacji masek struktur ASIC oparta na powszechnie dostępnych środkach programowych, bibliotece struktur sprawdzonych, efektywnych formatach opisu struktur, a także sprawdzonych elementach strategii projektowania, do których zaliczyć należy: przyjęty kontekst projektu, sformalizowane reguły konstrukcyjne, komfort projektanta przy rozplanowaniu projektu w wielowarstwowej barwnej przestrzeni projektowej, możliwość edycji od strony opisu struktury w plikach CIF, pozwala z natury złożone zagadnienie projektowania najistotniejszej części układu scalonego, jakim jest struktura, sprowadzić do zagadnienia wykonalnego środkami niekoniecznie najwyższej specjalizowanymi, w rozsądnym czasie.

Należy jednakże też wspomnieć o tym, że w znacznie rozbudowanych projektach struktur, gdy edycja realizowana jest "ręcznie", mimo uwagi projektanta, wystąpią błędy. Liczba tych błędów jest bardzo mała, jednak są one trudno wykrywalne, dlatego efektywność pracy projektanta znacznie podnosi wprowadzenie programowej weryfikacji geometrycznych reguł projektowania (np. jako programu post-procesora dla pliku CIF) oraz zastosowanie programów ekstrakcji schematu elektrycznego.

Oczywiście, w przypadku ogólnym projektowania struktur, system oprogramowania musi być wyposażony w narzędzia efektywnej weryfikacji [NEWT1, KUZM3], tym niemniej projektowanie struktur ASIC (biblioteka standardowych komórek sprawdzonych,



edycja sprowadzająca się głównie do realizacji połączeń między elementami bibliotecznymi) nie musi być domeną wysoce profesjonalnego środowiska.

Wyraźne rozdzielenie projektowania od wykonania przez przyjęcie czytelnych reguł "interfejsu" projektant - Silicon Foundry, umożliwiło tworzenie organizacji typu MOSIS, EUROCHIP realizujących projekty dopełniające tych reguł.

Podsumowując, można zauważyć, że przyjmując przedstawiony styl projektowania można "na już" realizować projekty struktur ASIC (oczywiście z podanymi wcześniej ograniczeniami), a w krótkim czasie po odpowiednim rozbudowaniu biblioteki, projektować układy o rozbudowanych funkcjach. Należy jeszcze dodać, że możliwość efektywnego projektowania dla przyjętego modelu technologii [MEAD1] (uwagi dotyczące wyboru technologii, dla której zilustrowano strategię generacji masek, przedstawiono w p.2) pozwala łatwiej precyzować cele i wybór środków w nieprawdopodobnym gąszczu narzędzi programowych komputerowego wspomagania projektowania struktur z jednej strony [ASIC1], natomiast z drugiej pozwala usystematyzować obraz złożonych technologii i reguł projektowania z nimi związanych [MALY1].

## 6. DODATEK 1 - Technologia nMOS

Technologia ta charakteryzuje się możliwością uzyskiwania struktur o bardzo dużym scaleniu, o dużej szybkości przełączania i prostych procesach technologicznych. Zbierzmy kilka cech charakteryzujących tę technologię z punktu widzenia projektanta.

Jako podstawowy przyrząd wykorzystywany jest tranzystor MOSFET z kanałem typu n. Przekrój tranzystora wykonanego w technice planarnej przedstawiono na rys. 5a. Jest to struktura symetryczna ukształtowana na powierzchni substratu (podłoża) z wyprowadzeniami elektrycznymi, które można prowadzić z warstwy *podłoża* z *obszaru dyfuzji  $n^+$* , z warstwy *krzemu polikrystalicznego (polikrzemu)* z którego jest ukształtowana bramka lub z warstwy *metalizacji (metal)*. Na rysunku 5a przedstawiono przekrój struktury tranzystora, dla którego przy odpowiednim ukształtowaniu linii sygnałowej można doprowadzić napięcia z warstwy metalizacji do źródła (S), drenu (D) i bramki (G), z warstwy polikrzemu do G wreszcie z warstwy dyfuzji do S i D.

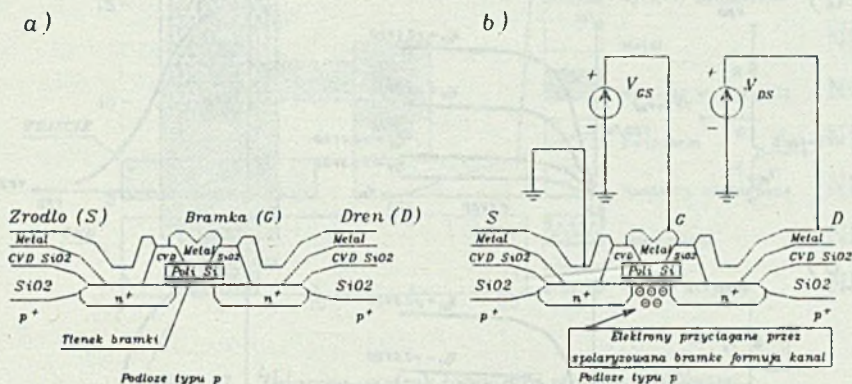
Jak widać, w technologii tej występują trzy warstwy, na których możliwe jest ciągnięcie połączeń.

Spolaryzowany tranzystor MOS przedstawiono na rys. 5b.



Obciążając taki tranzystor rezystancją  $R$  przy odpowiedniej polaryzacji elektrod tranzystora, otrzymujemy układ inwertera (fundamentalny element struktur) o charakterystykach statycznej i przejściowej pokazanych na rys. 6a.

W praktyce znacznie redukuje się duży obszar zajmowany przez obciążenie tranzystora ( $R$  - rys. 6a) wprowadzając jako obciążenie tranzystora  $T1$  (rys. 6b) tranzystor  $T2$  o charakterystyce kształtowanej odpowiednio przez procesy technologiczne realizowane



Rys. 5. Przekrój przez strukturę tranzystora MOSFET z kanałem typu n:

a) układ niespolaryzowany, b) z dodatnią polaryzacją bramki i drenu

Fig. 5. Cross section of n-Channel MOSFET:

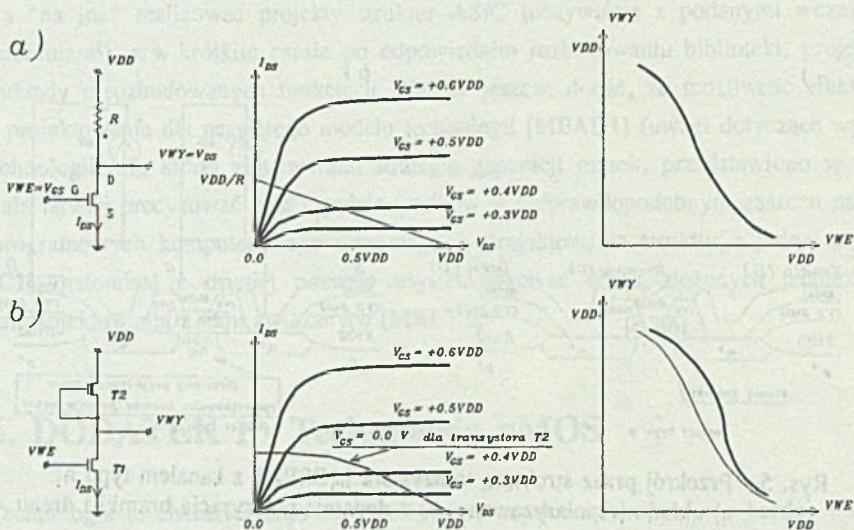
a) Unbiased, b) With positive gate and drain bias

w czasie fabrykacji tranzystora w obszarze kanału (implantacja). Powoduje to przesunięcie napięcia progowego tranzystora  $T2$  w obszar napięć ujemnych i dla napięcia  $V_{GS}=0$  V (zwarcię bramki ze źródłem) tranzystor ten stanowi nieliniowe obciążenie wprowadzone w miejsce rezystora  $R$  dając w efekcie inwerter o małej geometrii. Odpowiednie charakterystyki przedstawiono na rys. 6b. Można zauważyć, że dzięki nieliniowości charakterystyki  $I_{DS}=f(V_{GS})$  dla  $V_{GS}=0$  [V], charakterystyka przejściowa bramki inwertera jest lepsza niż dla obciążenia liniowego  $R$  przy bardzo znacznej redukcji obszaru zajmowanego przez bramkę.

Inwerter przedstawiony na rys. 6b ma swoją reprezentację topograficzną. Na rys. 7, przedstawiono czarno-białą reprezentację topografii inwertera. Wzajemne zależności geometryczne dla celów wizualizacji zwykle wystarczy przedstawić w formie rzutu zbiorczego obrazu struktury. Przykładowo, rzut zbiorczy dla struktury Inwertera przedstawiono na rys. 2.. W dalszym ciągu rzut zbiorczy będziemy też nazywać zbiorczym wydrukiem

maski struktury. Obrazuje on rzut na płaszczyznę wszystkich struktur typu Box zawartych w opisie symbolu określającego definiowaną strukturę w formacie CIF [ZNAM4].

Dla przyjętego typu technologii, w tym przypadku technologii planarnej nMOS, procesy technologiczne realizowane są w obszarach powierzchni (wysokość bramki krzemowej wynosi około  $0.6 \mu\text{m}$ , głębokość dyfuzji około  $0.5 \mu\text{m}$  - zaś dla płytki krzemowej



Rys. 6. Inwerter i jego charakterystyki statyczne:

- Inwerter z obciążeniem typu rezystor (R),
- Inwerter z obciążeniem typu zubożony MOSFET (T2)

Fig. 6. Static characteristics of inverter:

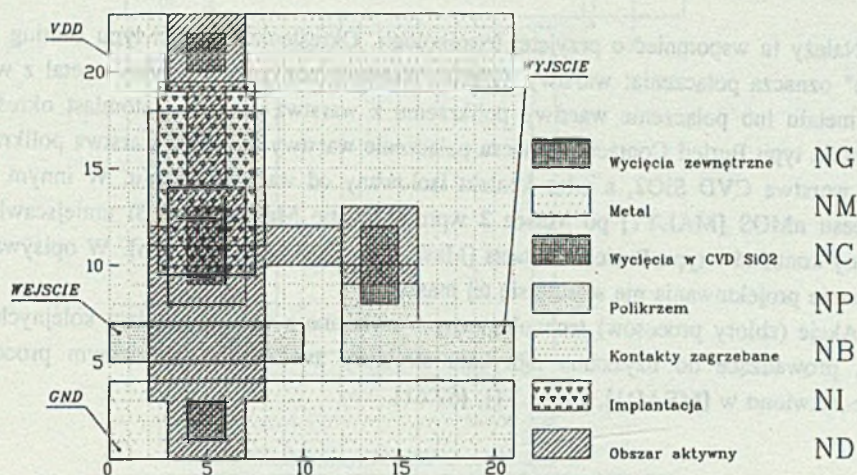
- Resistor-load (R) inverter,
- Depletion-MOSFET-load (T2) inverter

grubość wynosi około  $400 \mu\text{m}$ ), wyznaczonych kształtami geometrycznymi przygotowanymi przez projektanta (w praktyce noszących nazwę masek projektowych lub krótko masek), mającymi na celu umiejscowienie procesu przebiegającego globalnie względem płytki krzemowej zawierającej powielone projekty struktury.

W wyniku zastosowania procesów dla kolejnych masek realizowane są "technologiczne obrazy" masek na powierzchni płytki krzemowej, mające utworzyć projektowane przyrządy półprzewodnikowe i elementy struktur. Zbiór procesów technologicznych u określonego producenta (Silicon Foundry) związanych z daną maską, jest zestawiany różnie, ale



w rezultacie musi realizować "technologiczne obrazy" masek. Na rys. 7 przedstawiono maski struktury Inverter (odpowiednio je zakreśkowując) na wspólnym wydruku.



Rys. 7. Zbiorczy wydruk topografii struktury Inverter  
Fig. 7. Layout for Inverter structure

Zakładając, że kolejne maski związane z określoną sekwencją procesów zrealizują projekt, przyjęto dla wskazanego typu technologii (nMOS, wzbogacony tranzystor z dodatnim napięciem progowym, zubożony tranzystor z ujemnym napięciem progowym) [MEAD1, MALY1, NEWK1, ZNAM2] zestaw masek (masek projektowych umiejscowionych na odpowiednich warstwach projektowych):

- 1). **Maska 1** - wyznaczająca rejon aktywny - określająca także rejon dyfuzji (ND - kolor zielony). [Maska ta nosi nazwę maski dyfuzji].
- 2). **Maska 2** - wyznaczająca rejon implantacji (NI - kolor żółty). [Maska implantacji zubażającej (depletion)].
- 3). **Maska 3** - Polikrzem (krzem polikrystaliczny)(NP - kolor czerwony). [Maska polikrzemu].
- 4). **Maska 4** - Kontakty/Wcięcia w CVD SiO<sub>2</sub>, maska wyznaczająca rejony wycięć w celu umiejscowienia kontaktów typu Butting Contacts (NC - kolor biały [monitor]/kolor czarny [plotter]). [Maska kontaktów].
- 5). **Maska 5** - Metal (NM - kolor niebieski). [Maska metalizacji].



- 6). **Maska 6** - Wycięcia zewnętrzne wyznaczające rejony wycięć dla wyprowadzeń elektrycznych z powierzchni płytki (J4G - kolor biały [monitor] / kolor czarny [plotter]). [Maska pasywacji].

Należy tu wspomnieć o przyjętej terminologii. Określenie "kontakt typu Butting Contacts" oznacza połączenia: warstwy dyfuzji z warstwą polikrzemu poprzez metal z warstwy metalu lub połączenie warstwy polikrzemu z warstwą metalu. Natomiast określenie "kontakt typu Buried Contacts" oznacza połączenie warstwy dyfuzji z warstwą polikrzemu pod warstwą CVD SiO<sub>2</sub>, a więc kontakt izolowany od warstwy metalu. W innym typie procesu nMOS [MALY1] po Masce 2 wprowadza się Maskę 2a (NB) umiejscawiającą rejony kontaktów typu Buried Contacts [Maska kontaktów zagrzebanych]. W opisywanym systemie projektowania nie stosuje się tej maski.

Akcje (zbiory procesów) technologicznych związane z wykorzystaniem kolejnych masek, prowadzące do uzyskania fabrykatu struktury związane z opisywanym procesem, przedstawiono w [MEAD1], [MALY1], [SZE1].

## 7. DODATEK 2 - Przykłady padów (struktur kontaktowych)

### 7.1. PadIn4

PadIn4 - 205 jest strukturą doprowadzenia sygnału (poziom TTL).

Opis struktury w formacie CIF jest następujący:

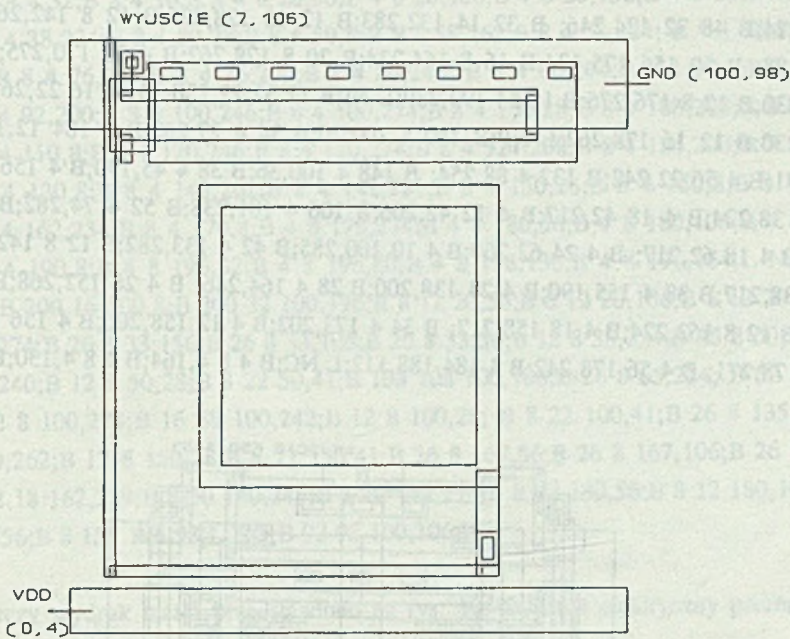
```
(PadIn4);DS 205 125/1;L ND;B 4 192 14,116;B 134 4 81,22;B 16 26 22,185;
B 154 36 105,186;B 8 16 150,28;L NP;B 150 4 93,178;B 150 4 93,192;B 8 8 22,204;
B 4 10 20, 173;B 4 16 20,200;B 4 14 166,185;L NC;B 4 4 22,204;B 8 4 36,200;
B 8 4 56,200; 8 4 76,200;B 8 4 96,200;B 8 4 116,200;B 8 4 136,200;B 4 8 150,30;
B 8 4 156,200;B 8 4 176,200; L NM;B 200 16 100,8;B 200 32 100,196;
B 108 108 100,106;B 8 34 150,41;L NG;B 92 92 100,106;DF;
```

Zbiorczy wydruk maski przedstawiono na rys. 8. Schemat elektryczny realizowany przez maskę struktury PadIn4 przedstawiono na rys. 9.

### 7.2. PadOut4

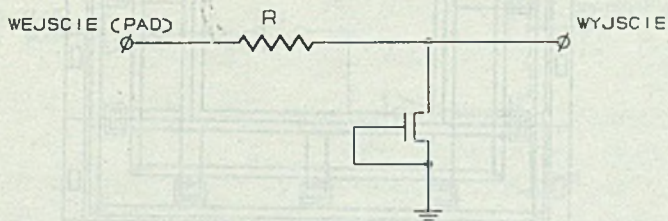
PadOut4 - 204 jest to struktura wyprowadzenia sygnałów (poziom TTL).





Rys. 8. Zbiorczy wydruk maski struktury PadIn4  
Fig. 8. Collected mask layout for PadIn4 structure

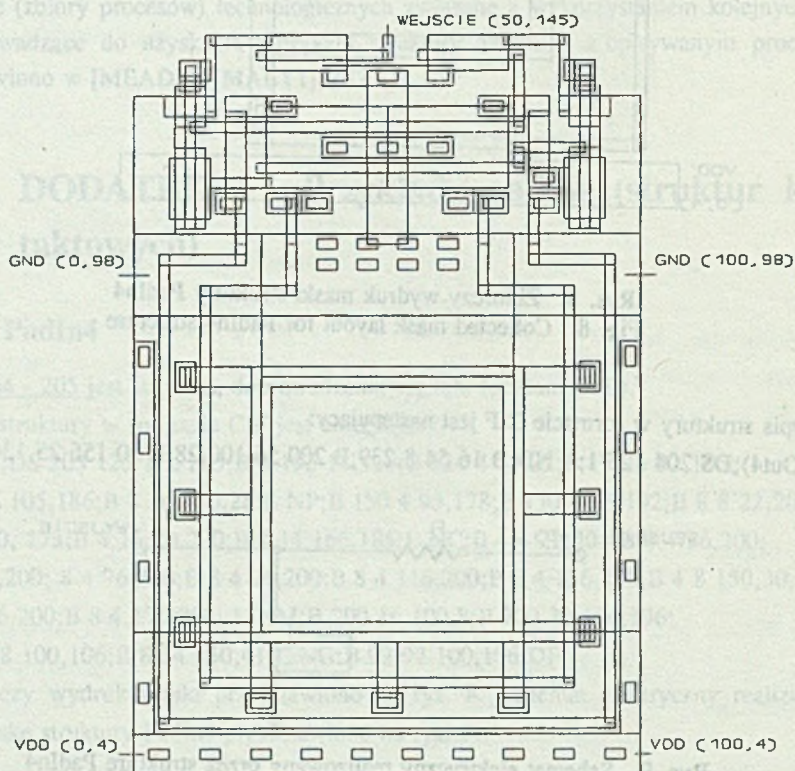
Opis struktury w formacie CIF jest następujący:  
(PadOut4);DS 204 125/1;L ND;B 16 54 8,239;B 200 56 100,28;B 50 156 25,134;B 20 8



Rys. 9. Schemat elektryczny realizowany przez strukturę PadIn4  
Fig. 9. Electric diagram for PadIn4 structure

22,262;B 16 24 22,230;B 12 8 24,276;B 4 30 30,275;B 24 4 42,232;B 24 4 42,288;B  
100 56 100,184;B 48 32 76,246;B 32 14 68,283; B 12 8 58,262;B 12 10 72,225;B 52 8

100,274;B 48 32 124,246; B 32 14 132,283;B 12 10 128,225;B 12 8 142,262;B 24 4 158,288; B 50 156 175,134;B 16 8 164,234;B 20 8 178,262;B 4 30 170,275; B 16 24 178,230;B 12 8 176,276;B 16 54 192,239;L NI;B 12 32 22,230; B 12 16 22,262;B 12 32 178,230;B 12 16 178,262;L NP;B 180 4 100,20;B 34 4 27,202;B 4 184 12,112;B 8 6 22,271;B 4 56 22,242;B 132 4 88,254; B 148 4 100,36;B 38 4 45,190;B 4 156 28,114;B 12 8 38,224;B 4 18 42,217;B 4 12 42,206;B 106 4 101,238;B 52 4 74,282;B 12 8 58,224;B 4 18 62,217; B 4 24 62,200;B 4 10 100,285;B 42 4 133,282;B 12 8 142,224; B 4 18 138,217;B 38 4 155,190;B 4 24 138,200;B 28 4 164,246; B 4 28 152,268;B 4 8 152,242;B 12 8 162,224;B 4 18 158,217; B 34 4 173,202;B 4 12 158,206;B 4 156 172,114;B 8 6 178,271; B 4 56 178,242;B 4 184 188,112;L NC;B 4 8 4,164;B 4 8 4,130;B 4 8



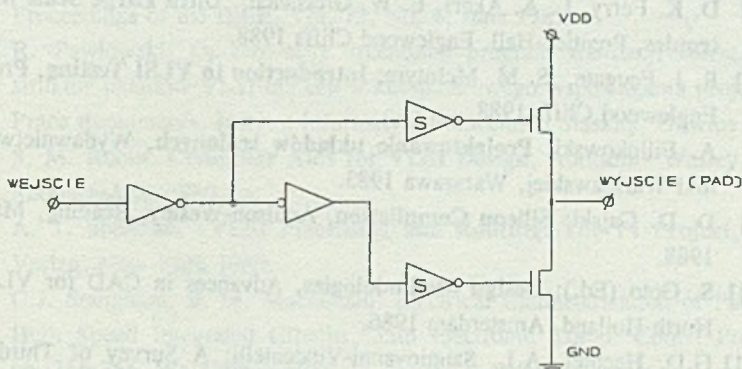
Rys. 10. Zbiórca wydruk maski struktury PadOut4

Fig. 10. Collected mask layout for PadOut4 structure



4,80;B 4 8 4,32;B 8 4 10,8;B 4 8 20,56;B 4 8 20,106;B 4 8 20,156;B 4 8 22,274;B 8 4 30,8;B 8 4 38,224;B 8 4 50,28;B 8 4 50,8;B 8 4 58,262;B 8 4 58,224; B 8 4 70,8;B 8 4 72, 224;B 8 4 76,208;B 8 4 76,200;B 8 4 80,246; B 8 4 80,274;B 8 4 90,8;B 8 4 92, 208;B 8 4 92,200;B 8 4 100,246;B 8 4 100,274;B 8 4 100,28;B 8 4 108,208;B 8 4 108, 200;B 8 4 110,8;B 8 4 120,246;B 8 4 120,274;B 8 4 124,208;B 8 4 124,200;B 8 4 128, 224;B 8 4 130,8;B 8 4 142,262;B 8 4 142,224;B 8 4 150,28;B 8 4 150,8;B 8 4 162, 224;B 8 4 162,234;B 8 4 170,8;B 4 8 178,274;B 4 8 180,56;B 4 8 180,106;B 4 8 180, 156;B 8 4 190,8;B 4 8 196,32;B 4 8 196,80;B 4 8 196,130;B 4 8 196,164;L NM;B 8 1544,93;B 200 16 100,8;B 200 32 100,196;B 8 12 20,56;B 8 12 20,106;B 8 12 20,156;B 8 12 22,274;B 26 8 33,156;B 26 8 33,106;B 26 8 33,56;B 12 8 38,224;B 28 8 50,262; B 8 40 40,240;B 12 8 50,28;B 8 22 50,41;B 108 108 100,106;B 26 8 65,224; B 52 8 100, 246;B 52 8 100,274;B 16 68 100,242;B 12 8 100,28; B 8 22 100,41;B 26 8 135,224;B 28 8 150,262;B 12 8 150,28;B 8 22 150,41;B 26 8 167,56;B 26 8 167,106;B 26 8 167, 156;B 12 18 162,229;B 8 30 160,245;B 8 12 178,274;B 8 12 180,56;B 8 12 180,106;B 8 12 180,156;B 8 154 196,93;L NG;B 92 92 100,106;DF;

Zbiór wydruk maski przedstawiono na rys. 10. Schemat elektryczny prezentujący działanie struktury PadOut4 przedstawiono na rys. 11.



Rys. 11. Schemat elektryczny realizowany przez strukturę PadOut4  
Fig. 11. Logic diagram for PadOut4 structure

Inwerter oznaczony symbolem S jest symetryzującym driverem tranzystora wyjściowego zwanym superbuforem [MEAD1].

## LITERATURA

- [BARB1] M. R. Barbacci: Instruction Set Processor Specifications (ISPS): The Notation and Its Application, IEEE Transactions on Computers, Vol. C-30, No. 1, January 1981.
- [BARK1] J. R. Barker, D. K. Ferry: On Physics and Modeling of Small Semiconductor Devices - I. Solid-State Electronics, Vol. 23, No. 6-A, pp. 519-530, Pergamon Press 1980.
- [BULL1] M. L. Buller: Thermal Transients in Electronic Packages, IEEE Transactions on Components, Hybrid and Manufacturing Technology, Vol. CHMT-3, No. 4, December 1980.
- [COHE1] C. L. Cohen: Japan's Packaging Goes World Class, Electronics, Vol. 58, No. 45, Nov. 11, 1985.
- [DESZ1] J. Deszczka, W. Mały, J. Wierzbicki: Symulacja odwzorowań topologii układu scalonego MOS na powierzchni płytek krzemowych, Prace Instytutu Technologii Elektronowej CEMI, z. 1, s. 35-80, PWN, Warszawa 1986.
- [DUTT1] R. W. Dutton: Data Requirements and Program Interfaces for Simulating Integrated-Circuit Technology, IEEE Electro-Technology Review 1984.
- [DUVA1] S. G. Duvall: An Interchange Format for Process and Device Simulation, IEEE Transactions on Computer-Aided Design, Vol. 7, No. 7, July 1988.
- [EINS1] N. G. Einspruch (Ed.): VLSI Handbook, Academic Press New York 1985.
- [FERR1] D. K. Ferry, L. A. Akers, E. W. Greeneich: Ultra Large Scale Micro-electronics, Prentice-Hall, Englewood Cliffs 1988.
- [FEUG1] R. J. Feugate, S. M. McIntyre: Introduction to VLSI Testing, Prentice Hall, Englewood Cliffs 1988.
- [FILI1] A. Filipkowski: Projektowanie układów scalonych, Wydawnictwa Politechniki Warszawskiej, Warszawa 1983.
- [GAJS1] D. D. Gajski: Silicon Compilation, Addison-Wesley, Reading, Massachusetts 1988.
- [GOTO1] S. Goto (Ed.): Design Methodologies, Advances in CAD for VLSI, Vol. 6, North-Holland, Amsterdam 1986.
- [HACH1] G.D. Hachtel, A.L. Sangiovanni-Vincentelli: A Survey of Third-Generation Simulation Techniques, Proceedings of the IEEE, Vol. 69, No. 10, October 1981.
- [HOEN1] B. Hoeneisen, C. A. Mead: Fundamental Limitations in Microelectronics - I. MOS Technology, Solid-State Electronics, Vol. 15, pp. 819-829, Pergamon Press 1972.
- [KOLO1] J. F. Kolodziejski: Problemy projektowania łatwo testowalnych układów scalonych, Prace Instytutu Technologii Elektronowej, z. 3, Warszawa 1985.



- [KOZM1] K. A. Koźmiński, A. Świt: Automatyzacja projektowania układów scalonych VLSI, Cz. I. Style i metody projektowania, Elektronika, Rok XXIX, nr. 1, styczeń 1988.
- [KRAS1] A. Kraśniewski: Projektowanie samotestowalnych układów cyfrowych wielkiej skali integracji, Wydawnictwa Politechniki Warszawskiej, Elektronika, z. 83, Warszawa 1989.
- [KUZM1] W. Kuźmicz: Projektowanie analogowych układów scalonych, WNT, Warszawa 1981.
- [KUZM2] W. Kuźmicz: Reguly projektowania i materiały pomocnicze do projektowania topografii układów scalonych CMOS w technologii ECPD15 (bramka 1.6  $\mu\text{m}$ ), Instytut Mikroelektroniki i Optoelektroniki, Politechnika Warszawska, Warszawa 1991.
- [KUZM3] W. Kuźmicz: Training in Custom VLSI Design on Apple Macintosh Computers, The Proceedings of the Second Eurochip Workshop on VLSI Design Training, 30 Sept.- 2 Oct., pp. 58-62, Grenoble 1991.
- [MALY1] W. Maly: Atlas of IC Technologies: An Introduction to VLSI Processes, The Benjamin/Cummings, Menlo Park 1987.
- [MEAD1] C. Mead, L. Conway: Introduction to VLSI Systems, Addison-Wesley, Reading, Massachusetts 1980.
- [NEWK1] J. A. Newkirk, R. Mathews: The VLSI Designer's Library, Addison-Wesley, Reading, Massachusetts 1983.
- [NEWT1] A. R. Newton, A. L. Sangiovanni-Vincentelli: CAD Tools for ASIC Design, Proceedings of the IEEE, Vol. 75, No. 6, June 1987.
- [PAWL1] R. Pawłowski: Opracować i uruchomić program translacji formatów opisu struktur układów VLSI dla celów komputerowego wspomaganie projektowania, Praca dyplomowa, Instytut Informatyki Politechniki Śląskiej, Gliwice 1991.
- [RUBI1] S. M. Rubin: Computer Aids for VLSI Design, Addison - Wesley, Reading, Massachusetts 1987.
- [SHER1] A. T. Sherman: VLSI Placement and Routing: The PI Project, Springer-Verlag, New York 1989.
- [STA1] C.J. Stangham, B. M. Macdonald: Electrical Characterization of Packages for High Speed Integrated Circuits, 35th Electronic Comp. Conf., Proceedings, pp. 356-364, Washington 1985.
- [SZE1] S. M. (Ed.): VLSI Technology, McGraw-Hill, New York 1983.
- [THOM1] D. E. Thomas: The Automatic Synthesis of Digital Systems, Proceedings of the IEEE, Vol. 69, No. 10, October 1981.
- [ZNAM1] L. Znamirowski: Computing Line Parameters from the Capacitance Measurements. Error Propagation Studies, in: O. A. Palusinski, M. Scheinfein, L. Znamirowski, J. C. Liao, F. Quintero, P. Teschan: Electrical Mode-

- ling/Simulation, VLSI Packaging and Interconnection Research, SRC Ann. Project Rev., University of Arizona, Tucson 1986.
- [ZNAM2] L. Znamirowski: Komputerowe wspomaganie projektowania struktur VLSI, Laboratorium 5, Laboratorium Komp. Systemów Aut. Prac. Inż., Instytut Informatyki, Pol. Śląska, Gliwice 1988.
- [ZNAM4] L. Znamirowski: Komputerowe wspomaganie kreślenia masek struktur ASIC (w tym Zeszyty).
- [MAVO1] J. Mavor, M. A. Jack, P. B. Denyer: **Introduction to MOS LSI Design**, Addison-Wesley 1983.
- [GLAS1] L. A. Glasser, D. W. Dobberpuhl: **The Design and Analysis of VLSI Circuits**, Addison-Wesley 1985.
- [WEST1] N. Weste, K. Eshraghian: **Principles of CMOS VLSI Design - A Systems Perspective**, Addison-Wesley 1985.
- [MUKH1] A. Mukherjee: **Introduction to nMOS & CMOS VLSI Systems Design**, Prentice-Hall 1986.
- 
- [ASIC1] ASIC Layout Systems/Designers' Buying Guide, Computer Design, Vol. 27, No. 11, June 1, 1988.
- [AUTO2] AutoCAD Release 10, Reference Manual, Autodesk, Inc., Oakland 1989
- [JESS1] Manufacturing Sciences and Technology, JESSI NEWS, No. 2, 1992.
- [VHDL1] **Electronic Hardware Description "the VHSIC Hardware Description Language (VHDL)"**, US Government Printing Office, Washington 1988.

Recenzent: Doc. dr hab. inż. Wiesław Kuźmicz

Wpłynęło do Redakcji 2 marca 1992 r.

## Abstract

The methodology for ASIC digital structures layout generation using well checked standard cells VLSI library, the software system covered with standard text and graphics editors cooperating with specialized design software tools, as well as well checked elements of the design strategy is presented. The elements of this strategy are: the design



context, formal design rules, multi-color and multi-layer design space, and possibility of graphics or CIF files edition. As a result we get a system in which the problem of layout drawing for ASIC structures can be reduced for feasible task in a sensible time with unnecessary high advanced resources.

But it is necessary to mention, that in some designs in which there is a manual edition, in spite of the designer's attention, some errors will appear. Usually the number of these errors is small, but the detection is difficult, so the effectiveness of a designer can be improved by design verification with software tools.

Of course, in general case of structures design, the CAD system has to be equipped with tools for effective design verifications [NEWT1, KUZM3], nonetheless, the design of the ASIC structures (standard cells checked and working library, edition of the layout only for interconnections between library cells) not necessarily has to be the domain of a very professional environment.

Clear separation of the designing and the fabrication through readable rules for "interface" Designer-Silicon Foundry, provide facilities to constitute organization like MOSIS and EUROCHIP for chip design realization.

In conclusion, the presented methodology can be used for complex ASIC structures layout generation "in a moment" (of course with restrictions mentioned above), and after a short time with developing library, to design structures with extended functions. It should be added that the possibility for effective design in "Mead-Conway" technology [MEAD1] (remarks on chosen type of technology are in sec. 2) in non-professional environment, rewards in goals definition and facilities choice in improbable "thicket" of CAD tools for ASIC design [ASIC1] firstly, and secondly, it gives possibility to systematize the views of advanced technology and design rules connected with them [MALY1].