ZESZYTY
NAUKOWE
POLITECHNIKI
ŚLĄSKIEJ

BOLESŁAW POCHOPIEŃ

LOGICZNE PROJEKTOWANIE LICZNIKÓW O DOWOLNEJ STRUKTURZE OPARTYCH NA PRZERZUTNIKACH SYNCHRONICZNYCH

P. 4.193 | 87

INFORMATYKA

Z. 10
GLIWICE
1987

POLITECHNIKA ŚLĄSKA

ZESZYTY NAUKOWE

Nr 930

BOLESŁAW POCHOPIEŃ

P. 4193 | 87

LOGICZNE PROJEKTOWANIE LICZNIKÓW O DOWOLNEJ STRUKTURZE OPARTYCH NA PRZERZUTNIKACH SYNCHRONICZNYCH

GLIWICE 1987

OPINIODAWCY
Prof. dr inż Antoni Pach
Prof. zw. dr inż. Tadeusz Puchałka

KOLEGIUM REDAKCYJNE

REDAKTOR NACZELNY — Prof. dr hab. inż. Wiesław Gabzdyl
REDAKTOR DZIAŁU — Dr inż. Stanisław Kozielski
SEKRETARZ REDAKCJI — Mgr Elżbieta Stinzing
CZŁONKOWIE KOLEGIUM — Prof. dr hab. inż. Adolf Maciejny
— Prof. dr inż. Stanisław Malzacher
— Prof. dr hab. inż. Bronisław Skinderowicz

OPRACOWANIE REDAKCYJNE
Mgr Kazimiera Rymarz

Wydano za zgodą
Rektora Politechniki Śląskiej

PL ISSN 0208-7286

Dział Wydawnictw Politechniki Śląskiej
ul Kujawska 3, 44-100 Gliwice

Nakł. 160+85 Ark. wyd. 3,028 Ark. druk. 5,125 Papier offset. kl. III. 70x100,70g
Oddano do druku 13.10.87 Podpis. do druku 26.11.87 Druk ukończ. w grudniu 1987
Zam. 867/87 L-23 Cena zł 61.—

Skład, fotokopie, druk i oprawę
wykonano w Zakładzie Graficznym Politechniki Śląskiej w Gliwicach

P 92/88

Moim Rodzicom i Teściom

SPIS TREŚCI

Str.

1. WSTĘP 13

1.1. Sformułowanie tematyki pracy 13

1.2. Przegląd problematyki syntezy liczników 14

1.3. Stosowana terminologia 15

2. ANALIZA MOŻLIWOŚCI GENEROWANIA RÓŻNYCH CYKLI PRZEZ LICZNIK O OKREŚLONYM CYKLU 16

2.1. Cykle licznika 16

2.2. Cykle generowane przez licznik o wyjściach prostych 19

2.2.1. Liczniki o pełnej pojemności 22

2.2.2. Liczniki o niepełnej pojemności 24

2.3. Cykle generowane przez licznik o wyjściach prostych i zanegowanych 24

2.3.1. Liczniki o pełnej pojemności 24

2.3.2. Liczniki o niepełnej pojemności 25

3. METODA SYNTEZY LICZNIKÓW O STRUKTURZE SZEREGOWO-RÓWNOLEGŁEJ, SZEREGOWEJ I RÓWNOLEGŁEJ 26

3.1. Cel syntezy 26

3.2. Przerzutniki bloku pamięci 27

3.3. Realizowalność struktury szeregowo-równoległej 31

3.4. Określanie funkcji wzbudzeń wejść taktujących 37

3.5. Określanie funkcji wzbudzeń wejść informacyjnych 38

4. PRZYKŁADY SYNTEZY LICZNIKÓW 41

4.1. Liczniki jednokierunkowe 41

4.1.1. Liczniki dodające 41

4.1.1.1. Liczniki szeregowe mod 2^N 41

4.1.1.2. Liczniki równoległe mod 2^N 45

4.1.1.3. Liczniki szeregowo-równoległe mod P 46

4.1.1.4. Liczniki równoległe mod P 53

4.1.2. Liczniki odejmujące 55

4.1.2.1. Liczniki szeregowe mod 2^N 55

4.1.2.2. Liczniki równoległe mod 2^N 56

Str.

4.1.2.3. Liczniki szeregowo-równoległe mod P 56
4.1.2.4. Liczniki równoległe mod P 61

4.2. Liczniki rewersyjne 63

4.2.1. Liczniki szeregowe mod 2^N 63
4.2.2. Liczniki równoległe mod 2^N 64
4.2.3. Liczniki szeregowo-równoległe mod P 64
4.2.4. Liczniki równoległe mod P 68

4.3. Liczniki programowane 71

5. PODSUMOWANIE 75

WYKAZ WAŻNIEJSZYCH OZNACZEŃ 76

LITERATURA 77

STRESZCZENIA 80

СОДЕРЖАНИЕ

Стр.

1. ВСТУПЛЕНИЕ 13

1.1. Определение тематики работы 13
1.2. Обзор проблематики синтеза счётчиков 14
1.3. Применённая терминология 15

2. АНАЛИЗ ВОЗМОЖНОСТЕЙ ГЕНЕРИРОВАНИЯ РАЗЛИЧНЫХ ЦИКЛОВ СЧЁТЧИКОМ С ОПРЕДЕЛЁННЫМ ЦИКЛОМ 16

2.1. Циклы счётчика 16
2.2. Циклы генерированные счётчиком с простыми выходами 19

2.2.1. Счётчики с полной ёмкостью 22
2.2.2. Счётчики с неполной ёмкостью 24

2.3. Циклы генерированные счётчиком с простыми и инвертивными выходами 24

2.3.1. Счётчики с полной ёмкостью 24
2.3.2. Счётчики с неполной ёмкостью 25

3. МЕТОД СИНТЕЗА СЧЁТЧИКОВ С ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОЙ, ПОСЛЕДОВАТЕЛЬНОЙ И ПАРАЛЛЕЛЬНОЙ СТРУКТУРАМИ 26

3.1. Цель синтеза 26
3.2. Триггеры блока памяти 27
3.3. Реализация последовательно-параллельной структуры 31
3.4. Определение функций возбуждения тактируемых входов 37
3.5. Определение функций возбуждения информационных входов 38

4. ПРИМЕРЫ СИНТЕЗА СЧЁТЧИКОВ 41

4.1. Однонаправленные счётчики 41

4.1.1. Суммирующие счётчики 41

4.1.1.1. Последовательные счётчики мод 2^H 41
4.1.1.2. Параллельные счётчики мод 2^H 45
4.1.1.3. Последовательно-параллельные счётчики мод П 46
4.1.1.4. Параллельные счётчики мод П 53

4.1.2. Вычитающие счётчики 55

4.1.2.1. Последовательные счётчики мод 2^H 55
4.1.2.2. Параллельные счётчики мод 2^H 56

Стр.

4.1.2.3. Последовательно-параллельные счётчики мод П 56
4.1.2.4. Параллельные счётчики мод П 61

4.2. Реверсивные счётчики 63

4.2.1. Последовательные счётчики мод 2^H 63
4.2.2. Параллельные счётчики мод 2^H 64
4.2.3. Последовательно-параллельные счётчики мод П 64
4.2.4. Параллельные счётчики мод П 68

4.3. Программируемые счётчики 71

5. ПОДВЕДЕНИЕ ИТОГОВ 75

СПИСОК ВАЖНЕЙШИХ ОБОЗНАЧЕНИЙ 76

БИБЛИОГРАФИЯ 77

РЕЗЮМЕ 80

CONTENTS

Page

1. INTRODUCTION 13

1.1. Formulation of subject matter of the work 13
1.2. Survey of synthesis of counters 14
1.3. Applied terminology 15

2. ANALYSIS OF POSSIBILITIES OF GENERATING OF VARIOUS CYCLES BY COUNTER WITH DEFINITE CYCLE 16

2.1. Counter cycles 16
2.2. Cycles generated by counter with simple outputs 19

2.2.1. Counters with full capacity 22
2.2.2. Counters with not quite full capacity 24

2.3. Cycles generated by counter with simple and negated outputs 24

2.3.1. Counters with full capacity 24
2.3.2. Counters with not quite full capacity 25

3. METHOD OF SYNTHESIS OF COUNTERS WITH CASCADE-PARALLEL CASCADE AND PARALLEL STRUCTURES 26

3.1. Purpose of the synthesis 26
3.2. Flip-flops of the memory block 27
3.3. Realization of the cascade-parallel structure 31
3.4. Determination of excitation functions of synchronisation inputs 37
3.5. Determination of excitation functions of information inputs 38

4. EXAMPLES OF SYNTHESIS OF COUNTERS 41

4.1. Current counters 41

4.1.1. Adder counters 41

4.1.1.1. Cascade counters mod 2^N 41
4.1.1.2. Parallel counters mod 2^N 45
4.1.1.3. Cascade-parallel counters mod P 46
4.1.1.4. Parallel counters mod P 53

4.1.2. Subtractor counters 55

4.1.2.1. Cascade counters mod 2^N 55
4.1.2.2. Parallel counters mod 2^N 56

Page

4.1.2.3. Cascade-parallel counters mod P 56
4.1.2.4. Parallel counters mod P 61

4.2. Reverse counters 63

4.2.1. Cascade counters mod 2^N 63
4.2.2. Parallel counters mod 2^N 64
4.2.3. Cascade-parallel counters mod P 64
4.2.4. Parallel counters mod P 68

4.3. Programmable counters 71

5. CONCLUSION 75

LIST OF IMPORTANT SYMBOLS 76

BIBLIOGRAPHY 77

SUMMARIES 80

OD AUTORA

Ostateczną formę przedstawionych w pracy zagadnień zawdzięczam w dużej mierze dyskusjom prowadzonym z Prof. zw. drem inż. Stefanem Węgrzynem, Prof. zw. drem inż. Jerzym Siwińskim i Prof. drem hab. inż. Andrzejem Grzywakiem oraz sugestiom zawartym w recenzjach Prof. dra inż. Antoniego Pacha i Prof. zw. dra inż. Tadeusza Puchałki, co przyczyniło się do zwiększenia komunikatywności prowadzonych w pracy rozważań i za co składam gorące podziękowania.

Dziękuję również Żonie Ewie oraz dzieciom Grażynie i Michałowi za wyrozumiałość.

Bolesław Pochopień

Gliwice, sierpień 1987

1. WSTĘP

1.1. Sformułowanie tematyki pracy

N-bitowy licznik impulsów jest sekwencyjnym układem cyfrowym o jednym wejściu licznikowym X i N wyjściach binarnych $Q_{N-1}, Q_{N-2}, \ldots, Q_i, \ldots, Q_1, Q_0$.

Licznik mod P pod wpływem impulsów wprowadzanych na jego wejście licznikowe X przyjmuje kolejno P różnych stanów, które oznaczać będziemy: $S_0, S_1, \ldots, S_t, \ldots, S_{P-1}$.

Przyjmujemy, że stan licznika jest określony przez uporządkowany ciąg wartości sygnałów występujących na jego wejściach $Q_{N-1}, Q_{N-2}, \ldots, Q_i, \ldots, Q_1, Q_0$. Stan licznika oznaczymy przez:

$$S_t = (Q_{N-1}\, Q_{N-2} \ldots Q_i \ldots Q_1\, Q_0)_t$$

$$(t = 0,1,\ldots,P-1; \quad S_t \neq S_r \quad \text{dla} \quad t \neq r)$$

Stan licznika określa jednoznacznie liczbę impulsów wprowadzonych na wejście licznikowe X, o ile ich numeracja rozpoczyna się od impulsu wprowadzanego do licznika, będącego w wyróżnionym stanie (uważanym za stan początkowy), a ich liczba jest mniejsza od wartości odpowiadającej pojemności licznika. Wprowadzenie P impulsów na wejście licznikowe (zliczenie P impulsów) spowoduje przejście licznika przez P kolejnych stanów:

$$\boxed{S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow \ldots \rightarrow S_{P-2} \rightarrow S_{P-1}}$$

tworzących cykl licznika.

Wśród struktur liczników można wyróżnić:

- strukturę szeregową;
- strukturę równoległą;
- strukturę szeregowo-równoległą.

Problem syntezy liczników realizowanych z zastosowaniem różnych typów przerzutników synchronicznych jest omawiany i dyskutowany w literaturze od wielu lat. Możliwości uzyskiwania różnych rozwiązań układowych liczników zawdzięczamy opracowanym metodom syntezy jak również intuicji projektantów. Znane z literatury metody syntezy liczników cechuje duża różnorodność i

różny stopień skomplikowania. Naturalne wydaje się dążenie do opracowania metod możliwie jednorodnych oraz stosunkowo prostych. Stąd też jednym z celów pracy było opracowanie takiej metody syntezy, pozwalającej uzyskać - z wykorzystaniem przerzutników synchronicznych dowolnych typów i o różnych sposobach wyzwalania - struktury szeregowo-równoległe, równoległe i szeregowe.

Dogodna do uogólnienia okazała się metoda autora opracowana dla struktur szeregowo-równoległych [48]. Pomocne okazały się również wyniki wcześniejszych prac autora [46], [47].

Problematykę syntezy liczników o różnych strukturach przedstawiono w rozdziale 3. Podano warunek realizowalności struktury szeregowo-równoległej.

Ilustrację wykorzystania opracowanej metody syntezy stanowi rozdział 4, gdzie przedstawiono syntezę liczników jednokierunkowych, rewersyjnych i programowanych.

W pracy rozważa się również zagadnienie możliwości generowania różnych cykli przez każdy licznik o określonym cyklu [50]. Problematyce tej poświęcony jest rozdział 2.

1.2. Przegląd problematyki syntezy liczników

Wyszczególnione struktury liczników cechują określone zalety i wady, które decydują o wyborze struktury licznika do określonego zastosowania [34], [49], [59], [63], [65].

Najprostszym sposobem uzyskania struktury szeregowej jest kaskadowe połączenie N przerzutników pracujących jako tzw. dwójki liczące (mod 2), w wyniku czego uzyskuje się licznik o pełnej pojemności mod 2^N. Zmniejszenie naturalnej pojemności takiego licznika można uzyskać przez dobór obwodu sprzężenia zwrotnego [4], [32-34], [60], [69-71].

Stosunkowo najbardziej wyczerpująco opracowane są zagadnienia związane z licznikami o strukturze równoległej [7-10], [19], [23], [30], [58-60], [62], [63], [65].

Uzyskanie struktury szeregowo-równoległej licznika jest możliwe poprzez szeregowe połączenie struktur równoległych [21], [41], [60]. Spotykane dosyć często proste rozwiązania układowe liczników szeregowo-równoległych, nie odpowiadające wymienionej strukturze, skłoniły autora do opracowania metody syntezy takich układów, realizowanych z zastosowaniem przerzutników synchronicznych jedno- i dwutaktowych [48]. Szczególne przypadki uzyskiwania struktur szeregowo-równoległych omówiono w [1], [12], [56], [59], [60]. Poszukiwanie metod pozwalających uzyskać możliwie wszystkie proste struktury liczników uzasadnione jest przede wszystkim potrzebą rozwiązania istotnego problemu, jakim jest niewątpliwie optymalizacja układowa struktur scalonych.

W pracach [45-47] podano między innymi wyniki analizy pracy przerzutników synchronicznych jedno- i dwutaktowych, wykorzystując je do realizacji asynchronicznych układów cyfrowych. Wyniki te okazują się również przydatne przy projektowaniu układów synchronicznych.

Możliwości generowania przez licznik różnych cykli przedstawiono w pracy [50].

Wykorzystując do budowy liczników rejestry, uzyskuje się tzw. rejestry liczące. Zagadnienia związane z tą problematyką stosunkowo wyczerpująco są omówione w pracach [2], [16], [34], [37], [54], [57], [60], [64-66].

1.3. Stosowana terminologia

W pracy używa się w zasadzie powszechnie stosowanej symboliki i terminologii, spotykanej w większości prac z zakresu teorii systemów przełączających, techniki cyfrowej i matematyki, np. [5], [18], [27], [28], [34-36], [49], [51-53], [56], [59], [60], [63], [65], [67]. Symbole i pojęcia rzadziej spotykane w literaturze lub wprowadzone przez autora zostały omówione w tekście pracy. Ważniejsze oznaczenia zamieszczono w końcowej części pracy.

Praca jest podzielona na pięć rozdziałów. Numeracja wszystkich twierdzeń, wniosków, zależności, przykładów, tablic i rysunków jest trój- lub czteroczłonowa i składa się z numeru podrozdziału oraz numeru kolejnego w danym podrozdziale.

2. ANALIZA MOŻLIWOŚCI GENEROWANIA RÓŻNYCH CYKLI PRZEZ LICZNIK O OKREŚLONYM CYKLU

2.1. Cykle licznika

TWIERDZENIE 2.1.1

Liczba $L_c^{\text{mod } P}$ różnych cykli licznika mod P o zadanych stanach S_t $(t = 0,1,\ldots,P-1)$ jest równa:

$$L_c^{\text{mod } P} = (P-1)!$$

D o w ó d:

Liczba wszystkich możliwych cykli licznika mod P o zadanych stanach S_t $(t = 0,1,\ldots,P-1)$ jest równa liczbie permutacji z P elementów stanowiących stany cyklu licznika. W celu uzyskania różnych cykli licznika mod P wystarczy ustalić jeden ze stanów (np. stan początkowy) i uzupełnić go kolejno permutacjami pozostałych (P-1) stanów. Tak więc liczba różnych cykli licznika będzie odpowiadała liczbie permutacji (P-1) - elementowej. Czyli $L_c^{\text{mod } P} = (P-1)!$.

Przykład 2.1.1

a) Licznik mod 2

$$L_c^{\text{mod } 2} = 1$$

Cykl: $S_0 \longrightarrow S_1$

b) Licznik mod 3

$$L_c^{\text{mod } 3} = 2$$

Cykle: $S_0 \longrightarrow S_1 \longrightarrow S_2$ (cykl I)

$S_0 \longrightarrow S_2 \longrightarrow S_1$ (cykl II)

c) Licznik mod 4

$$L_c^{\text{mod } 4} = 6$$

Cykle: $S_0 \longrightarrow S_1 \longrightarrow S_2 \longrightarrow S_3$ (cykl I)

$S_0 \longrightarrow S_1 \longrightarrow S_3 \longrightarrow S_2$ (cykl II)

$S_0 \longrightarrow S_2 \longrightarrow S_1 \longrightarrow S_3$ (cykl III)

$S_0 \longrightarrow S_2 \longrightarrow S_3 \longrightarrow S_1$ (cykl IV)

$S_0 \longrightarrow S_3 \longrightarrow S_1 \longrightarrow S_2$ (cykl V)

$S_0 \longrightarrow S_3 \longrightarrow S_2 \longrightarrow S_1$ (cykl VI)

d) Licznik mod 5

$$L_c^{\text{mod } 5} = 24$$

Cykle: $S_0 \longrightarrow S_1 \longrightarrow S_2 \longrightarrow S_3 \longrightarrow S_4$ (cykl I)

$\vdots$

$S_0 \longrightarrow S_4 \longrightarrow S_3 \longrightarrow S_2 \longrightarrow S_1$ (cykl XXIV)

$\vdots$

...) Licznik mod P

$$L_c^{\text{mod } P} = (P-1)!$$

Cykle: $S_0 \longrightarrow S_1 \longrightarrow S_2 \longrightarrow \cdots \longrightarrow S_{P-2} \longrightarrow S_{P-1}$ (cykl I)

$\vdots$

$S_0 \longrightarrow S_{P-1} \longrightarrow S_{P-2} \longrightarrow \cdots \longrightarrow S_2 \longrightarrow S_1$ (cykl (P-1)!)

Zwróćmy uwagę na odpowiedniość stanów:

$$\boxed{S_0 \longrightarrow S_1 \longrightarrow \ldots \longrightarrow S_{P-1}} = \boxed{S_1 \longrightarrow S_2 \longrightarrow \ldots \longrightarrow S_{P-1} \longrightarrow S_0} = \ldots =$$

$$= \boxed{S_{P-1} \longrightarrow S_0 \longrightarrow S_1 \longrightarrow \ldots \longrightarrow S_{P-2}} .$$

TWIERDZENIE 2.1.2

Liczba $(L_c^{\text{mod } K})_N$ różnych cykli licznika o niepełnej pojemności mod K, o dowolnych K stanach wyjść spośród wszystkich 2^N możliwych stanów S_v $(v = 0,1,\ldots,2^N-2,\ 2^N-1)$ jest równa:

$$(L_c^{\text{mod } K})_N = \frac{(2^N)!}{K\ (2^N - K)!}$$

D o w ó d:

Ze zbioru wszystkich możliwych stanów wyjść $Z = (S_0, S_1, \ldots, S_{2^N-1})$ można utworzyć K-elementowe podzbiory, których liczba odpowiada liczbie kombinacji $C^K_{2^N}$. Elementy każdego z tych podzbiorów mogą stanowić stany wyjść cykli licznika mod K, których liczba jest równa $(K - 1)!$ (por. Tw. 2.1.1). Wszystkie podzbiory umożliwiają więc utworzenie $C^K_{2^N}\ (K - 1)!$ różnych cykli, co odpowiada szukanej liczbie $(L_c^{\text{mod } K})_N$. Tak więc

$$(L_c^{\text{mod } K})_N = C^K_{2^N}\ (K - 1)! = \frac{(2^N)!}{(2^N - K)!\ K!}(K - 1)! =$$

$$= \frac{(2^N)!\ (K - 1)!}{(2^N - K)!\ K(K - 1)!} = \frac{(2^N)!}{K(2^N - K)!}$$

Przykład 2.1.2

a) Licznik mod 3 , N = 2

$$(L_c^{\text{mod } 3})_2 = 8$$

Cykle: $\boxed{S_0 \longrightarrow S_1 \longrightarrow S_2}$

$\boxed{S_0 \longrightarrow S_2 \longrightarrow S_1}$

$\boxed{S_0 \longrightarrow S_1 \longrightarrow S_3}$

$\boxed{S_0 \longrightarrow S_3 \longrightarrow S_1}$

$\boxed{S_0 \longrightarrow S_2 \longrightarrow S_3}$

$\boxed{S_0 \longrightarrow S_3 \longrightarrow S_2}$

$\boxed{S_1 \longrightarrow S_2 \longrightarrow S_3}$

$\boxed{S_1 \longrightarrow S_3 \longrightarrow S_2}$

b) Licznik mod 5 , N = 3

$$(L_c^{\text{mod } 5})_3 = 1344$$

W tablicy 2.1.1 zestawiono wybrane wartości liczb $L_c^{\text{mod } K}$ i $(L_c^{\text{mod } K})_N$.

Tablica 2.1.1

Zestawienie wartości liczb $L_c^{\text{mod } K}$ i $(L_c^{\text{mod } K})_N$

K	$L_c^{\text{mod } K}$	$(L_c^{\text{mod } K})_N$
3	2	8
5	24	1344
6	120	3360
7	720	5760
9	40320	463372800
10	362880	2892248640

2.2. Cykle generowane przez licznik o wyjściach prostych

Załóżmy, że dysponujemy N-bitowym licznikiem dwójkowym mod P o wyjściach prostych $(Q_{N-1}, Q_{N-2}, \ldots, Q_i, \ldots, Q_1, Q_0)$. W przypadku zliczania impulsów w naturalnym kodzie dwójkowym każdemu stanowi odpowiada liczba dziesiętna o wartości:

$$Q_{N-1}.2^{N-1} + Q_{N-2}.2^{N-2} + \ldots + Q_i.2^i + \ldots + Q_1.2^1 + Q_0.2^0,$$

przy czym:

$$Q_i \in (0,\ 1), \qquad i = N-1,\ N-2, \ldots, 1,\ 0.$$

Rozpatrzmy możliwości generowania różnych cykli przez ten sam licznik, w którym dokonano zamiany wyjść. Jeżeli w liczniku mod P, generującym cyklicznie stany: $S_0, S_1, \ldots, S_{P-1}$, zamienić ze sobą np. wyjścia Q_{N-1} i Q_0, to można uważać, że licznik taki generuje cyklicznie stany:

$$(Q_0\ Q_{N-2} \cdots Q_i \cdots Q_1\ Q_{N-1})_0,$$

$$(Q_0\ Q_{N-2} \cdots Q_i \cdots Q_1\ Q_{N-1})_1,$$

$$\vdots$$

$$(Q_0\ Q_{N-2} \cdots Q_i \cdots Q_1\ Q_{N-1})_{P-1}.$$

W takim przypadku dziesiętny odpowiednik stanu uzyskuje się z zależności:

$$Q_0 \cdot 2^{N-1} + Q_{N-2} \cdot 2^{N-2} + \ldots + Q_i \cdot 2^i + \ldots + Q_1 \cdot 2^1 + Q_{N-1} \cdot 2^0$$

TWIERDZENIE 2.2.1

Każdy licznik N-bitowy o określonym cyklu umożliwia wygenerowanie dodatkowo (N ! - 1) różnych cykli.

D o w ó d:

W liczniku N-bitowym liczba możliwych do uzyskania cykli odpowiada liczbie wszystkich możliwych permutacji N-elementowego zbioru, którego elementami są wyjścia licznika, czyli N!.

Przykład 2.2.1

a) Licznik mod 3 o cyklu podstawowym $\rightarrow (00)_0 \rightarrow (01)_1 \rightarrow (10)_2 \rightarrow$

W tablicy 2.2.1 zestawiono cykl podstawowy i cykl dodatkowy tego licznika, stosując różne sposoby zapisu.

Tablica 2.2.1

Cykl podstawowy i cykl dodatkowy licznika mod 3

Cykl podstawowy	Cykl dodatkowy
$Q_1\ Q_0$	$Q_0\ Q_1$
$(0\ \ 0)_0 = S_0$ $(0\ \ 1)_1 = S_1$ $(1\ \ 0)_2 = S_2$	$(0\ \ 0)_0 = S'_0$ $(1\ \ 0)_1 = S'_1$ $(0\ \ 1)_2 = S'_2$
$\rightarrow S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow$	$\rightarrow S'_0 \rightarrow S'_1 \rightarrow S'_2 \rightarrow$
$\rightarrow 00 \rightarrow 01 \rightarrow 10 \rightarrow$	$\rightarrow 00 \rightarrow 10 \rightarrow 01 \rightarrow$
$\rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow$	$\rightarrow 0 \rightarrow 2 \rightarrow 1 \rightarrow$
0 1 2	0 2 1

b) Licznik mod 8 o cyklu podstawowym $\rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow$

W tablicy 2.2.2 zestawiono cykl podstawowy z cyklami dodatkowymi tego licznika.

Tablica 2.2.2

Cykl podstawowy i cykle dodatkowe licznika mod 8

Cykl podstawowy	Cykle dodatkowe				
$Q_2Q_1Q_0$	$Q_2Q_0Q_1$	$Q_1Q_2Q_0$	$Q_1Q_0Q_2$	$Q_0Q_2Q_1$	$Q_0Q_1Q_2$
0	0	0	0	0	0
1	2	1	2	4	4
2	1	4	4	1	2
3	3	5	6	5	6
4	4	2	1	2	1
5	6	3	3	6	5
6	5	6	5	3	3
7	7	7	7	7	7

2.2.1. Liczniki o pełnej pojemności

TWIERDZENIE 2.2.1.1

Liczba $L_L^{\mathrm{mod}\ 2^N}$ liczników o pełnej pojemności mod 2^N z wyjściami prostymi, pozwalających wygenerować wszystkie możliwe cykle, jest równa

$$L_L^{\mathrm{mod}\ 2^N} = \frac{(2^N - 1)!}{N!}$$

D o w ó d:

Każdy spośród $L_L^{\mathrm{mod}\ 2^N}$ liczników o różnych cyklach pozwala wygenerować N! cykli (por. TW. 2.2.1). Liczniki te pozwalają wygenerować wszystkie możliwe cykle licznika, których liczba jest równa $N!\ L_L^{\mathrm{mod}\ 2^N} = L_c^{\mathrm{mod}\ P}$. Stąd

$$L_L^{\mathrm{mod}\ 2^N} = \frac{L_c^{\mathrm{mod}\ P}}{N!}.$$

Uwzględniając, że

$$L_c^{\mathrm{mod}\ P} = (P - 1)! = (2^N - 1)! \qquad \text{(por. TW. 2.1.1)}$$

uzyskuje się:

$$L_L^{\mathrm{mod}\ 2^N} = \frac{(2^N - 1)!}{N!}.$$

W tablicy 2.2.1.1 zestawiono dla porównania wartości liczb $L_c^{\mathrm{mod}\ 2^N}$ oraz $L_L^{\mathrm{mod}\ 2^N}$, dla N = 2, 3, 4.

Tablica 2.2.1.1

Zestawienie wartości liczb $L_c^{\mathrm{mod}\ 2^N}$ oraz $L_L^{\mathrm{mod}\ 2^N}$

N	$L_c^{\mathrm{mod}\ 2^N}$	$L_L^{\mathrm{mod}\ 2^N}$
2	6	3
3	5040	840
4	1307674368000	54486432000
⋮	⋮	⋮

Przykład 2.2.1.1

Dla 2-bitowego licznika mod 4

$$L_c^{\mathrm{mod}\ 2^N} = L_c^{\mathrm{mod}\ 2^2} = 6.$$

W tablicy 2.2.1.2 zestawiono cykle (I-VI) tych sześciu liczników o wyjściach: $Q_1(2^1)Q_0(2^0)$, z cyklami uzyskanymi dla tych samych liczników przez przestawienie ich wyjść.

Tablica 2.2.1.2

Cykle licznika mod 4 o wyjściach prostych

$Q_1(2^1)\ Q_0(2^0)$		$Q_0(2^1)\ Q_1(2^0)$	
Cykl	$Q_1\ Q_0$	$Q_0\ Q_1$	Cykl
I	0 0 0 1 1 0 1 1	0 0 1 0 0 1 1 1	III
II	0 0 0 1 1 1 1 0	0 0 1 0 1 1 0 1	IV
III	0 0 1 0 0 1 1 1	0 0 0 1 1 0 1 1	I
IV	0 0 1 0 1 1 0 1	0 0 0 1 1 1 1 0	II
V	0 0 1 1 0 1 1 0	0 0 1 1 1 0 0 1	VI
VI	0 0 1 1 1 0 0 1	0 0 1 1 0 1 1 0	V

Dla tego przypadku $L_L^{\mathrm{mod}\ 4} = 3$. Z tablicy 2.2.1.2 wynika, że zestawami trzech takich liczników, które pozwalają wygenerować wszystkie możliwe cykle liczników modulo 4, mogą być liczniki:

- o cyklach I, II, V;

lub

- o cyklach III, IV, VI.

2.2.2. Liczniki o niepełnej pojemności

Dokonując zamiany wyjść w licznikach o niepełnej pojemności można uzyskać również różne cykle zawierające takie same lub inne stany niż w cyklu podstawowym.

Przykład 2.2.2.1

Dla cyklu podstawowego $\boxed{\to 0 \longrightarrow 1 \longrightarrow 2}$ na wyjściach Q_1Q_0 licznika mod 3 uzyskuje się na wyjściach Q_0Q_1 cykl dodatkowy $\boxed{\to 0 \longrightarrow 2 \longrightarrow 1}$; ale dla cyklu podstawowego $\boxed{\to 0 \longrightarrow 1 \longrightarrow 3}$ na wyjściach Q_1Q_0, uzyskuje się na wyjściach Q_0Q_1 cykl dodatkowy $\boxed{\to 0 \longrightarrow 2 \longrightarrow 3}$.

2.3. Cykle generowane przez licznik o wyjściach prostych i zanegowanych

Załóżmy, że dysponujemy N-bitowym licznikiem dwójkowym mod P o wyjściach prostych i zanegowanych

$$(Q_{N-1}, \bar{Q}_{N-1}, Q_{N-2}, \bar{Q}_{N-2}, \ldots, Q_i, \bar{Q}_i, \ldots, Q_1, \bar{Q}_1, Q_0, \bar{Q}_0),$$

zliczającym impulsy w naturalnym kodzie dwójkowym. W tym przypadku, interesujące wydaje się rozpatrzenie możliwości generowania różnych cykli przez ten licznik, uwzględniając:

- możliwość wykorzystania zestawu wyjść

$$\tilde{Q}_{N-1}, \tilde{Q}_{N-2}, \ldots, \tilde{Q}_i, \ldots, \tilde{Q}_1, \tilde{Q}_0,$$

przy czym:

$$\tilde{Q}_i = Q_i \quad \text{lub} \quad \bar{Q}_i, \qquad i = N-1, N-2, \ldots, 1, 0;$$

- możliwość zamiany między sobą wyjść.

2.3.1. Liczniki o pełnej pojemności

TWIERDZENIE 2.3.1.1

Liczba liczników o pełnej pojemności mod 2^N z wyjściami prostymi i zanegowanymi, pozwalających wygenerować wszystkie możliwe cykle, jest mniejsza od wartości

$$\frac{(2^N - 1)!}{N!}$$

D o w ó d:

Dowód twierdzenia wynika wprost z TW. 2.2.1.1, przy uwzględnieniu tego, że w tym przypadku liczba możliwych zestawów wyjść jest większa z uwagi na możliwość wykorzystania dodatkowo wyjść zanegowanych.

Przykład 2.3.1.1

Zestawiając cykle licznika mod 4 dla poszczególnych wyjść, uzyskuje się rezultaty przedstawione w tablicy 2.3.1.1.

Tablica 2.3.1.1

Cykle licznika mod 4 o wyjściach prostych i zanegowanych

Q_1Q_0	$Q_1\bar{Q}_0$	$\bar{Q}_1Q_0$	$\bar{Q}_1\bar{Q}_0$	Q_0Q_1	$\bar{Q}_0Q_1$	$Q_0\bar{Q}_1$	$\bar{Q}_0\bar{Q}_1$
I	VI	I	VI	III	V	III	V
II	IV	IV	II	IV	II	II	IV
III	III	V	V	I	I	VI	VI
IV	II	II	IV	II	IV	IV	II
V	V	III	III	VI	VI	I	I
VI	I	VI	I	V	III	V	III

Zwróćmy uwagę, że do wygenerowania wszystkich możliwych cykli odpowiadających licznikom mod 4 z wyjściami prostymi i zanegowanymi wystarczy dowolny zestaw dwóch liczników spośród następujących ośmiu zestawów:

- I, II;
- I, IV;
- III, II;
- III, IV;
- V, II;
- V, IV;
- VI, II;
- VI, IV.

2.3.2. Liczniki o niepełnej pojemności

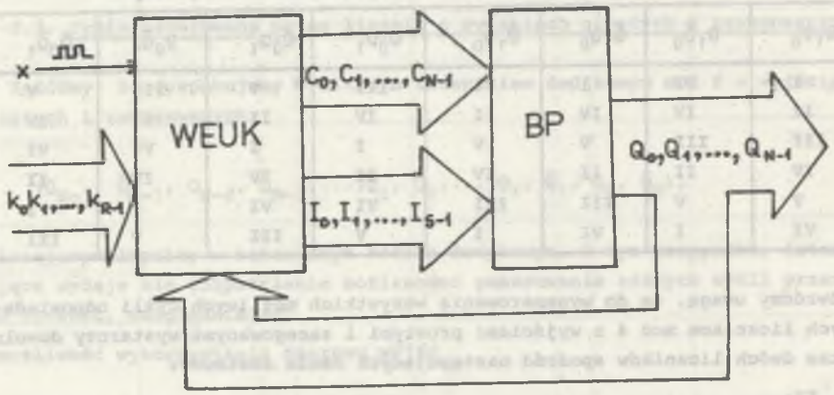
Dokonując w licznikach o niepełnej pojemności zamiany wyjść, przy uwzględnieniu, że dysponuje się wyjściami prostymi i zanegowanymi można uzyskać również różne cykle zawierające takie same lub inne stany niż w cyklu podstawowym.

3. METODA SYNTEZY LICZNIKÓW O STRUKTURZE SZEREGOWO-RÓWNOLEGŁEJ, SZEREGOWEJ I RÓWNOLEGŁEJ

3.1. Cel syntezy

W celu zrealizowania na przerzutnikach synchronicznych N-bitowego licznika mod P o wyjściach $Q_{N-1}, Q_{N-2}, \ldots, Q_1, Q_0$, należy dla każdego z przerzutników bloku pamięci BP (rys. 3.1.1) określić funkcje wzbudzeń dla:

- wejść taktujących C_i, $i = 0,1,\ldots,N-1$;
- wejść informacyjnych I_n, $n = 0,1,\ldots,S-1$.



Rys. 3.1.1. Schemat blokowy licznika
Fig. 3.1.1. Block diagram of the counter

Synteza licznika sprowadza się więc do znalezienia struktury wejściowego układu kombinacyjnego WEUK.

W przypadku ogólnym funkcje wzbudzeń przerzutników mają postać:

$$C = C(x, k_0, k_1, \ldots, k_{R-1}, Q_0, Q_1, \ldots, Q_{N-1});$$

$$I = I(k_0, k_1, \ldots, k_{R-1}, Q_0, Q_1, \ldots, Q_{N-1});$$

przy czym:

x - sygnał wejścia licznikowego,

$k_0, k_1, \ldots, k_{R-1}$ - sygnały zewnętrzne określające np. kierunek zliczania, pojemność licznika.

W licznikach szeregowych zmiany stanów wyjść przerzutników następują niesynchronicznie z sygnałem wejściowym. Zmiana stanu określonego stopnia jest wymuszana przez wejście taktujące sygnałem wyjściowym stopnia bezpośrednio go poprzedzającego.

W licznikach równoległych zmiany kolejnych stanów wyjść następują prawie równocześnie w chwilach określonych zmianami na wejściu licznikowym stanowiącym zwarte wszystkie wejścia taktujące przerzutników poszczególnych stopni ($C_0 = C_1 = \ldots = C_{N-1} = C = x$).

W licznikach szeregowo-równoległych zmiana stanu określonego stopnia jest wymuszana poprzez wejście taktujące sygnałem niekoniecznie uzależnionym od stanu stopnia bezpośrednio go poprzedzającego.

3.2. Przerzutniki bloku pamięci

Zakłada się, że do realizacji bloku pamięci będą stosowane dowolne przerzutniki synchroniczne:

- jednotaktowe wyzwalane zboczem sygnału taktującego (E-T ang. Edge-Triggered - dodatnim $C = 0 \longrightarrow 1$ lub ujemnym $C = 1 \longrightarrow 0$);
- dwutaktowe (M-S ang. Master-Slave).

Zmiana stanu wyjścia Q przerzutnika następuje zgodnie z tablicą wzbudzeń (tabl. 3.2.1) w chwilach zmiany stanu sygnału taktującego C:

$C = 0 \longrightarrow 1$ - dla przerzutników wyzwalanych dodatnim zboczem;

$C = 1 \longrightarrow 0$ - dla przerzutników wyzwalanych ujemnym zboczem lub przerzutników dwutaktowych.

Tablica 3.2.1

Ogólna postać tablicy wzbudzeń przerzutnika o wyjściu Q i wejściach informacyjnych $I_a, \ldots, I_b$

$Q^t \longrightarrow Q^{t+1}$		$I_a^t \ldots I_b^t$
0	0	. . .
0	1	
1	0	⋮
1	1	. . .

Tablicę wzbudzeń przerzutników synchronicznych JK, D i T przedstawia tablica 3.2.2.

Tablica 3.2.2

Tablica wzbudzeń przerzutników synchronicznych JK, D i T

$Q^t \longrightarrow Q^{t+1}$		J^t	K^t	D^t	T^t
0	0	0	ø	0	0
0	1	1	ø	1	1
1	0	ø	1	0	1
1	1	ø	0	1	0

Tablica wzbudzeń w pełni określa własności przerzutnika, jeśli pracuje on synchronicznie. Nie pozwala natomiast określić stanu wyjścia dla każdej dowolnej sekwencji zmian stanów na wejściach informacyjnych i wejściu taktującym. Eksperymentalna analiza pracy przerzutnika synchronicznego pozwala określić odpowiadającą mu tablicę programu, która umożliwia przeprowadzenie szczegółowej analizy jego pracy. Dysponując tablicą programu przerzutnika synchronicznego można uważać go za układ asynchroniczny o określonej liczbie wejść [45-47], [72] - tablice 3.2.3-3.2.5. Wejścia s i r są wejściami ustawiającymi (s-wpisujące, r-zerujące).

Tablica 3.2.3

Tablica programu dwutaktowego przerzutnika synchronicznego JK

				sr 11				sr 01	sr 10	
				C=0		C=1		C=ø		
JK 00	01	11	10	10	11	01	00	øø	øø	Q
1	2	3	4	14	13	10	9	21	22	0
5	6	7	8	14	13	12	11	21	22	0
5	6	7	8	16	19	18	15	21	22	1
1	2	3	4	20	19	18	17	21	22	1

Tablica 3.2.4

Tablica programu dwutaktowego przerzutnika synchronicznego T

				sr 11		sr 01	sr 10	
				C=0		C=1	C=ø	
T 0	1	1	0	ø	ø			Q
1	2	6	5	11	12			0
3	4	6	7	11	12			0
3	4	9	8	11	12			1
1	2	9	10	11	12			1

Tablica 3.2.5

Tablica programu dwutaktowego przerzutnika synchronicznego D

				sr 11		sr 01	sr 10	
				C=0		C=1	C=ø	
D 0	1	1	0	ø	ø			Q
1	2	6	5	11	12			0
3	4	6	7	11	12			0
3	4	8	9	11	12			1
1	2	10	9	11	12			1

Warto zwrócić uwagę na fakt, że dla stanu C = 1 niektóre zmiany stanu wejść informacyjnych powodują, że działanie przerzutnika jest niezgodne z tablicą wzbudzeń.

I tak:

a) Jeżeli Q = 0, C = 1, K = 0, to:

- zmianie J = 0 ⟶ 1 towarzyszy przejście (9) ⟶ 14 ⟶ (14) i wtedy zmiana C = 1 ⟶ 0 powoduje przejście (14) ⟶ 8 ⟶ (8), w wyniku czego Q = 0 ⟶ 1;

- zmianie $J = 0 \to 1 \to 0$ towarzyszy przejście

  $⑨ \to 14 \to ⑭ \to ⑪$

  i wtedy zmiana $C = 1 \to 0$ powoduje przejście

  $⑪ \to 5 \to ⑤$, w wyniku czego $Q = 0 \to 1$;

- zmianie $J = 0 \to 1 \to 0 \to 1$ towarzyszy przejście

  $⑨ \to 14 \to ⑭ \to ⑪ \to ⑭$

  i wtedy zmiana $C = 1 \to 0$ powoduje przejście

  $⑭ \to 8 \to ⑧$, w wyniku czego $Q = 0 \to 1$;

- zmianie $J = 0 \to 1 \to 0 \to 1 \to 0$ towarzyszy...

  ⋮

  $⑪ \to 5 \to ⑤$, w wyniku czego $Q = 0 \to 1$;

- zmianie ...

  ⋮

  itd.

b) Jeżeli $Q = 0$, $C = 1$, $K = 1$, to:

- zmianie $J = 0 \to 1$ towarzyszy przejście

  $⑩ \to 13 \to ⑬$

  i wtedy zmiana $C = 1 \to 0$ powoduje przejście

  $⑬ \to 7 \to ⑦$, w wyniku czego $Q = 0 \to 1$;

- zmianie ...

  ⋮

  itd. (por. pkt. a).

Wyniki analizy przeprowadzonej według powyższego schematu można przedstawić w postaci formuły:

$$\left\{Q=0 \wedge C=1 \wedge (J=0\to1 \vee J=0\to1\to0 \vee J=0\to1\to0\to1\ldots)\right\} \Rightarrow \left\{(C=1\to0) \Rightarrow (Q=0\to1)\right\} \qquad (3.2.1)$$

Przeprowadzając według powyższego schematu analizę dla zmian $K = 0 \to 1$, $K = 0 \to 1 \to 0$, $K = 0 \to 1 \to 0 \to 1$, ... itd. w przypadku, gdy $Q = 1$, $C = 1$, $J = \phi$, uzyskuje się rezultat, który można przedstawić w postaci formuły:

$$\left\{Q=1 \wedge C=1 \wedge (K=0\to1 \vee K=0\to1\to0 \vee K=0\to1\to0\to1\ldots)\right\} \Rightarrow \left\{(C=1\to0) \Rightarrow (Q=1\to0)\right\} \qquad (3.2.2)$$

Przeprowadzając analizę pracy przerzutników T i D na podstawie ich tablic programu (tabl. 3.2.4, tabl. 3.2.5) uzyskuje się odpowiednio:

- dla przerzutnika T

$$\left\{C=1 \wedge (T=0\to1 \vee T=0\to1\to0 \vee T=0\vee1\to0\to1\ldots)\right\} \Rightarrow \left\{(C=1\to0) \Rightarrow (Q\to\bar{Q})\right\} \qquad (3.2.3)$$

- dla przerzutnika D

$$\left\{Q=0 \wedge C=1 \wedge (D=0\to1 \vee D=0\to1\to0 \vee D=0\to1\to0\to1\ldots)\right\} \Rightarrow \left\{(C=1\to0) \Rightarrow (Q=0\to1)\right\} \qquad (3.2.4)$$

$$\left\{Q=1 \wedge C=1 \wedge (D=1\to0 \vee D=1\to0\to1 \vee D=1\to0\to1\to0\ldots)\right\} \Rightarrow \left\{(C=1\to0) \Rightarrow (Q=1\to0)\right\} \qquad (3.2.5)$$

Opisanych problemów nie stwarzają jednotaktowe przerzutniki synchroniczne [46].

W pracy [48] podano przebiegi czasowe sygnałów C, T i D wymagane dla prawidłowej realizacji zmian $Q = 0 \to 1$ oraz $Q = 1 \to 0$ przerzutników jedno- i dwutaktowych.

Ogólną postać przebiegów czasowych wymaganych dla prawidłowej realizacji zmian dowolnych $Q^t \to Q^{t+1}$ przerzutników synchronicznych jedno- i dwutaktowych przedstawiono na rys. 3.2.1.

3.3. Realizowalność struktury szeregowo-równoległej

Zakłada się, że w szeregowo-równoległym N-bitowym liczniku mod P o wejściu licznikowym X i wyjściach Q_i $(i = 0,1,\ldots,N-1)$:

- m stopni o wyjściach

  $$Q_{i_1}, Q_{i_2}, \ldots, Q_{i_k}, \ldots, Q_{i_m}$$

  $$(0 \leqslant i_k \leqslant N-1, \quad \text{dla} \quad k = 1,2,\ldots,m)$$

  realizowanych jest jako równoległe;

- (N-m) stopni o wyjściach

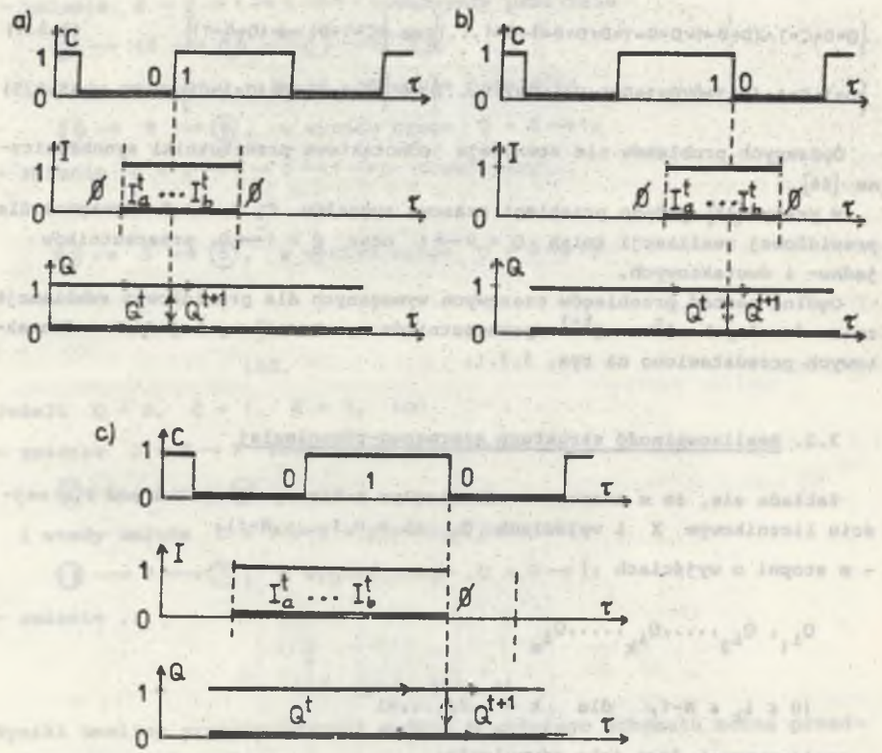
  $$Q_{j_1}, Q_{j_2}, \ldots, Q_{j_l}, \ldots, Q_{j_{(N-m)}}$$

  $$(0 \leqslant j_l \leqslant N-1, \quad \text{dla} \quad l = 1,2,\ldots,N-m; \quad j_l \neq i_k)$$

  realizowanych jest jako szeregowe.

Zmianom $Q_i = 0 \to 1$ lub $Q_i = 1 \to 0$ poszczególnych stopni licznika powinny towarzyszyć odpowiednie zmiany stanu wejść taktujących C_i, a mianowicie:

- $C_i = 0 \to 1$ - dla stopni zrealizowanych z zastosowaniem przerzutników wyzwalanych dodatnim zboczem;



Rys. 3.2.1. Realizacja zmian $Q^t \rightarrow Q^{t+1}$ przerzutników synchronicznych o wyjściu Q, wejściu taktującym C i wejściach informacyjnych $I_a,\dots,I_b$

a) wyzwalanych dodatnim zboczem, b) wyzwalanych ujemnym zboczem, c) dwutaktowych

Fig. 3.2.1. Realization of changes $Q^t \rightarrow Q^{t+1}$ of the synchronous flip-flops with output Q, tacting input C and information inputs $I_a,\dots,I_b$

a) edge-triggered positive slope, b) edge-triggered negative slope, c) master-slave

- $C_i = 1 \rightarrow 0$ - dla stopni zrealizowanych z zastosowaniem przerzutników wyzwalanych ujemnym zboczem lub przerzutników dwutaktowych.

Oznaczmy sekwencję stanów wyjść

$$S_t = (Q_{N-1}\, Q_{N-2} \dots Q_i \dots Q_1\, Q_0)_t = Q_{(N-1)t} Q_{(N-2)t} \dots Q_{it} \dots Q_{1t} Q_{ot} \qquad (3.3.1)$$

$(t = 0,1,\dots,P-1)$

LEMAT 3.3.1

Dla $C_i = x$ możliwa jest realizacja dowolnej sekwencji zmian stanów wyjścia Q_i.

D o w ó d:

Dowód wynika z faktu, że kolejne chwile: 0,1,...,t,t+1,t+2,... wyznaczane są przez kolejne impulsy zliczane i w związku z tym wystarczy, aby w tych chwilach zapewnić odpowiedni stan wejść informacyjnych przerzutnika i-tego stopnia zgodnie z tablicą wzbudzeń tego przerzutnika (tabl. 3.2.1).

LEMAT 3.3.2

Dla $C_i \neq x$ nie jest możliwa realizacja sekwencji stanów wyjścia:

$$- Q_{it} \rightarrow Q_{i(t+1)} \rightarrow Q_{i(t+2)} = 0 \rightarrow 1 \rightarrow 0 \qquad (3.3.2)$$

oraz

$$- Q_{it} \rightarrow Q_{i(t+1)} \rightarrow Q_{i(t+2)} = 1 \rightarrow 0 \rightarrow 1 \qquad (3.3.3)$$

D o w ó d:

Realizacja każdej z sekwencji (3.3.2, 3.3.3) jest możliwa, o ile zmianom

$$Q_{it} \rightarrow Q_{i(t+1)} \quad \text{i} \quad Q_{i(t+1)} \rightarrow Q_{i(t+2)}$$

będzie towarzyszyła taka sama zmiana na wejściu taktującym, tzn.:

- $C_i = 0 \rightarrow 1$ - dla stopni zrealizowanych z zastosowaniem przerzutników wyzwalanych dodatnim zboczem;
- $C_i = 1 \rightarrow 0$ - dla stopni zrealizowanych z zastosowaniem przerzutników wyzwalanych ujemnym zboczem lub przerzutników dwutaktowych.

Jak jednak wynika z przebiegów przedstawionych na rys. 3.2.1, jest to niemożliwe.

Oznaczmy dodatkowo:

- sumę mod 2 stanów wyjścia Q_i w dwóch sąsiednich stanach wyjść (t i (t+1) - szym)

$$Q_{it} \oplus Q_{i(t+1)} = \alpha^{i}_{t(t+1)} \qquad (3.3.4)$$

Przykład 3.3.1

Dla licznika mod 5 o cyklu $\rightarrow S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow S_4 \rightarrow$

$$S_0 = (0\ 0\ 0)_0 = (Q_2\ Q_1\ Q_0)_0 = Q_{20}\ Q_{10}\ Q_{00}$$

$$S_1 = (0\ 0\ 1)_1 = (Q_2\ Q_1\ Q_0)_1 = Q_{21}\ Q_{11}\ Q_{01}$$

$$S_2 = (0\ 1\ 0)_2 = (Q_2\ Q_1\ Q_0)_2 = Q_{22}\ Q_{12}\ Q_{02}$$

$$S_3 = (0\ 1\ 1)_3 = (Q_2\ Q_1\ Q_0)_3 = Q_{23}\ Q_{13}\ Q_{03}$$

$$S_4 = (1\ 0\ 0)_4 = (Q_2\ Q_1\ Q_0)_4 = Q_{24}\ Q_{14}\ Q_{04}$$

Dla stopnia 1 o wyjściu Q_1:

$$\alpha^{1}_{01} = Q_{10} \oplus Q_{11} = 0 \oplus 0 = 0$$

$$\alpha^{1}_{12} = Q_{11} \oplus Q_{12} = 0 \oplus 1 = 1$$

$$\alpha^{1}_{23} = Q_{12} \oplus Q_{13} = 1 \oplus 1 = 0$$

$$\alpha^{1}_{34} = Q_{13} \oplus Q_{14} = 1 \oplus 0 = 1$$

$$\alpha^{1}_{40} = Q_{14} \oplus Q_{10} = 0 \oplus 0 = 0$$

Podobnie można określić wartości odpowiadające:

$$-\alpha^{2}_{01}, \alpha^{2}_{12}, \ldots, \alpha^{2}_{34}, \alpha^{2}_{40};$$

$$-\alpha^{0}_{01}, \alpha^{0}_{12}, \ldots, \alpha^{0}_{34}, \alpha^{0}_{40}.$$

Warto zwrócić uwagę na fakt, że wprowadzona wielkość $\alpha^{i}_{t(t+1)}$ umożliwia wykrycie sekwencji zmian stanów wyjścia Q_i typu (3.3.2) i (3.3.3), zachodzi bowiem w tych przypadkach zależność:

$$\alpha^{i}_{t(t+1)}\ \alpha^{i}_{(t+1)(t+2)} = 1 \qquad (3.3.5)$$

Przykład 3.3.2

Dla licznika mod 5 z przykładu 3.3.1

- dla $Q_{23} \rightarrow Q_{24} \rightarrow Q_{20} = 0 \rightarrow 1 \rightarrow 0$, jest:

$$\alpha^{2}_{34} = Q_{23} \oplus Q_{24} = 0 \oplus 1 = 1$$

$$\alpha^{2}_{40} = Q_{24} \oplus Q_{20} = 1 \oplus 0 = 1$$

$$\alpha^{2}_{34}\alpha^{2}_{40} = 1 \cdot 1 = 1,$$

- dla $Q_{01} \rightarrow Q_{02} \rightarrow Q_{03} = 1 \rightarrow 0 \rightarrow 1$, jest:

$$\alpha^{0}_{12} = Q_{01} \oplus Q_{02} = 1 \oplus 0 = 1$$

$$\alpha^{0}_{23} = Q_{02} \oplus Q_{03} = 0 \oplus 1 = 1$$

$$\alpha^{0}_{12}\alpha^{0}_{23} = 1 \cdot 1 = 1.$$

TWIERDZENIE 3.3.1

N-bitowy licznik mod P może być zrealizowany jako szeregowo-równoległy o m-stopniach równoległych, jeżeli jednocześnie zachodzą dwa następujące warunki:

$$\left.\begin{array}{l} \exists_{0<m<N}\left(\left\{\bigwedge_{t=0}^{P-2}\bigvee_{k=1}^{m}\alpha^{i_k}_{t(t+1)}\right\} \wedge \left\{\bigvee_{k=1}^{m}\alpha^{i_k}_{(P-1)0}\right\} = 1\right) \qquad (3.3.6a) \\ \bigvee_{\substack{0\leq i\leq N-1 \\ i\neq i_k}}\left(\bigvee_{0\leq t\leq P-3}\left\{\alpha^{i}_{t(t+1)}\alpha^{i}_{(t+1)(t+2)} \neq 1\right\} \wedge \left\{\alpha^{i}_{(P-2)(P-1)}\alpha^{i}_{(P-1)0} \neq 1\right\}\right) \qquad (3.3.6b) \end{array}\right\} \qquad (3.3.6)$$

D o w ó d:

Warunek (3.3.6b) oznacza, że spośród stopni realizowanych jako szeregowe wyklucza się te, dla których w kolejnych chwilach (t, t+1, t+2) wyznaczonych przez sygnał zliczany występuje chociaż jedna zmiana typu $Q_i = 0 \rightarrow 1 \rightarrow 0$ lub $Q_i = 1 \rightarrow 0 \rightarrow 1$ (por. LEMAT 3.3.2). Stopnie te muszą więc być zrealizowane jako równoległe. Jeżeli więc dla N-bitowego licznika mod P jego

m-stopni, spełniających warunek (3.3.6a), zrealizować jako równoległe, to przy spełnieniu warunku (3.3.6b) uzyska się możliwość zrealizowania każdego z kolejnych przejść w cyklu licznika $S_0 \to S_1$, $S_1 \to S_2, \ldots, S_t \to S_{t+1}, \ldots,$ $S_{P-2} \to S_{P-1}$, $S_{P-1} \to S_0$. Wynika to z faktu, że realizacja właściwych zmian sygnałów wyjściowych na pozostałych (N-m)-stopniach tego licznika może być uzyskana poprzez zmiany sygnałów wyjściowych na m-stopniach równoległych, które występują między wszystkimi kolejnymi stanami.

Warunek (3.3.6) pozwala więc wyznaczyć te stopnie, które muszą być realizowane jako równoległe.

Przykład 3.3.3

Dla licznika mod 5 z przykładu 3.3.1, ze względu na istniejące sekwencje zmian stanów wyjść

$$Q_{23} \to Q_{24} \to Q_{20} = 0 \to 1 \to 0$$

oraz

$$Q_{00} \to Q_{01} \to Q_{02} = 0 \to 1 \to 0$$

$$Q_{01} \to Q_{02} \to Q_{03} = 1 \to 0 \to 1$$

$$Q_{02} \to Q_{03} \to Q_{04} = 0 \to 1 \to 0$$

stopnie o wyjściach Q_2 i Q_0 muszą być realizowane jako równoległe. Ponieważ dla stopni o wyjściach Q_2 i Q_0 spełniony jest warunek (3.3.6a), a mianowicie:

$$(\alpha^2_{01} \vee \alpha^0_{01})(\alpha^2_{12} \vee \alpha^0_{12})(\alpha^2_{23} \vee \alpha^0_{23})(\alpha^2_{34} \vee \alpha^0_{34})(\alpha^2_{40} \vee \alpha^0_{40}) =$$

$$= (0 \vee 1)(0 \vee 1)(0 \vee 1)(1 \vee 1)(1 \vee 0) = 1,$$

można przyjąć $m = 2$.

Przykład 3.3.4

Dla licznika mod 3 o cyklu $\boxed{S_0 \to S_1 \to S_2}$

$$S_0 = (0\ 0)_0 = Q_{10}\, Q_{00}$$

$$S_1 = (0\ 1)_1 = Q_{11}\, Q_{01}$$

$$S_2 = (1\ 0)_2 = Q_{12}\, Q_{02}.$$

Jak wynika z warunku (3.3.6), licznik ten nie może być zrealizowany jako szeregowo-równoległy, gdyż

$$Q_{11} \to Q_{12} \to Q_{10} = 0 \to 1 \to 0$$

$$Q_{00} \to Q_{01} \to Q_{02} = 0 \to 1 \to 0.$$

3.4. Określanie funkcji wzbudzeń wejść taktujących

W ogólnym przypadku struktury szeregowo-równoległej licznika

$$C = \begin{cases} x \text{ - dla stopnia równoległego;} \\ C(k_0, k_1, \ldots, k_{R-1}, Q_0, Q_1, \ldots, Q_{N-1}) \text{ - dla stopnia szeregowego.} \end{cases}$$

Na podstawie warunku (3.3.6) określa się te stopnie, które muszą być realizowane jako równoległe

$$C_{i_1} = C_{i_2} = \ldots = C_{i_k} = \ldots = C_{i_m} = x.$$

Następnie, na podstawie znajomości kolejnych sekwencji cyklu, określa się postać zależności dla stopni szeregowych. W tym celu określa się typ zmiany stanu C_{j_l}, jaki powinien towarzyszyć zmianom

$$Q_{j_l} = 0 \to 1 \quad \text{lub} \quad Q_{j_l} = 1 \to 0,$$

w zależności od sposobu wyzwalania przerzutnika, zgodnie ze schematem przedstawionym w tablicach 3.4.1 - 3.4.2.

Z kolei wprost z tablicy zależności dla sygnału taktującego lub po przejściu na siatki Karnaugha można uzyskać wyrażenia:

$$C_{j_l} = C_{j_l}(k_0, k_1, \ldots, k_{R-1}, Q_0, Q_1, \ldots, Q_{N-1}),$$

$$(0 \leq j_l \leq N-1, \quad \text{dla} \quad l = 1, 2, \ldots, N-m).$$

Tablica 3.4.1

Tablica zależności dla sygnału taktującego przerzutników synchronicznych wyzwalanych dodatnim zboczem

$\ldots k_{R-1} \ldots Q_{j_1} \ldots$	$\ldots C_{j_1} \ldots$
$\vdots$	$\vdots$
$\frac{0}{1}$	$\frac{0}{1}$
$\vdots$	$\vdots$
$\frac{1}{0}$	$\frac{0}{1}$
$\vdots$	$\vdots$

Tablica 3.4.2

Tablica zależności dla sygnału taktującego przerzutników synchronicznych wyzalanych ujemnym zboczem i przerzutników dwutaktowych

$\ldots k_{R-1} \ldots Q_{j_1} \ldots$	$\ldots C_{j_1} \ldots$
$\vdots$	$\vdots$
$\frac{0}{1}$	$\frac{1}{0}$
$\vdots$	$\vdots$
$\frac{1}{0}$	$\frac{1}{0}$
$\vdots$	$\vdots$

3.5. Określanie funkcji wzbudzeń wejść informacyjnych

Wykorzystując znajomość przebiegów C_{j_1} oraz znajomość przebiegów czasowych stosowanych przerzutników synchronicznych (rys. 3.2.1) można określić stany wejść informacyjnych $I_{j_1a},\ldots,I_{j_1b}$ niezbędne do uzyskania zadanego cyklu licznika, co pozwala określić postać wyrażeń dla funkcji wzbudzeń wejść informacyjnych przerzutników stopni szeregowych

$$I_{j_1a} = I_{j_1a}(k_0,k_1,\ldots,k_{R-1},Q_0,Q_1,\ldots,Q_{N-1}),$$

$$\vdots$$

$$I_{j_1b} = I_{j_1b}(k_0,k_1,\ldots,k_{R-1},Q_0,Q_1,\ldots,Q_{N-1}).$$

Określanie funkcji wejść informacyjnych przerzutników stopni równoległych, z uwagi na taktowanie ich sygnałem x, odbywa się bezpośrednio na podstawie tablicy wzbudzeń przerzutników.

Z uwagi na nierównoczesną zmianę stanów wyjść poszczególnych stopni, projektowanie struktur szeregowo-równoległych wymaga zwrócenia szczególnej uwagi na zjawisko hazardu. Zależności (3.2.1) - (3.2.5), stanowiące wynik analizy pracy przerzutników dwutaktowych, pozwalają sformułować dwa wnioski odnoszące się do określania funkcji wzbudzeń wyjść informacyjnych przerzutników dwutaktowych, wykorzystywanych do realizacji struktur szeregowo-równoległych.

Wniosek 3.5.1

W przypadku określania z warunków niedziałania funkcji wzbudzeń J, K i T przerzutników synchronicznych dwutaktowych, stosowanych do realizacji struktur szeregowo-równoległych, należy uwzględniać w nich wyrażenia odpowiadające grupom antyhazardowym.

Konieczność taka wynika z faktu, że, zgodnie z zależnościami (3.2.1) - (3.2.3), niedopuszczalne są zmiany stanów wejść J, K i T typu $0 \rightarrow 1$ lub poprzedzone takim typem zmian.

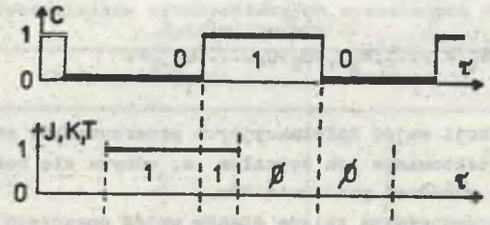
Wniosek 3.5.2

W przypadku określania funkcji wzbudzeń D przerzutników synchronicznych dwutaktowych, stosowanych do realizacji struktur szeregowo-równoległych, należy uwzględniać w nich wyrażenia odpowiadające grupom antyhazardowym zarówno w warunkach działania, jak i niedziałania.

Konieczność taka wynika z faktu, że, zgodnie z zależnościami (3.2.4) i (3.2.5), niedopuszczalnymi zmianami na wejściu D są zarówno zmiany typu $0 \rightarrow 1$ i $1 \rightarrow 0$, jak również wszystkie inne nimi poprzedzone.

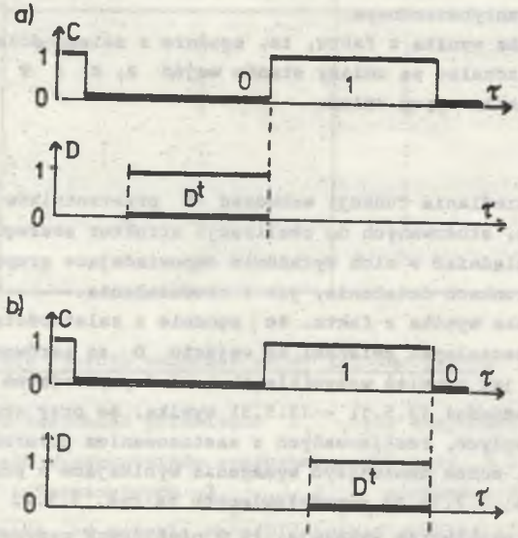
Ponadto z zależności (3.5.1) - (3.5.3) wynika, że przy syntezie struktur szeregowo-równoległych, realizowanych z zastosowaniem przerzutników dwutaktowych JK i T, można zmniejszyć wymagania wynikające z przebiegów przedstawionych na rys. 3.2.1c do przedstawionych na rys. 3.5.1.

Doświadczenia praktyczne wykazują, że w niektórych przypadkach wykorzystania przerzutników jednotaktowych D można ograniczyć wymagania wynikające z przebiegów przedstawionych na rys. 3.2.1a,b do przedstawionych na rys. 3.5.2a,b.



Rys. 3.5.1. Szczególny przypadek realizacji zmian w przerzutnikach dwutaktowych JK i T

Fig. 3.5.1. Particular case of realization changes in the JK and T flip-flops master-slave



Rys. 3.5.2. Szczególny przypadek realizacji zmian w przerzutnikach jednotaktowych D

Fig. 3.5.2. Particular case of realization changes in the D flip-flops edge-triggered

4. PRZYKŁADY SYNTEZY LICZNIKÓW

Oprócz podziału liczników ze względu na strukturę, dokonuje się również podziału na:

- jednokierunkowe (dodające lub odejmujące);
- dwukierunkowe (rewersyjne, nawrotne);
- programowane.

Uwzględniając dodatkowo możliwość stosowania w cyklu różnych kodów, przedstawienie w sposób wyczerpujący tematyki objętej tytułem tego rozdziału staje się utrudnione.

W związku z powyższym w rozpatrywanych przykładach:

- ograniczono się do naturalnego kodu dwójkowego;
- przedstawiono wyniki syntezy liczników jednokierunkowych (dodających i odejmujących) i dwukierunkowych rozpatrując: liczniki szeregowe mod 2^N, liczniki równoległe mod 2^N, liczniki szeregowo-równoległe mod P i liczniki równoległe mod P, ograniczając wartość $P (P < 10)$;
- w zakresie liczników szeregowo-równoległych podano pełny przebieg syntezy dodających liczników jednokierunkowych;
- syntezę liczników programowanych ograniczono do jednego przykładu.

Przedstawienie w takim samym zakresie wyników syntezy liczników jednokierunkowych i dwukierunkowych o strukturze szeregowej, równoległej i szeregowo-równoległej pozwala porównać stopień zróżnicowania uzyskanych rozwiązań.

4.1. Liczniki jednokierunkowe

4.1.1. Liczniki dodające

4.1.1.1. Liczniki szeregowe mod 2^N

Licznik mod 16 (D M-S, T M-S, JK M-S)

W tablicy 4.1.1 przedstawiono I etap syntezy tego licznika.

Na podstawie warunku (3.3.6) uzyskuje się $C_0 = x$. Bezpośrednio z uzyskanej tablicy zależności (tabl. 4.1.1) lub z odpowiadających jej siatek Karnaugha uzyskuje się:

$$C_1 = Q_0$$

$C_2 = Q_1$

$C_3 = Q_2$

Tablica 4.1.1

I etap syntezy licznika mod 16
(realizacja M-S)

$Q_3Q_2Q_1Q_0$	$C_3C_2C_1$
0 0 0 0	0 0 0
0 0 0 1	1
0 0 1 0	0
0 0 1 1	1 1
0 1 0 0	0 0
0 1 0 1	1
0 1 1 0	0
0 1 1 1	1 1 1
1 0 0 0	0 0 0
1 0 0 1	1
1 0 1 0	0
1 0 1 1	1 1
1 1 0 0	0 0
1 1 0 1	1
1 1 1 0	0
1 1 1 1	1 1 1

Uzyskane zależności pozwalają utworzyć kolumny dla D_1, T_1 (tabl. 4.1.2).

Z utworzonej tablicy zależności wynika, że:

$D_0 = \bar{Q}_0$; $\quad T_0 = J_0 = K_0 = 1$

$D_1 = \bar{Q}_1$; $\quad T_1 = J_1 = K_1 = 1$

$D_2 = \bar{Q}_2$; $\quad T_2 = J_2 = K_2 = 1$

$D_3 = \bar{Q}_3$; $\quad T_3 = J_3 = K_3 = 1$

Tablica 4.1.2

II etap syntezy licznika mod 16 (realizacja M-S)

$Q_3Q_2Q_1Q_0$	C_3	C_2	C_1	$D_3D_2D_1D_0$	$T_3T_2T_1T_0$
0 0 0 0	0	0	0	1 1	1 1
0 0 0 1			1	1 1 0	1 1 1
0 0 1 0			0	1 0 1	1 1 1
0 0 1 1		1	1	1 1 0 0	1 1 1 1
0 1 0 0		0	0	1 1	1 1
0 1 0 1			1	1 0 1 0	1 1 1 1
0 1 1 0			0	1 0 0 1	1 1 1 1
0 1 1 1	1	1	1	1 0 0 0	1 1 1 1
1 0 0 0	0	0	0	1 1	1 1
1 0 0 1			1	1 1 0	1 1 1
1 0 1 0			0	1 0 1	1 1 1
1 0 1 1		1	1	0 1 0 0	1 1 1 1
1 1 0 0		0	0	0 1 1	1 1
1 1 0 1			1	0 0 1 0	1 1 1 1
1 1 1 0			0	0 0 0 1	1 1 1 1
1 1 1 1	1	1	1	0 0 0 0	1 1 1 1

Licznik mod 2^N (D M-S, T M-S, JK M-S)

Dla tego licznika uzyskuje się:

$$C_0 = x$$

$$C_l = Q_{l-1}, \quad l = 1,2,\ldots,N-1$$

$$\left.\begin{aligned} D_l &= \bar{Q}_l \\ T_l &= J_l = K_l = 1 \end{aligned}\right\} \quad l = 0,1,\ldots,N-1 \qquad (4.1.1.1)$$

Licznik mod 16 (D E-T)

I i II etap syntezy tego licznika ilustruje tablica 4.1.3.

Tablica 4.1.3

Synteza licznika mod 16 (realizacja E-T)

$Q_3Q_2Q_1Q_0$	C_3	C_2	C_1	$D_3D_2D_1D_0$
0 0 0 0	1	1	1	0 0 0 1
0 0 0 1			0	1 0
0 0 1 0			1	1 1
0 0 1 1		0	0	1 0 0
0 1 0 0		1	1	1 0 1
0 1 0 1			0	1 0
0 1 1 0			1	1 1
0 1 1 1	0	0	0	1 0 0 0
1 0 0 0	1	1	1	1 0 0 1
1 0 0 1			0	1 0
1 0 1 0			1	1 1
1 0 1 1		0	0	1 0 0
1 1 0 0		1	1	1 0 1
1 1 0 1			0	1 0
1 1 1 0			1	1 1
1 1 1 1	0	0	0	0 0 0 0

W wyniku syntezy uzyskuje się zależności:

$C_0 = x, \quad C_1 = \bar{Q}_0, \quad C_2 = \bar{Q}_1, \quad C_3 = \bar{Q}_2$

$D_0 = \bar{Q}_0$

$D_1 = Q_1 \oplus Q_0$

$D_2 = Q_2 \oplus Q_1$

lub $= Q_2 \oplus Q_0$

$= Q_2\bar{Q}_1 \vee \bar{Q}_2Q_0$

$= \bar{Q}_2Q_1 \vee Q_2\bar{Q}_0$

$D_3 = Q_3 \oplus Q_2$

lub $= Q_3 \oplus Q_1$

$= Q_3 \oplus Q_0$

$= Q_3\bar{Q}_1 \vee \bar{Q}_3Q_0$

$= \bar{Q}_3Q_1 \vee Q_3\bar{Q}_0$

Licznik mod 2^N (D E-T)

Dla tego licznika uzyskuje się:

$$\boxed{\begin{aligned} &C_0 = x \\ &C_l = \bar{Q}_{l-1}, \quad l = 1,2,\ldots,N-1 \\ &D_0 = \bar{Q}_0 \\ &D_1 = Q_1 \oplus Q_0 \\ &D_l = Q_l \oplus Q_{l-1} \\ \text{lub} \quad &= Q_l \oplus Q_{l-2} \\ &\vdots \\ &= Q_l \oplus Q_0 \\ &= Q_l\bar{Q}_l \vee \bar{Q}_lQ_0 \\ &= \bar{Q}_lQ_l \vee Q_l\bar{Q}_0 \end{aligned} \quad l = 2,3,\ldots,N-1} \qquad (4.1.1.2)$$

4.1.1.2. Liczniki równoległe mod 2^N

Dla tego licznika uzyskuje się:

$C_l = x, \quad l = 0,1,\ldots,N-1$

- dla przerzutników D

$$\boxed{\begin{aligned} &D_0 = \bar{Q}_0 \\ &D_l = Q_l \oplus \left(\bigwedge_{k=1}^{l} Q_{k-1}\right), \quad l = 1,2,\ldots,N-1 \end{aligned}} \qquad (4.1.1.3)$$

- dla przerzutników T, JK

$$\boxed{\begin{aligned} &T_0 = J_0 = K_0 = 1 \\ &T_l = J_l = K_l = \bigwedge_{k=1}^{l} Q_{k-1}, \quad l = 1,2,\ldots,N-1 \end{aligned}} \qquad (4.1.1.4)$$

lub

$$\boxed{\begin{aligned} &T_0 = J_0 = K_0 = 1 \\ &T_l = J_l = K_l = Q_{l-1} \cdot T_{l-1} = Q_{l-1} \cdot (J_{l-1} = K_{l-1}) \end{aligned}} \qquad (4.1.1.5)$$

Realizacjom powyższym odpowiadają:

- struktura z przeniesieniem równoległym - wg (4.1.1.4);
- struktura z przeniesieniem szeregowym - wg (4.1.1.5).

4.1.1.3. Liczniki szeregowo-równoległe mod P

Licznik mod 3

Licznik ten nie może być zrealizowany jako szeregowo-równoległy - patrz warunek (3.3.6).

Licznik mod 5

Syntezę tego licznika ilustruje tabl. 4.1.4. Ostatnia kolumna tej tablicy, w tym i w dalszych przykładach, odpowiada strukturze równoległej.

Tablica 4.1.4

Synteza licznika szeregowo-równoległego mod 5

Kod	M-S		E-T		M-S, E-T
$Q_2Q_1Q_0$	C_1	D_1	C_1	D_1	D_2 D_0
0 0 0		1			0 1
0 0 1	1	1	0	1	0 0
0 1 0	0	0	1	1	0 1
0 1 1	1	0	0	0	1 0
1 0 0	0		1	0	0 0

Zgodnie z war. (3.3.6)

$$C_2 = C_0 = x.$$

Z uzyskanych tablic zależności lub odpowiadających im siatek Karnaugha otrzymujemy:

a) dla realizacji M-S

$$C_1 = Q_0$$

$$D_2 = Q_1Q_0; \qquad J_2 = Q_1Q_0, \qquad K_2 = 1$$

$$D_1 = \bar{Q}_1; \qquad J_1 = 1, \qquad K_1 = 1$$

$$D_0 = \bar{Q}_2\bar{Q}_0; \qquad J_0 = \bar{Q}_2, \qquad K_0 = 1$$

b) dla realizacji E-T

$$C_1 = \bar{Q}_0$$

$$D_2 = Q_1Q_0, \quad D_1 = Q_1 \oplus Q_0, \quad D_0 = \bar{Q}_2\bar{Q}_0$$

Licznik mod 6

Syntezę tego licznika ilustruje tablica 4.1.5.

Tablica 4.1.5

Synteza licznika szeregowo-równoległego mod 6

Kod	M-S			E-T			M-S, E-T
$Q_2Q_1Q_0$	C_2	C_1	D_2D_1	C_2	C_1	D_2D_1	D_0
0 0 0	0		0 1	1		0 0	1
0 0 1		1	0 1		0	0 1	0
0 1 0		0	1 0		1	0 1	1
0 1 1	1	1	1 0	0	0	1 0	0
1 0 0	0	0	0 0	1	1	1 0	1
1 0 1	1		0 0	0		0 0	0

Ostatecznie otrzymuje się:

$$C_0 = x$$

a) dla realizacji M-S

$C_2 = C_1 = Q_0$

$D_2 = Q_1;$ $J_2 = Q_1,$ $K_2 = 1$

$D_1 = \bar{Q}_2\bar{Q}_1;$ $J_1 = \bar{Q}_2,$ $K_1 = 1$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

b) dla realizacji E-T

$C_2 = C_1 = \bar{Q}_0$

$D_2 = Q_2\bar{Q}_0 \vee Q_1Q_0$

$D_1 = \bar{Q}_2\bar{Q}_1Q_0 \vee Q_1\bar{Q}_0$

$D_0 = \bar{Q}_0$

Licznik mod 7

Syntezę tego licznika ilustruje tablica 4.1.6.

Tablica 4.1.6

Synteza licznika szeregowo-równoległego mod 7

Kod	M-S		E-T		M-S, E-T
$Q_2Q_1Q_0$	C_2	D_2	C_2	D_2	D_1D_0
0 0 0	0		1	0	0 1
0 0 1		1			1 0
0 1 0		1			1 1
0 1 1	1	1	0	1	0 0
1 0 0	0		1	1	0 1
1 0 1		0			1 0
1 1 0	1	0	0	0	0 0

Ostatecznie otrzymuje się:

$C_1 = C_0 = x$

a) dla realizacji M-S

$C_2 = Q_1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{Q}_2Q_1\bar{Q}_0 \vee \bar{Q}_1Q_0;$ $J_1 = Q_0,$ $K_1 = Q_2 \vee Q_0$

$D_0 = \bar{Q}_2\bar{Q}_0 \vee \bar{Q}_1\bar{Q}_0;$ $J_0 = \bar{Q}_2 \vee \bar{Q}_1,$ $K_0 = 1$

b) dla realizacji E-T

$C_2 = \bar{Q}_1$

$D_2 = Q_2\bar{Q}_1 \vee Q_0$

$D_1 = \bar{Q}_2Q_1\bar{Q}_0 \vee \bar{Q}_1Q_0$

$D_0 = \bar{Q}_2\bar{Q}_0 \vee \bar{Q}_1\bar{Q}_0$

Licznik mod 9

Syntezę tego licznika ilustruje tablica 4.1.7 (dla przypadku gdy $C_2 = Q_1$).

Tablica 4.1.7

Synteza licznika szeregowo-równoległego mod 9 (dla $C_2 = Q_1$)

Kod	M-S			E-T			M-S, E-T
$Q_3Q_2Q_1Q_0$	C_2	C_1	D_2D_1	C_2	C_1	D_2D_1	D_3D_0
0 0 0 0			1				0 1
0 0 0 1		1	1 1		0	1	0 0
0 0 1 0		0	1 0		1	1	0 1
0 0 1 1	1	1	1 0	0	0	1 0	0 0
0 1 0 0	0	0	1	1	1	1 0	0 1
0 1 0 1		1	0 1		0	1	0 0
0 1 1 0		0	0 0		1	1	0 1
0 1 1 1	1	1	0 0	0	0	0 0	1 0
1 0 0 0	0	0		1	1	0 0	0 0

Ostatecznie otrzymuje się:

$C_3 = C_0 = x$

a) dla realizacji M-S

$C_2 = Q_1$

$C_1 = Q_0$

$D_3 = Q_2Q_1Q_0;$ $J_3 = Q_2Q_1Q_0,$ $K_3 = 1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{Q}_1;$ $J_1 = 1,$ $K_1 = 1$

$D_0 = \bar{Q}_3\bar{Q}_0;$ $J_0 = \bar{Q}_3,$ $K_0 = 1$

b) dla realizacji E-T

$C_2 = \bar{Q}_1$

$C_1 = \bar{Q}_0$

$D_3 = Q_2Q_1Q_0$

$D_2 = Q_2 \oplus Q_1$

$D_1 = Q_1 \oplus Q_0$

$D_0 = \bar{Q}_3\bar{Q}_0$

Łatwo zauważyć, że można również przyjąć:

a) dla realizacji M-S

$C_2 = C_1 = Q_0$

i wtedy

$D_2 = Q_2 \oplus Q_1$

b) dla realizacji E-T

$C_2 = C_1 = \bar{Q}_0$

i wtedy

$D_2 = \bar{Q}_2Q_1Q_0 \vee Q_2\bar{Q}_1 \vee Q_2\bar{Q}_0$

Licznik mod 10

Syntezę tego licznika ilustruje tablica 4.1.8 (dla przypadku gdy $C_2 = Q_1$).

Tablica 4.1.8

Synteza licznika szeregowo-równoległego mod 10 (dla $C_2 = Q_1$)

Kod	M-S				E-T				M-S, E-T
$Q_3Q_2Q_1Q_0$	C_3	C_2	C_1	$D_3D_2D_1$	C_3	C_2	C_1	$D_3D_2D_1$	D_0
0 0 0 0	0			0 1	1			0 0	1
0 0 0 1			1	0 1 1			0	0 1	0
0 0 1 0			0	0 1 0			1	0 1	1
0 0 1 1		1	1	0 1 0		0	0	0 1 0	0
0 1 0 0		0	0	0 1		1	1	0 1 0	1
0 1 0 1			1	0 0 1			0	0 1	0
0 1 1 0			0	1 0 0			1	0 1	1
0 1 1 1	1	1	1	1 0 0	0	0	0	1 0 0	0
1 0 0 0	0	0	0	0 0	1	1	1	1 0 0	0
1 0 0 1	1			0 0	0			0 0	0

Ostatecznie otrzymuje się:

$C_0 = x$

a) dla realizacji M-S

$C_3 = C_1 = Q_0$

$C_2 = Q_1$

$D_3 = Q_2Q_1;$ $J_3 = Q_2Q_1,$ $K_3 = 1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{Q}_3\bar{Q}_1;$ $J_1 = \bar{Q}_3,$ $K_1 = 1$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

b) dla realizacji E-T

$C_3 = C_1 = \bar{Q}_0$

$C_2 = \bar{Q}_1$

$D_3 = Q_2Q_1Q_0 \vee Q_3\bar{Q}_0$

$D_2 = Q_2 \oplus Q_1$

$D_1 = \bar{Q}_3\bar{Q}_1Q_0 \vee Q_1\bar{Q}_0$

$D_0 = \bar{Q}_0$

Można również przyjąć:

a) dla realizacji M-S

$C_2 = Q_0$

i wtedy

$D_2 = Q_2 \oplus Q_1$

b) dla realizacji E-T

$C_2 = \bar{Q}_0$

i wtedy

$D_2 = \bar{Q}_2Q_1Q_0 \vee Q_2\bar{Q}_1 \vee Q_2\bar{Q}_0$

Liczniki mod 2^N

Różne struktury szeregowo-równoległe liczników mod 2^N ($N \geq 3$) wynikają z możliwości przyjęcia (por. 4.1.1.1) między innymi:

a) dla realizacji M-S

$C_0 = x$

$C_l = Q_k, \quad l > k$

b) dla realizacji E-T

$C_0 = x$

$C_l = \bar{Q}_k, \quad l > k$

4.1.1.4. Liczniki równoległe mod P

W tym przypadku

$C_l = x, \quad l = 0,1,\ldots,N-1$

Realizując wszystkie stopnie jako równoległe uzyskuje się odpowiednio:

Licznik mod 3

$D_1 = Q_0;$ $J_1 = Q_0,$ $K_1 = 1$

$D_0 = \bar{Q}_1\bar{Q}_0;$ $J_0 = \bar{Q}_1,$ $K_0 = 1$

Licznik mod 5

$D_2 = Q_1Q_0;$ $J_2 = Q_1Q_0,$ $K_2 = 1$

$D_1 = Q_1 \oplus Q_0;$ $J_1 = Q_0,$ $K_1 = Q_0$

$D_0 = \bar{Q}_2\bar{Q}_0;$ $J_0 = \bar{Q}_2,$ $K_0 = 1$

Licznik mod 6

$D_2 = Q_2\bar{Q}_1\bar{Q}_0 \vee Q_1Q_0;$ $J_2 = Q_1Q_0,$ $K_2 = Q_0$

$D_1 = \bar{Q}_2\bar{Q}_1Q_0 \vee Q_1\bar{Q}_0;$ $J_1 = \bar{Q}_2Q_0,$ $K_1 = Q_0$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

Licznik mod 7

$D_2 = Q_2\bar{Q}_1 \vee Q_1Q_0;$ $J_2 = Q_1Q_0,$ $K_2 = Q_1$

$D_1 = \bar{Q}_1Q_0 \vee \bar{Q}_2Q_1\bar{Q}_0;$ $J_1 = Q_0,$ $K_1 = Q_2 \vee Q_0$

$D_0 = \bar{Q}_1\bar{Q}_0 \vee \bar{Q}_2\bar{Q}_0;$ $J_0 = \bar{Q}_2 \vee \bar{Q}_1,$ $K_0 = 1$

Licznik mod 9

$D_3 = Q_2Q_1Q_0;$ $J_3 = Q_2Q_1Q_0,$ $K_3 = 1$

$D_2 = \bar{Q}_2Q_1Q_0 \vee Q_2\bar{Q}_1 \vee Q_2\bar{Q}_0;$ $J_2 = Q_1Q_0,$ $K_2 = Q_1Q_0$

$D_1 = Q_1 \oplus Q_0;$ $J_1 = Q_0,$ $K_1 = Q_0$

$D_0 = \bar{Q}_3\bar{Q}_0;$ $J_0 = \bar{Q}_3,$ $K_0 = 1$

Licznik mod 10

$D_3 = Q_3\bar{Q}_0 \vee Q_2Q_1Q_0;$ $J_3 = Q_2Q_1Q_0,$ $K_3 = Q_0$

$D_2 = \bar{Q}_2Q_1Q_0 \vee Q_2\bar{Q}_1 \vee Q_2\bar{Q}_0;$ $J_2 = Q_1Q_0,$ $K_2 = Q_1Q_0$

$D_1 = \bar{Q}_3\bar{Q}_1Q_0 \vee Q_1\bar{Q}_0;$ $J_1 = \bar{Q}_3Q_0,$ $K_1 = Q_0$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

4.1.2. Liczniki odejmujące

4.1.2.1. Liczniki szeregowe mod 2^N

Licznik mod 2^N (D M-S, T M-S, JK M-S)

Dla tego licznika uzyskuje się:

$$\boxed{\begin{aligned} &C_0 = x \\ &C_l = \bar{Q}_{l-1}, \quad l = 1,2,\ldots,N-1 \\ &D_l = \bar{Q}_l, \quad l = 0,1,\ldots,N-1 \\ &T_l = J_l = K_l = 1, \quad l = 0,1,\ldots,N-1 \end{aligned}} \qquad (4.1.2.1)$$

Licznik mod 2^N (D E-T)

Dla tego licznika uzyskuje się:

$$\boxed{\begin{aligned} &C_0 = x \\ &C_l = Q_{l-1}, \quad l = 1,2,\ldots,N-1 \\ &D_0 = \bar{Q}_0 \\ &D_l = Q_l \oplus Q_0 \\ &D_l = Q_l \oplus Q_{l-1} \\ &\text{lub} \quad = Q_l \oplus Q_{l-2} \\ &\qquad \vdots \\ &\qquad = Q_l \oplus Q_0 \\ &\qquad = Q_l\bar{Q}_l \vee \bar{Q}_lQ_0 \\ &\qquad = \bar{Q}_lQ_l \vee Q_l\bar{Q}_0 \end{aligned}} \quad l = 2,3,\ldots,N-1 \qquad (4.1.2.2)$$

4.1.2.2. Liczniki równoległe mod 2^N

Dla tego licznika uzyskuje się:

$$C_l = x, \quad l = 0,1,\ldots,N-1$$

- dla przerzutników D

$$\boxed{\begin{aligned} D_0 &= \bar{Q}_0 \\ D_1 &= \overline{Q_1 \oplus Q_0} \\ D_l &= \overline{Q_l \oplus \bigvee_{k=1}^{l} Q_{k-1}}, \quad l = 1,2,\ldots,N-1 \end{aligned}} \qquad (4.1.2.3)$$

- dla przerzutników T, JK

$$\boxed{\begin{aligned} J_0 &= K_0 = T_0 = 1 \\ J_l &= K_l = T_l = \bigwedge_{k=1}^{l} \bar{Q}_{k-1}, \quad l = 1,2,\ldots,N-1 \end{aligned}} \qquad (4.1.2.4)$$

lub

$$\boxed{\begin{aligned} J_0 &= K_0 = T_0 = 1 \\ J_l &= K_l = T_l = \bar{Q}_{l-1} \cdot T_{l-1} = \bar{Q}_{l-1} \cdot (J_{l-1} = K_{l-1}) \end{aligned}} \qquad (4.1.2.5)$$

Realizacjom powyższym odpowiadają:

- struktura z przeniesieniem równoległym - wg (4.1.2.4);
- struktura z przeniesieniem szeregowym - wg (4.1.2.5).

4.1.2.3. Liczniki szeregowo-równoległe mod P

Licznik mod 5

$$C_2 = C_0 = x$$

a) realizacja M-S

$$C_1 = \bar{Q}_0$$

$$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0; \qquad J_2 = \bar{Q}_1\bar{Q}_0, \qquad K_2 = 1$$

$$D_1 = \bar{Q}_1; \qquad J_1 = 1, \qquad K_1 = 1$$

$$D_0 = Q_2 \vee Q_1\bar{Q}_0; \qquad J_0 = Q_2 \vee Q_1, \qquad K_0 = 1$$

b) realizacja E-T

$$C_1 = Q_0$$

$$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$D_1 = \overline{Q_1 \oplus Q_0}$$

$$D_0 = Q_2 \vee Q_1\bar{Q}_0$$

Licznik mod 6

$$C_0 = x$$

a) realizacja M-S

$$C_2 = C_1 = \bar{Q}_0$$

$$D_2 = \bar{Q}_2\bar{Q}_1; \qquad J_2 = \bar{Q}_1, \qquad K_2 = \bar{Q}_1$$

$$D_1 = Q_2; \qquad J_1 = Q_2, \qquad K_1 = 1$$

$$D_0 = \bar{Q}_0; \qquad J_0 = 1, \qquad K_0 = 1$$

b) realizacja E-T

$$C_2 = C_1 = Q_0$$

$$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee Q_2Q_0$$

$D_1 = Q_2\bar{Q}_1\bar{Q}_0 \vee Q_1Q_0$

$D_0 = \bar{Q}_0$

Licznik mod 7

$C_1 = C_0 = x$

a) realizacja M-S

$C_2 = \bar{Q}_1$

$D_2 = \bar{Q}_2$ $\quad J_2 = 1,$ $\quad K_2 = 1$

$D_1 = \overline{Q_1 \oplus Q_0};$ $\quad J_1 = \bar{Q}_0,$ $\quad K_1 = \bar{Q}_0$

$D_0 = Q_2\bar{Q}_0 \vee Q_1\bar{Q}_0;$ $\quad J_0 = Q_2 \vee Q_1,$ $\quad K_0 = 1$

b) realizacja E-T

$C_2 = Q_1$

$D_2 = \overline{Q_2 \oplus Q_1}$

$D_1 = \overline{Q_1 \oplus Q_0}$

$D_0 = Q_2\bar{Q}_0 \vee Q_1\bar{Q}_0$

Licznik mod 9

$C_3 = C_0 = x$

a) realizacja M-S

$C_2 = \bar{Q}_1$

$C_1 = \bar{Q}_0$

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0;$ $\quad J_3 = \bar{Q}_2\bar{Q}_1\bar{Q}_0,$ $\quad K_3 = 1$

$D_2 = \bar{Q}_2;$ $\quad J_2 = 1,$ $\quad K_2 = 1$

$D_1 = \bar{Q}_1;$ $\quad J_1 = 1,$ $\quad K_1 = 1$

$D_0 = Q_3 \vee Q_2\bar{Q}_0 \vee Q_1\bar{Q}_0;$ $\quad J_0 = Q_3 \vee Q_2 \vee Q_1,$ $\quad K_0 = 1$

b) realizacja E-T

$C_2 = Q_1$

$C_1 = Q_0$

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$

$D_2 = \overline{Q_2 \oplus Q_1}$

$D_1 = \overline{Q_1 \oplus Q_0}$

$D_0 = Q_3 \vee Q_1\bar{Q}_0 \vee Q_1\bar{Q}_0$

Można również przyjąć:

a) dla realizacji M-S

$C_2 = \bar{Q}_0$

i wtedy

$D_2 = \overline{Q_2 \oplus Q_1}$

b) dla realizacji E-T

$C_2 = Q_0$

i wtedy

$D_2 = Q_3 \vee Q_2Q_1 \vee Q_2Q_0$

Licznik mod 10

$C_0 = x$

a) realizacja M-S

$C_3 = C_1 = \bar{Q}_0$

$C_2 = Q_1$

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1;$ $J_3 = \bar{Q}_2\bar{Q}_1,$ $K_3 = 1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = Q_3 \vee Q_2\bar{Q}_1;$ $J_1 = Q_3 \vee Q_2,$ $K_1 = 1$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

b) realizacja E-T

$C_3 = C_1 = Q_0$

$C_2 = Q_1$

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee Q_3Q_0$

$D_2 = Q_3 \vee Q_2Q_1$ lub $D_2 = Q_3 \vee Q_2Q_0$

$D_1 = Q_2\bar{Q}_1\bar{Q}_0 \vee Q_3\bar{Q}_0 \vee Q_1Q_0$

$D_0 = \bar{Q}_0$

Można również przyjąć:

a) dla realizacji M-S

$C_2 = \bar{Q}_0$

i wtedy

$D_2 = Q_3 \vee Q_2Q_1$

b) dla realizacji E-T

$C_2 = Q_0$

i wtedy

$D_2 = Q_3\bar{Q}_0 \vee Q_2Q_1 \vee Q_2Q_0$

Liczniki mod 2^N

Różne struktury szeregowo-równoległe liczników odejmujących mod 2^N ($N \geqslant 3$) wynikają z możliwości przyjęcia (por. 4.1.2.1) między innymi

a) dla realizacji M-S

$C_0 = x$

$C_l = \bar{Q}_k, \quad l > k$

b) dla realizacji E-T

$C_0 = x$

$C_l = Q_k, \quad l > k$

4.1.2.4. Liczniki równoległe mod P

$C_l = x, \quad l = 0,1,\ldots,N-1$

Licznik mod 3

$D_1 = \bar{Q}_1\bar{Q}_0;$ $J_1 = \bar{Q}_0,$ $K_1 = 1$

$D_0 = Q_1;$ $J_0 = Q_1,$ $K_0 = 1$

Licznik mod 5

$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0;$ $J_2 = \bar{Q}_1\bar{Q}_0,$ $K_2 = 1$

$D_1 = Q_2 \vee Q_1Q_0;$ $J_1 = Q_2,$ $K_1 = \bar{Q}_0$

$D_0 = Q_2 \vee Q_1\bar{Q}_0;$ $J_0 = Q_2 \vee Q_1,$ $K_0 = 1$

Licznik mod 6

$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee Q_2Q_0;$ $\quad J_2 = \bar{Q}_1\bar{Q}_0,$ $\quad K_2 = \bar{Q}_0$

$D_1 = Q_2\bar{Q}_0 \vee Q_1Q_0;$ $\quad J_1 = Q_2\bar{Q}_0,$ $\quad K_1 = \bar{Q}_0$

$D_0 = \bar{Q}_0;$ $\quad J_0 = 1,$ $\quad K_0 = 1$

Licznik mod 7

$D_2 = \bar{Q}_2\bar{Q}_1\bar{Q}_0;$ $\quad J_2 = \bar{Q}_1\bar{Q}_0,$ $\quad K_2 = \bar{Q}_1\bar{Q}_0$

$D_1 = \overline{Q_1 \oplus Q_0};$ $\quad J_1 = \bar{Q}_0,$ $\quad K_1 = \bar{Q}_0$

$D_0 = Q_2\bar{Q}_0 \vee Q_1\bar{Q}_0;$ $\quad J_0 = Q_2 \vee Q_1,$ $\quad K_0 = 1$

Licznik mod 9

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0;$ $\quad J_3 = \bar{Q}_2\bar{Q}_1\bar{Q}_0,$ $\quad K_3 = 1$

$D_2 = Q_3 \vee Q_2Q_1 \vee Q_2Q_0;$ $\quad J_2 = Q_3,$ $\quad K_2 = \bar{Q}_1\bar{Q}_0$

$D_1 = Q_3 \vee Q_2\bar{Q}_1\bar{Q}_0 \vee Q_1Q_0;$ $\quad J_1 = Q_3 \vee Q_2\bar{Q}_0,$ $\quad K_1 = \bar{Q}_0$

$D_0 = Q_3 \vee Q_2\bar{Q}_0 \vee Q_1\bar{Q}_0;$ $\quad J_0 = Q_3 \vee Q_2 \vee Q_1,$ $\quad K_0 = 1$

Licznik mod 10

$D_3 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee Q_3Q_0;$ $\quad J_3 = \bar{Q}_2\bar{Q}_1\bar{Q}_0,$ $\quad K_3 = \bar{Q}_0$

$D_2 = Q_3\bar{Q}_0 \vee Q_2Q_1 \vee Q_2Q_0;$ $\quad J_2 = Q_3\bar{Q}_0,$ $\quad K_2 = \bar{Q}_1\bar{Q}_0$

$D_1 = Q_2\bar{Q}_1\bar{Q}_0 \vee Q_3\bar{Q}_0 \vee Q_1Q_0;$ $\quad J_1 = Q_3\bar{Q}_0 \vee Q_2\bar{Q}_0,$ $\quad K_1 = \bar{Q}_0$

$D_0 = \bar{Q}_0;$ $\quad J_0 = 1,$ $\quad K_0 = 1$

4.2. Liczniki rewersyjne

Przebieg syntezy liczników rewersyjnych jest analogiczny do przebiegu syntezy liczników jednokierunkowych, z tym, że należy w tablicy zależności uwzględnić sygnał kierunku zliczania k.

Założono następujące kodowanie sygnału kierunku zliczania:

k = 0 - dodawanie,

k = 1 - odejmowanie.

4.2.1. Liczniki szeregowe mod 2^N

Dla tego licznika uzyskuje się:

a) dla realizacji M-S

$$\boxed{\begin{aligned} &C_0 = x \\ &C_l = k \oplus Q_{l-1}, \quad l = 1,2,\ldots,N-1 \\ &D_l = \bar{Q}_l, \quad l = 1,2,\ldots,N-1 \\ &T_l = J_l = K_l = 1, \quad l = 0,1,\ldots,N-1 \end{aligned}} \tag{4.2.1.1}$$

b) dla realizacji E-T

$$\boxed{\begin{aligned} &C_0 = x \\ &C_l = \overline{k \oplus Q_{l-1}}, \quad l = 1,2,\ldots,N-1 \\ &D_0 = \bar{Q}_0 \\ &D_1 = Q_1 \oplus Q_0 \oplus k \\ &\left.\begin{aligned} D_l &= Q_l \oplus Q_{l-1} \oplus k \\ \text{lub} &= Q_l \oplus Q_{l-2} \oplus k \\ &\vdots \\ &= Q_l \oplus Q_0 \oplus k \\ &= (Q_l\bar{Q}_l \vee \bar{Q}_lQ_0) \oplus k \\ &= (\bar{Q}_lQ_l \vee Q_lQ_0) \oplus k \end{aligned}\right\} l = 2,3,\ldots,N-1 \end{aligned}} \tag{4.2.1.2}$$

4.2.2. Liczniki równoległe mod 2^N

Dla tego licznika uzyskuje się:

$$C_l = x, \quad l = 0,1,\ldots,N-1$$

- dla przerzutników D

$$\boxed{\begin{aligned} &D_0 = \bar{Q}_0 \\ &D_1 = k \oplus Q_1 \oplus Q_2 \\ &D_l = \bar{k}\left\{Q_l \oplus \left(\bigwedge_{m=1}^{l} Q_{m-1}\right)\right\} \vee k\left\{Q_l \oplus \overline{\left(\bigvee_{m=1}^{l} Q_{m-1}\right)}\right\} \\ &\qquad l = 1,2,\ldots,N-1 \end{aligned}} \tag{4.2.1.3}$$

- dla przerzutników T, JK

$$\boxed{\begin{aligned} &T_0 = J_0 = K_0 = 1 \\ &T_l = J_l = K_l = \bar{k}\bigwedge_{m=1}^{l} Q_{m-1} \vee k \bigwedge_{m=1}^{l} \bar{Q}_{m-1} \\ &\qquad l = 1,2,\ldots,N-1 \end{aligned}} \tag{4.2.1.4}$$

lub

$$\boxed{\begin{aligned} &T_0 = J_0 = K_0 = 1 \\ &T_l = J_l = K_l = (k \oplus Q_{l-1})\, T_{l-1} = (k \odot Q_{l-1})(J_{l-1} = K_{k-1}) \\ &\qquad l = 1,2,\ldots,N-1 \end{aligned}} \tag{4.2.1.5}$$

4.2.3. Liczniki szeregowo-równoległe mod P

Licznik mod 5

$$C_2 = C_0 = x$$

a) realizacja M-S

$$C_1 = k \oplus Q_0$$

$$D_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0; \qquad J_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_1\bar{Q}_0, \qquad K_2 = 1$$

$$D_1 = \bar{Q}_1; \qquad J_1 = 1, \qquad K_1 = 1$$

$$D_0 = \bar{k}\bar{Q}_2\bar{Q}_0 \vee kQ_2 \vee Q_1\bar{Q}_0; \qquad J_0 = Q_1 \vee \overline{k \oplus Q_2}, \qquad K_0 = 1$$

b) realizacja E-T

$$C_1 = \overline{k \oplus Q_0}$$

$$D_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$D_1 = k \oplus Q_1 \oplus Q_2$$

$$D_0 = \bar{k}\bar{Q}_2\bar{Q}_0 \vee kQ_2 \vee Q_1Q_0$$

Licznik mod 6

$$C_0 = x$$

a) realizacja M-S

$$C_2 = C_1 = k \oplus Q_0$$

$$D_2 = k\bar{Q}_2\bar{Q}_1 \vee \bar{k}Q_1; \qquad J_2 = k \oplus Q_1, \qquad K_2 = 1$$

$$D_1 = \bar{k}\bar{Q}_2\bar{Q}_1 \vee kQ_2; \qquad J_1 = \overline{k \oplus Q_2}, \qquad K_1 = 1$$

$$D_0 = \bar{Q}_0; \qquad J_0 = 1, \qquad K_0 = 1$$

b) realizacja E-T

$$C_2 = C_1 = \overline{k \oplus Q_0}$$

$$D_2 = k\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee kQ_2Q_0 \vee \bar{k}Q_2\bar{Q}_0 \vee \bar{k}Q_1Q_0$$

$D_1 = kQ_2\bar{Q}_0 \vee kQ_1Q_0 \vee \bar{k}\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee \bar{k}Q_1\bar{Q}_0$

$D_0 = \bar{Q}_0$

Licznik mod 7

$C_1 = C_0 = x$

a) realizacja M-S

$C_2 = k \oplus Q_1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{k}\bar{Q}_1Q_0 \vee \bar{k}\bar{Q}_2Q_1\bar{Q}_0 \vee k\overline{Q_1 \oplus Q_0};$ $J_1 = k \oplus Q_0,$ $K_1 = Q_2 \vee J_1$

$D_0 = \bar{Q}_0\overline{(k \oplus Q_2)(k \oplus Q_1)};$ $J_0 = Q_2\bar{Q}_1 \vee \bar{k}\bar{Q}_2 \vee kQ_1,$ $K_0 = 1$

b) realizacja E-T

$C_2 = \overline{k \oplus Q_1}$

$D_2 = k \oplus Q_2 \oplus Q_1$

$D_1 = \bar{k}\bar{Q}_1Q_0 \vee \bar{k}\bar{Q}_2Q_1\bar{Q}_0 \vee k\overline{Q_1 \oplus Q_0}$

$D_0 = \bar{Q}_0\overline{(k \oplus Q_2)(k \oplus Q_1)}$

Licznik mod 9

$C_3 = C_0 = x$

a) realizacja M-S

$C_2 = k \oplus Q_1$

$C_1 = k \oplus Q_0$

$D_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0;$ $J_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0,$ $K_3 = 1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{Q}_1;$ $J_1 = 1,$ $K_1 = 1$

$D_0 = \bar{k}\bar{Q}_3\bar{Q}_0 \vee Q_2\bar{Q}_0 \vee kQ_3;$ $J_0 = kQ_3 \vee \bar{k}\bar{Q}_3\bar{Q}_0,$ $K_0 = Q_0$

b) realizacja E-T

$C_2 = \overline{k \oplus Q_1}$

$C_1 = \overline{k \oplus Q_0}$

$D_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$

$D_2 = \bar{Q}_2\,\overline{k \oplus Q_3} \vee Q_2\,\overline{k \oplus Q_0}$

$D_1 = k \oplus Q_1 \oplus Q_0$

$D_0 = \bar{k}\bar{Q}_3\bar{Q}_0 \vee Q_2\bar{Q}_0 \vee kQ_3$

Licznik mod 10

$C_0 = x$

a) realizacja M-S

$C_3 = C_1 = k \oplus Q_0$

$C_2 = k \oplus Q_1$

$D_3 = \bar{k}Q_2Q_1 \vee k\bar{Q}_3\bar{Q}_2\bar{Q}_1;$ $J_3 = \bar{k}Q_2Q_1 \vee k\bar{Q}_2\bar{Q}_1,$ $K_3 = 1$

$D_2 = \bar{Q}_2;$ $J_2 = 1,$ $K_2 = 1$

$D_1 = \bar{k}\bar{Q}_3\bar{Q}_1 \vee kQ_3 \vee Q_2\bar{Q}_1;$ $J_1 = kQ_3 \vee \bar{k}Q_3 \vee Q_2,$ $K_1 = 1$

$D_0 = \bar{Q}_0;$ $J_0 = 1,$ $K_0 = 1$

b) realizacja E-T

$$C_3 = C_1 = \overline{k \oplus Q_0}$$

$$C_2 = \overline{k \oplus Q_1}$$

$$D_3 = \bar{k}Q_2Q_1Q_0 \vee \bar{k}Q_3\bar{Q}_0 \vee kQ_3Q_0 \vee k\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$D_2 = \bar{k}Q_2\bar{Q}_1 \vee \bar{k}\bar{Q}_2Q_1 \vee kQ_3 \vee kQ_2Q_0$$

$$D_1 = \bar{k}\bar{Q}_3\bar{Q}_1Q_0 \vee \bar{k}Q_1\bar{Q}_0 \vee kQ_1Q_0 \vee kQ_3\bar{Q}_0 \vee kQ_2\bar{Q}_1\bar{Q}_0$$

$$D_0 = \bar{Q}_0$$

Liczniki mod 2^N

Różne struktury szeregowo-równoległe liczników rewersyjnych mod 2^N ($N \geq 3$) wynikają z możliwości przyjęcia między innymi:

a) dla realizacji M-S

$$C_0 = x$$

$$C_l = k \oplus Q_m, \quad l > m$$

b) dla realizacji E-T

$$C_0 = x$$

$$C_l = \overline{k \oplus Q_m}, \quad l > m$$

4.2.4. Liczniki równoległe mod P

$$C_l = x, \quad l = 0,1,\ldots,N-1$$

Licznik mod 3

$$D_1 = k\bar{Q}_1Q_0 \vee \bar{k}Q_0; \qquad J_1 = k \oplus Q_0, \qquad K_1 = 1$$

$$D_0 = \bar{k}\bar{Q}_1\bar{Q}_0 \vee kQ_1; \qquad J_0 = \overline{k \oplus Q_1}, \qquad K_0 = 1$$

Licznik mod 5

$$D_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0; \qquad J_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_1\bar{Q}_0, \qquad K_2 = 1$$

$$D_1 = \bar{k}\bar{Q}_2\bar{Q}_0 \vee kQ_2 \vee Q_1\bar{Q}_0; \qquad J_1 = \overline{k \oplus Q_2}, \qquad K_1 = Q_0$$

$$D_0 = \bar{k}\bar{Q}_2\bar{Q}_0 \vee kQ_2 \vee Q_1\bar{Q}_0; \qquad J_0 = Q_1 \vee \overline{k \oplus Q_2}, \qquad K_0 = 1$$

Licznik mod 6

$$D_2 = k\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee kQ_2\bar{Q}_1Q_0 \vee \bar{k}Q_2\bar{Q}_0 \vee \bar{k}Q_1Q_0$$

$$J_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_1\bar{Q}_0$$

$$K_2 = k \oplus Q_0$$

$$D_1 = \bar{k}\bar{Q}_2\bar{Q}_1Q_0 \vee \bar{k}Q_1\bar{Q}_0 \vee kQ_2\bar{Q}_0 \vee kQ_1Q_0$$

$$J_1 = \bar{k}\bar{Q}_2Q_0 \vee kQ_2\bar{Q}_0$$

$$K_1 = k \oplus Q_0$$

$$D_0 = \bar{Q}_0$$

$$J_0 = K_0 = 1$$

Licznik mod 7

$$D_2 = \bar{Q}_1\,\overline{k \oplus Q_2} \vee Q_1\,\overline{k \oplus Q_0} \vee Q_2Q_0$$

$$J_2 = k\bar{Q}_1 \vee \bar{k}Q_1Q_0$$

$$K_2 = k\bar{Q}_1\bar{Q}_0 \vee \bar{k}Q_1$$

$$D_1 = \bar{k}\bar{Q}_1Q_0 \vee \bar{k}\bar{Q}_2Q_1\bar{Q}_0 \vee k\,\overline{Q_1 \oplus Q_0}$$

$$J_1 = k \oplus Q_0$$

$$K_1 = Q_2 \vee J_1$$

$$D_0 = \bar{Q}_0 \overline{(k \oplus Q_2)(k \oplus Q_1)}$$

$$J_0 = Q_2\bar{Q}_1 \vee \bar{k}\bar{Q}_2 \vee kQ_1$$

$$K_0 = 1$$

Licznik mod 9

$$D_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$J_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$K_3 = 1$$

$$D_2 = \bar{k}\bar{Q}_2Q_1Q_0 \vee kQ_3 \vee Q_2\,\overline{k \oplus Q_1} \vee Q_2\,\overline{k \oplus Q_0}$$

$$J_2 = kQ_3 \vee \bar{k}Q_1Q_0$$

$$K_2 = k\bar{Q}_1\bar{Q}_0 \vee \bar{k}Q_1Q_0$$

$$D_1 = kQ_2\bar{Q}_1\bar{Q}_0 \vee kQ_3 \vee kQ_1Q_0 \vee \bar{k}\,\overline{Q_1 \oplus Q_0}$$

$$J_1 = \bar{k}Q_0 \vee kQ_3 \vee kQ_2\bar{Q}_0$$

$$K_1 = k \oplus Q_0$$

$$D_0 = \bar{k}\bar{Q}_3\bar{Q}_0 \vee Q_2\bar{Q}_0 \vee kQ_3$$

$$J_0 = kQ_3 \vee \bar{k}\bar{Q}_3\bar{Q}_0$$

$$K_0 = Q_0$$

Licznik mod 10

$$D_3 = k\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 \vee \bar{k}Q_2Q_1Q_0 \vee Q_3\,\overline{k \oplus Q_0}$$

$$J_3 = \bar{k}Q_2Q_1Q_0 \vee k\bar{Q}_2\bar{Q}_1\bar{Q}_0$$

$$K_3 = k \oplus Q_0$$

$$D_2 = \bar{k}\bar{Q}_2Q_1Q_0 \vee kQ_3\bar{Q}_0 \vee Q_2\,\overline{k \oplus Q_1} \vee Q_2\,\overline{k \oplus Q_0}$$

$$J_2 = kQ_3\bar{Q}_0 \vee \bar{k}Q_1Q_0$$

$$K_2 = \bar{k}Q_1Q_0 \vee k\bar{Q}_1\bar{Q}_0$$

$$D_1 = \bar{k}\bar{Q}_3\bar{Q}_1Q_0 \vee kQ_3\bar{Q}_0 \vee kQ_2\bar{Q}_0 \vee Q_1\,\overline{k \oplus Q_0}$$

$$J_1 = \bar{k}\bar{Q}_3Q_0 \vee kQ_3\bar{Q}_0 \vee kQ_2\bar{Q}_0$$

$$K_1 = k \oplus Q_0$$

$$D_0 = \bar{Q}_0$$

$$J_0 = K_0 = 1$$

4.3. Liczniki programowane

Synteza liczników programowanych przebiega w sposób analogiczny do syntezy liczników jednokierunkowych i rewersyjnych, przy czym uwzględnia się jeden lub kilka sygnałów programujących.

Licznik mod 6/mod 7

Syntezę licznika programowanego szeregowo-równoległego mod 6/mod 7 ilustruje tablica 4.3.1 (k = 0 - mod 6, k = 1 - mod 7). Dla poszczególnych stopni takiego licznika funkcja wzbudzeń wejścia taktującego stopnia i-tego ma postać:

$$C_i = \bar{k}\,C_{i1} \vee k\,C_{i2}, \qquad (4.3.1)$$

przy czym:

C_{i1} - funkcja wzbudzeń wejścia taktującego przerzutnika i-tego stopnia, umożliwiająca zliczanie mod 6, przy k = 0;

C_{i2} - funkcja wzbudzeń wejścia taktującego przerzutnika i-tego stopnia, umożliwiająca zliczanie mod 7, przy k = 1.

Tablica 4.3.1

Synteza licznika programowanego szeregowo-równoległego mod 6/mod 7

Kod	M-S			E-T		
$k\ Q_2Q_1Q_0$	C_{21}	C_{11}	$D_2D_1D_0$	C_{21}	C_{11}	$D_2D_1D_0$
0 0 0 0	0		0 1 1	1		0 0 1
0 0 0 1		1	0 1 0		0	0 1 0
0 0 1 0		0	1 0 1		1	0 1 1
0 0 1 1	1	1	1 0 0	0	0	1 0 0
0 1 0 0	0	0	0 0 1	1	1	1 0 1
0 1 0 1	1		0 0 0	0		0 0 0
	C_{22}		$D_2D_1D_0$	C_{22}		$D_2D_1D_0$
1 0 0 0	0		0 1	1		0 0 1
1 0 0 1			1 1 0			1 0
1 0 1 0			1 1 1			1 1
1 0 1 1	1		1 0 0	0		1 0 0
1 1 0 0	0		0 1	1		1 0 1
1 1 0 1			0 1 0			1 0
1 1 1 0	1		0 0 0	0		0 0 0

Uwzględniając warunek (3.3.6) w odniesieniu do cyklu odpowiadającego zliczaniu mod 6 oraz cyklu odpowiadającego zliczaniu mod 7, a następnie korzystając z uzyskanej tablicy zależności (tabl. 4.3.1) uzyskuje się odpowiednio:

- dla realizacji M-S

$$C_{21} = C_{11} = Q_0, \quad C_{01} = x$$

$$C_{22} = Q_1, \quad C_{12} = C_{02} = x$$

Uwzględniając uzyskane wyrażenia w (4.3.1) otrzymuje się:

$$C_2 = \bar{k}\, Q_0 \vee k\, Q_1$$

$$C_1 = \bar{k}\, Q_0 \vee kx$$

$$C_0 = \bar{k}\, x \vee k\, x = x$$

Funkcje wzbudzeń wejść informacyjnych mają postać:

$$D_2 = \bar{Q}_2Q_1 \vee k\bar{Q}_2$$

$$J_2 = k \vee Q_1$$

$$K_2 = 1$$

$$D_1 = \bar{k}\bar{Q}_2\bar{Q}_1 \vee k\bar{Q}_1Q_0 \vee k\bar{Q}_2Q_1\bar{Q}_0$$

$$J_1 = \bar{k}\bar{Q}_2 \vee kQ_0$$

$$K_1 = \bar{k} \vee Q_2 \vee Q_0$$

$$D_0 = \bar{Q}_1\bar{Q}_0 \vee \bar{Q}_2\bar{Q}_0$$

$$J_0 = \bar{Q}_1 \vee \bar{Q}_2$$

$$K_0 = 1$$

- dla realizacji E-T

$$C_{21} = C_{11} = \bar{Q}_0, \quad C_{01} = x$$

$$C_{22} = \bar{Q}_1, \quad C_{12} = C_{02} = x.$$

Tak więc:

$$C_2 = \bar{k}\bar{Q}_0 \vee k\bar{Q}_1$$

$$C_1 = \bar{k}\bar{Q}_0 \vee kx$$

$$C_0 = x$$

Natomiast:

$$D_2 = k\bar{Q}_1\bar{Q}_0 \vee Q_1Q_0$$

$$D_1 = \bar{Q}_2(Q_1 \oplus Q_0) \vee k\bar{Q}_1Q_0$$

$D_0 = \bar{Q}_1\bar{Q}_0 \vee \bar{Q}_2\bar{Q}_0$

W przypadku realizacji struktury równoległej tego licznika uzyskuje się:

$C_2 = C_1 = C_0 = x$

$D_2 = Q_2\bar{Q}_1\bar{Q}_0 \vee kQ_2 \vee Q_1Q_0;$	$J_2 = Q_1Q_0,$	$K_2 = Q_1 \vee \bar{k}Q_0$
$D_1 = \bar{Q}_2(Q_1 \oplus Q_0) \vee kQ_2Q_1;$	$J_1 = kQ_0 \vee \bar{Q}_2Q_0,$	$K_1 = Q_2 \vee Q_0$
$D_0 = \bar{Q}_1\bar{Q}_0 \vee \bar{Q}_2\bar{Q}_0;$	$J_0 = \bar{Q}_2 \vee \bar{Q}_1,$	$K_0 = 1$

5. PODSUMOWANIE

W pierwszej części pracy zwrócono uwagę na możliwość generowania różnych cykli przez każdy licznik o określonym cyklu. Podano zależności pozwalające określić:

- liczbę różnych cykli licznika mod P o zadanych stanach;
- liczbę różnych cykli licznika o niepełnej pojemności mod K o dowolnych K stanach wyjść, spośród 2^N możliwych stanów;
- liczbę dodatkowo generowanych cykli licznika o pełnej lub niepełnej pojemności, uzyskanych w wyniku wykorzystania wyjść prostych lub prostych i zanegowanych, bądź też wzajemnej zamiany tych wyjść.

Przeprowadzona analiza pokazuje możliwości pełnego wykorzystania każdego licznika o określonym cyklu do generowania innych cykli, bez potrzeby określania nowej struktury wewnętrznej liczników odpowiadających nowym cyklom.

W drugiej części pracy rozpatrzono problematykę projektowania liczników. Przedstawiono metodę syntezy liczników o strukturze szeregowo-równoległej, szeregowej i równoległej, realizowanych z zastosowaniem przerzutników synchronicznych jednotaktowych i dwutaktowych. Podano warunek realizowalności struktury szeregowo-równoległej. Zaproponowana metoda pozwala w sposób przejrzysty uwzględniać w procesie syntezy specyfikę różnorodnych sposobów oddziaływania sygnału taktującego w zastosowanych przerzutnikach synchronicznych. Metoda umożliwia w prosty sposób uzyskać istniejące struktury i wybrać optymalną. Omawianą tematykę zilustrowano wieloma przykładami syntezy liczników jednokierunkowych, rewersyjnych i programowanych, zestawiając różne istniejące ich struktury oraz możliwe warianty.

Znane z literatury metody syntezy liczników pozwalają uzyskać wyniki będące szczególnym przypadkiem rezultatów otrzymanych prezentowaną metodą.

Uzyskane rezultaty mają oczywiście również charakter praktyczny i znajdują bezpośrednie zastosowanie przy projektowaniu układów cyfrowych. Prowadzona przez autora działalność dydaktyczna potwierdza łatwość opanowania i posługiwania się proponowaną metodą.

Autor wyraża również nadzieję, że uzyskane rezultaty teoretyczne stanowią pewien wkład w rozwój teorii układów przełączających.

WYKAZ WAŻNIEJSZYCH OZNACZEŃ

x - sygnał wejścia licznikowego licznika

k_i - sygnały zewnętrzne określające np. kierunek zliczania, pojemność licznika

Q_l - wyjście l-tego stopnia przerzutnika licznika

S_j - j-ty stan cyklu licznika

Q^t - stan Q w chwili t

Q_{sr} - stan s-tego wyjścia w r-tym stanie cyklu licznika

$\alpha^s_{t(t+1)}$ - $Q_{st} \oplus Q_{s(t+1)}$

$\tilde{Q}$ - Q lub $\bar{Q}$

L_c^{modP} - liczba różnych cykli licznika mod P

$(L_c^{modK})_N$ - liczba różnych cykli licznika o niepełnej pojemności mod K o dowolnych K stanach spośród 2^N stanów S_j

$L_L^{mod\ 2^N}$ - liczba liczników o pełnej pojemności mod 2^N z wyjściami prostymi

$p \wedge q$, pq - koniunkcja, iloczyn logiczny

$p \vee q$ - alternatywa, suma logiczna

$p \oplus q$ - suma mod 2

$p \rightarrow q$ - implikacja

$\bigvee_{c=0}^{d}$ - uogólniona suma logiczna

$\bigwedge_{c=0}^{d}$ - uogólniony iloczyn logiczny

$\exists_x$ - kwantyfikator szczegółowy

$\forall_x$ - kwantyfikator ogólny

$p \rightarrow q$ - zmiana stanu p na q

$\overset{0}{\uparrow}$ - wyróżnienie zmiany $0 \rightarrow 1$

$\overset{1}{\downarrow}$ - wyróżnienie zmiany $1 \rightarrow 0$

$Q_{(N-1)t} \cdots Q_{ot}$ - $(Q_{N-1} \cdots Q_0)_t = S_t$

LITERATURA

[1] ADAMSKI M., WACHOWSKI A.: Projektowanie liczników z przerzutnikami JK Master-Slave. Pomiary Automatyka Kontrola, nr 12, 1974.

[2] ANDERSON W.D., DOUCE A.G., et al.: Designing with TTL integrated circuits. McGraw-Hill, New York 1971. (Tłum. w j. pol.-OIoEJ, Warszawa 1973).

[3] AUMIAUX M.: Logique binaire et ordinateurs. Masson et Cie, Paris 1973.

[4] BRIGHAM R.C.: Some properties of binary counters with feedback. IEEE Transactions on Electronic Computers, no 4, 1961.

[5] BROMIRSKI J.: Teoria automatów. WNT, Warszawa 1970.

[6] CARLOW E.F.: The logical design of shift counters. Motorola Application Note, AN-576, 1973.

[7] CHAO C.: Synchronous flip-flop counters. Instruments and Control Systems, no 12, 1968.

[8] DADDA L.: Composite parallel counters. IEEE Transactions on Computers, no 10, 1980.

[9] DORMIDO S., CANTO M.A.: Synthesis of generalized parallel counters. IEEE Transactions on Computers, no 9, 1981.

[10] DORMIDO S., CANTO M.A.: An upper for the synthesis of generalized parallel counters. IEEE Transactions on Computers, no 8, 1982.

[11] DORN A.J.M.: The design of counters using flip-flops of the FC family of integrated circuits. Philips-Application Information, no 841, 1968.

[12] DUNDERDALE H.: A formal method for designing sequential circuits from synchronous flip-flops as the JK type using a hybrid synchronous-asynchronous technique. The Radio and Electronic Engineer, no 9, 1972.

[13] ERDMANN D.R.: TTL counters and registers. Application Raport B 93. Texas Instruments Limited. Manton Lane, Bedford.

[14] FRIEDMAN A.D.: Feedback in synchronous sequential switching circuits. IEEE Transactions on Electronic Computers, no 3, 1966.

[15] FRIEDMAN A.D.: Feedback in asynchronous sequential circuits. IEEE Transactions on Electronic Computers, no 5, 1966.

[16] GOLOMB S.W.: Shift register sequences. Holden Day Inc., San Francisco 1967.

[17] KAIN R.Y.: Synthesis of up-down counter. IEEE Transactions on Electronic Computers, no 2, 1967.

[18] KALISZ J.: Cyfrowe układy scalone w technice systemowej. WMON, Warszawa 1977.

[19] KOBAYASHI H., OHARE H.: A synthesizing method for large parallel counters with a network of smaller ones. IEEE Transactions on Computers, no 8, 1978.

[20] KOHONEN T.: Digital circuits and devices. Prentice-Hall Inc., 1972. (Tłum. w j. pol. - WNT, Warszawa 1975).

[21] KUHN E., SCHMIED H.: Integrierte schaltkreise praktische hindweise und anwendungsbeispiele. Veb Verlag Technik, Berlin 1972. (Tłum. w j. pol. - WKiŁ, Warszawa 1976).

[22] LANGDON G.G.: A survey of counter design techniques. Computer Design, no 10, 1970.

[23] LO S.N.: Decade counters. IEEE Transactions on Industrial Electronics and Control Instrumentation, no 2, 1977.

[24] ŁAKOMY M., ZABRODZKI J.: Cyfrowe układy scalone TTL. PWN, Warszawa 1974.

[25] ŁAZARIEW W.G., PIJL E.J.: Sintez uprawlajuszczich awtomatow. Energija, Moskwa 1970.

[26] MAILLET J.C.: Synthese des compteurs synchrones. Electronique Industrielle, no 100-101, 1967.

[27] MAJEWSKI W.: Układy logiczne. WNT, Warszawa 1974.

[28] MAŁYSIAK H., POCHOPIEŃ B. i inni: Układy przełączające w automatyce przemysłowej. Zadania. WNT, Warszawa 1981.

[29] MAŁYSIAK H., POCHOPIEŃ B. i inni: Układy cyfrowe. Zadania. Skrypt Politechniki Śląskiej (w druku).

[30] MANNING F.B., FENICKEL R.R.: Synchronous counters constructed entirely of J-K flip-flops. IEEE Transactions on Computers, no 3, 1976.

[31] MANO M.M.: Computer logic design. Prentice-Hall Inc., 1972. (Tłum. w j. pol. - WNT, Warszawa 1975).

[32] MARCUS M.P.: Cascaded binary counters with feedback. IEEE Transactions on Electronic Computers, no 4, 1963.

[33] MARCUS M.P.: Switching circuits for engineers. Prentice-Hall Inc., 1967.

[34] MISIUREWICZ P., GRZYBEK M.: Półprzewodnikowe układy logiczne TTL. WNT, Warszawa 1982.

[35] MOSTOWSKI A.W., PAWLAK Z.: Logika dla inżynierów. PWN, Warszawa 1970.

[36] MOSTOWSKI A., STARK M.: Elementy algebry wyższej. PWN, Warszawa 1963.

[37] MYKKELTVEIT J.: Generating and counting the double adjacencies in a pure circulating shift register. IEEE Transactions on Computers, no 3, 1975.

[38] NASLIN P.: Circuits logiques et automatismes a sequences. Dunod, Paris 1965.

[39] OBERMAN R.M.M.: Disciplines in combinational and sequential circuit design. McGraw-Hill, New York 1971.

[40] OBERMAN R.M.M.: Electronic counters. Mac Millan, London 1973.

[41] PEATMAN J.B.: The design of digital systems. McGraw-Hill Inc., 1972. (Tłum. w j. pol. - WNT, Warszawa 1976).

[42] PERKOWSKI M., RYDZEWSKI A., MISIUREWICZ P.: Teoria układów logicznych. Wydawnictwa Politechniki Warszawskiej.

[43] PIEŃKOS J., TURCZYŃSKI J.: Układy scalone TTL w systemach cyfrowych. WKiŁ, Warszawa 1980.

[44] POCHOPIEŃ B.: Określanie funkcji wzbudzeń przerzutników impulsowych oraz przerzutników JK i T z siatek zależności. Pomiary Automatyka Kontrola, nr 11, 1972.

[45] POCHOPIEŃ B.: Projektowanie układów sekwencyjnych na bazie elementów scalonych wykorzystujących zasadę Master-Slave oraz elementów wyzwalanych zboczem sygnału taktującego. Materiały Konferencji "Współczesne Problemy Automatyki i Informatyki", Gliwice 1973.

[46] POCHOPIEŃ B.: Synteza sekwencyjnych układów cyfrowych z zastosowaniem elementarnych automatów z pamięcią. Praca doktorska, Politechnika Śląska, Gliwice 1974.

[47] POCHOPIEŃ B.: Synteza asynchronicznych sekwencyjnych układów cyfrowych na bazie scalonych synchronicznych automatów elementarnych z pamięcią. Materiały VI Krajowej Konferencji Automatyki, Poznań 1974.

[48] POCHOPIEŃ B.: Synteza liczników asynchroniczno-synchronicznych. Zeszyty Naukowe Politechniki Śląskiej, seria Automatyka, zeszyt 49, 1979.

[49] POCHOPIEŃ B.: Arytmetyka systemów cyfrowych. Cz. I, II. Skrypt Politechniki Śląskiej.

[50] POCHOPIEŃ B.: Analiza możliwości generowania różnych cykli przez licznik o określonym cyklu. Podstawy Sterowania, tom XVI, zeszyt 3-4, 1986.

[51] PRACA ZBIOROWA: Poradnik inżyniera. Matematyka. WNT, Warszawa 1971.

[52] PUCHAŁKA T.: Teoria systemów przełączających. Cz. I, II, III. PAN Oddział w Poznaniu. PWN, Warszawa, Poznań.

[53] RASIOWA H.: Wstęp do matematyki współczesnej. PWN, Warszawa 1968.

[54] SCHMIDT K.J.: Schieberegister in rauschgeneratoren. Elektronik, no 5, 1975.

[55] SIWIŃSKI J.: Określanie funkcji wzbudzeń przerzutników w automatach sekwencyjnych. Podstawy Sterowania, tom VIII, zeszyt 2, 1978.

[56] SIWIŃSKI J.: Układy przełączające w automatyce. WNT, Warszawa 1980.

[57] SMITH A.R.: General shift-register sequences of arbitrary cycle length. IEEE Transactions on Computers, no 4, 1971.

[58] SWARTZLANDER E.E.Jr.: Parallel counters. IEEE Transactions on Computers, no 11, 1973.

[59] TRACZYK W.: Układy cyfrowe automatyki. WNT, Warszawa 1974.

[60] TRACZYK W.: Układy cyfrowe. Podstawy teoretyczne i metody syntezy. WNT, Warszawa 1982.

[61] UNGER S.H.: Asynchronous sequential switching circuits. John Wiley and Sons, New York 1963.

[62] WAGNER F.: Synteza układów liczących przy założonej strukturze przerzutników. Praca doktorska, Politechnika Śląska, Gliwice 1968.

[63] WAGNER F.: Liczniki elektroniczne w przemysłowych układach sterowania. WNT, Warszawa 1971.

[64] WAGNER F.: Projektowanie krótkich rejestrów liczących. Praca habilitacyjna. Zeszyty Naukowe Politechniki Śląskiej, seria Automatyka, zeszyt 39, 1977.

[65] WAGNER F.: Projektowanie urządzeń cyfrowych. WNT, Warszawa 1978.

[66] WAGNER F.: Binary and states sequences generated by counter-registers. Digital Processes, no 3-4, 1979.

[67] WALIGÓRSKI S.: Układy przełączające. Elementy teorii i projektowania. WNT, Warszawa 1971.

[68] WAWIŁOW E.N., PORTNOJ G.P.: Sintez schem elektronnych cifrowych maszin. Sowietskoje Radio, Moskwa 1963. Tłum. w j. pol. - WNT, Warszawa 1975.

[69] WITKOWSKI J.: Analiza liczników binarnych ze sprzężeniami. Pomiary Automatyka Kontrola, nr 11, 1966.

[70] ZAGAJEWSKI T., MALZACHER S., KWIECIŃSKI A.: Elektronika przemysłowa. WNT, Warszawa 1961.

[71] ZAGAJEWSKI T.: Układy elektroniki przemysłowej. WNT, Warszawa 1964.

LOGICZNE PROJEKTOWANIE LICZNIKÓW O DOWOLNEJ STRUKTURZE OPARTYCH NA PRZERZUTNIKACH SYNCHRONICZNYCH

S t r e s z c z e n i e

Praca poświęcona jest problematyce projektowania liczników. Dokonano analizy możliwości generowania różnych cykli przez licznik o określonym cyklu. Pokazano możliwości pełnego wykorzystania każdego licznika o określonym cyklu do generowania innych cykli bez potrzeby określania nowej struktury wewnętrznej liczników odpowiadających nowym cyklom. Zaproponowano efektywną metodę syntezy, pozwalającą w jednolity sposób projektować liczniki o strukturze szeregowo-równoległej, szeregowej i równoległej, z zastosowaniem jednotaktowych i dwutaktowych przerzutników synchronicznych. Problematykę omawianą w pracy zilustrowano licznymi przykładami.

ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ СЧЁТЧИКОВ С ПРОИЗВОЛЬНОЙ СТРУКТУРОЙ С ПРИМЕНЕНИЕМ СИНХРОННЫХ ТРИГГЕРОВ

Р е з ю м е

Работа посвящена проблематике проектирования счётчиков. Сделано анализ возможностей генерирования различных циклов счётчиком с определённым циклом. Указана возможность полного использования любого счётчика с определённым циклом для генерирования других циклов, без необходимости определения новой внутренней структуры счётчиков отвечающих циклам.

Предложен эффективный метод синтеза, позволяющий однородным способом проектировать счётчики с последовательно-параллельной, последовательной и параллельной структурой с применением однотактных и двухтактных синхронных триггеров. Обсуждаемая проблематика иллюстрируется многочисленными примерами.

THE LOGICAL DESIGN OF COUNTERS WITH ANY OF STRUCTURES BASING ON SYNCHRONOUS FLIP-FLOPS

S u m m a r y

The work is devoted to the problems of counters design. Analysis of possibilities of generating of various cycles by counter with definite cycle is presented. The possibilities of the complete utilizing of every counter with definite cycle to generating other cycles without need to definite a new internal structure of the counters corresponding to new cycles are shown. Effective method of synthesis which allows in homogeneous way to design counters with cascade-parallel, cascade and parallel structures with application edge-triggered and master-slave synchronous flip-flops is presented. Several examples which illustrate the proposed method are given.

BIBLIOTEKA GŁÓWNA
Politechniki Śląskiej
P 4193/87/10

WYDAWNICTWA NAUKOWE I DYDAKTYCZNE POLITECHNIKI ŚLĄSKIEJ
MOŻNA NABYĆ W NASTĘPUJĄCYCH PLACÓWKACH:

44-100 Gliwice — Księgarnia nr 096, ul. Konstytucji 14 b
44-100 Gliwice — Spółdzielnia Studencka, ul. Wrocławska 4 a
40-950 Katowice — Księgarnia nr 015, ul. Żwirki i Wigury 33
40-096 Katowice — Księgarnia nr 005, ul. 3 Maja 12
41-900 Bytom — Księgarnia nr 048, Pl. Kościuszki 10
41-500 Chorzów — Księgarnia nr 063, ul. Wolności 22
41-300 Dąbrowa Górnicza — Księgarnia nr 081, ul. ZBoWiD-u 2
47-400 Racibórz — Księgarnia nr 148, ul. Odrzańska 1
44-200 Rybnik — Księgarnia nr 162, Rynek 1
41-200 Sosnowiec — Księgarnia nr 181, ul. Zwycięstwa 7
41-800 Zabrze — Księgarnia nr 230, ul. Wolności 288
00-901 Warszawa — Ośrodek Rozpowszechniania Wydawnictw Naukowych PAN — Pałac Kultury i Nauki

Wszystkie wydawnictwa naukowe i dydaktyczne zamawiać można poprzez Składnicę Księgarską w Warszawie, ul. Mazowiecka 9.