



URZĄD
PATENTOWY
RP

Patent dodatkowy
do patentu nr _____

Zgłoszono: 87 02 11 (P. 264103)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 88 09 29

Opis patentowy opublikowano: 1992 04 30

Int. Cl.⁵ G06F 1/04

OPIS PATENTOWY

Twórca wynalazku Wojciech Mielczarek

Uprawniony z patentu: Politechnika Śląska im. W. Pstrowskiego,
Gliwice (Polska)

Sposób i układ synchronizacji wstępnej zwłaszcza dla układu synchronizacji bitowej lokalnej sieci komputerowej

Przedmiotem wynalazku jest sposób i układ synchronizacji wstępnej zwłaszcza dla układu synchronizacji bitowej lokalnej sieci komputerowej.

W lokalnych sieciach komputerowych informacja przesyłana jest w postaci bloków nazywanych „ramkami” (ang. frame). Stacja odbierająca ramki musi być wyposażona w układ synchronizacji bitowej, który zapewnia poprawne rozpoznanie stanu poszczególnych bitów w ramce. W układzie synchronizacji bitowej stosuje się najczęściej obwód pętli fazowej PLL (ang. Phase Locked Loop) wykorzystujący jako sygnał synchronizujący sygnał odebrany (sygnał reprezentujący ramkę) po jego uprzedniej filtracji. Za pośrednictwem pętli fazowej zapewnia się odpowiednią częstotliwość i fazę sygnału rozeznającego bity, co jest podstawą prawidłowego określenia ich stanu. W przypadku nieobecności ramki, obwód PLL znajdujący się w odbiorniku pozbawiony jest sygnału synchronizującego, co sprawia, że na wyjściu węzła sumacyjnego, porównującego sygnał synchronizujący z sygnałem synchronizowanym, jest duży sygnał błędu. Po pojawieniu się ramki obwód PLL potrzebuje w takiej sytuacji stosunkowo długiego czasu na osiągnięcie synchronizmu. Stąd też umieszczony na początku ramki ciąg synchronizacyjny (tzw. preambuła) musi być odpowiednio długi, co niepotrzebnie wydłuża transmisję.

Sposób synchronizacji według wynalazku polega na tym, że za pośrednictwem bloku wykrywania ramki wyłącza się podczas jej nieobecności węzeł sumacyjny zapewniając przy tym taki sam sygnał na wyjściu węzła jak w przypadku synchronizmu w zamkniętym obwodzie pętli fazowej oraz z pośrednictwem bloku zerowania wyłącza się podczas nieobecności ramki dzielniki częstotliwości i załącza się je natychmiast po pojawieniu się ramki synchronicznie ze zboczem impulsu ramki.

Układ synchronizacji wstępnej zwłaszcza dla układu synchronizacji bitowej lokalnej sieci komputerowej według wynalazku ma blok wykrywania obecności ramki, który załącza węzeł sumacyjny w obwodzie PLL podczas obecności ramki i wyłącza go w sytuacji, gdy ramka jest nieobecna, zapewniając przy tym taki sam sygnał na wyjściu węzła jak w przypadku synchronizmu w zamkniętym obwodzie pętli fazowej. Blok wykrywania ramki współpracuje z blokiem zerowania

dzielników częstotliwości w torze sygnału synchronizującego i synchronizowanego, który podczas nieobecności ramki wyłącza dzielniki i załącza je natychmiast po jej pojawieniu się synchronicznie ze zboczem impulsu ramki.

Zaletą układu według wynalazku jest bardzo szybkie osiągnięcie synchronizmu, co w zastosowaniu w lokalnych sieciach komputerowych pozwala skrócić preambułę i w ten sposób przyspieszyć transmisję.

Wynalazek zostanie bliżej objaśniony za pośrednictwem schematu blokowego przedstawionego na fig. 1, a na fig. 2 przykładu wykonania układu według wynalazku.

Węzeł sumacyjny **S**, przetwornik sygnału błędu (wzmacniacz błędu) **P**, generator przestrajany napięciem **G** oraz dzielniki częstotliwości **D1**, **D2** tworzą klasyczną konfigurację obwodu pętli fazowej PLL. Układ synchronizacji wstępnej obejmuje natomiast blok wykrywania obecności ramki **W** oraz blok zerowania dzielników częstotliwości **Z**. Na wejście bloku **W** podany jest sygnał reprezentujący ramkę, natomiast jego wyjście podłączone jest do wejścia wyłączającego węzeł sumacyjny oraz do wejścia zezwolenia bloku zerowania **Z**. Na drugie wejście (wejście synchronizujące) bloku zerującego podany jest sygnał ramki, a jego wyjście połączone jest z wejściami zerującymi (wyłączającymi) dzielników **D1** i **D2**.

Działanie układu synchronizacji wstępnej jest następujące. Po pojawieniu się ramki blok **W** wykrywa jej obecność i załącza węzeł sumacyjny **S** (węzeł w stanie załączenia dokonuje porównania faz sygnałów wejściowych X_1 , X_2) oraz za pośrednictwem bloku **Z**, dzielniki **D1**, **D2**. Załączanie dzielników częstotliwości synchronizowane jest przy tym wybranym zboczem (narastającym lub opadającym) pierwszego lub najpóźniej drugiego impulsu w sygnale ramki. Sygnał reprezentujący ramkę przechodzi przez filtr **F** oraz dzielnik częstotliwości **D1** i pojawia się na wejściu węzła sumacyjnego **S** jako sygnał synchronizujący X_1 (sygnał odniesienia). Filtr **F** ma za zadanie wydzielić z sygnału ramki sygnał o częstotliwości modulacji stosowanej w sieci, a dzielnik **D1** sprowadzić częstotliwość sygnału synchronizującego do wartości przyjętej jako częstotliwość porównania. W węźle sumacyjnym następuje porównanie faz sygnałów X_1 i X_2 . Sygnał błędu, najczęściej w postaci impulsów, których szerokość jest proporcjonalna do różnicy faz obu porównywanych sygnałów, podawany jest na wejście przetwornika **P**, który zamienia go na napięcie przestrajające generator **G**. Sygnał z generatora **G** za pośrednictwem dzielnika **D2** podany jest na drugie wejście układu **S**, co zamyka pętlę sprzężenia zwrotnego.

Po zaniku ramki poziom sygnału na wyjściu bloku **W** zmienia się na przeciwny, co powoduje wyłączenie węzła sumacyjnego **S** oraz poprzez blok **Z** wyłączenie dzielników **D1**, **D2**. Stan wyłączenia węzła sumacyjnego jest ściśle określony. W tym stanie sygnał na wyjściu węzła **S** nie zmienia się (obwód PLL jest otwarty) i jest taki sam jak sygnał błędu w przypadku synchronizmu (fazy sygnałów X_1 i X_2 identyczne) przy obecności sygnału X_1 i zamkniętej pętli sprzężenia zwrotnego.

Na figurze 2 przedstawiono przykład wykonania układu synchronizacji wstępnej według wynalazku, przeznaczonego dla lokalnej sieci komputerowej, w której sygnał ramki modulowany (kodowany) jest zgodnie z zasadą (tzw. zapisem) Manchester (impulsowa modulacja fazy impulsów). Przyjmijmy, że częstotliwość modulacji wynosi f_m oraz, że $T_m = 1/f_m$. Blok wykrywania ramki wykonano w tym rozwiązaniu wykorzystując retrigerovalny uniwibrator (np. UCY74123) ustawiony na czas trwania impulsu $\tau > 2T_m$. W ten sposób kolejne impulsy w ramce przedłużają czas trwania impulsu wyjściowego z uniwibratora, aż do zaniku ramki. Blok zerowania dzielników **Z** oparto natomiast na przerzutniku typu D (np. $\frac{1}{2}$ UCY7474). Gdy nie ma ramki, wyjście uniwibratora w bloku **W** jest w stanie logicznego \emptyset , co powoduje za pośrednictwem bramek AND utrzymywanie niskiego poziomu na wyjściu węzła sumacyjnego (wyjścia **Q** przerzutników J-K w stanie logicznego \emptyset - węzeł wyłączony).

Ponadto w stanie logicznego \emptyset znajduje się również wyjście przerzutnika w bloku **Z**, wyłączając w ten sposób dzielniki **D1**, **D2**. Pojawienie się ramki zmienia stan na wyjściu uniwibratora w bloku **W**, co załącza węzeł sumacyjny (umożliwia jego normalne działanie) oraz pozwala na zmianę sygnału na wyjściu przerzutnika w bloku **Z**, przy czym zmiana ta dokonywana jest na narastającym zboczu najbliższego impulsu ramki. Wysoki stan sygnału na wyjściu bloku **Z** załącza dzielniki częstotliwości (zazwyczaj liczniki). Zwróćmy jeszcze uwagę na bardzo istotny fakt, że w przedstawionym rozwiązaniu węzła sumacyjnego, w przypadku równości faz porównywanych sygnałów

X1 i X2 (przy zamkniętej pętli sprzężenia zwrotnego w obwodzie PLL) na obu wyjściach przerzutników J-K (np. MH74S112) tworzących węzeł jest logiczne 0. Spełnione jest zatem wymaganie, aby wyłączenie węzła S przy nieobecności ramki zapewniało taki sam sygnał na jego wyjściu, jak sygnał na tym wyjściu w obwodzie zamkniętym (węzeł załączony) w przypadku synchronizmu fazowego.

W stosunku do rozwiązań konwencjonalnych, gdzie nie stosuje się wyłączania węzła sumacyjnego, zastosowanie przedstawionego układu synchronizacji wstępnej znacznie przyspiesza osiągnięcie synchronizmu w układzie synchronizacji bitowej odbiornika w lokalnej sieci komputerowej.

Zastrzeżenia patentowe

1. Sposób synchronizacji wstępnej zwłaszcza dla bloku synchronizacji bitowej lokalnej sieci komputerowej, zawierającego obwód pętli fazowej PLL, **znamienny tym**, że za pośrednictwem bloku wykrywania ramki (W) wyłącza się podczas jej nieobecności węzeł sumacyjny (S) zapewniając przy tym taki sam sygnał na wyjściu węzła jak w przypadku synchronizmu w zamkniętym obwodzie pętli fazowej oraz za pośrednictwem bloku zerowania (Z) wyłącza się podczas nieobecności ramki dzielniki częstotliwości (D1, D2) i załącza się je natychmiast po pojawieniu się ramki synchronicznie ze zboczem impulsu ramki.

2. Układ synchronizacji wstępnej, zwłaszcza dla bloku synchronizacji bitowej lokalnej sieci komputerowej, zawierającego obwód pętli fazowej PLL, **znamienny tym**, że ma blok wykrywania ramki (W) i blok zerowania (Z) dzielników częstotliwości (D1, D2), przy czym do wejścia bloku wykrywania ramki (W) oraz do wejścia synchronizującego bloku zerowania (Z) podłączone jest doprowadzenie sygnału ramki, wyjście bloku wykrywania ramki (W) podłączone jest do wejścia sterującego załączaniem węzła sumacyjnego (S) w obwodzie PLL i do wejścia zezwolenia bloku zerowania (Z), a wyjście bloku zerowania (Z) podłączone jest do wejść sterujących załączaniem dzielników częstotliwości (D1, D2).

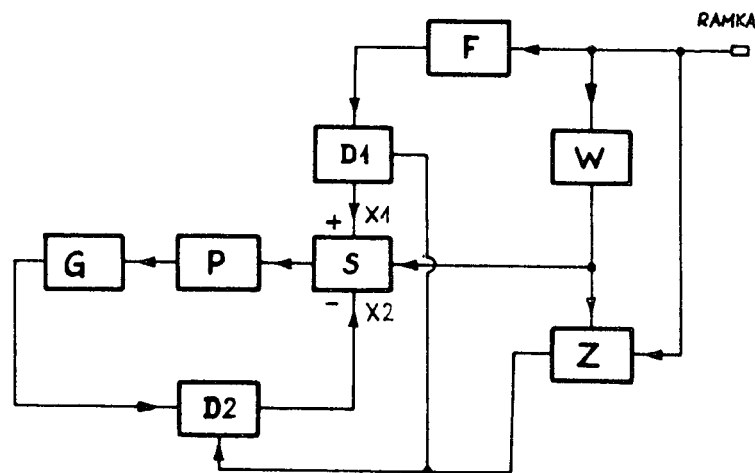


fig 1.

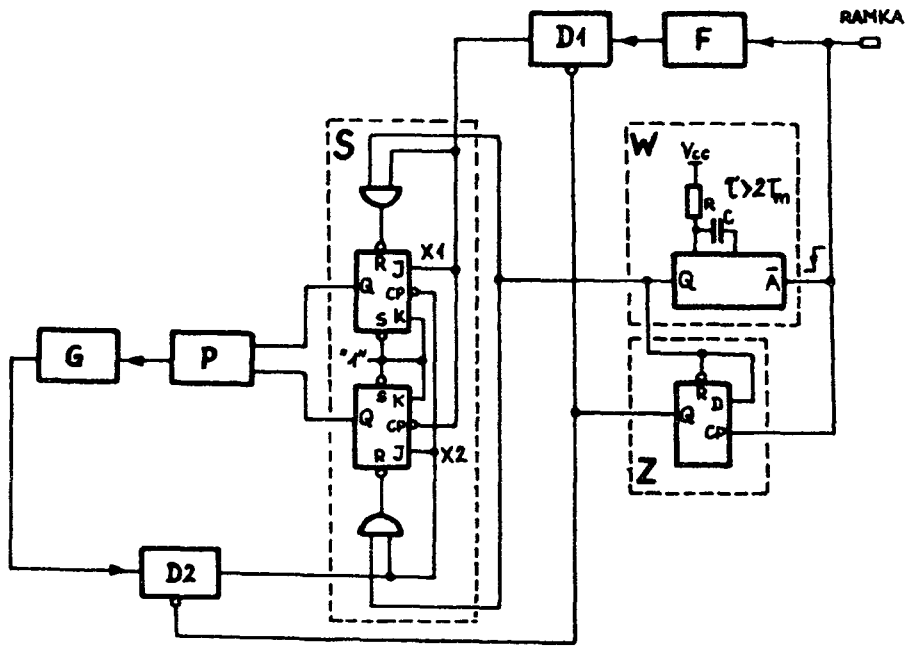


fig. 2.